

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-156184

(P2012-156184A)

(43) 公開日 平成24年8月16日(2012.8.16)

(51) Int.Cl.	F I	テーマコード (参考)
H05K 3/46 (2006.01)	H05K 3/46	5E346
H01L 23/12 (2006.01)	H01L 23/12	E

審査請求 未請求 請求項の数 10 O L (全 11 頁)

(21) 出願番号 特願2011-11882 (P2011-11882)
 (22) 出願日 平成23年1月24日 (2011.1.24)

(71) 出願人 000004237
 日本電気株式会社
 東京都港区芝五丁目7番1号
 (74) 代理人 100103894
 弁理士 冢入 健
 (72) 発明者 中野 俊彦
 東京都港区芝五丁目7番1号 日本電気株式会社内
 Fターム(参考) 5E346 AA02 AA15 AA35 AA43 BB03
 BB07 HH02 HH33

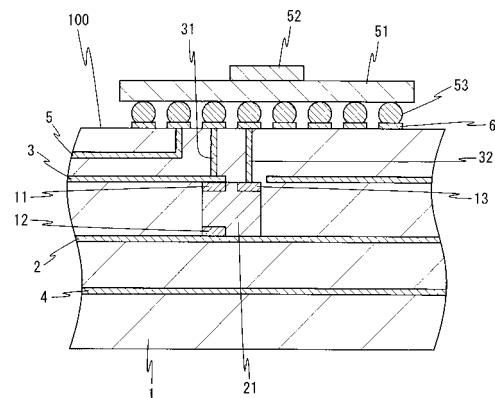
(54) 【発明の名称】 実装基板及びその製造方法

(57) 【要約】

【課題】 実装された半導体装置に供給する電源のノイズを低減できる実装基板及びその製造方法を提供すること。

【解決手段】 本発明の一態様である実装基板100は、板状部材1、電源回路21、ビア31及び32を有する。板状部材1は、表面にLSIケース51、LSI52及びピン53からなる半導体装置が実装される。電源回路21は、半導体装置が実装される領域の板状部材1内に埋め込まれ、電源電圧及び接地電圧を出力する。ビア31は、半導体装置と電源回路21との間の板状部材1内に形成され、電源回路21から出力される電源電圧を半導体装置に供給する。ビア32は、半導体装置と電源回路21との間の板状部材1内に形成され、電源回路21から出力される接地電圧を半導体装置に供給する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

表面に半導体装置が実装される板状部材と、
前記半導体装置が実装される領域の前記板状部材内に埋め込まれ、電源電圧及び接地電圧を出力する電源回路と、
前記半導体装置と前記電源回路との間の前記板状部材内に形成され、前記電源回路から出力される前記電源電圧を前記半導体装置に供給する電源配線と、
前記半導体装置と前記電源回路との間の前記板状部材内に形成され、前記電源回路から出力される前記接地電圧を前記半導体装置に供給する接地配線と、を備える、
実装基板。

10

【請求項 2】

前記電源配線及び前記接地配線は、前記半導体装置と前記電源回路とを最短距離で接続することを特徴とする、
請求項 1 に記載の実装基板。

【請求項 3】

前記電源配線及び前記接地配線のそれぞれは、前記半導体装置の前記板状部材と対向する側の面に形成された異なる電極と接続されることを特徴とする、
請求項 1 又は 2 に記載の実装基板。

【請求項 4】

前記板状部材内に形成され、前記電源回路に電圧を供給する電源プレーンを更に備え、
前記電源回路は、前記電源プレーンから供給される前記電圧を変圧することにより前記電源電圧を生成することを特徴とする、
請求項 1 乃至 3 のいずれか一項に記載の実装基板。

20

【請求項 5】

前記電源プレーンから供給される前記電圧は、前記電源電圧よりも高いことを特徴とする、
請求項 4 に記載の実装基板。

【請求項 6】

前記板状部材の外部からの制御信号を前記電気回路に供給する信号配線を更に備えることを特徴とする、
請求項 1 乃至 5 のいずれか一項に記載の実装基板。

30

【請求項 7】

前記電気回路は、前記制御信号に応じて、前記電源電圧の出力をオン/オフすることを特徴とする、
請求項 6 に記載の実装基板。

【請求項 8】

前記電気回路は、前記制御信号に応じて、前記電源電圧の電圧値を変更することを特徴とする、
請求項 6 又は 7 に記載の実装基板。

【請求項 9】

複数の前記電源配線を備え、
前記電源回路は、前記複数の前記電気配線のそれぞれを介して、電圧値が異なる複数の前記出力電圧を出力することを特徴とする、
請求項 1 乃至 5 のいずれか一項に記載の実装基板。

40

【請求項 10】

電源電圧及び接地電圧を出力する電源回路を、半導体装置が実装される領域の板状部材内に埋め込んで形成し、
前記電源回路から出力される前記電源電圧を前記半導体装置に供給する電源配線を、前記半導体装置と前記電源回路との間の前記板状部材内に形成し、
前記電源回路から出力される前記接地電圧を前記半導体装置に供給する接地配線を、前

50

記半導体装置と前記電源回路との間の前記板状部材内に形成する、
実装基板の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は実装基板及びその製造方法に関し、特に実装された半導体装置に供給する電源のノイズを抑制する実装基板及びその製造方法に関する。

【背景技術】

【0002】

システムにおけるLSIへの高機能化要求はますます高まってきている。この要求に対しては、LSIのクロックサイクルの高速化による対応がされてきた。その後、半導体プロセスの制約により、クロックの高速化は難しくなってきた。そのため、LSIの性能を向上させる手法として、マルチコア技術が用いられるようになってきた。マルチコア技術では、1つのLSIの中に複数のプロセッサコアが搭載される。そして、搭載した複数のプロセッサコアに並列処理をさせることにより、LSI全体としての性能を向上させることができる。

10

【0003】

上述のLSIの高機能化技術を用いると、LSIの消費電力が大きくなる。そのため、動作時の電源線や接地線の電位のゆれ、いわゆる電源ノイズが問題となってきた。特に、マルチコア技術を適用したLSI内のトランジスタ数は、通常のLSIに比べて大きく増えるため、問題が顕在化しやすい。また、マルチコア技術を適用したLSIでは、消費電力や温度上昇を抑える目的で、プロセッサコアの周波数を動的に落としたり、電源電圧を可変にしたりする技術が用いられる。こうした技術も、電源ノイズを増加させる要因である。電源ノイズが大きくなると動作不良を起こすので、電源ノイズへの対策が重要になっている。

20

【0004】

LSIに電源を供給する電源装置の例としては、実装面積の縮小化を図るための薄型電源装置が提案されている（特許文献1）。また、実装面積抑制のため、直流電源回路を有する多層配線基板中に半導体ICチップ（LSI）を埋め込み、この多層配線基板をプリント基板上に実装する構成が提案されている（特許文献2）。

30

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2004-289912号公報

【特許文献2】特開2008-53319号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかし、発明者は、以下の問題点を見出した。電源ノイズは、電流を消費するLSIから電流を供給する電源回路を見た場合の電源供給線のインピーダンスと、LSIの変位電流と、によって決まる。LSIの電流変化を I 、電源供給線のインピーダンスを Z とすると、電源ノイズ量 V は、以下の式で表される。

40

$$V = I \times Z$$

電源供給線のインピーダンスは周波数特性を有するので、基本的にはすべての周波数帯で電源供給線のインピーダンスを許容値以内にする必要がある。この許容値は、LSIが搭載されるシステムのターゲットインピーダンスと称される。

【0007】

通常電源回路は、プリント基板（PCB：Printed Circuit Board）

50

r d) 上に、電力消費対象である L S I から遠く離れて配置されることが多かった。この場合、電源回路と L S I とは電源専用配線層によって接続される。同様に、接地電圧 (G N D 電位) も専用配線層によって接続される。電源回路と L S I との間の電源配線は、 R (抵抗)、L (インダクタ)、C (容量) によるインピーダンスを有し、このインピーダンス特性は周波数により変化する。一般に、L (インダクタ) 成分が大きいと、高周波数帯域でのインピーダンスが大きくなる。インピーダンスが大きいと、電流による電位ドロップが大きくなる。この電位ドロップが、電源ノイズとなる。電源回路と L S I との距離が遠いほど、電源回路と L S I との間の L (インダクタ) 成分が大きくなり、電源ノイズが増加する。

【 0 0 0 8 】

また、L S I に供給する電源の種類が 2 種以上の場合は、プレーン数を増やすか、1 つのプレーンを分割してレイアウトする必要がある。しかし、プレーン数を増やす場合には、プリント基板の層数を増やすこととなる。そのため、製造原価が上がってしまうという問題がある。更に、下層のプレーンを接続するビアが長くなるので、L (インダクタ) 成分が増加するという問題がある。

【 0 0 0 9 】

図 5 は、1 つの層を複数の電源プレーンに分割した場合のプリント基板 6 0 0 の要部のレイアウト図である。図 5 に示すように、プリント基板 6 0 0 には、基板 6 0 に、4 つの電源プレーン 6 1 ~ 6 4 が形成されている。L S I ケース 6 5 は、電源プレーン 6 1 ~ 6 4 の上に位置するように実装される。プリント基板 6 0 0 では、電源プレーン 6 1 ~ 6 4 の面積が小さくなってしまっているので、L (インダクタ) 成分が増加するという問題が生じる。

【 0 0 1 0 】

この問題の対策として、L S I 内に電圧レギュレータ回路を搭載する方法がある。この方法では、上述の問題は解決できるが、電圧レギュレータ回路搭載による L S I サイズの増大により、L S I の原価が大幅に高くなるという問題がある。また、電圧レギュレータ回路は、機能的に先端半導体プロセスは必要ないが、L S I に搭載するためには半導体プロセスを用いて作製しなければならない。その結果、L S I 全体の歩留まりが影響を受けてしまい、より原価が高くなってしまふ。更に、複数種の電源が必要な場合には、電圧レギュレータ回路を複数搭載する必要があるため、更に原価が高くなってしまふ。

【 0 0 1 1 】

また、上述の薄型電源装置及び直流電源回路は、実装面積の抑制を目的とするためのものであり、電源のノイズ抑制については不十分である。

【 0 0 1 2 】

本発明は、上記の事情に鑑みて為されたものであり、電源回路と半導体装置との間の電源配線に起因する電源ノイズを抑制できる実装基板及びその製造方法を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 3 】

本発明の一態様である実装基板は、表面に半導体装置が実装される板状部材と、前記半導体装置が実装される領域の前記板状部材内に埋め込まれ、電源電圧及び接地電圧を出力する電源回路と、前記半導体装置と前記電源回路との間の前記板状部材内に形成され、前記電源回路から出力される前記電源電圧を前記半導体装置に供給する電源配線と、前記半導体装置と前記電源回路との間の前記板状部材内に形成され、前記電源回路から出力される前記接地電圧を前記半導体装置に供給する接地配線と、を備えるものである。

【 0 0 1 4 】

本発明の一態様である実装基板の製造方法は、電源電圧及び接地電圧を出力する電源回路を、半導体装置が実装される領域の板状部材内に埋め込んで形成し、前記電源回路から出力される前記電源電圧を前記半導体装置に供給する電源配線を、前記半導体装置と前記電源回路との間の前記板状部材内に形成し、前記電源回路から出力される前記接地電圧を

10

20

30

40

50

前記半導体装置に供給する接地配線を、前記半導体装置と前記電源回路との間の前記板状部材内に形成するものである。

【発明の効果】

【0015】

本発明によれば、実装された半導体装置に供給する電源のノイズを低減できる実装基板及びその製造方法を提供することができる。

【図面の簡単な説明】

【0016】

【図1】実施の形態1にかかる半導体装置が実装された実装基板100の要部を示す断面図である。

10

【図2】実施の形態1にかかる高電圧DC電源プレーン2の構成を示すレイアウト図である。

【図3】実施の形態2にかかる半導体装置が実装された実装基板200の要部を示す断面図である。

【図4】実施の形態3にかかる半導体装置が実装された実装基板300の要部を示す断面図である。

【図5】1つの層を複数の電源プレーンに分割した場合のプリント基板600の要部のレイアウト図である。

【発明を実施するための形態】

【0017】

20

以下、図面を参照して本発明の実施の形態について説明する。各図面においては、同一要素には同一の符号が付されており、必要に応じて重複説明は省略される。

【0018】

実施の形態1

まず、本発明の実施の形態1にかかる実装基板100について説明する。図1は、実施の形態1にかかる半導体装置が実装された実装基板100の要部を示す断面図である。実装基板100は、例えばプリント基板である。図1に示すように、実装基板100上には、LSIケース51が実装されている。LSIケース51上には、LSI52が実装されている。LSIケース51の下面には、LSIケース51とパッド6とを接続するピン53が形成されている。LSI51、LSI52及びピン53は、一つの半導体装置を構成する。なお、板状部材1は、図1の水平方向に延在しているが、図面を簡略化するため、その一部のみが表示されている。

30

【0019】

実装基板100は、板状部材1、高電圧DC電源プレーン2、接地プレーン3及び4、信号プレーン5、パッド6、電源回路21、ビア31及び32を有する。高電圧DC電源プレーン2、接地プレーン3及び4、信号プレーン5、電源回路21、ビア31及び32は、板状部材1に埋め込まれて形成されている。

【0020】

電源回路21は、接地端子11、高電圧DC電源端子12及び電源端子13を有する。電源回路21は、高電圧DC電源プレーン2と接地プレーン3との間に、板状部材1の内部に埋め込まれて形成される。接地端子11は、接地プレーン3に接続される。高電圧DC電源端子12は、高電圧DC電源プレーン2に接続される。電源端子13は、接地プレーン3とは接続されておらず、接地プレーン3から独立している。

40

【0021】

接地端子11及び対応するパッド6は、接地配線であるビア31を介して接続される。電源端子13及び対応するパッド6は、電源配線であるビア32を介して接続される。よって、電源端子13から出力されるDC電源電圧VDDは、ビア32、パッド6、ピン53及びLSIケース51を介して、LSI52に供給される。接地端子11から出力される接地電圧GNDは、ビア31、パッド6、ピン53及びLSIケース51を介して、LSI52に供給される。

50

【 0 0 2 2 】

本実施の形態では、板状部材 1 に電源回路 2 1 が 1 つしか実装されていないが、これは図を簡略化するためであり、実際には電源回路 2 1 が必要な数だけ実装される。また、図 1 では、LSI ケース 5 1 の下面のピン 5 3 の中には、いずれにも接続されていないものがあるが、これは図を簡略化するためであり、実際には他の電源回路や信号線引き出しなどと接続される。

【 0 0 2 3 】

続いて、本実施の形態にかかる実装基板 1 0 0 の動作について説明する。高電圧 DC 電源プレーン 2 は、高電圧 DC 電源電圧 V D H を供給するためのプレーンである。なお、高電圧 DC 電源電圧 V D H とは、例えば 1 2 V や 2 4 V などの、LSI 5 2 の動作電圧よりも高い電圧を指す。実装基板 1 0 0 は、高電圧 DC 電源端子 1 2 に高電圧 DC 電源電圧 V D H が供給され、高電圧 DC 電源電圧 V D H を降圧した DC 電源電圧 V D D を、電源端子 1 3 から出力する。電源端子 1 3 は、対応する L S I ケース 5 1 のピン 5 3 に接続されているので、DC 電源電圧 V D D が、L S I ケース 5 1 を介して L S I 5 2 に供給される。この降圧された DC 電源電圧 V D D は、例えば 1 . 8 V や 1 . 5 V などの、L S I 5 2 で使用される電圧である。

10

【 0 0 2 4 】

本構成によれば、電源回路 2 1 から出力された DC 電源電圧 V D D は、ビア 3 2 を介して、直接的に L S I ケース 5 1 と接続される。電源回路 2 1 から出力された接地電圧 G N D は、ビア 3 1 を介して、直接的に L S I ケース 5 1 と接続される。つまり、LSI ケース 5 1 の直下に電源回路 2 1 を配置することができるので、電源回路 2 1 と L S I ケース 5 1 との間を接地配線 (ビア 3 1) 及び電源配線 (ビア 3 2) により、最短距離で接続することができる。そのため、電源回路 2 1 と L S I 5 2 との間のインピーダンスを決定する重要ファクタである、寄生 L (インダクタ) 成分を小さくすることができる。

20

【 0 0 2 5 】

さらに、電源回路 2 1 を L S I ケース 5 1 の直下に複数個配置することにより、個別の電圧を複数取り出すことができる。この場合、例えば I / O 種ごとに、異なる電圧を取り出すことが可能である。その結果、同一の実装基板により、LSI の仕様変更に対応することが可能となる。本構成によれば、ある I / O の電圧を、例えば、1 . 8 V から 1 . 5 V に容易に変更することができる。

30

【 0 0 2 6 】

さらにまた、複数の電源回路 2 1 から L S I 5 2 へ、それぞれ異なる電圧を供給できるため、高電圧 DC 電源プレーン 2 を 1 つだけ設ければよい。すなわち、本構成によれば、高電圧 DC 電源プレーンを複数設ける必要が無い。図 2 は、高電圧 DC 電源プレーン 2 の構成を示すレイアウト図である。図 2 に示すように、高電圧 DC 電源プレーン 2 は、例えば基板の全域に亘って形成することが可能である。なお、図 2 では、LSI ケース 5 1 の実装位置を破線で示している。つまり、本構成によれば、プリント基板の電源プレーン数を減らすことができるので、プリント基板のコストを低減することができる。

【 0 0 2 7 】

加えて、電源回路 2 1 は、既存の半導体プロセスで容易に作製できる。そのため、実装基板を安価に作製できるので、システム全体でのコストダウンに貢献することが可能である。

40

【 0 0 2 8 】

実施の形態 2

次に、本発明の実施の形態 2 にかかる実装基板 2 0 0 について説明する。図 3 は、実施の形態 2 にかかる半導体装置が実装された実装基板 2 0 0 の要部を示す断面図である。図 3 に示すように、実装基板 2 0 0 は、実施の形態 1 にかかる実装基板 1 0 0 に信号配線 1 0 追加した構成を有する。また、実装基板 2 0 0 では、実装基板 1 0 0 の電源回路 2 1 の代わりに、電源回路 2 2 が設けられる。実装基板 2 0 0 のその他の構成は、実装基板 1 0 0 と同様であるので、説明を省略する。

50

【0029】

電源回路22は、電源回路21に信号端子14を追加した構成を有する。信号端子14には、信号配線10を介して、実装基板200の外部から制御信号が供給される。電源回路22のその他の構成は、電源回路21と同様であるので、説明を省略する。

【0030】

続いて、本実施の形態にかかる実装基板200の動作について説明する。実装基板200では、電源回路22に制御信号を供給することができる。これにより、制御信号に応じて、電源端子13から出力するDC電源電圧VDDの値を変更することが可能である。また、制御信号に応じて、電源回路22の出力をディセーブル(オフ)とすることも可能である。これにより、電源を必要としない場合には、電源回路22の出力をディセーブル(オフ)とすることにより、消費電力を削減することができる。

10

【0031】

本構成によれば、システムとして電源供給が必要ないLSIの特定エリアへの電源供給を停止することができる。具体的には、例えば、動作が不要なプロセス・コアなどへの電源供給を停止できる。従って、本構成によれば、実装基板100と同様の作用効果を奏するのみならず、システムの消費電力を削減することができる。

【0032】

実施の形態3

次に、本発明の実施の形態3にかかる実装基板300について説明する。図4は、実施の形態3にかかる半導体装置が実装された実装基板300の要部を示す断面図である。図4に示すように、実装基板300は、実施の形態2にかかる実装基板200の電源回路22が電源回路23に置換された構成を有する。実装基板300のその他の構成は、実装基板200と同様であるので、説明を省略する。

20

【0033】

電源回路23は、第1の電源端子41、第2の電源端子42、第1の高電圧DC電源端子43及び第2の高電圧DC電源端子44、接地端子11及び信号端子14を有する。第1の電源端子41及び第2の電源端子42は、接地プレーン3とは接続されておらず、接地プレーン3から独立している。第1の電源端子41は、ビア32、パッド6、ピン53及びLSIケース51を介して、LSI52と接続される。第2の電源端子42は、ビア33、パッド6、ピン53及びLSIケース51を介して、LSI52と接続される。第1の高電圧DC電源端子43及び第2の高電圧DC電源端子44は、高電圧DC電源プレーン2に接続される。電源回路23のその他の構成は、電源回路22と同様であるので、説明を省略する。

30

【0034】

すなわち、電源回路23は、複数のDC電源電圧を出力することができる。複数のDC電源電圧は、それぞれ異なる電圧とすることができるし、同じ電圧とすることもできる。また、信号端子14に供給される制御信号により、複数のDC電源電圧の出力を一括してオン/オフすることもできるし、複数のDC電源電圧の出力をそれぞれ独立してオン/オフすることもできる。さらに、信号端子14に供給される制御信号により、複数のDC電源電圧の電圧値を一括して変更することもできるし、複数のDC電源電圧の電圧値をそれぞれ独立して変更することもできる。

40

【0035】

よって、本構成によれば、実装基板200と同様の作用効果を奏するのみならず、1つの電源回路23から複数のDC電源電圧を出力することができる。その結果、本構成によれば、プリント基板の機能を損なうことなく、電源回路の個数を削減することができる。また、単一の高電圧DC電源プレーンから供給される高電圧DC電源電圧に基づいて、複数のDC電源電圧を生成できる。

【0036】

なお、本発明は上記実施の形態に限られたものではなく、趣旨を逸脱しない範囲で適宜変更することが可能である。例えば、上述の実施の形態では、電源回路と半導体装置を接

50

続するビアが設けられているが、ビア以外の配線を形成することも可能である。

【0037】

実施の形態3にかかる実装基板300では、信号配線10が設けられているが、実装基板100と同様に、信号配線10を除いた構成とすることが可能である。

【0038】

上述の実施の形態にかかる電源回路は、高電圧DC電源電圧を降圧することによりDC電源電圧を生成しているが、DC電源電圧の生成はこの例に限られない。すなわち、高電圧DC電源電圧を変圧することにより、DC電源電圧を生成することが可能である。

【0039】

上述の実施の形態にかかる実装基板は、半導体装置が用いられる、低消費電力のシステムにかぎらず、大消費電力のシステムに利用することもできる。特に、低諸費電力及び低コストが必然的に要求される、携帯電話などの携帯端末への適用が特に有効である。

【0040】

上記の実施の形態の一部又は全部は、以下の付記のようにも記載され得るが、以下には限られない。

【0041】

(付記1) 表面に半導体装置が実装される板状部材と、前記半導体装置が実装される領域の前記板状部材内に埋め込まれ、電源電圧及び接地電圧を出力する電源回路と、前記半導体装置と前記電源回路との間の前記板状部材内に形成され、前記電源回路から出力される前記電源電圧を前記半導体装置に供給する電源配線と、前記半導体装置と前記電源回路との間の前記板状部材内に形成され、前記電源回路から出力される前記接地電圧を前記半導体装置に供給する接地配線と、を備える、実装基板。

【0042】

(付記2) 前記電源配線及び前記接地配線は、前記半導体装置と前記電源回路とを最短距離で接続することを特徴とする、付記1に記載の実装基板。

【0043】

(付記3) 前記電源配線及び前記接地配線のそれぞれは、前記半導体装置の前記板状部材と対向する側の面に形成された異なる電極と接続されることを特徴とする、付記1又は2に記載の実装基板。

【0044】

(付記4) 前記板状部材内に形成され、前記電源回路に電圧を供給する電源プレーンを更に備え、前記電源回路は、前記電源プレーンから供給される前記電圧を変圧することにより前記電源電圧を生成することを特徴とする、付記1乃至3のいずれか一に記載の実装基板。

【0045】

(付記5) 前記電源プレーンから供給される前記電圧は、前記電源電圧よりも高いことを特徴とする、付記4に記載の実装基板。

【0046】

(付記6) 前記板状部材の外部からの制御信号を前記電気回路に供給する信号配線を更に備えることを特徴とする、付記1乃至5のいずれか一に記載の実装基板。

【0047】

(付記7) 前記電気回路は、前記制御信号に応じて、前記電源電圧の出力をオン/オフすることを特徴とする、付記6に記載の実装基板。

【0048】

(付記8) 前記電気回路は、前記制御信号に応じて、前記電源電圧の電圧値を変更することを特徴とする、付記6又は7に記載の実装基板。

【0049】

(付記9) 複数の前記電源配線を備え、前記電源回路は、前記複数の前記電気配線のそれぞれを介して、電圧値が異なる複数の前記出力電圧を出力することを特徴とする、付記1乃至5のいずれか一に記載の実装基板。

10

20

30

40

50

【 0 0 5 0 】

(付記 1 0) 前記板状部材の外部からの制御信号を前記電気回路に供給する信号配線を更に備えることを特徴とする、付記 9 に記載の実装基板。

【 0 0 5 1 】

(付記 1 1) 前記電気回路は、前記制御信号に応じて、前記複数の前記電源電圧の出力を、それぞれ独立してオン/オフすることを特徴とする、付記 1 0 に記載の実装基板。

【 0 0 5 2 】

(付記 1 2) 前記電気回路は、前記制御信号に応じて、前記複数の前記電源電圧の電圧値を、それぞれ独立して変更することを特徴とする、付記 1 0 又は 1 1 に記載の実装基板。

10

【 0 0 5 3 】

(付記 1 3) 前記実装基板内に形成され、前記電源回路に前記接地電圧を供給する接地プレーンを更に備えることを特徴とする、付記 1 乃至 1 2 のいずれか一に記載の実装基板。

【 0 0 5 4 】

(付記 1 4) 前記電源回路を複数備えることを特徴とする、付記 1 乃至 1 3 のいずれか一に記載の実装基板。

【 0 0 5 5 】

(付記 1 5) 電源電圧及び接地電圧を出力する電源回路を、半導体装置が実装される領域の板状部材内に埋め込んで形成し、前記電源回路から出力される前記電源電圧を前記半導体装置に供給する電源配線を、前記半導体装置と前記電源回路との間の前記板状部材内に形成し、前記電源回路から出力される前記接地電圧を前記半導体装置に供給する接地配線を、前記半導体装置と前記電源回路との間の前記板状部材内に形成する、実装基板の製造方法。

20

【 符号の説明 】

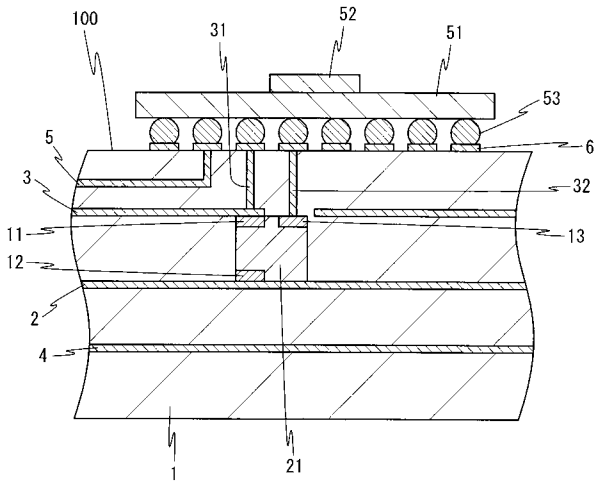
【 0 0 5 6 】

- 1 板状部材
- 2 高電圧 D C 電源プレーン
- 3、4 接地プレーン
- 5 信号プレーン
- 6 パッド
- 1 0 信号配線
- 1 1 接地端子
- 1 2 高電圧 D C 電源端子
- 1 3 電源端子
- 1 4 信号端子
- 2 1 ~ 2 3 電源回路
- 3 1 ~ 3 3 ビア
- 4 1 第 1 の電源端子
- 4 2 第 2 の電源端子
- 4 3 第 1 の高電圧 D C 電源端子
- 4 4 第 2 の高電圧 D C 電源端子
- 5 1、6 5 L S I ケース
- 5 2 L S I
- 5 3 ピン
- 6 0 基板
- 6 1 ~ 6 4 電源プレーン
- 1 0 0、2 0 0、3 0 0 実装基板
- 6 0 0 プリント基板

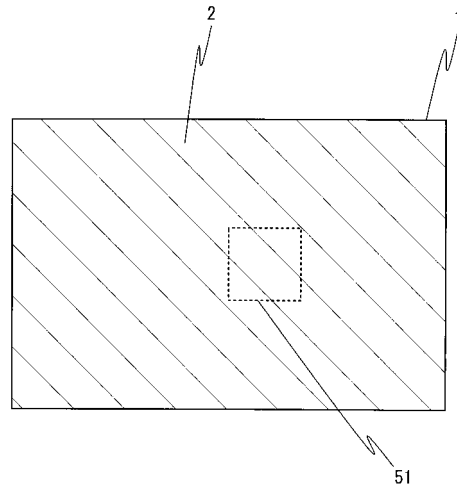
30

40

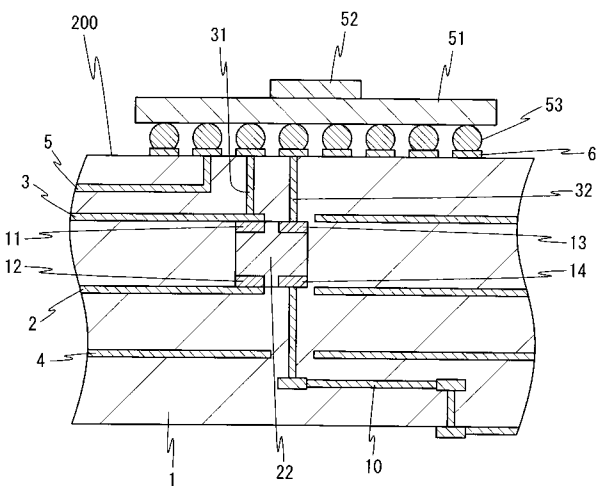
【 図 1 】



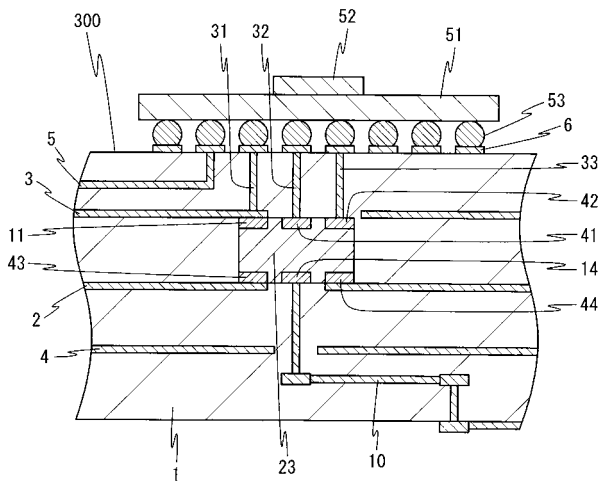
【 図 2 】



【 図 3 】



【 図 4 】



【 図 5 】

