



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I529552 B

(45)公告日：中華民國 105 (2016) 年 04 月 11 日

(21)申請案號：100126052

(22)申請日：中華民國 100 (2011) 年 07 月 22 日

(51)Int. Cl. : G06F17/50 (2006.01)

(30)優先權：	2010/07/24	美國	61/367,404
	2010/07/24	美國	61/367,406
	2010/07/24	美國	61/367,407
	2010/07/24	美國	61/367,410
	2010/07/24	美國	61/367,412
	2010/07/24	美國	61/367,398
	2010/12/30	美國	12/982,732

(71)申請人：卡登斯系統設計公司 (美國) CADENCE DESIGN SYSTEMS, INC. (US)

美國

(72)發明人：費雪 艾德 FISCHER, ED (US)；麥雪利 麥可 MCSHERRY, MICHAEL (US)；懷特 大衛 WHITE, DAVID (US)；柳田 布魯斯 YANAGIDA, BRUCE (US)；夏阿克沙 SHAH, AKSHAT (US)

(74)代理人：陳長文

(56)參考文獻：

US 6438729B1

US 7251800B2

US 2009/0265672A1

審查人員：許俊岳

申請專利範圍項數：20 項 圖式數：7 共 37 頁

(54)名稱

用於實施具有電感知之電子電路設計的約束驗證之方法、系統及製造物

METHODS, SYSTEMS, AND ARTICLES OF MANUFACTURE FOR CONSTRAINT VERIFICATION FOR IMPLEMENTING ELECTRONIC CIRCUIT DESIGNS WITH ELECTRICAL AWARENESS

(57)摘要

本發明揭示用於實施具有電感知之電子電路設計的約束驗證之方法、系統及製造物。一些實施例識別或設定寄生約束，且將電寄生與對應的寄生約束比較以判定是否符合該等寄生約束。一些實施例首先識別、判定或更新一部分佈局之一組件之實體資料且特性化與該組件之該實體資料相關聯的該等電寄生。一些實施例識別或判定一些示意圖級效能約束且基於示意圖模擬結果及該等效能約束估計寄生約束；接著將該等估計之寄生約束與該等對應的電寄生比較以判定是否滿足該等約束。一些實施例進一步將示意圖級寄生約束映射至一實體設計表示，且接著將該等映射之寄生約束與對應的電約束比較以判定是否符合該等映射之約束。

Disclosed are methods, systems, and articles of manufacture for constraint verification for implementing electronic circuit designs with electrical awareness. Some embodiments identify or set parasitic constraint (s) and compare the electrical parasitic(s) with corresponding parasitic constraint(s) to determine whether the parasitic constraints are met. Some embodiments first identify, determine, or update the physical data of a component of a partial layout and characterize the electrical parasitics associated with the physical data

of the component. Some embodiments identify or determine some schematic level performance constraints and estimate parasitic constraints based on schematic simulation results and the performance constraints; the estimated parasitic constraints are then compared with the corresponding electrical parasitics to determine whether the constraints are satisfied. Some embodiments further map schematic level parasitic constraints to a physical design representation and then compares the mapped parasitic constraints with corresponding electrical constraints to determine whether the mapped constraints are met.

指定代表圖：

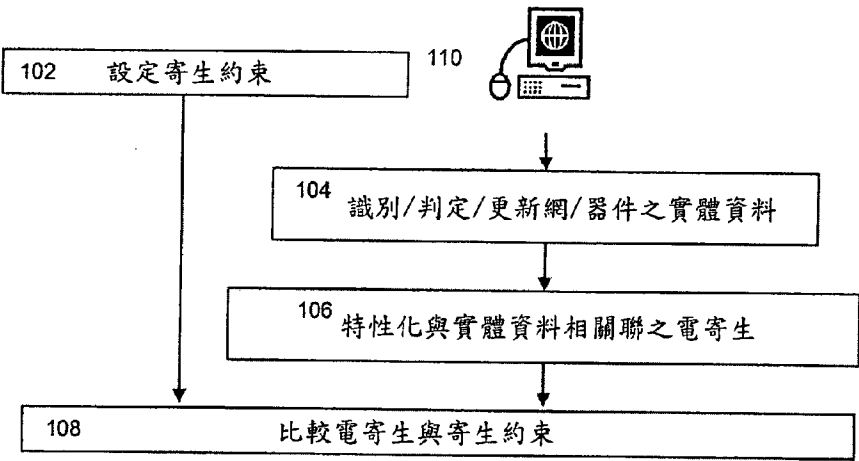


圖 1A

符號簡單說明：

102 . . . 用於識別與一或多個電寄生相關聯之一或多個寄生約束之程序或模組

104 . . . 用於識別、判定或更新電子電路之實體設計之一部分的網、器件或組件之實體資料之程序或模組

106 . . . 用於特性化與組件之實體資料相關聯的一或多個電寄生之程序或模組

108 . . . 用於執行對與一或多個電寄生相關聯之一或多個約束的約束驗證之程序或模組

110 . . . 計算系統



發明專利說明書

中文說明書替換本(104年11月18日)

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：100126052

※ 申請日：100年7月22日

※IPC 分類：G06F (2006.01)

一、發明名稱：(中文/英文)

用於實施具有電感知之電子電路設計的約束驗證之方法、系統及製造物

METHODS, SYSTEMS, AND ARTICLES OF MANUFACTURE FOR
CONSTRAINT VERIFICATION FOR IMPLEMENTING ELECTRONIC
CIRCUIT DESIGNS WITH ELECTRICAL AWARENESS

二、中文發明摘要：

本發明揭示用於實施具有電感知之電子電路設計的約束驗證之方法、系統及製造物。一些實施例識別或設定寄生約束，且將電寄生與對應的寄生約束比較以判定是否符合該等寄生約束。一些實施例首先識別、判定或更新一部分佈局之一組件之實體資料且特性化與該組件之該實體資料相關聯的該等電寄生。一些實施例識別或判定一些示意圖級效能約束且基於示意圖模擬結果及該等效能約束估計寄生約束；接著將該等估計之寄生約束與該等對應的電寄生比較以判定是否滿足該等約束。一些實施例進一步將示意圖級寄生約束映射至一實體設計表示，且接著將該等映射之寄生約束與對應的電約束比較以判定是否符合該等映射之約束。

三、英文發明摘要：

Disclosed are methods, systems, and articles of manufacture for constraint verification for implementing electronic circuit designs with electrical awareness. Some embodiments identify or set parasitic constraint(s) and compare the electrical parasitic(s) with corresponding parasitic constraint(s) to determine whether the parasitic constraints are met. Some embodiments first identify, determine, or update the physical data of a component of a partial layout and characterize the electrical parasitics associated with the physical data of the component. Some embodiments identify or determine some schematic level performance constraints and estimate parasitic constraints based on schematic simulation results and the performance constraints; the estimated parasitic constraints are then compared with the corresponding electrical parasitics to determine whether the constraints are satisfied. Some embodiments further map schematic level parasitic constraints to a physical design representation and then compares the mapped parasitic constraints with corresponding electrical constraints to determine whether the mapped constraints are met.

四、指定代表圖：

(一)本案指定代表圖為：第(1A)圖。

(二)本代表圖之元件符號簡單說明：

- 102 用於識別與一或多個電寄生相關聯之一或多個寄生約束之程序或模組
- 104 用於識別、判定或更新電子電路之實體設計之一部分的網、器件或組件之實體資料之程序或模組
- 106 用於特性化與組件之實體資料相關聯的一或多個電寄生之程序或模組
- 108 用於執行對與一或多個電寄生相關聯之一或多個約束的約束驗證之程序或模組
- 110 計算系統

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

六、發明說明：

【先前技術】

極深次微米(VDSM)積體電路(IC)之最近進展已在整合系統之實體設計方法程序中引入了新的挑戰。

舉例而言，當整個晶片設計完成且關於實體設計之寄生及由電晶體汲取之電流的詳細資訊係已知時，多數習知電子電路設計工具集中注意力於佈局後驗證以驗證(例如)寄生是否滿足對應的約束。在此等習知方法中，寄生係自完成之佈局提取且接著對照對應的約束加以驗證。此外，在此等習知方法中，習知電路合成步驟後接著為佈局合成，且每一步驟係獨立於另一者進行。在整個實體佈局之完成後，此又繼之以實體或形式驗證步驟以檢查在佈局產生及提取後是否已達成所要的目標。在習知方法中反覆進行此等步驟，直至符合所要的效能目標。

然而，此反覆方法浪費了顯著量的資源，此係因為諸如置放工具、路由器等之各種實體設計工具及諸如示意圖編輯器、示意圖級模擬器等之各種示意圖設計工具不知道與電子電路之實體設計相關聯的寄生及與寄生相關聯的電特性。

因此，存在對於在設計階段早期用於實施具有電感知之電子電路設計的約束驗證之需要。

【發明內容】

本發明呈現用於實施用於實施具有電感知的一電子電路之一電子電路設計的約束驗證之方法、系統及電腦程式產

品。

在一實施例中，實施用於實施具有電感知的一電子電路之一電子電路設計的約束驗證涉及執行一程序，該程序包含：識別、判定或更新該電子電路設計之一部分實體設計之一組件的實體資料；特性化與該實體資料相關聯之一電寄生；及確保該實體資料之正確性。

當該程序進一步包含識別或接收一寄生約束時，可實現額外目標及優勢。確保該實體資料或其他資料之正確性之程序可包含判定該電寄生是否符合該寄生約束。

當該程序進一步包含以下程序時，可實現額外目標及優勢：識別或接收一寄生約束；識別或建立一用於該電子電路之示意圖設計；識別或接收一第一域約束；及至少部分基於一示意圖至實體設計表示而將該第一域約束映射至一第二域。

當該程序進一步包含以下程序時，可實現額外目標及優勢：識別或接收一寄生約束；識別或建立一用於該電子電路之示意圖設計；識別或接收一第一域約束；至少部分基於一示意圖至實體設計表示而將該第一域約束映射至一第二域；及將與該實體資料相關聯之該電寄生與經映射之該第一域約束比較。

當該程序進一步包含至少部分基於確保該實體資料或該其他資料之該正確性之該程序之一結果判定一調整時，可實現額外目標及優勢。

當該程序進一步包含至少部分基於確保該實體資料或該

其他資料之該正確性之該程序之一結果判定一調整及判定該調整是否違反另一約束時，可實現額外目標及優勢。

當該程序進一步包含至少部分基於確保該實體資料或該其他資料之該正確性之該程序之一結果判定一調整及將該調整應用至該實體資料或應用至與該電寄生或電特性有關之該其他資料時，可實現額外目標及優勢。

當該程序進一步包含至少部分基於確保該實體資料或該其他資料之該正確性之該程序之一結果判定一提示及在一顯示器裝置上之一使用者介面中顯示該提示時，可實現額外目標及優勢。

當該程序進一步包含以下程序時，可實現額外目標及優勢：識別或接收一寄生約束；基於經識別或接收之該約束識別另一約束，其中對該約束之一滿足視對該另一約束之一滿足而定，或對該另一約束之該滿足視對該約束之該滿足而定。

當該程序進一步包含給一使用者提供一手動設置對該實體資料、該電寄生或該電特性之一約束之能力時，可實現額外目標及優勢。

當該程序進一步包含給一使用者提供一手動設置對該實體資料、該電寄生或該電特性之一約束之能力及判定該調整是否違反一或多個設計規則或一或多個約束時，可實現額外目標及優勢。

當該程序進一步包含給一使用者提供一手動設置對該實體資料、該電寄生或該電特性之一約束之能力及對一使用

者顯示至少部分基於該調整之一提示時，可實現額外目標及優勢。可產生該提示以用於應用該調整或用於修正該一或多個違反。

當該部分實體設計未通過一佈局對示意圖檢查或驗證時，可實現額外目標及優勢。

當在完成一網之建立或一現有網之修改之前或之時執行特性化該電寄生之該程序或特性化該電特性之該程序時，可實現額外目標及優勢。

當該程序進一步包含在一網或一部分網之建立或修改之完成後且在在該部分實體設計中的一第二網之建立或修改前驗證該電特性時，可實現額外目標及優勢。

當至少部分基於在一網經建立或完成之時該網上之一形狀或一組形狀執行特性化該電寄生之該程序或特性化該電特性之該程序時，可實現額外目標及優勢。

【實施方式】

圖式說明本發明之各種實施例之設計及效用。應注意，該等圖未按比例繪製，且貫穿該等圖，類似結構或功能之元件由同樣的參考數字表示。為了更好地瞭解如何獲得本發明之各種實施例的以上列舉及其他優勢及目標，將參照本發明之特定實施例呈現以上簡要描述的本發明之較詳細描述，該等特定實施例說明於隨附圖式中。應理解此等圖式僅描繪了本發明之典型實施例且因此不應被認為限制其範疇，將經由使用隨附圖式以額外特定性及細節來描述及解釋本發明。

在一或多個實施例中，本發明之各種實施例係針對一種用於實施具有電感知之電子電路設計之方法、系統及製造物。在實施方式、圖及申請專利範圍中描述了本發明之其他目標、特徵及優勢。

現將參看圖式詳細描述各種實施例，該等圖式係提供作為本發明之說明性實例，以便使熟習此項技術者能夠實踐本發明。值得注意地，該等圖及以下實例並不意謂限制本發明之範疇。在可使用已知組件(或方法或程序)部分或全部實施本發明之某些要素之情況下，將僅描述對於本發明之理解係必要的此等已知組件(或方法或程序)之彼等部分，且將省略此等已知組件(或方法或程序)之其他部分之詳細描述，以便不使本發明晦澀難懂。另外，本發明之各種實施例涵蓋藉由說明在本文中提及之組件的目前及未來已知等效物。

圖1A說明在一些實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之最高層級圖。圖1A說明該系統可包含使用計算系統110之使用者介面來與用於執行如下所述之各種程序之各種程序或模組介面連接。

在一或多個實施例中，該方法或該系統可包含用於識別、判定或更新電子電路之實體設計之一部分(例如，電子設計之佈局之一部分)的網、器件或組件(下文被共同稱為「組件」)之實體資料之程序或模組104。在一些實施例中，該方法或該系統應用於電子設計(當正在諸如佈局工具之實體設計工具中實施該設計之第一組件時)。在一些

實施例中，當設計者正實施或修改電子電路之實體設計時，可自實體設計工具或流程(諸如，佈局編輯器)內而非在一或多個實施例中自佈局後驗證工具或流程調用用於識別、判定或更新電子電路實體設計的組件之實體資料之程序。在一些實施例中，器件辨識及連接性任務經執行以能夠將諸如一給定端子處的電流之電特性與附接至彼端子的合適的網映射。在一些實施例中，可引導連接性以階層式地橫越該等網且停在由使用者判定之層級上。

在如圖1A中說明之此等實施例中，該方法或該程序亦可包含用於特性化與組件之實體資料相關聯的一或多個電寄生之程序或模組106。

在一些實施例中，可藉由兩階段方法完成與實體資料相關聯的電寄生之特性化。此程序開始於對特定網或部分網之選擇。在第一階段中，該程序識別應在沿著彼網之何處建立幾何描述。幾何描述可包括電線寬度及間距、導體及ILD(層間介電質)厚度或障壁材料之厚度。可經由API(應用程式設計介面)建立及提供普通描述。

第二階段可包括可將幾何描述轉譯、變換、轉換或映射(下文「映射」)至諸如電阻、電容或電感之等效寄生值之一或多個組件。可藉由常被稱作寄生提取之算術演算法或模型完成此轉譯、變換、轉換或映射(下文「映射」)。可經由使用組合底層物理之模型或知識與由各種解算器、模擬器或其組合提供之資料的半經驗方法來建立模型。在一些情況下，亦可藉由解算器完成對於電容之映射。

在一些實施例中，第二階段可將寄生提取用於一些網且將場解算器用於其他網。在一些實施例中，第二階段可在同一網上使用用於(例如)電阻之寄生提取與用於(例如)電容之場解算器的組合。在一些實施例中，可藉由將幾何尺寸及圖案映射至諸如R、L及C之對應寄生之提取工具來執行電寄生之特性化。在一些實施例中，電寄生之特性化包括使用將幾何尺寸及圖案映射至電容的場解算器(諸如，但不限於，一或多個EM場解算器)。

在一單一實施例中或在一些實施例中，將與實體資料相關聯之電寄生資料提供至矩陣解算器以用於靜態或暫態分析。執行矩陣解算器以產生用於該設計之器件及互連件組件的電壓及電流資料。在一單一實施例中或在一些實施例中，用於實施具有與模擬有關之約束或效能預期之電子電路設計之方法或系統包含在已建立或修改一單一網後調用模擬器或解算器之流程。

關於程序或模組104及106之更多細節描述於在本申請案之¶¶ [0001]-[0002]中列出的有關申請案中，彼等有關申請案之內容特此被以引用的方式全部明確地併入本申請案中。

在一些實施例中，該方法或該系統可進一步包含用於識別與一或多個電寄生相關聯之一或多個寄生約束之程序或模組102。舉例而言，該方法或該系統可識別或接收來自各種來源(諸如，使用者、與約束程式庫互動之約束管理器)或來自包含各種域(例如，示意圖域、實體域、佈局後

域...)中之各種工具之電子電路設計工具集等的對兩個端子之間的網之電阻(R)、經由基板耦合之總電容、一耦合電容或一電容(共同地稱為C)或電感(L)的約束。

在一或多個實施例中，該方法或該系統可進一步包含執行對與一或多個電寄生相關聯之一或多個約束的約束驗證之程序或模組108。在一些實施例中，程序或模組108可包含將一或多個電約束與各別一或多個約束比較以判定是否滿足一或多個約束之程序或模組。

在一或多個實施例中，當已建立或修改一單一網(或為一網之部分的一或多個形狀)時，但在下一個網或為下一個網之部分的一或多個形狀之建立或修改前，發生諸如(但不限於)用於構成一網之一或多個形狀的各種類型之R、L或C的寄生之特性化及諸如(但不限於)各種類型之電流、電壓或電流密度的電行為或特性之隨後特性化以及約束驗證。在一些實施例中，亦可在正建立或修改一網時漸增地發生此等特性化或驗證。在一些實施例中，當正建立或修改連接至此等端子之一或多個網時，可使用模擬產生之端子電流。此外，在一些實施例中，當僅存在部分佈局時，可發生此等特性化或驗證。在此等實施例中，可與電子電路設計之實體設計之建立或修改協同地執行電寄生之模擬、重新模擬、特性化或驗證，使得在完成實體設計前解決電路組件之任何影響。

圖1B說明在一或多個實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之最高層級方塊

圖。如在圖 1B 中說明之方塊圖實質上類似於圖 1A 之方塊圖。圖 1B 中說明的用於約束驗證之方法或系統可包含使用計算系統 162 之使用者介面來與用於執行如下所述之各種程序之各種程序或模組介面連接。在一或多個實施例中，該方法或該系統可包含用於識別、判定或更新電子電路之實體設計之一部分的組件之實體資料之程序或模組 154。在一或多個實施例中，該方法或該系統可包含用於特性化與電子電路之實體設計之一部分的組件之實體資料相關聯之一或多個電寄生之程序或模組 156。

在如圖 1B 中說明之此等實施例中，該方法或該程序亦可包含用於特性化與組件之實體資料相關聯之一或多個電寄生之程序或模組 156。在一些實施例中，該方法或該系統可進一步包含用於識別與一或多個電寄生相關聯之一或多個寄生約束之程序或模組 152。在一或多個實施例中，該方法或該系統可進一步包含執行對與一或多個電寄生相關聯之一或多個約束的約束驗證之程序或模組 158。

在一些實施例中，程序或模組 158 可包含將一或多個電約束與各別一或多個約束比較以判定是否滿足一或多個約束之程序或模組。在一些實施例中，如圖 1B 中說明之方法或系統可進一步視情況包含用於將程序或模組之一或多個結果儲存於非暫時性電腦可讀儲存媒體中或在顯示器裝置上之使用者介面中顯示一或多個結果之程序或模組 160。

圖 2A 說明在一或多個實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之最高層級方塊

圖。在一或多個實施例中，用於實施電子電路設計的約束驗證之方法或系統包含使用計算系統210之使用者介面來與用於執行如下所述之各種程序之各種程序或模組介面連接。在一或多個實施例中，該方法或該系統可包含用於識別、判定或更新電子電路之實體設計之一部分(例如，電子設計之佈局之一部分)的組件之實體資料之程序或模組204。

在如圖2A中說明之此等實施例中，該方法或該程序亦可包含用於特性化與組件之實體資料相關聯之一或多個電寄生之程序或模組206。在一些實施例中，該方法或該系統可進一步包含用於識別或接收來自使用者的對寄生約束之一或多個手動設定之程序或模組202。舉例而言，設計者可手動設定兩個端子之間的互連件之電阻的極限，且該方法或該系統將彼極限用作約束且判定該互連件之電寄生(在此實例中，R)是否滿足由設計者手動鍵入之約束。

在一或多個實施例中，該方法或該系統可進一步包含執行對與一或多個電寄生相關聯之一或多個約束的約束驗證之程序或模組208。在一些實施例中，程序或模組208可包含將一或多個電約束與各別一或多個約束比較以判定是否滿足一或多個約束之程序或模組。

圖2B說明在一或多個實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之最高層級方塊圖。在如在圖2B中說明之此等實施例中，用於實施電子電路設計的約束驗證之方法或系統包含使用計算系統266之

使用者介面來與用於執行如下所述之各種程序之各種程序或模組介面連接。在一些實施例中，該方法或該系統可包含用於識別或建立電子電路之示意圖設計之程序或模組252及/或用於將一環境(例如，模擬環境)用於設定、接收或識別一或多個電路效能或行為約束之程序或模組254。

在一些實施例中，該方法或該系統亦可包含用於使用至少示意圖設計及一或多個效能或行為約束來執行一或多個模擬之程序或模組256。在如在圖2B中說明之一些實施例中，該方法或該系統可進一步包含用於至少部分基於一或多個模擬之結果及/或一或多個效能或行為約束而估計一或多個寄生約束之程序或模組258。舉例而言，在一些實施例中，該方法或該系統可使用在示意圖級模擬中判定之電流、電壓等估計針對對應的電寄生之約束。

該方法或該系統亦可包含用於識別、判定或更新電子電路之實體設計之一部分的組件之實體資料之程序或模組260。該方法或該程序亦可包含用於特性化與組件之實體資料相關聯的一或多個電寄生之程序或模組262。

在一或多個實施例中，在262或256後，該方法或該系統可進一步包含用於執行對與一或多個電寄生相關聯之一或多個約束的約束驗證之程序或模組264。在一些實施例中，程序或模組264可包含將一或多個電約束與各別一或多個約束比較以判定是否滿足一或多個約束之程序或模組。

圖3說明在一些實施例中的用於實施具有電感知之電子

電路設計的約束驗證之方法或系統之較詳細方塊圖。在如圖3中說明之一或多個實施例中，該方法或該系統可包含用於使用計算系統316之使用者介面來與用於執行如下所述之各種程序之各種程序或模組介面連接之程序或模組。該方法或該系統可進一步包含用於識別、設定或接收一或多個約束之程序或模組302。該方法或該系統可進一步包含用於識別、判定或更新電子電路之實體設計之一部分(例如，電子設計之佈局之一部分)的組件之實體資料之程序或模組304。在此等實施例中，該方法或該系統亦可包含用於特性化與組件之實體資料相關聯的一或多個電寄生之程序或模組306。

在一些實施例中，一旦在306處特性化了一或多個寄生且在302處設定、識別或接收了一或多個寄生約束，則該方法或該系統可進一步包含用於在308處驗證一或多個電寄生是否符合對應的一或多個寄生約束之程序或模組308。在一些實施例中，在不滿足一或多個寄生約束中之一些之情況下，該方法或該系統可進一步視情況包含用於判定或計算對於實體資料之一或多個調整之程序或模組310。在一些實施例中，調整包含一新路線或其一區段之建立或一現有路線或其一區段之修改。在一些實施例中，調整包含將一組件置放於電子電路設計之實體設計中。

此外或在替代方案中，在一些實施例中，在不滿足一或多個寄生約束中之一些之情況下，該方法或該系統可進一步包含用於提供用以校正實體資料之一或多個提示之程序

或模組310。此外，該方法或該系統亦可視情況包含用於判定或檢查以瞭解一或多個調整或一或多個提示是否違反了其他設計規則、約束或其他要求之程序或模組312。在314處，該方法或該系統可包含用於自動或借助於輔助來應用一或多個調整中之至少一者以修正組件之實體資料或亦受到對應的一或多個電寄生影響的其他元件之實體資料之程序或模組。

圖4說明在一或多個實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之較詳細方塊圖。在如圖4中說明之一些實施例中，該方法或該系統可包含用於識別或建立電子電路之示意圖設計之程序或模組402及/或在一些實施例中用於設定、接收或識別一或多個寄生約束之程序或模組404。在一些實施例中，該方法或該系統可進一步視情況包含用於將一或多個寄生映射至實體設計表示之程序或模組406。

此外或在替代方案中，在一些實施例中，該方法或該系統可包含用於識別、判定或更新電子電路之實體設計之一部分的組件之實體資料之程序或模組408。在一些實施例中，該方法或該系統亦可包含用於特性化與實體資料相關聯的一或多個電寄生之程序或模組410。

在一些實施例中，在410處特性化了一或多個電寄生後或在406處映射了一或多個寄生約束後，該方法或該系統可進一步包含用於驗證一或多個電寄生是否符合一或多個寄生約束之程序或模組412。在此等實施例中，該方法或

該系統可進一步視情況包含用於在顯示器裝置上之使用者介面中顯示驗證寄生約束之程序的結果或在一些實施例中將該等結果儲存於非暫時性電腦可讀儲存媒體上之程序或模組414。

圖5說明在一或多個實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之較詳細方塊圖。在如圖5中說明之此等實施例中，該方法或該系統可包含用於識別或建立電子電路之示意圖設計之程序或模組502及/或在一些實施例中用於設定、接收或識別一或多個寄生約束之程序或模組504。在如圖5中說明之此等實施例中，該方法或該系統可進一步包含用於識別、判定或更新電子電路之部分實體設計中的組件之實體資料之程序或模組506。在一或多個實施例中，該方法或該系統可進一步包含用於特性化與電子電路之部分實體設計中的組件之實體資料相關聯之一或多個電寄生之程序或模組508。

在一些實施例中，在510處映射了一或多個寄生約束後或在504處設定、識別或接收了一或多個寄生約束後，該方法或該系統可進一步包含用於驗證一或多個電寄生是否符合對應的一或多個寄生約束之程序或模組512。在一些實施例中，程序或模組512包含將一或多個電寄生與對應的一或多個寄生約束比較以判定是否符合一或多個寄生約束之程序或模組。在此等實施例中，該方法或該系統可進一步視情況包含用於在顯示器裝置上之使用者介面中顯示驗證寄生約束之程序的結果或在一些實施例中將該等結果

儲存於非暫時性電腦可讀儲存媒體上之程序或模組514。

圖6說明在一或多個實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之較詳細方塊圖。

在一些實施例中，用於實施具有電感知之電子電路設計的約束驗證之方法或系統可包含在602處的識別或建立示意圖設計之程序或模組。在一些實施例中，用於實施具有電感知之電子電路設計的約束驗證之方法或系統可進一步包含在604處的用於識別或接收寄生約束之程序或模組。在一些實施例中，用於實施具有電感知之電子電路設計的約束驗證之方法或系統可進一步包含在606處的用於至少部分基於示意圖至實體設計表示而映射寄生約束之程序或模組。

在一些實施例中，用於實施具有電感知之電子電路設計的約束驗證之方法或系統可進一步包含在608處的用於識別、判定或更新電子電路實體設計的網、器件或組件之實體資料之程序或模組。在一些實施例中，該方法或系統亦可包含用於610特性化與實體資料相關聯之電寄生之程序或模組610。在一些實施例中，在程序或模組610或程序或模組606後，方法或系統亦可繼續進行至在612處的用於驗證寄生約束之程序或模組。在一些實施例中，程序或模組612可包含用於將電寄生與寄生約束比較以判定是否滿足寄生約束之程序或模組612。

在不符合寄生約束之一些實施例中，該方法或系統亦可包含在614處的用於計算一或多個調整或提供用以校正實

體資料之一或多個提示之程序或模組。在一些實施例中，該方法或系統可進一步包含在616處的用於判定或檢查以確保一或多個調整或一或多個提示不違反其他約束、設計規則或要求之程序或模組。該方法或系統可進一步包含在618處的用於將該一或多個調整中之至少一者應用至實體資料相關聯於之組件之程序或模組。

系統架構綜述

圖7說明適合於實施如在先前段落中參看各種圖描述的用於實施具有電感知的電子電路之電子電路設計的約束驗證之方法或系統之一些實施例的說明性計算系統1400之方塊圖。電腦系統1400包括一匯流排1406或用於傳達資訊之其他通信機構，其互連子系統及器件，諸如，處理器1407、系統記憶體1408(例如，RAM)、靜態儲存器件1409(例如，ROM)、碟機1410(例如，磁性或光學)、通信介面1414(例如，數據機或乙太網路卡)、顯示器1411(例如，CRT或LCD)、輸入器件1412(例如，鍵盤)及游標控制(未圖示)。

根據一實施例，電腦系統1400藉由一或多個處理器或處理器核心1407來執行特定操作，該一或多個處理器或處理器核心執行系統記憶體1408中含有之一或多個指令之一或多個序列。可自另一電腦可讀/可用儲存媒體(諸如，靜態儲存器件1408或碟機1409)將此等指令讀取至系統記憶體1410內。在替代實施例中，可代替軟體指令或與軟體指令結合使用硬連線電路來實施本發明。因此，本發明之實施

例不限於硬體電路及/或軟體之任一特定組合。在一實施例中，術語「邏輯」應意謂用以實施本發明之全部或部分的軟體或硬體之任一組合。

可藉由使用一或多個處理器、一或多個處理器核心或其組合1407來執行如在先前段落中描述之各種程序或程序，其中該一或多個處理器、一或多個處理器核心或其組合執行一或多個線緒。舉例而言，指定各種網或端子集合之程序或執行驗證或模擬之程序或模組等可由一或多個處理器、一或多個處理器核心或其組合執行。在一實施例中，在建立或修改佈局形狀或網時，在記憶體中完成寄生提取、電流求解、電流密度計算及電流或電流密度驗證。

如在本文中使用的術語「電腦可讀儲存媒體」或「電腦可用儲存媒體」指參與將指令提供至處理器1407以用於執行之任一媒體。此媒體可呈許多形式，包括(但不限於)非揮發性媒體及揮發性媒體。非揮發性媒體包括(例如)光碟或磁碟，諸如，碟機1410。揮發性媒體包括動態記憶體，諸如，系統記憶體1408。

電腦可讀儲存媒體之普通形式包括(例如)機電碟機(諸如，軟性磁碟、可撓性碟或硬碟)；基於快閃、基於RAM(諸如，SRAM、DRAM、SDRAM、DDR、MRAM等)或任何其他固態碟機(SSD)；磁帶；任一其他磁性或磁光媒體；CD-ROM；任一其他光學媒體；具有孔之圖案的任一其他實體媒體；RAM、PROM、EPROM、FLASH-EPROM、任一其他記憶體晶片或卡匣、或電腦可自其讀

取之任一其他媒體。

在本發明之一實施例中，用以實踐本發明的指令序列之執行由一單一電腦系統1400執行。根據本發明之其他實施例，由通信鏈路1415(例如，LAN、PTSN或無線網路)耦接之兩個或兩個以上電腦系統1400可相互合作地執行實踐本發明所需的指令序列。

電腦系統1400可經由通信鏈路1415及通信介面1414傳輸及接收訊息、資料及指令(包括程式，亦即，應用程式碼)。接收之程式碼可由處理器1407在其經接收時執行，及/或儲存於碟機1410或其他非揮發性儲存器中以用於稍後執行。在一實施例中，電腦系統1400與資料儲存系統1431(例如，含有一可易於由電腦系統1400存取之資料庫1432的資料儲存系統1431)協同操作。電腦系統1400與資料儲存系統1431經由資料介面1433通信。耦接至匯流排1406之資料介面1433傳輸且接收電、電磁或光學信號，該等信號包括表示各種類型之信號資訊(例如，指令、訊息及資料)的資料串流。在本發明之實施例中，資料介面1433之功能可由通信介面1414執行。

在前述說明書中，已參照本發明之特定實施例描述了本發明。然而，將顯然，可在不脫離本發明之較廣精神及範疇的情況下對其進行各種修改及改變。舉例而言，參照程序程序之一特定排序描述上述程序流程。然而，在不影響本發明之範疇或操作之情況下，可改變描述之程序程序中之許多者的排序。因此，應按說明性而非限制性意義來看

待說明書及圖式。

【圖式簡單說明】

圖 1A 至圖 1B 說明在一些實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之最高層級方塊圖。

圖 2A 至圖 2B 說明在一些實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之最高層級方塊圖。

圖 3 說明在一些實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之較詳細方塊圖。

圖 4 說明在一些實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之較詳細方塊圖。

圖 5 說明在一些實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之較詳細方塊圖。

圖 6 說明在一些實施例中的用於實施具有電感知之電子電路設計的約束驗證之方法或系統之較詳細方塊圖。

圖 7 描繪可在其上實施具有並行處理模型之用於時序收斂之方法之電腦化系統。

【主要元件符號說明】

- | | |
|-----|--|
| 102 | 用於識別與一或多個電寄生相關聯之一或多個寄生約束之程序或模組 |
| 104 | 用於識別、判定或更新電子電路之實體設計之一部分的網、器件或組件之實體資料之程序或模組 |

- 106 用於特性化與組件之實體資料相關聯之一或多個電寄生之程序或模組
- 108 用於執行對與一或多個電寄生相關聯之一或多個約束的約束驗證之程序或模組
- 110 計算系統
- 152 用於識別與一或多個電寄生相關聯之一或多個寄生約束之程序或模組
- 154 用於識別、判定或更新電子電路之實體設計之一部分的組件之實體資料之程序或模組
- 156 用於特性化與組件之實體資料相關聯之一或多個電寄生之程序或模組
- 158 用於執行對與一或多個電寄生相關聯之一或多個約束的約束驗證之程序或模組
- 160 用於將程序或模組之一或多個結果儲存於非暫時性電腦可讀儲存媒體中或在顯示器裝置上之使用者介面中顯示一或多個結果之程序或模組
- 162 計算系統
- 202 用於識別或接收來自使用者的對寄生約束之一或多個手動設定之程序或模組
- 204 用於識別、判定或更新電子電路之實體設計之一部分的組件之實體資料之程序或模組
- 206 用於特性化與組件之實體資料相關聯之一或多個電寄生之程序或模組

- 208 用於執行對與一或多個電寄生相關聯之一或多個約束的約束驗證之程序或模組
- 210 計算系統
- 252 用於識別或建立電子電路之示意圖設計之程序或模組
- 254 用於將一環境用於設定、接收或識別一或多個電路效能或行為約束之程序或模組
- 256 用於使用至少示意圖設計及一或多個效能或行為約束執行一或多個模擬之程序或模組
- 258 用於至少部分基於一或多個模擬之結果及/或一或多個效能或行為約束估計一或多個寄生約束之程序或模組
- 260 用於識別、判定或更新電子電路之實體設計之一部分的組件之實體資料之程序或模組
- 262 用於特性化與組件之實體資料相關聯的一或多個電寄生之程序或模組
- 264 用於執行對與一或多個電寄生相關聯之一或多個約束的約束驗證之程序或模組
- 266 計算系統
- 302 用於識別、設定或接收一或多個約束之程序或模組
- 304 用於識別、判定或更新電子電路之實體設計之一部分的組件之實體資料之程序或模組
- 306 用於特性化與組件之實體資料相關聯的一或

- 多個電寄生之程序或模組
- 308 用於驗證一或多個電寄生是否符合對應的一或多個寄生約束之程序或模組
- 310 用於判定或計算對於實體資料之一或多個調整之程序或模組
- 312 用於判定或檢查以瞭解一或多個調整或一或多個提示是否違反了其他設計規則、約束或其他要求之程序或模組
- 314 用於自動或借助於輔助來應用一或多個調整中之至少一者以修正組件之實體資料或亦受到對應的一或多個電寄生影響的其他元件之實體資料之程序或模組
- 316 計算系統
- 402 用於識別或建立電子電路之示意圖設計之程序或模組
- 404 用於設定、接收或識別一或多個寄生約束之程序或模組
- 406 用於將一或多個寄生映射至實體設計表示之程序或模組
- 408 用於識別、判定或更新電子電路之實體設計之一部分的組件之實體資料之程序或模組
- 410 用於特性化與實體資料相關聯的一或多個電寄生之程序或模組
- 412 用於驗證一或多個電寄生是否符合一或多個

	寄生約束之程序或模組
414	用於在顯示器裝置上之使用者介面中顯示驗證寄生約束之程序的結果或將該等結果儲存於非暫時性電腦可讀儲存媒體上之程序或模組
502	用於識別或建立電子電路之示意圖設計之程序或模組
504	用於設定、接收或識別一或多個寄生約束之程序或模組
506	用於識別、判定或更新電子電路之部分實體設計中的組件之實體資料之程序或模組
508	用於特性化與電子電路之部分實體設計中的組件之實體資料相關聯之一或多個電寄生之程序或模組
510	用於映射一或多個寄生約束之程序或模組
512	用於驗證一或多個電寄生是否符合對應的一或多個寄生約束之程序或模組
514	用於在顯示器裝置上之使用者介面中顯示驗證寄生約束之程序的結果或將該等結果儲存於非暫時性電腦可讀儲存媒體上之程序或模組
602	用於識別或建立示意圖設計之程序或模組
604	用於識別或接收寄生約束之程序或模組
606	用於至少部分基於示意圖至實體設計表示而映射寄生約束之程序或模組
608	用於識別、判定或更新電子電路實體設計的

	網、器件或組件之實體資料之程序或模組
610	用於特性化與實體資料相關聯之電寄生之程序或模組
612	用於驗證電寄生之程序或模組
614	用於計算一或多個調整或提供用以校正實體資料之一或多個提示之程序或模組
616	用於判定或檢查以確保一或多個調整或一或多個提示不違反其他約束、設計規則或要求之程序或模組
618	用於將該一或多個調整中之至少一者應用至實體資料相關聯於之組件之程序或模組
1400	計算系統/電腦系統
1406	匯流排
1407	處理器
1408	系統記憶體
1409	靜態儲存器件
1410	碟機
1411	顯示器
1412	輸入器件
1414	通信介面
1415	通信鏈路
1431	資料儲存系統
1432	資料庫
1433	資料介面

七、申請專利範圍：

1. 一種用於實施具有電感知的一電子電路之一電子電路設計的約束驗證之電腦實施方法，其包含：

使用經程式化以用於執行一程序之至少一處理器，該程序包含：

識別、判定或更新該電子電路設計之一部分的、未完成之實體設計之一組件的實體資料；

自電子設計之一示意圖級設計中判定一寄生，而非從該部分的、未完成之實體設計，以用於該電子電路設計之該部分的、未完成之實體設計；

藉由至少在該部分的、未完成之實體設計中之該組件之該實體資料之至少一些資料上執行未完成之佈局提取以特性化一電寄生；及

至少部分基於自該電子設計之該示意圖級設計所判定之該寄生及該電寄生，以在自該部分的、未完成之實體設計至一完成之實體設計之該電子設計完成之前，確保該部分的、未完成之實體設計中之該組件的該實體資料之正確性。

2. 如請求項1之電腦實施方法，該程序進一步包含：

識別或接收一寄生約束。

3. 如請求項2之電腦實施方法，其中確保該實體資料或其他資料之該正確性包含：

判定該電寄生是否符合該寄生約束。

4. 如請求項2之電腦實施方法，該程序進一步包含：

識別或建立用於該電子電路之一示意圖設計；

識別或接收一第一域約束；及

至少部分基於一示意圖至實體設計表示而將該第一域約束映射至一第二域。

5. 如請求項4之電腦實施方法，該程序進一步包含：

將與該實體資料相關聯之該電寄生與經映射之該第一域約束比較。

6. 如請求項1之電腦實施方法，該程序進一步包含：

至少部分基於確保該實體資料或其他資料之該正確性之一結果而判定一調整。

7. 如請求項6之電腦實施方法，該程序進一步包含：

判定該調整是否違反另一約束。

8. 如請求項6之電腦實施方法，該程序進一步包含：

將該調整應用至該實體資料或應用至與該電寄生或該組件之一或多個電特性有關之該其他資料。

9. 如請求項1之電腦實施方法，該程序進一步包含：

至少部分基於確保該實體資料或其他資料之該正確性之一結果判定一提示；及

在一顯示器裝置上之一使用者介面中顯示該提示。

10. 如請求項2之電腦實施方法，該程序進一步包含：

基於經識別或接收之該約束而識別另一約束，其中對該約束之一滿足視對該另一約束之一滿足而定，或對該另一約束之該滿足視對該約束之該滿足而定。

11. 如請求項8之電腦實施方法，該程序進一步包含：

給一使用者提供手動設置對該實體資料、該電寄生或該一或多個電特性之一約束之一能力。

12. 如請求項6之電腦實施方法，該程序進一步包含：

判定該調整是否致使一或多個設計規則或一或多個約束之一或多個違反。

13. 如請求項12之電腦實施方法，該程序進一步包含：

對一使用者顯示至少部分基於該調整的一提示。

14. 如請求項13之電腦實施方法，該提示係針對應用該調整或修正該一或多個違反而產生。

15. 如請求項1之電腦實施方法，其中該部分的、未完成之實體設計未通過一佈局對示意圖檢查或驗證。

16. 如請求項8之電腦實施方法，其中特性化該電寄生或特性化該一或多個電特性係在完成一網之建立或一現有網之修改之前或之時執行。

17. 如請求項8之電腦實施方法，該程序進一步包含：

在一網或一部分網之建立或修改之完成之後且在該部分的、未完成之實體設計中的一第二網之建立或修改之前驗證該一或多個電特性。

18. 如請求項8之電腦實施方法，其中至少部分基於在一網經建立或完成時該網上之一形狀或一組形狀而執行特性化該電寄生或特性化該一或多個電特性。

19. 一種用於實施具有電感知的一電子電路之一電子電路設計的約束驗證之系統，其包含：

至少一處理器，該處理器經程式化或組態以用於執行

如請求項1至18中任一項之一程序。

20. 一種製造物，其包含儲存有一指令序列的一有形電腦可讀儲存媒體，該等指令當由至少一處理器執行時使該至少一處理器執行用於實施具有電感知的一電子電路之一電子電路設計的約束驗證之一組程序，該組程序包含：

使用該至少一處理器，該處理器經程式化或組態以用於執行如請求項1至18中任一項之一程序。

八、圖式：

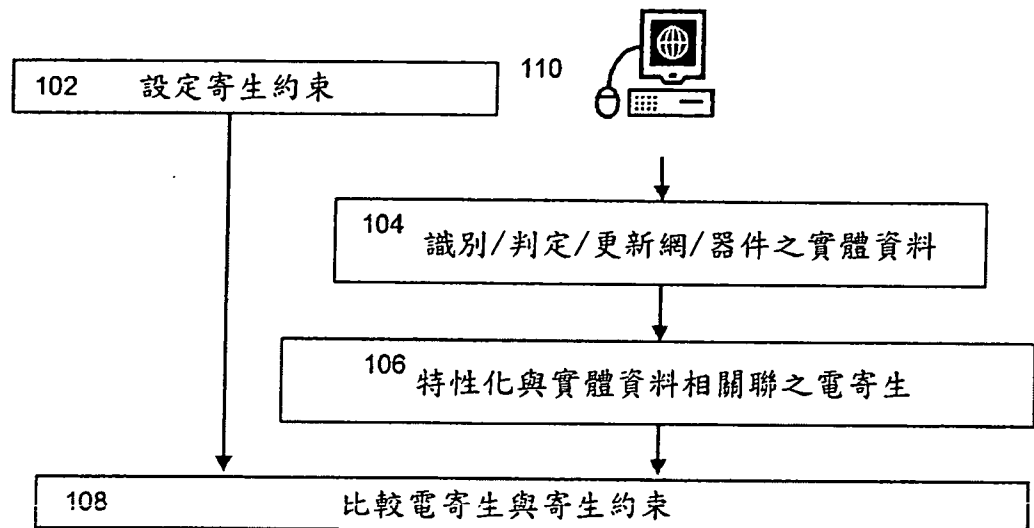


圖 1A

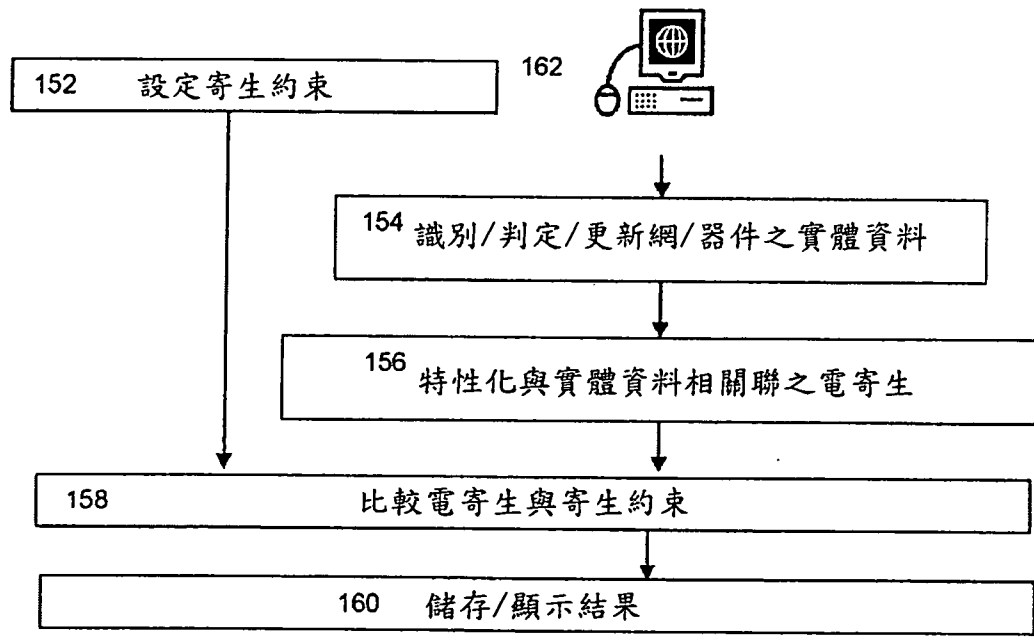


圖 1B

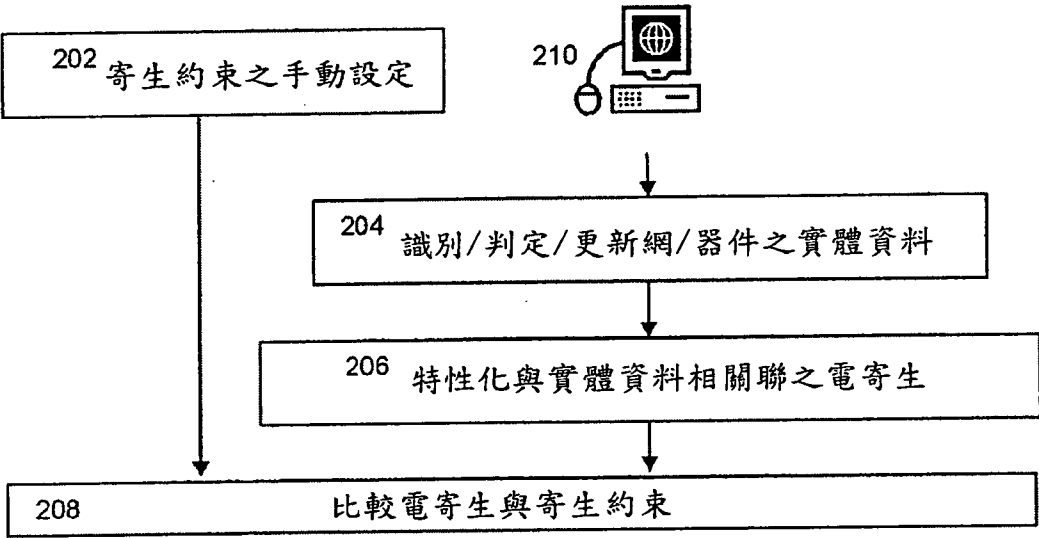


圖 2A

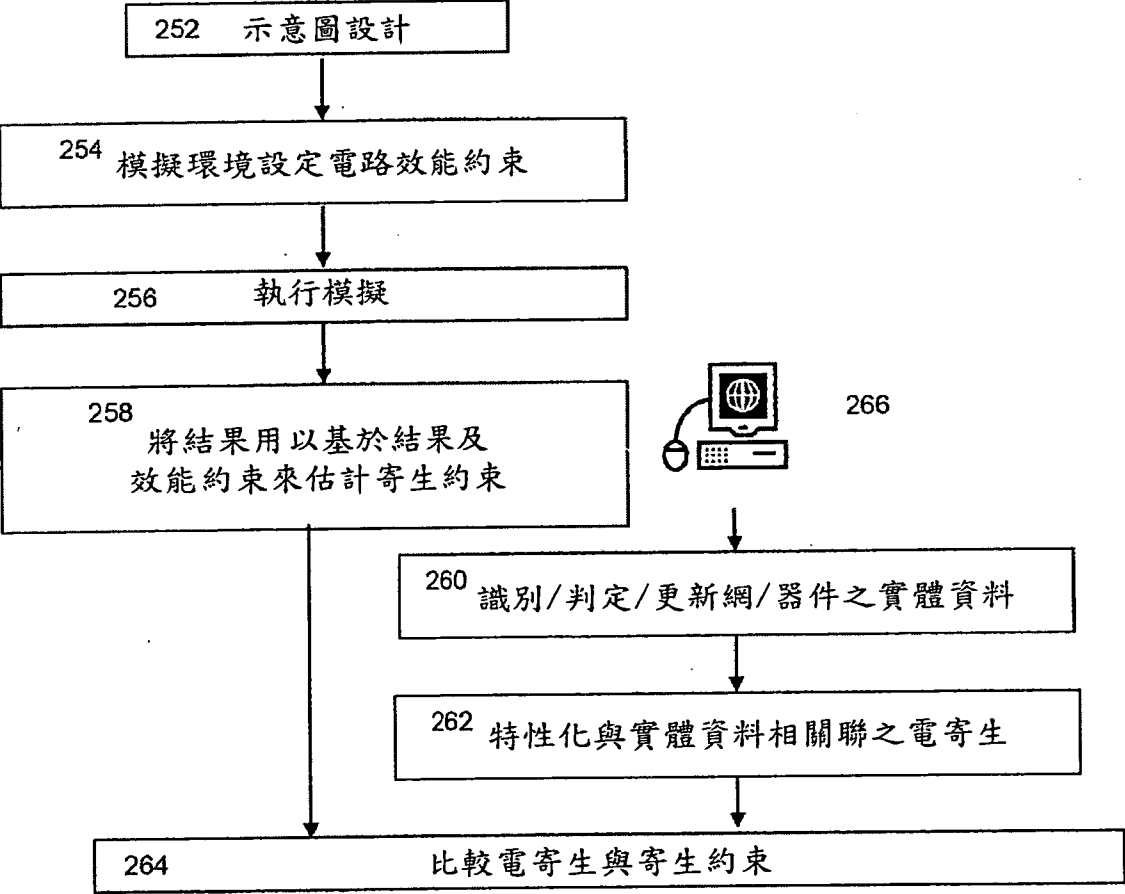


圖 2B

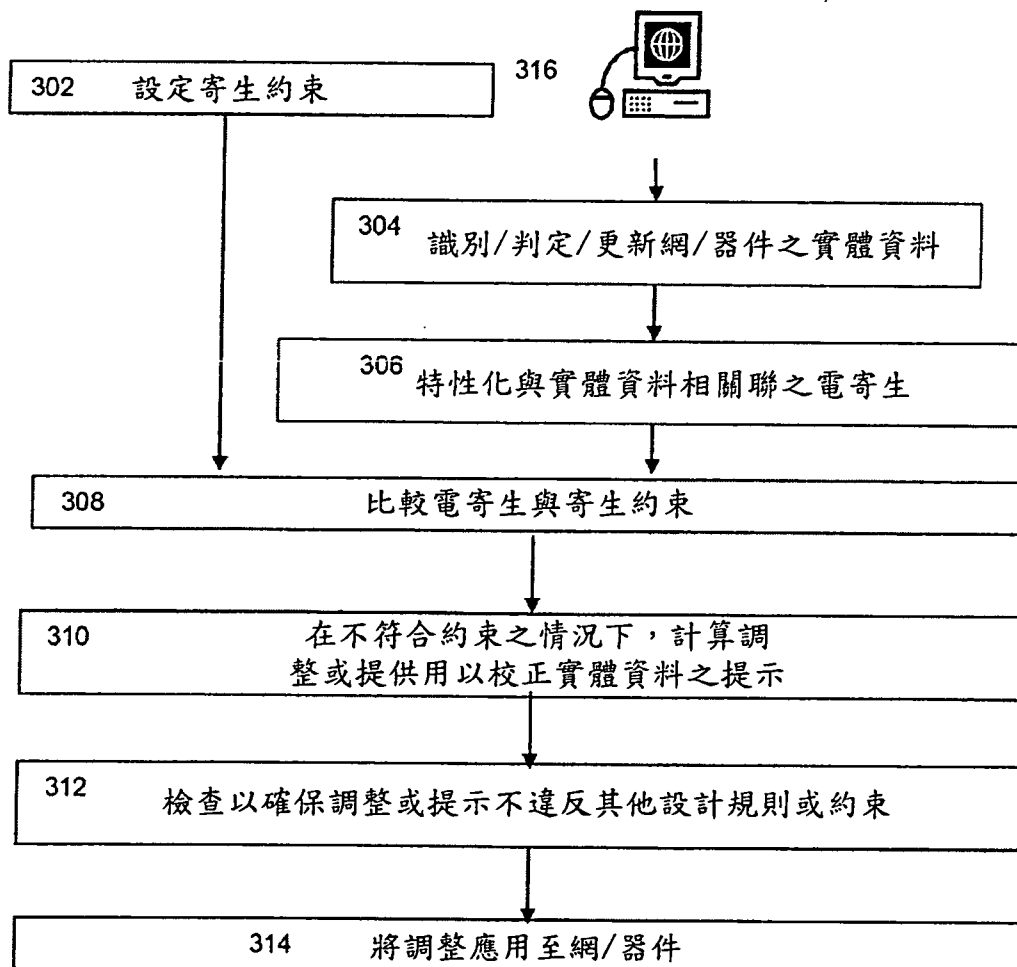


圖3

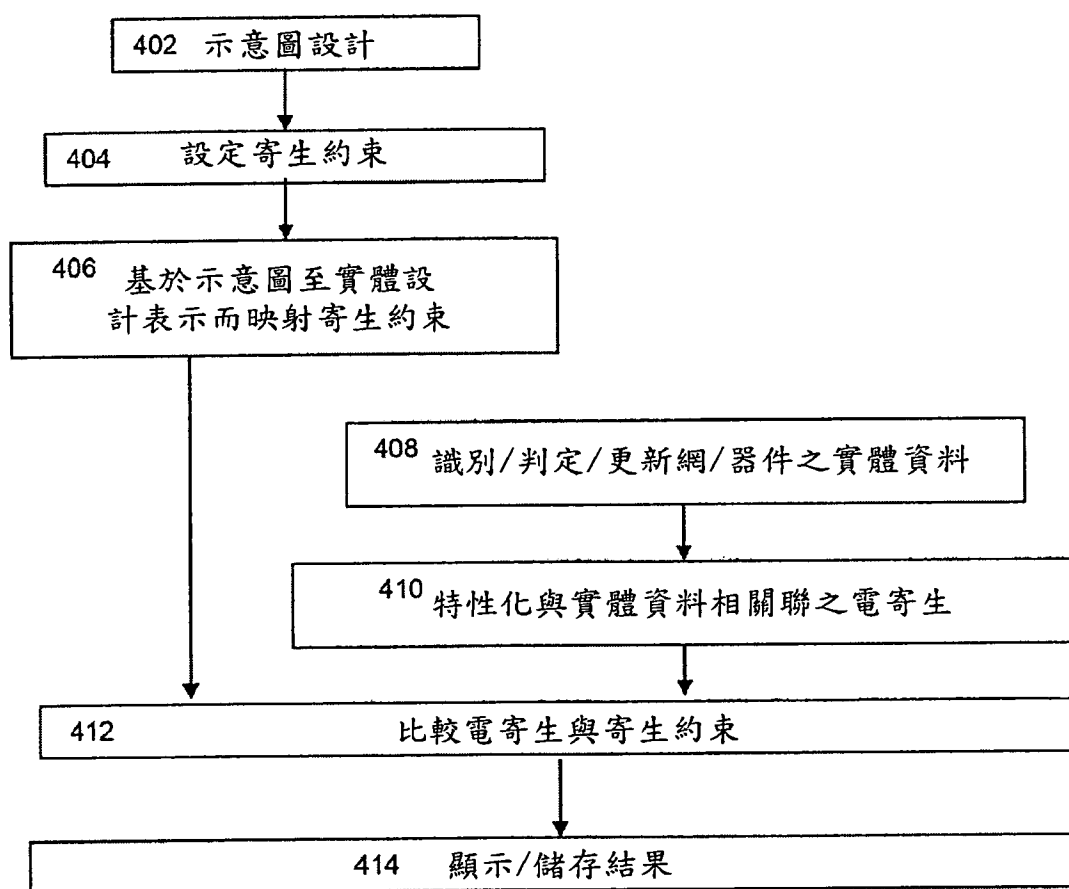


圖 4

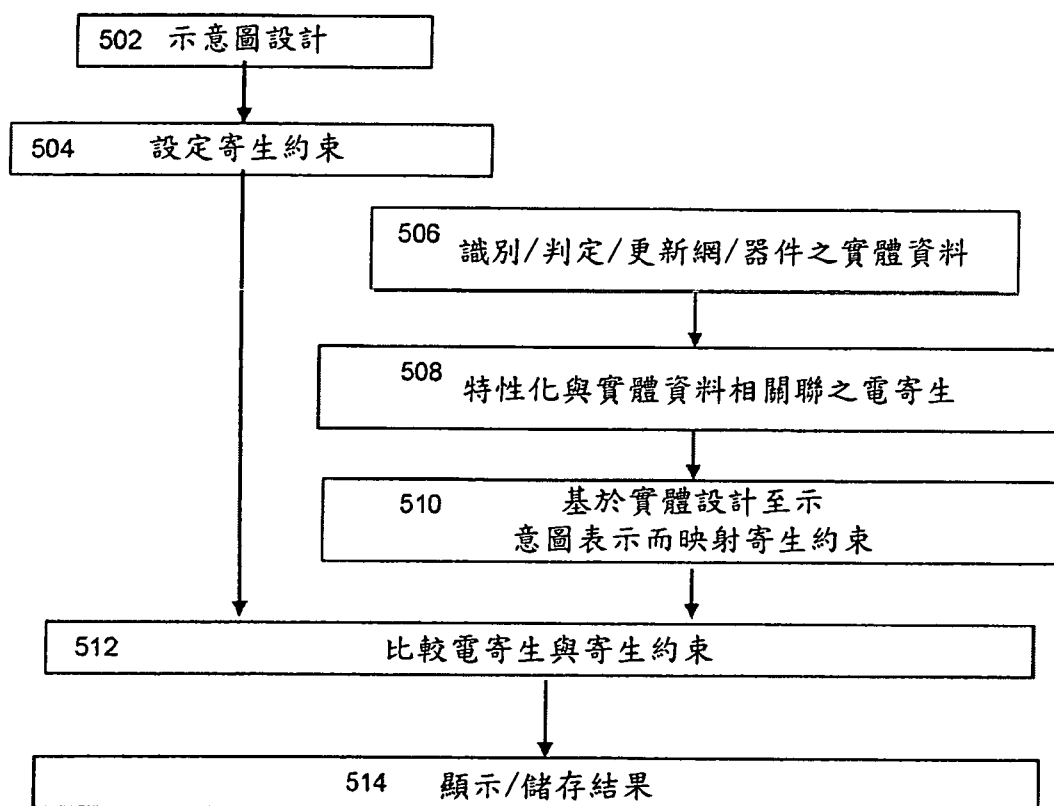


圖5

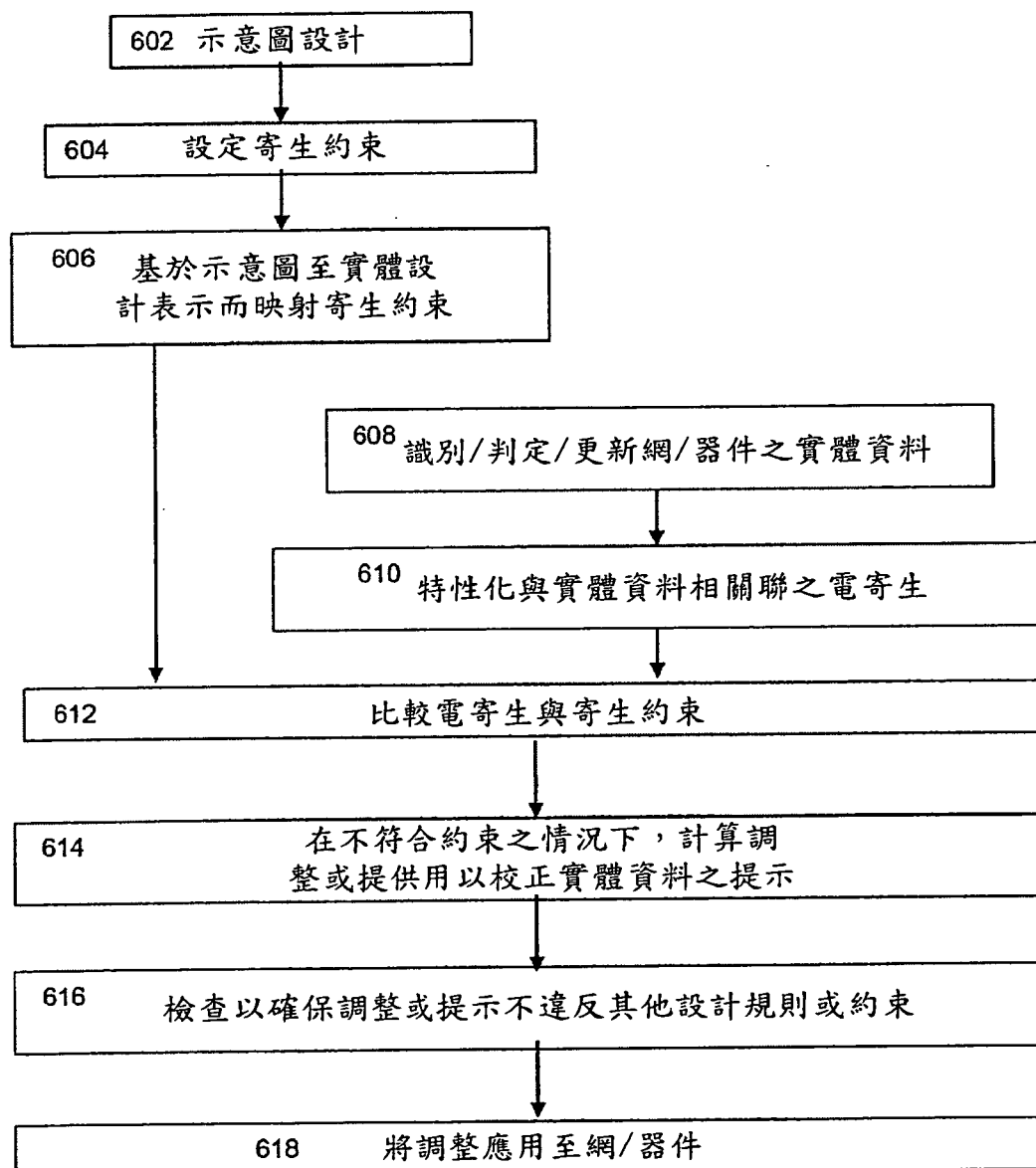


圖6

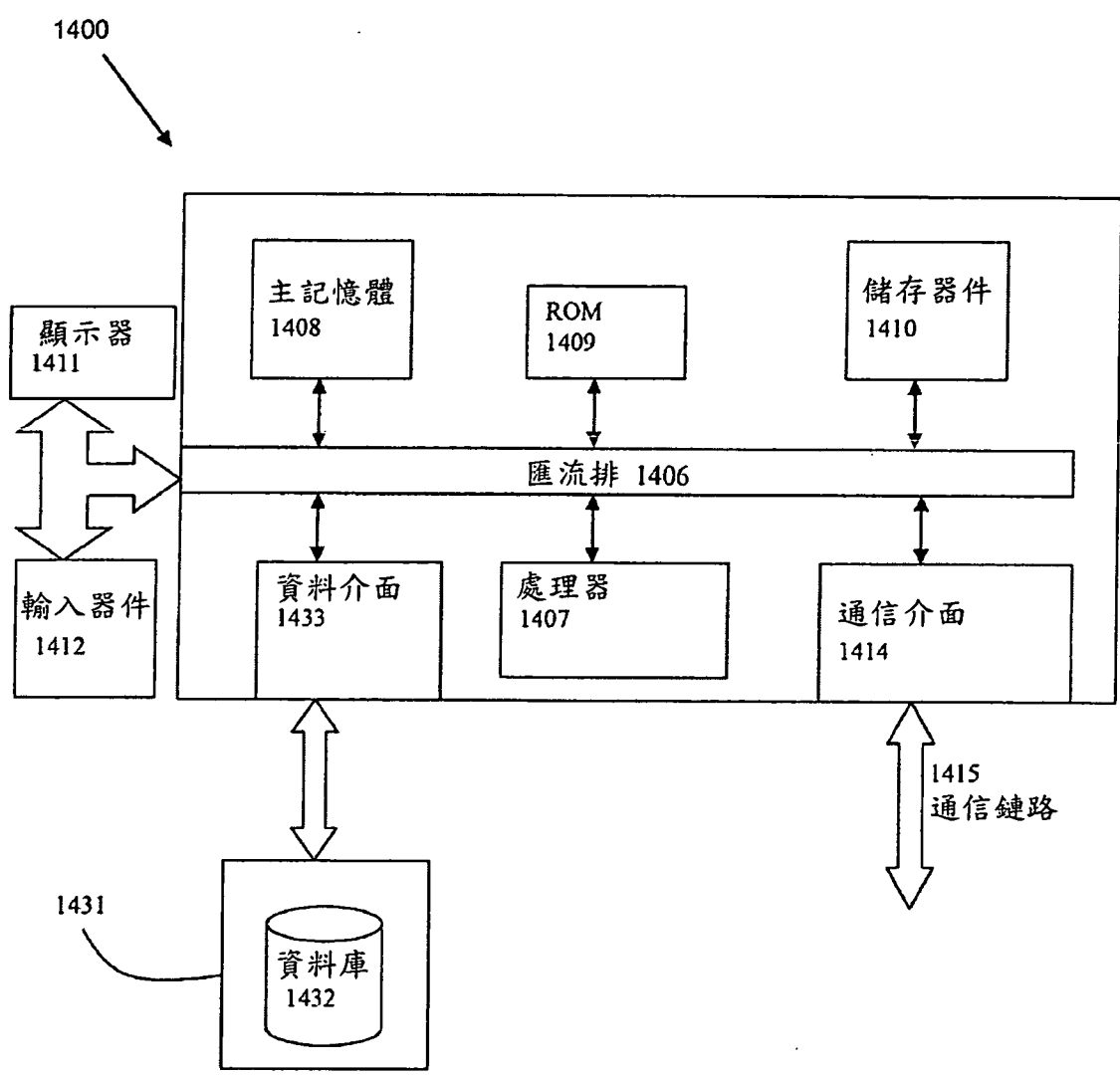


圖 7