(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0115854
(43) 공개일자 2018년10월24일

(51) 국제특허분류(Int. Cl.)
H03F 1/30 (2006.01) *H03F 3/45* (2006.01)
(52) CPC특허분류
H03F 1/30 (2013.01)
H03F 3/4547 (2013.01)
(21) 출원번호 10-2017-0048208
(22) 출원일자 2017년04월14일
심사청구일자 2017년04월14일

(71) 출원인
이화여자대학교 산학협력단
서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)
(72) 발명자
박성민
경기도 성남시 분당구 미금로 114, 206동 102호(구미동, 하얀마을그랜드빌라)
이경민
경기도 용인시 수지구 풍덕천로 76, 905동 1504호(풍덕천동, 주공9단지아파트)
(74) 대리인
특허법인(유한)아이시스

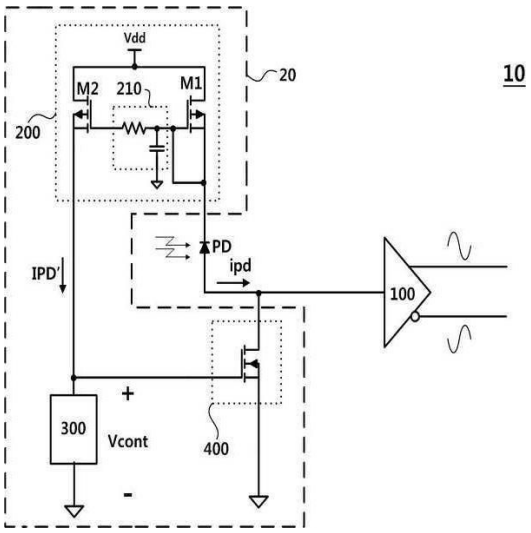
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **직류 오프셋 감소 회로 및 이를 포함하는 트랜스임피던스 증폭기 모듈**

(57) 요 약

본 실시예에 의한 직류 오프셋 제거 회로는 직류 오프셋(offset)을 포함하는 입력 전류를 제공받아, 입력 전류의 의사 직류(pseudo DC)를 제공하는 전류 미러부(current mirror)와, 의사 직류 전류를 상응하는 전압으로 변환하는 전압 변환부 및 전압을 제공받고 입력 전류에서 직류 오프셋을 제거하는 오프셋 제거부를 포함한다.

대 표 도



(52) CPC특허분류
H03F 3/45475 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 2014R1A2A2A01005686
부처명 미래창조과학부
연구관리전문기관 한국연구재단
연구사업명 기초연구사업(학술진흥)-중견연구자지원사업-핵심연구지원사업(개인)
연구과제명 대용량 멀티미디어와 클라우드 서비스를 위한 차세대 400GbE용 CMOS 저전력 4채널 광 트랜시버 어레이 SoC 개발
기 여 율 1/1
주관기관 이화여자대학교 산학협력단
연구기간 2014.05.01 ~ 2017.04.30

명 세 서

청구범위

청구항 1

직류 오프셋(offset)을 포함하는 입력 전류를 제공받아, 상기 입력 전류의 의사 직류(pseudo DC)를 제공하는 전류 미러부(current mirror);

상기 의사 직류 전류를 상응하는 제어 전압으로 변환하는 전압 변환부; 및

상기 제어 전압을 제공받고 상기 입력 전류에서 상기 직류 오프셋을 제거하는 오프셋 제거부를 포함하는 직류 오프셋 제거 회로.

청구항 2

제1항에 있어서,

상기 오프셋 제거부는,

상기 제어 전압을 제공받고, 상기 제어 전압에 의하여 도통되는 트랜지스터를 포함하는 직류 오프셋 제거 회로.

청구항 3

제1항에 있어서,

상기 전압 변환부는,

상기 전류 미러부가 제공하는 상기 의사 직류 전류를 제공받고, 상응하는 전압을 출력하는 저항을 포함하는 직류 오프셋 제거 회로.

청구항 4

제3항에 있어서,

상기 전압 변환부는

상기 저항이 출력하는 전압의 레벨을 변환하는 레벨 시프터를 더 포함하는 직류 오프셋 제거 회로.

청구항 5

제1항에 있어서,

상기 직류 오프셋은

광 다이오드(photodiode)의 역 바이어스(reverse bias) 전류인 직류 오프셋 제거 회로.

청구항 6

제1항에 있어서,

상기 전류 미러부는

전류 미러와,

상기 입력 전류를 제공받고, 상기 전류 미러가 상기 입력 전류의 유사 직류(pseudo DC)를 형성하여 출력하도록 하는 저역 통과 필터를 포함하는 오프셋 제거 회로.

청구항 7

직류 오프셋(offset)을 포함하는 입력 전류를 제공받아, 상기 입력 전류의 의사 직류(pseudo DC)를 제공하는 전류 미러부(current mirror)와, 상기 의사 직류 전류를 상응하는 제어 전압으로 변환하는 전압 변환부 및 상기 제어 전압을 제공받고 상기 입력 전류에서 상기 직류 오프셋을 제거하는 오프셋 제거부; 및

상기 직류 오프셋이 제거된 상기 입력 전류를 제공받고, 상응하는 전압을 출력하는 트랜스임피던스 증폭기를 포함하는 트랜스임피던스 증폭기 모듈.

청구항 8

제7항에 있어서,

상기 오프셋 제거부는,

상기 제어 전압을 제공받고, 상기 제어 전압에 의하여 도통되는 트랜지스터를 포함하는 트랜스임피던스 증폭기 모듈.

청구항 9

제7항에 있어서,

상기 전압 변환부는,

상기 전류 미러부가 제공하는 상기 의사 직류 전류를 제공받고, 상응하는 전압을 출력하는 저항을 포함하는 트랜스임피던스 증폭기 모듈.

청구항 10

제9항에 있어서,

상기 전압 변환부는

상기 저항이 출력하는 전압의 레벨을 변환하는 레벨 시프터를 더 포함하는 트랜스임피던스 증폭기 모듈.

청구항 11

제7항에 있어서,

상기 직류 오프셋은

광 다이오드(photodiode)의 역 바이어스(reverse bias) 전류인 트랜스임피던스 증폭기 모듈.

청구항 12

제7항에 있어서,

상기 전류 미러부는

전류 미러와,

상기 입력 전류를 제공받고, 상기 전류 미러가 상기 입력 전류의 유사 직류(pseudo DC)를 형성하여 출력하도록 하는 저역 통과 필터를 포함하는 트랜스임피던스 증폭기 모듈.

청구항 13

제7항에 있어서,

상기 전류 미러부에 제공되는 구동 전압은 상기 트랜스임피던스 증폭기에 제공되는 구동 전압에 비하여 큰 트랜스임피던스 증폭기 모듈.

청구항 14

제7항에 있어서,

상기 트랜스임피던스 증폭기는

제1 차동단과, 제2 차동단을 포함하며,

상기 제1 차동단의 테일과 상기 제2 차동단의 테일은 전류 싱크를 통하여 접지 전위에 연결되는 트랜스임피던스 증폭기 모듈.

발명의 설명

기 술 분 야

[0001] 본 기술은 직류 오프셋 감소 회로 및 이를 이용하는 트랜스임피던스 증폭기 모듈에 관련된 것이다.

배 경 기 술

[0002] 트랜스임피던스(transimpedance) 증폭기는 증폭기의 트랜스임피던스를 이용하여 입력으로 제공된 전류 신호를 전압 신호로 변환하고 증폭하여 출력하는 증폭기를 의미한다. 종래의 차동 트랜스임피던스 증폭기(transimpedance amplifier)에서, 어느 하나의 입력에 제공되는 신호의 스윙폭은 다른 입력으로 제공되는 입력 신호의 스윙폭과 동일하지 않다. 또한 입력 신호의 직류 성분이 어느 한 입력으로 제공되기 때문에, 차동 전압 출력의 균형이 맞지 않고, 이로 인해 출력 포화가 발생하였다.

[0003] 종래의 전달 임피던스 증폭기의 선행 문헌은 한국 공개특허 제2006-0064981호 등이 있다.

발명의 내용

해결하려는 과제

[0004] 종래 기술의 문제를 해결하기 위하여 트랜스임피던스 증폭기 회로의 마지막 스테이지로 직류 발란스드 버퍼(DC balanced buffer)를 사용하였다. 그러나, 직류 발란스드 버퍼를 사용하는 경우에는 각 차동 입력으로부터 직류 전압을 추출하는 두 개의 저대역필터(LPF)가 필요하다. 따라서, 트랜스임피던스 증폭기를 형성하는데 필요한 면적이 증가하여 비경제적이다. 나아가, 버퍼회로를 구동하기 위한 추가적 전력 소모가 발생한다.

[0005] 본 실시예는 상술한 종래 기술의 단점을 극복하기 위한 것이다. 본 실시예는 입력 신호의 직류 오프셋을 제거할 수 있는 직류 오프셋 제거 회로와 차동 전압 출력의 균형을 유지하는 트랜스임피던스 증폭기를 제공하는 것이 주된 목표 중 하나이다.

과제의 해결 수단

[0006] 본 실시예에 의한 직류 오프셋 제거 회로는 직류 오프셋(offset)을 포함하는 입력 전류를 제공받아, 입력 전류의 의사 직류(pseudo DC)를 제공하는 전류 미러부(current mirror)와, 의사 직류 전류를 상응하는 제어 전압으로 변환하는 전압 변환부 및 제어 전압을 제공받고 입력 전류에서 직류 오프셋을 제거하는 오프셋 제거부를 포함한다.

[0007] 본 실시예에 의한 트랜스임피던스 증폭기 모듈은 직류 오프셋(offset)을 포함하는 입력 전류를 제공받아, 입력 전류의 의사 직류(pseudo DC)를 제공하는 전류 미러부(current mirror)와, 의사 직류 전류를 상응하는 제어 전압으로 변환하는 전압 변환부 및 제어 전압을 제공받고 입력 전류에서 직류 오프셋을 제거하는 오프셋 제거부 및 직류 오프셋이 제거된 입력 전류를 제공받고, 상응하는 전압을 출력하는 트랜스임피던스 증폭기를 포함한다.

발명의 효과

[0008] 본 실시예에 의하면 양 차동 출력전압이 균형을 이루는 차동 전달 임피던스 증폭기가 제공된다.

도면의 간단한 설명

[0009] 도 1은 본 실시예에 의한 트랜스임피던스 증폭기(transimpedance amplifier) 모듈의 개요를 도시한 블록도이다.

도 2는 전압 변환부의 일 실시예를 도시한 도면이다.

도 3은 본 실시예에 의한 트랜스임피던스 증폭기의 예시적 회로도이다.

도 4(a)는 직류 전류 오프셋이 50uA일 때, 본 실시예에 의한 오프셋 제거회로가 없는 경우에 트랜스임피던스 증폭기 모듈의 차동 출력을 도시한 도면이다. 도 4(b)는 전류 오프셋이 50uA 일 때 본 실시예에 의한 오프셋 제거회로가 있는 경우에 트랜스임피던스 증폭기 모듈의 차동 출력을 도시한 도면이다.

도 5(a)는 DC 전류 옵셋이 50 uA 일 때 종래 기술에 의한 트랜스임피던스 증폭기의 아이 다이어그램을 도시한 도면이다. 도 5(b)는 DC 전류 옵셋이 50 uA 일 때 본 실시예에 의한 오프셋 제거 회로를 포함하는 트랜스임피던

스 증폭기 모듈의 아이 다이어그램을 도시한 도면이다.

도 6(a)는 전류 오프셋이 150uA 일 때 종래 기술에 의한 트랜스임피던스 증폭기 모듈의 차동 출력을 도시한 도면이다. 도 6(b)는 전류 오프셋이 150uA 일 때 본 실시예에 의한 오프셋 제거회로를 포함하는 트랜스임피던스 증폭기 모듈의 차동 출력을 도시한 도면이다.

도 7(a)는 전류 오프셋이 150uA 일 때 종래 기술에 의한 트랜스임피던스 증폭기의 아이 다이어그램을 도시한 도면이다. 도 7(b)는 전류 옵셋이 150uA 일 때 본 실시예에 의한 오프셋 제거 회로를 포함하는 트랜스임피던스 증폭기 모듈의 아이 다이어그램을 도시한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0010] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다.

[0011] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0012] "제1", "제2" 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0013] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0014] 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않은 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.

[0015] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.

[0017] 이하에서는 첨부된 도면들을 참조하여 본 실시예에 의한 트랜스임피던스 증폭기 모듈(10)과 오프셋 제거 회로(20)의 실시예를 설명한다. 도 1은 본 실시예에 의한 트랜스임피던스 증폭기 모듈(10)은 직류 오프셋(offset)을 포함하는 입력 전류(ipd)를 제공받아, 입력 전류의 의사 직류(pseudo DC, IPD')를 제공하는 전류 미러부(current mirror, 200)와, 의사 직류 전류(IPD')를 상응하는 제어 전압(Vcont)으로 변환하는 전압 변환부(300) 및 제어 전압(Vcont)을 제공받고 입력 전류(ipd)에서 직류 오프셋을 제거하는 오프셋 제거부(400) 및 직류 오프셋이 제거된 입력 전류를 제공받고, 상응하는 전압을 출력하는 트랜스임피던스 증폭기(100)를 포함한다.

[0018] 전류 미러부(200)는 전류 미러(M1, M2)와 저역 통과 필터(210)를 포함한다. 전류 미러부(210)는 광 다이오드(PD)에 입력 전류(ipd)를 제공하고, 입력 전류(ipd)에 대한 의사 직류(pseudo DC, IPD')를 형성하여 출력한다.

[0019] 전류 미러부(200)가 입력 전류(ipd)를 제공함에 따라 전류 미러에 포함된 트랜지스터 M1의 게이트에는 입력 전류(ipd)에 상응하는 전압이 형성된다.

[0020] 입력 전류(ipd)에는 직류 성분은 오프셋과 신호 성분을 포함한다. 따라서, 트랜지스터 M1의 게이트에 형성되는 전압은 오프셋에 상응하는 직류 전압과 신호 성분을 포함하는 교류 전압 성분을 포함한다. 저역 통과 필터(210)는 트랜지스터 M1의 게이트에 형성되는 전압에 대하여 상기 직류 전압 성분을 통과시키도록 저역 통과 필터링을 수행하여 의사 직류 전압(psedudo DC voltage)을 형성하여 트랜지스터 M2의 게이트에 제공한다. 트랜지스터 M2는 게이트에 제공된 의사 직류 전압에 상응하는 의사 직류 전류(IPD')를 출력한다.

[0021] 일 실시예에서, 전류 미러부(200)에 제공되는 구동 전압(VDD)은 광 다이오드(PD)의 기생 커패시턴스값을 감소시

키도록 트랜스임피던스 증폭기(100)에 제공되는 구동 전압에 비하여 높은 전압일 수 있다.

[0022] 도 1에서, 저역 통과 필터(210)는 단순한 1차 수동 R-C 필터로 예시되었다. 그러나, 도시되지 않은 다른 실시예에서, 저역 통과 필터는 고차 R-C 필터일 수 있으며, 능동 필터일 수 있다.

[0023] 도 2는 전압 변환부(300)의 일 실시예를 도시한 도면이다. 도 1 및 도 2를 참조하면, 전압 변환부(300)는 전류 미러부(200)가 형성하여 제공한 입력 전류(IPD')를 제공받고, 상응하는 제어 전압(Vcont)을 출력한다. 일 실시예로, 전압 변환부(300)는 전류 미러부(200)가 복제하여 제공한 입력 전류(IPD')를 제공받고 전압 신호를 형성하는 저항(R)을 포함할 수 있다. 도 3로 예시된 실시예에서, 단일한 저항(R)이 도시되었으나, 전압 변환부(300)는 직렬, 병렬, 직병렬 등의 형태로 연결된 복수의 저항들을 포함할 수 있다.

[0024] 일 실시예에서, 전압 변환부(300)는 저항(R)이 제공한 전압을 오프셋 제거부(400)의 동작 및 차단에 적합한 레벨로 변환하는 레벨 시프터(310, level shifter)를 더 포함할 수 있다. 일 실시예로, 레벨 시프터(310)는 저항(R)이 제공한 전압을 오프셋 제거부(400)의 동작 및 차단에 적합한 레벨로 스텝 업(step up)하거나, 스텝 다운(step down)하여 출력할 수 있다.

[0025] 도 2로 예시된 실시예에 의하면, 레벨 시프터(310)는 저항(R)이 제공한 전압을 스텝 업(step up)하여 출력하는 트랜지스터 M5과 저항 R1, 트랜지스터 M6와 저항 R2를 포함할 수 있다. 도시되지 않은 다른 실시예에 의하면, 레벨 시프터(310)는 저항(R)이 제공한 전압을 스텝 업(step up)하여 출력하는 하나의 트랜지스터와 저항을 포함할 수 있다.

[0026] 일 실시예로, 레벨 시프터(310)에 포함된 저항 R1, R2의 저항값(resistance value)를 변경하여 Vcont1, Vcont의 전압값을 조절할 수 있다. 일 실시예로, 레벨 시프터(310)에 포함된 트랜지스터 M5, M6 채널의 사이즈를 조절하여 Vcont1, Vcont의 전압값을 조절할 수 있다.

[0027] 다시 도 1을 참조하면, 오프셋 제거부(400)는 전압 변환부(300)가 제공한 제어 전압에 의하여 도통 또는 차단되어 오프셋 전류를 제거하는 트랜지스터를 포함할 수 있다. 일 실시예에서, 오프셋 제거부(400)는 전압 변환부(300)이 제공하는 신호에 의하여 도통되어 직류 오프셋을 접지 전위로 바이패스(bypass)하는 트랜지스터를 포함할 수 있다. 따라서, 직류 오프셋이 제거되어 신호 성분을 포함하는 전류 신호가 트랜스임피던스 증폭기(100)에 입력으로 제공될 수 있다.

[0028] 도 3은 본 실시예에 의한 트랜스임피던스 증폭기(100)의 예시적 회로도이다. 도 1 및 도 3을 참조하면, 트랜스임피던스 증폭기(100)는 오프셋이 제거된 입력 신호 전류를 제공받고, 이에 상응하는 차동 전압 신호를 제공할 수 있다. 전달 임피던스 증폭기는, 제1 공통 소스 증폭기(M1)와 제1 공통 게이트 증폭기(M2) 및 제1 부하저항(RD1)을 포함하는 제1 캐스코드(cascode) 증폭기와, 제1 캐스코드 증폭기의 출력 노드와 입력 노드에 연결된 제1 저항(Rfa)을 포함하는 제1 차동단(110a)과, 제2 공통 소스 증폭기(M3)와 제2 공통 게이트 증폭기(M4) 및 제2 부하저항(RD2)을 포함하는 제2 캐스코드(cascode) 증폭기와, 제2 캐스코드 증폭기의 출력 노드와 입력 노드에 연결된 제2 저항(Rfb)을 포함하는 제2 차동단(110b)을 포함하며, 제1 캐스코드 증폭기에 포함된 공통 소스 증폭기(M1)의 출력이 제2 캐스코드 증폭기에 포함된 제2 공통 소스 증폭기(M3)의 입력으로 제공되어 커플링 커패시터(Cc)를 통하여 제1 차동단(110a)과 제2 차동단(110b)에 서로 반전된 위상을 가지는 입력 신호가 제공된다.

[0029] 제1 차동단(110a)은 캐스코드 구성으로 연결된 제1 공통 소스 증폭기(M1)와 제1 공통 게이트 증폭기(M2) 및 제1 부하저항(RD1)을 포함한다. 캐스코드 구성으로 연결된 제1 공통 소스 증폭기(M1)와 제1 공통 게이트 증폭기(M2)에서, 입력 신호(i_{in})는 제1 공통 소스 증폭기(M1)의 게이트에 제공되며, 제1 공통 소스 증폭기(M1)는 입력 신호(i_{in})가 증폭된 신호를 제1 공통 게이트 증폭기(M2)의 소스에 제공한다.

[0030] 제1 공통 소스 증폭기(M1)의 이득은 트랜지스터 M1의 전달 컨덕턴스인 gm1과 부하저항 값의 곱으로 표현된다. M1의 출력에서 형성되는 부하 저항의 값은 M1의 출력 저항 ro1과 제1 공통 게이트 증폭기(M2)의 입력 저항의 병렬 저항으로 연산될 수 있다. 제1 공통 게이트 증폭기(M2)의 입력 저항은 1/gm2, (gm2: M2의 전달 컨덕턴스)로 표현될 수 있다. 이를 수학식으로 정리하면 수학식 1과 같다.

수학식 1

[0031] $$A = -gm1 \cdot \left\{ \frac{1}{gm2} \parallel ro_1 \right\}$$

[0032] 수학식 1에서, 제1 공통 게이트 증폭기(M2)의 입력 저항값인 1/gm2의 값은 제1 공통 소스 증폭기(M1)의 출력 저항인 ro1에 비하여 작은 값을 가지므로, 출력 저항값은 더 작은 값을 가지는 1/gm2로 근사된다. 또한, 제1 공통 소스 증폭기(M1)를 형성하는 트랜지스터 M1과 제1 공통 게이트 증폭기(M2)를 형성하는 트랜지스터 M2의 사이즈가 같으면 두 트랜지스터의 전달 컨덕턴스는 서로 같다. 따라서, 수학식 1은 아래의 수학식 2와 같이 근사될 수 있다.

수학식 2

[0033] $$A \approx -gm \cdot \left\{ \frac{1}{gm} \right\} = -1$$

[0034] 수학식 2에서 보여지는 바와 같이 제1 공통 소스 증폭기(M1)의 이득은 -1로 근사될 수 있다. 그에 따라 트랜지스터 M1의 게이트와 드레인 사이에 형성되는 기생 커패시턴스값이 증가되어 보이는 밀러 효과(Miller Effect)를 감소시킬 수 있다.

[0035] 나아가, 제1 공통 소스 증폭기(M1)의 이득은 -1이므로 제1 공통 소스 증폭기(M1)의 출력 노드에서의 전압은 제1 공통 소스 증폭기(M1)의 게이트에 제공되는 전압과 그 크기는 동일하고 위상만 반전된다.

[0036] 따라서, 커플링 커패시터(Cc)를 통하여 직류 성분을 블로킹하고 교류 성분을 제2 공통 소스 증폭기(M3)의 입력으로 제공하므로, 제1 공통 소스 증폭기(M1)와 제2 공통 소스 증폭기(M3)는 서로 반전된 위상을 가지는 입력 신호를 제공 받고, 서로 반전된 위상을 가지는 출력 신호를 제공하는 차동 증폭기로 동작한다. 나아가, 직류 성분이 블로킹되므로, 제2 공통 소스 증폭기(M3)의 바이어스 전압을 제1 공통 소스 증폭기(M1)의 바이어스 전압과 동일하게 유지할 수 있다.

[0037] 제1 차동단(110a)의 테일과 제2 차동단(110b)의 테일은 전류 싱크(Cs)를 통하여 접지 전위에 연결된다. 종래의 차동 트랜스임피던스 증폭기에 포함된 차동단들의 테일들은 각각 접지 전위에 연결된 의사 차동(pseudo differential) 구조를 가졌다. 따라서, 각 완전한 차동성을 가지는 출력 신호를 얻는 것이 곤란하였다.

[0038] 그러나, 본 실시예에 의한 트랜스임피던스 증폭기(100)에 포함된 차동단의 테일은 전류 싱크(Cs)를 통하여 접지 전위에 연결되므로, 트랜스임피던스 증폭기(100)의 출력쌍(MOUT, POUT)은 차동성을 가지는 신호를 출력하는 것을 확인할 수 있다.

[0039] 이하에서는 첨부된 도면들을 참조하여 본 실시예에 의한 오프셋 제거 회로(20) 및 트랜스임피던스 증폭기 모듈(10)의 동작을 살펴본다. 도 1 내지 도 3을 참조하면, 광 다이오드(PD)는 제공되는 광에 의한 광전류가 형성되어 출력되도록 역 바이어스(reverse bias)가 제공된다. 광 다이오드(PD)가 출력하는 전류(ipd)에는 신호 성분뿐만 아니라, 역 바이어스에 의한 역방향 포화 전류(reverse saturation current)에 의한 오프셋이 포함된다.

[0040] 전류 미러부(210)는 광 다이오드(PD)가 출력하는 입력 전류(ipd)를 제공받고, 로우 패스 필터링을 수행하여 의사 직류 전류를 형성하여 출력한다. 전류 미러부(200)가 복제하여 출력한 의사 직류 전류(IPD')는 광 다이오드(PD)가 출력하는 입력 전류(ipd)의 평균값에 상응하는 전류이다.

[0041] 전압 변환부(300)는 전류 미러부(200)가 복제하여 출력한 전류(IPD')에 상응하는 전압 신호(Vcont)를 형성하여 오프셋 제거부(400)에 제공한다. 일 실시예에서, 전압 변환부(300)에 포함된 저항(R)은 전류 미러부(200)가 복제하여 출력한 전류(IPD')를 제공받고, 상응하는 전압을 형성할 수 있다.

[0042] 일 실시예에서, 저항(R)에 의하여 형성된 전압은 레벨 시프터(310)에 포함된 트랜지스터 M5에 제공되어 도통된다. 트랜지스터 M5이 도통되어 드레인 전류 ID5가 흐르는 경로가 형성되고, 트랜지스터 M5의 드레인 전극으로는 $Vcont1 = Vdd - R1 \cdot ID5$에 상응하는 전압 Vcont1이 형성된다. 상술한 바와 같이 저항 R1의 저항값과 트랜지

스터 M5의 사이즈를 조절하여 전류 ID5의 전류값을 조절할 수 있으며, 그에 따라 Vcont1의 전압값이 조절될 수 있다. 일 예로, Vcont1의 전압값은 트랜지스터 M6가 턴 온 되도록 조절될 수 있다.

[0043] 트랜지스터 M6가 도통되어 드레인 전류 ID6가 흐르는 경로가 형성되고, 트랜지스터 M6의 드레인 전극에는 $Vcont = Vdd - R2 \cdot ID6$ 에 상응하는 제어 전압 Vcont가 형성된다. 상술한 바와 같이 저항 R2의 저항값과 트랜지스터 M6의 사이즈를 조절하여 전류 ID6의 전류값을 조절할 수 있으며, 그에 따라 Vcont의 전압값이 조절될 수 있다. 일 예로, Vcont의 전압값은 오프셋 제거부(400)에 포함된 트랜지스터를 구동하기에 충분하도록 조절될 수 있다.

[0044] 오프셋 제거부(400)는 전압 변환부(300)가 제공한 전압 신호를 제공받고, 도통과 차단되어 입력 전류(ipd)에 포함된 오프셋을 제거할 수 있다. 일 예로, 광 다이오드(PD)에 광입력이 제공되어 형성된 전류를 전압 신호로 변환한 경우에는, 전압 변환부(300)가 제공한 전압 신호의 레벨은 광입력이 제공되지 않는 경우에 형성된 전압 신호 레벨에 비하여 높다.

[0045] 따라서, 오프셋 제거부(400)에 포함된 트랜지스터는 도통되어 입력 전류(ipd)에 포함된 직류 성분인 오프셋을 기준 전위로 바이패스(bypass)하고, 신호 성분을 트랜스임피던스 증폭기(100)의 입력으로 제공한다. 일 실시예에서, 트랜지스터(M1)의 게이트 전극에 의하여 입력 전류(ipd)에 포함된 직류 성분은 오프셋 제거부(400)로 우회(bypass)된다. 그러나, 입력 전류(ipd)에 포함된 신호 성분은 트랜스임피던스 증폭기(100)에 제공되어 증폭된다.

[0047] **모의시험예**

[0048] 도 4(a)는 본 실시예에 의한 오프셋 제거회로가 없는 경우에 트랜스임피던스 증폭기 모듈의 차동 출력을 도시한 도면이다. 도 4(b)는 본 실시예에 의한 오프셋 제거회로가 있는 경우에 트랜스임피던스 증폭기 모듈의 차동 출력을 도시한 도면이다. 도 4(a)와 도 4(b)로 도시된 모의 시험에서 전류 오프셋은 50uA 이다.

[0049] 도 4(a)에 도시된 바와 같이, 두 개의 차동 출력의 직류 전압 레벨은 전류 오프셋에 의하여 서로 일치하지 않은 것을 확인할 수 있다. 그러나, 본 실시예에 의한 오프셋 제거 회로가 있는 경우에는 도 4(b)에서 확인할 수 있는 바와 같이 전류 오프셋의 영향이 제거되고 두 차동 출력 전압의 직류 전압이 상응하는 것을 확인할 수 있다.

[0050] 도 5(a)는 DC 전류 옵셋이 50 uA 일 때 종래 기술에 의한 트랜스임피던스 증폭기의 아이 다이어그램을 도시한 도면이다. 도 5(b)는 DC 전류 옵셋이 50 uA 일 때 본 실시예에 의한 오프셋 제거 회로를 포함하는 트랜스임피던스 증폭기 모듈의 아이 다이어그램을 도시한 도면이다. 도 5(a)를 참조하면, 아이 다이어그램에서 열린 아이(eye)가 찌그러진 상태에 있음을 확인할 수 있다. 반면, 도 5(b)의 아이(eye)는 도 5(a)에 비하여 상하와 좌우가 대칭적으로 출력되는 것을 확인할 수 있다.

[0051] 도 6(a)는 종래 기술에 의한 트랜스임피던스 증폭기 모듈의 차동 출력을 도시한 도면이다. 도 6(b)는 본 실시예에 의한 오프셋 제거회로를 포함하는 트랜스임피던스 증폭기 모듈의 차동 출력을 도시한 도면이다. 도 6(a)와 도 6(b)의 모의 시험에서 전류 오프셋은 150uA 이다.

[0052] 도 6(a)를 참조하면, 종래 기술에 의한 트랜스임피던스 증폭기 모듈의 출력은 전류 오프셋에 의하여 두 개의 차동출력 직류 전압 레벨이 맞지 않는 것을 확인할 수 있다. 그러나, 본 실시예에 의한 트랜스임피던스 증폭기 모듈의 출력은 도 6(b)로 도시된 바와 같이 종래 기술에 비하여 전류 오프셋에 의한 영향이 완화된 것을 확인할 수 있다.

[0053] 도 7(a)는 전류 오프셋이 150uA 일 때 종래 기술에 의한 트랜스임피던스 증폭기의 아이 다이어그램을 도시한 도면이다. 도 7(b)는 전류 옵셋이 150uA 일 때 본 실시예에 의한 오프셋 제거 회로를 포함하는 트랜스임피던스 증폭기 모듈의 아이 다이어그램을 도시한 도면이다. 도 7(a)를 참조하면, 입력 오프셋의 영향에 의하여 아이 다이어그램에서 열린 아이(eye)의 상하 좌우가 비대칭적인 것을 확인할 수 있다. 그러나, 도 7(b)로 도시된 본 실시예에 의한 트랜스임피던스 증폭기 모듈 출력의 아이 다이어그램의 아이(eye)는 입력 오프셋의 영향이 제거되어 종래 기술에 비하여 상하와 좌우가 대칭적으로 출력되는 것을 확인할 수 있다.

[0054] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한

타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

부호의 설명

[0055] 10: 트랜스임피던스 증폭기 모듈 20: 직류 오프셋 제거 회로

100: 트랜스임피던스 증폭기 100a, 100b: 제1 차동단, 제2 차동단

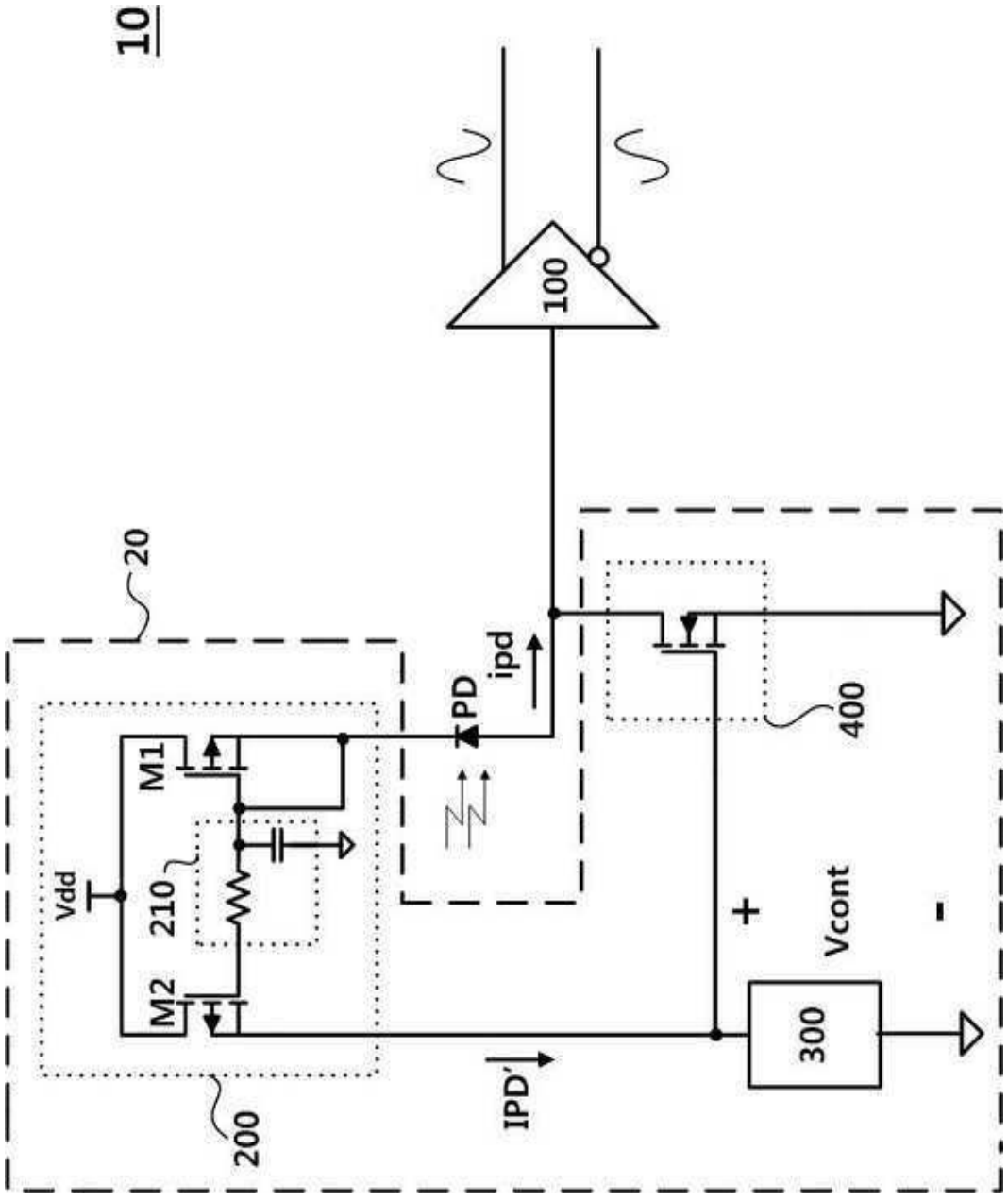
200: 전류 미러부 210: 저역 통과 필터

300: 전압 변환부

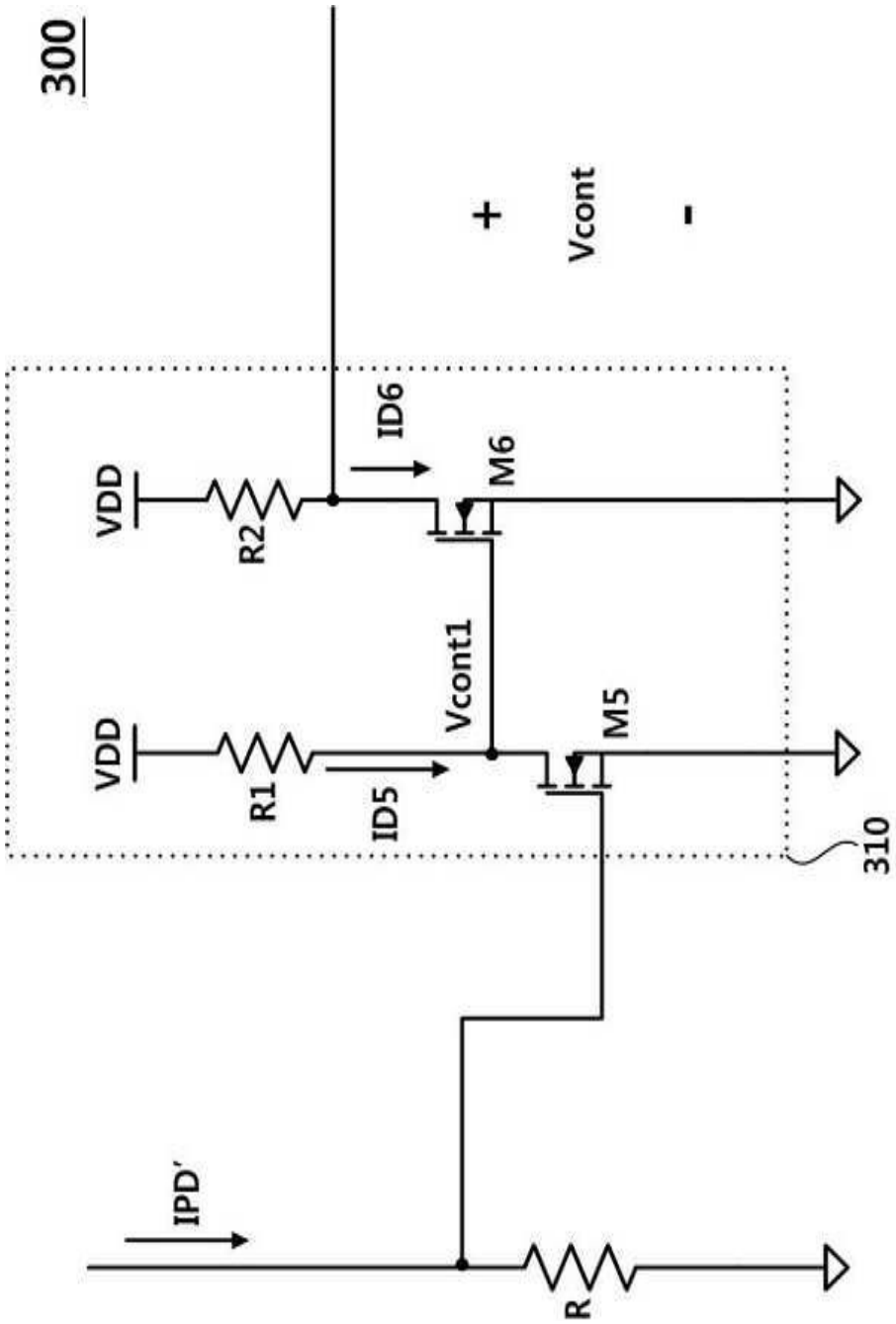
310:레벨시프터

도면

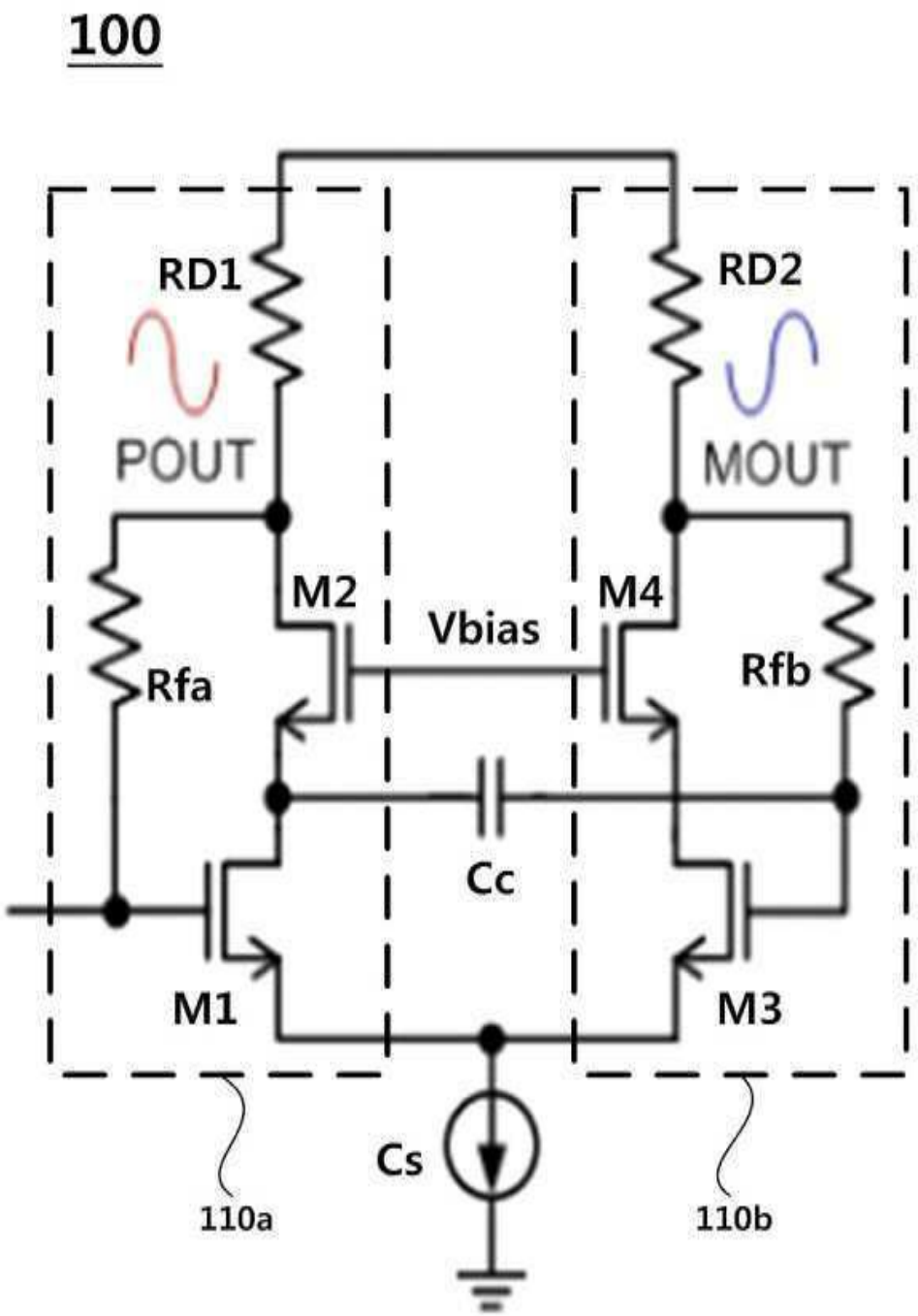
도면1



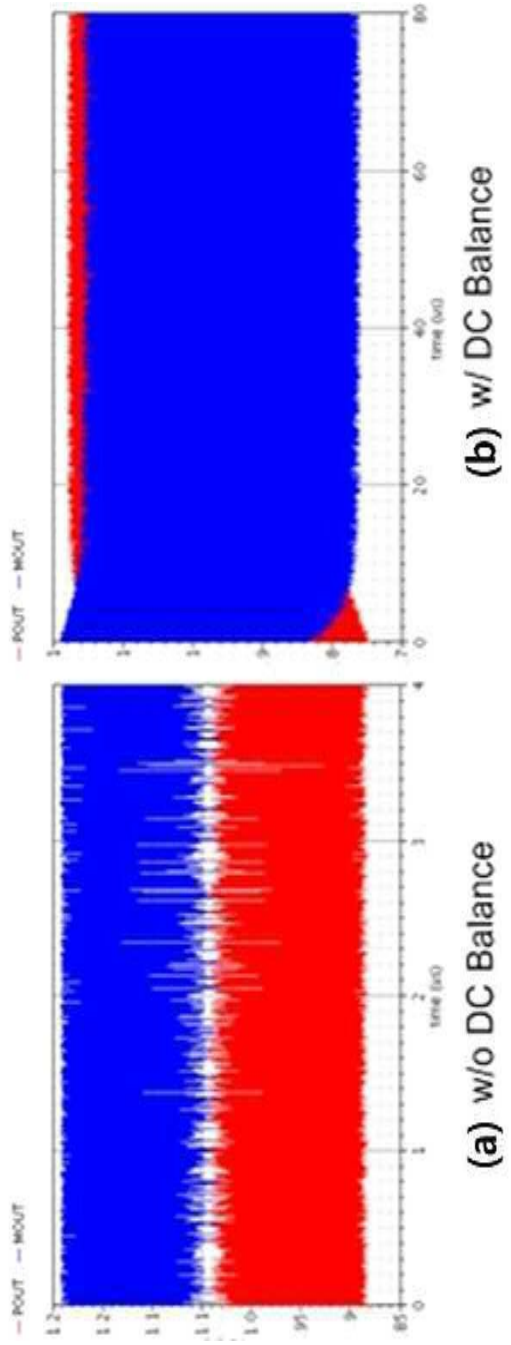
도면2



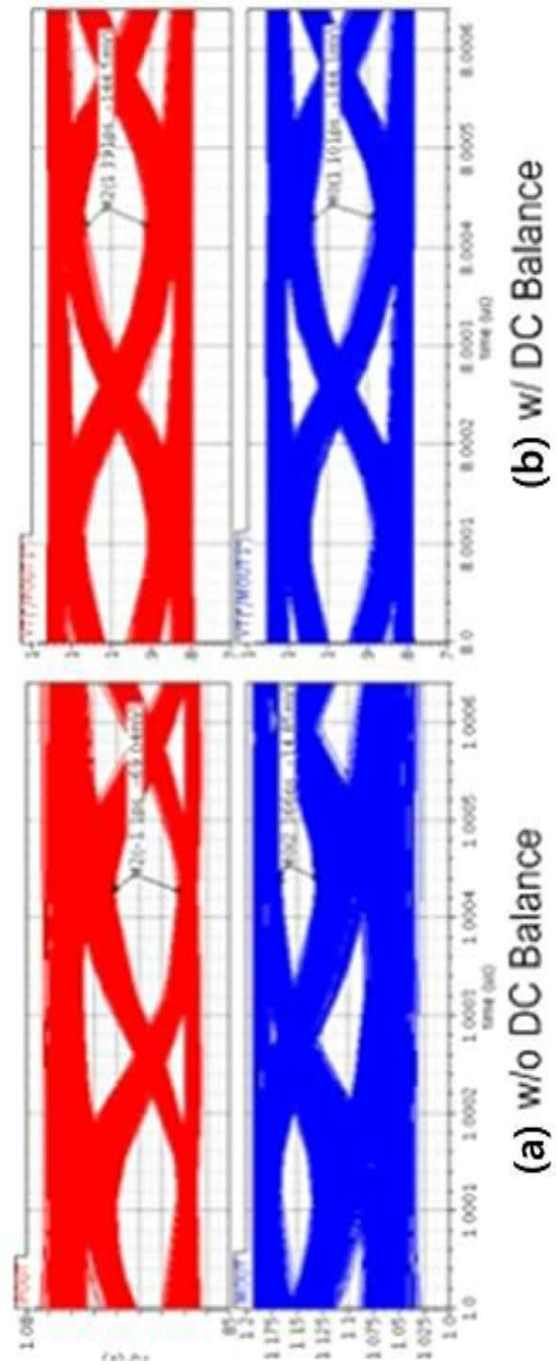
도면3



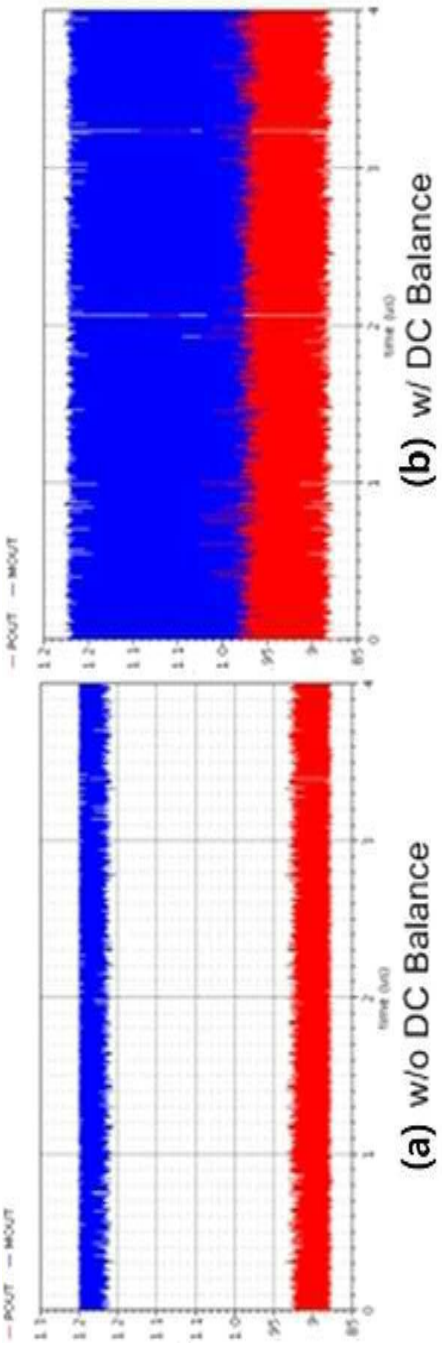
도면4



도면5



도면6



도면7

