

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2010 年 12 月 9 日(09.12.2010)

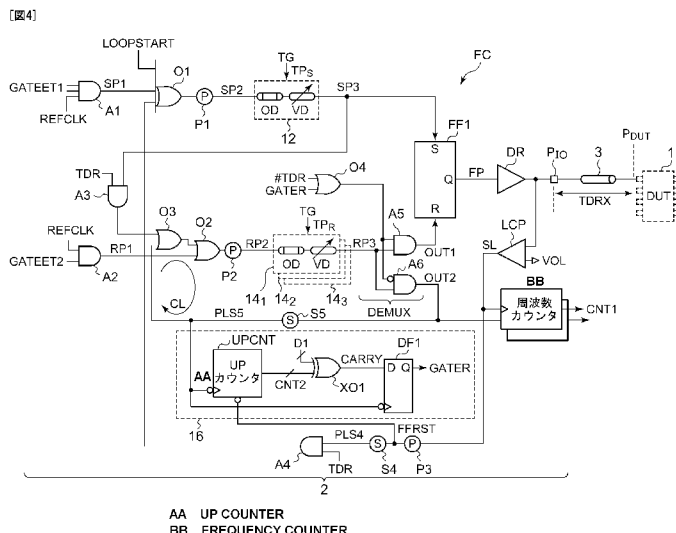
PCT

(10) 国際公開番号
WO 2010/140344 A1

- (51) 国際特許分類:
G01R 31/28 (2006.01) G01R 29/02 (2006.01)
- (21) 国際出願番号: PCT/JP2010/003653
- (22) 国際出願日: 2010 年 6 月 1 日(01.06.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2009-134263 2009 年 6 月 3 日(03.06.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社アドバンテスト(ADVANTEST CORPORATION) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号 Tokyo (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 根岸利幸 (NEGISHI, Toshiyuki) [JP/JP]; 〒1790071 東京都練馬区旭町 1 丁目 3 2 番 1 号株式会社アドバンテスト内 Tokyo (JP).
- (74) 代理人: 森下賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西 2-11-12 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: TEST DEVICE

(54) 発明の名称: 試験装置



(57) Abstract: Delay circuits (12) and (14) give delay to pulses SP and RP, respectively. An RS flip-flop FF1 is set in response to a set pulse SP which passed through a set delay circuit (12). The following operations are performed by a multiplexer DEMUX: A reset pulse RP which passed through the reset delay circuit (14) is received. In the first state, the aforementioned reset pulse RP is output to the reset terminal of the RS flip-flop FF1. In the second state, the reset pulse signal RP is re-input to the reset delay circuit (14), thereby forming a closed loop CL. The following operations are performed by a loop control unit (16): In the second state, a count is taken of the number of times that the reset pulse RP circles the closed loop CL. When the number of times of circling, CL, reaches a specified value, D1, then the state of the multiplexer DEMUX is switched to the first state.

(57) 要約:

[続葉有]

WO 2010/140344 A1



遅延回路 12、14 はそれぞれ、パルス SP、RP に遅延を与える。RS フリップフロップ FF1 は、セット用遅延回路 12 を経たセットパルス SP に応じてセットされ、リセット用遅延回路 14 からのリセットパルス RS に応じてリセットされる。デマルチプレクサ DEMUX は、リセット用遅延回路 14 を経たリセットパルス RP を受け、第 1 状態において RS フリップフロップ FF1 のリセット端子に出力し、第 2 状態において、リセットパルス信号 RS をリセット用遅延回路 14 に再入力して閉ループ CL を形成する。ループ制御部 16 は、第 2 状態において閉ループ CL をパルス周回する回数をカウントし、周回数 CL が所定値 D1 に達すると、デマルチプレクサ DEMUX を第 1 状態に切りかえる。

明 細 書

発明の名称 : 試験装置

技術分野

[0001] 本発明は、試験装置に関し、特に被試験デバイスと試験装置を結ぶ伝送路の長さを測定するTDR (Time Domain Reflectometry) 技術に関する。

背景技術

[0002] メモリやCPU (Central Processing Unit)、GPU (Graphics Processing Unit)、各種DSP (Digital Signal Processor)をはじめとする半導体デバイスが所望の特性を有しているか試験するために、半導体試験装置 (以下、単に試験装置ともいう) が利用される。試験装置は、半導体デバイス (以下、DUT : Device Under Test) に対して、所定のテストパターンを印加し、続いてDUTからの信号を受け、これを期待値と比較することで、DUTの不良箇所を特定したり、その良否を判定する。

[0003] 図1は、メモリ用の試験装置 (メモリテスタ) の構成例を示すブロック図である。試験装置1002は、主としてパターン発生器PG、タイミング発生器TG、波形整形器FC、ドライバDR、タイミングコンパレータTC、論理比較部LCを備える。

[0004] パターン発生器PGは、レート周期 T_{RATE} を単位としてDUT1に対して供給すべきデータ列 (テストパターンTP) を発生する。タイミング発生器TGは、テストパターンTPにもとづいてDUT1に与えるべき出力信号 S_{out} のポジティブエッジおよびネガティブエッジのタイミングを設定するタイミング設定データTPを生成する。

[0005] 波形整形器FCは、タイミング設定データTPを受け、それに応じたタイミングで値が変化する出力信号FPを生成する。ドライバDRは、端子 P_{IO} を介して出力信号 S_{out} をDUT1へと出力する。

[0006] タイミングコンパレータTCは、DUT1から出力される信号 S_{in} を受け、所定のタイミングでその値をラッチする。たとえばタイミングコンパレ

ータTCは、レベルコンパレータLCPおよびラッチLLのペア、ならびにHCPとHLのペアを含む。レベルコンパレータLCPは、DUT1からの信号 S_{in} を下側しきい値電圧 V_{OL} と比較し、 $S_{in} < V_{OL}$ のときハイレベル（1）となるSL信号を生成する。ラッチLLは、SL信号をストローブ信号STRBのエッジのタイミングでラッチする。またレベルコンパレータHCPによってDUTからの信号 S_{in} を上側しきい値電圧 V_{OH} と比較され、 $S_{in} > V_{OH}$ のときハイレベル（1）となるSH信号が生成される。ラッチHLは、SH信号をストローブ信号STRBのタイミングでラッチする。

[0007] 論理比較部LCは、テストサイクルごとのラッチLL（HL）の出力信号Qを、それぞれの期待値EXPと比較し、一致、不一致を示すパスフェイル信号PASS/FAILを生成する。

[0008] 以上が試験装置1002の概要である。

[0009] 通常、試験装置1002は、入出力端子 P_{IO} を基準としてその内部のタイミングがキャリブレーションされる。試験装置1002とDUT1の間は、テストフィクスチャ上の伝送路3を介して接続されるため、デバイス端 P_{DUT} と試験装置1002の入出力端子 P_{IO} のタイミングは一致しない。そこでデバイス端 P_{DUT} と試験装置1002の入出力端子 P_{IO} のタイミングの差をキャリブレートするために、TDR（Time Domain Reflectometry）法を用いて、伝送路3の長さが測定される。

[0010] TDR法の概要を説明する。図2は、TDR法による伝送路の長さ（電気長） T_{pd} の測定原理を示すタイムチャートである。TDR法により伝送路3の電気長 T_{pd} （以下、 T_{DRX} ）を測定する際、DUT1がテストフィクスチャから取り外される。つまり試験装置1002からDUT1側を観たインピーダンスはオープンとなる。この状態で、波形整形器FCにより所定のパルス幅（ハイレベル期間） T_{DRPW} 、所定のオフ期間（ローレベル期間）OFFTIMEを有する信号FPを生成する。ドライバDRがこの信号FPを入出力端子 P_{IO} を介して伝送路3に対して出力すると、デバイス端 P_D

U_T側がオープンであるため、全反射して戻ってくる。反射した信号S_{i n}の電圧レベルが、しきい値電圧V_{O L 1} (V_{O L 2})と比較され、S_L信号が生成される。S_L信号のパルス幅を測定することで、伝送路3の電気長T_{D R X}を求めることができる。

[0011] 図3は、T_{D R}法により伝送路3の長さを測定可能な試験装置1002の一部の構成例を示す回路図である。なお、図3の試験装置1002は説明のために記載したものであり、本発明の出願時において必ずしも公知技術というわけではない。

[0012] まず、通常試験動作に関する説明をする。通常試験動作時には、T_{D R}信号がネゲート（ローレベル）されている。基準クロック信号R_{E F C L K}は、所定のレート周期T_{R A T E}ごとにハイレベルとなる。

[0013] A_{N D}ゲートA1は、ゲート信号G_{A T E E T 1}を利用して基準クロック信号R_{E F C L K}をゲーティングする。A_{N D}ゲートA1からは、セットパルスS_{P 1}が出力される。同様に、A_{N D}ゲートA2は、ゲート信号G_{A T E E T 2}を利用して基準クロック信号R_{E F C L K}をゲーティングし、リセットパルスR_{P 1}を生成する。

[0014] セットパルスS_{P 1}は、O_RゲートO1を通過する。後縁パルサP1は、セットパルスS_{P 1}の後縁（トレイリングエッジ、ネガティブエッジ）を契機として所定のパルス幅のセットパルスS_{P 2}を生成する。同様に後縁パルサP2は、O_RゲートO2を通過したリセットパルスR_{P 1}の後縁を契機として所定のパルス幅を有するリセットパルスR_{P 2}を生成する。

[0015] セット用遅延回路1012は、図1のタイミング発生器T_Gにより生成されるタイミング設定データT_{P_s}を受け、セットパルスS_{P 2}に対して、T_{P_s}に応じた遅延を与える。同様にセット用遅延回路1012は、図1のタイミング発生器T_Gにより生成されるタイミング設定データT_{P_r}を受け、リセットパルスR_{P 2}に対してT_{P_r}に応じた遅延を与える。

[0016] 遅延されたセットパルスS_{P 3}は、R_SフリップフロップF_{F 1}のセット端子（S）に入力され、遅延されたリセットパルスR_{P 3}は、R_Sフリップ

フリップフロップ F F 1 のリセット端子 (R) に入力される。つまり、RS フリップフロップ F F 1 の出力信号 F P のポジティブエッジおよびネガティブエッジのタイミングは、タイミング設定データ $T P_S$ 、 $T P_R$ の値に応じて制御される。

[0017] 以上が試験動作時の動作である。続いて、TDR 測定を行う際の動作を説明する。TDR 測定を行うとき、TDR 信号はアサート (ハイレベル) される。あるタイミングで、ループスタート信号 LOOP START がアサート (ハイレベル) され、OR ゲート O 1 にインジェクトされる。ループスタート信号 LOOP START は後縁パルサ P 1 および遅延回路 1 0 1 2 を経由し、RS フリップフロップ F F 1 のセット端子 (S) に至る。このタイミングで、RS フリップフロップ F F 1 の出力 F P はハイレベルとなる。

[0018] 遅延回路 1 0 1 2 を通過したループスタート信号 LOOP START は、AND ゲート A 3、OR ゲート O 2、後縁パルサ P 2、遅延回路 1 0 1 4 を経由して、RS フリップフロップ F F 1 のリセット端子 (R) に至る。このタイミングで RS フリップフロップ F F 1 の出力 F P はローレベルとなる。

[0019] 遅延回路 1 0 1 2 および 1 0 1 4 はそれぞれ、前段のオフセット遅延素子 $O D (= 8 \text{ ns})$ と、後段の可変遅延素子 $V D (\leq 4 \text{ ns})$ を含む。遅延回路 1 0 1 4 は、TDR 測定を行う際に、他のチャンネルの遅延回路とカスケードに接続され、3 倍の遅延が与えられるように構成される。

[0020] RS フリップフロップ F F 1 がセットされてからリセットされるまでの期間が、F P 信号のパルス幅 $T D R P W$ に相当する。したがって F P 信号のパルス幅は、遅延回路 1 0 1 4 の遅延量に応じて定まる。F P 信号がドライバ DR を介して伝送路 3 に出力され、反射してコンパレータ L C P に到達する。S L 信号は、後縁パルサ P 3、パルスストレッチャ S 4、AND ゲート A 4 を経由して再び、セット側の OR ゲート O 1 に至る。その後、遅延回路 1 0 1 2 に設定された遅延時間経過後に、RS フリップフロップ F F 1 がセットされ、F P 信号がハイレベルに戻る。

[0021] コンパレータ L C P の出力 (S L 信号) は周波数カウンタ F C N T にも入

力されている。周波数カウンタFCNTは、SL信号がハイレベルとなる期間を測定する。周波数カウンタFCNTのカウント値CNT1を利用して、電気長TDRXが算出される。

発明の概要

発明が解決しようとする課題

[0022] 一般的な試験装置では、電気長TDRXとしておよそ10nsを上限として測定する能力が要求される。また、試験装置を確実に動作させるためには、図2のタイムチャートにおけるSL信号のパルス幅が、ある値Tmin（たとえば基準クロック信号REFCLKの周期である4ns）以上であることが要求される。

これらの条件を考慮すると、FP信号のパルス幅TDRPW、オフ時間OFFTIMEはそれぞれ、

$$TDRPW \geq 2 \times TDRX + T_{min}$$

$$OFFTIME \geq 2 \times TDRX + 4ns$$

を満たす必要がある。TDRX=10ns、Tmin=4nsとすると、

$$TDRPW \geq 24ns \quad \cdots (1)$$

$$OFFTIME \geq 24ns \quad \cdots (2)$$

が条件となる。

[0023] 上述のようにFP信号のパルス幅TDRPWは、遅延回路1014の遅延量に対応する。したがって、オフセット遅延素子ODの1段分の遅延量が基準クロック信号REFCLKの2周期（ $T_{RATE} \times 2$ ）、可変遅延素子VDの1段分の遅延量が基準クロック信号REFCLKの1周期（ T_{RATE} ）であるとき、遅延回路1014全体の遅延量（つまりパルス幅TDRPW）は、

$$3 \times (T_{RATE} \times 2 + T_{RATE}) = 9 \times T_{RATE} \quad \cdots (3)$$

となる。 $T_{RATE}=4ns$ の場合、

$$TDRPW = 36ns$$

であるから、上述のスペック（1）を満たす。オフ時間OFFTIMEについても同様である。

[0024] 近年、DUT 1は高速化の一途をたどっており、それに応じて試験装置 1002の動作速度も高速化している。このことは、基準クロック信号REFCLKの周波数の増加（つまりレート周期 T_{RATE} の短縮）、ひいては試験装置 1002内部の遅延素子の遅延量の減少を意味する。

[0025] たとえば $T_{RATE}=125\text{ ps}$ まで短縮されると、式（3）にもとづいて算出したパルス幅 $TDRPW$ は 1.125 ns となり、条件式（1）を満たさず、伝送路3の電気長 $TDRX$ を測定できなくなる。

[0026] 本発明に係る状況に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、伝送路の電気長をTDR測定可能な試験装置の提供にある。

課題を解決するための手段

[0027] 本発明のある態様は試験装置に関する。試験装置は、セットパルスに遅延を与えるセット用遅延回路と、リセットパルスに遅延を与えるリセット用遅延回路と、セット用遅延回路を経たセットパルスに応じてセットされ、リセット用遅延回路からのリセットパルスに応じてリセットされるRSフリップフロップと、RSフリップフロップの出力信号を受け、被試験デバイスが接続される伝送路に出力するドライバと、リセット用遅延回路を経たリセットパルスを受け、第1状態においてRSフリップフロップのリセット端子に出力し、第2状態において、リセット用遅延回路を含む閉ループが形成されるように、リセットパルス信号をリセット用遅延回路に再入力するデマルチプレクサと、第2状態において、閉ループをパルスが周回する回数をカウントし、周回数が所定値に達すると、デマルチプレクサを第1状態に切りかえるループ制御部と、伝送路からの信号を受け、所定のしきい値電圧と比較するレベルコンパレータと、レベルコンパレータの出力信号が所定レベルとなる期間を測定する第1周波数カウンタと、TDR（Time Domain Reflectometry）測定時に、レベルコンパレータの出力信号に応じたパルスを生じ、セット用遅延回路にセットパルスとして再入力するパルサと、を備える。

[0028] この態様によると、閉ループをパルスが周回する回数を制御することによ

り、伝送路に対して出力する信号のパルス幅を制御することができる。

[0029] ループ制御部は、閉ループ中の信号のエッジをカウントするカウンタと、カウンタのカウント値を所定のしきい値と比較する比較手段と、を含んでもよい。ループ制御部は、カウント値がしきい値に達すると、デマルチプレクサを第1状態に設定してもよい。

[0030] ある態様の試験装置は、閉ループの伝搬時間を測定する第2周波数カウンタをさらに備えてもよい。第1周波数カウンタを第2周波数カウンタとして動作させてもよい。

[0031] なお、以上の構成要素の任意の組み合わせや本発明の構成要素や表現を、方法、装置などの間で相互に置換したものもまた、本発明の態様として有効である。

発明の効果

[0032] 本発明のある態様に係る試験装置によれば、十分に長い伝送路の電気長を測定できる。

図面の簡単な説明

[0033] [図1]本出願人が考案したメモリ用の試験装置（メモリテスト）の構成例を示すブロック図である。

[図2] TDR法による伝送路の電気長の測定原理を示すタイムチャートである。

[図3] TDR法により伝送路の電気長を測定可能な試験装置の一部の構成例を示す回路図である。

[図4]実施の形態に係る試験装置の構成を示す回路図である。

[図5]図4の試験装置のTDR測定時の動作を示すタイムチャートである。

発明を実施するための形態

[0034] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての

特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。
。

[0035] 図4は、実施の形態に係る試験装置2の構成を示す回路図である。図3と同様の部材には同じ符号を付し、重複した説明を省略する。以下では、試験装置2の構成を、通常試験動作時に関するものと、TDR測定時に関するもので分けて説明する。

[0036] (通常試験動作)

図3と同様に、TDR信号がネゲート（ローレベル）される。

ANDゲートA1によってテストサイクル（REFCLK）と同期したセットパルスSP1が生成される。セットパルスSP1は、ORゲートO1および後縁パルサP1を経由し、セット用遅延回路12に入力される。セット用遅延回路12は、DUT1に供給されるテストパターンのポジティブエッジのタイミングを規定するタイミング設定データTP_Sを、タイミング発生器TGから受ける。セット用遅延回路12は、セットパルスSP1に対してタイミング設定データTP_Sに応じた遅延を与え、RSフリップフロップFF1のセット端子（S）に供給する。

[0037] 同様にANDゲートA2によってテストサイクルと同期したリセットパルスRP1が生成され、リセット用遅延回路14によってタイミング設定データTP_Rに応じた遅延が与えられる。リセットパルスRP1は、ORゲートO3、O2、後縁パルサP2を経由し、リセット用遅延回路14に入力される。リセット用遅延回路14は、リセットパルスRP2に対し、タイミング設定データTP_Rに応じた遅延を与える。

[0038] ORゲートO4、ANDゲートA5、A6は、いわゆるデマルチプレクサ（DEMUX）として機能する。すなわち、リセットパルスRP3を受け、2つの制御信号#TDR（#は反転論理を示す）およびGATERの値に応じて、第1出力端子OUT1側、もしくは第2出力端子OUT2側のいずれかに出力する。具体的には、#TDR信号およびGATER信号の少なくとも一方がハイレベルのとき、第1出力端子OUT1が選択され、それ以外の

とき、第2出力端子が選択される。

[0039] 通常試験動作時において、#TDRはハイレベルであるから、リセットパルスRP3は、第1出力端子OUT1から出力され、RSフリップフロップFF1のリセット端子(R)に供給される。つまりRSフリップフロップFF1の出力信号(Q)は、テストサイクルごとに、タイミング設定データTP_Sに応じたタイミングでハイレベル(1)となり、TP_Rに応じたタイミングでローレベル(0)となる。RSフリップフロップFF1の出力信号Qは、ドライバDRを経て、DUT1へと供給される。

[0040] 試験装置2は、テストサイクルごとにタイミング設定データTP_S、TP_Rの値を更新することで、RSフリップフロップFF1の出力信号(Q)のポジティブエッジとネガティブエッジのタイミング(つまりデータの周期)をリアルタイム(オンザフライ)で変化させることができる。

[0041] 以上が通常試験動作に関する説明である。続いて、TDR測定に関する構成を説明する。

[0042] (TDR測定)

TDR測定を行うとき、TDR信号はアサート(1)される。またセットパルスSP1、リセットパルスRP1はいずれもローレベルに固定されている。

[0043] ORゲートO1には、所定のタイミングでハイレベルに遷移するループスタート信号LOOPSTARTが入力される。後縁パルスP1は、ORゲートO1を経たループスタート信号LOOPSTARTを利用してセットパルスSP2を生成する。セットパルスSP2は、セット用遅延回路12を経てRSフリップフロップFF1のセット端子(S)に入力される。セットパルスSP3がRSフリップフロップFF1のセット端子に到達したタイミングで、RSフリップフロップFF1の出力信号Qはハイレベルに遷移する。

[0044] またセット用遅延回路12を経由したセットパルスSP3は、ANDゲートA3、ORゲートO3、O2、後縁パルスP2を経由し、リセット用遅延回路14に入力される。

[0045] 図4には、ひとつの入出力端子 P_{IO} に対応する試験装置2の部分のみが示されているが、実際の試験装置には、複数の入出力端子 P_{IO} 、それぞれに対応する同様の回路ユニットが設けられる。

TDR測定時に、リセット用遅延回路14は、他の端子 P_{IO} に対応する回路ユニットに設けられたリセット用遅延回路14とカスケードに接続されるよう構成される。たとえば、他の2つの入出力端子に対応する回路ユニットを利用すれば、3個のリセット用遅延回路 $14_1 \sim 14_3$ をカスケードに接続することができる。

[0046] デマルチプレクサDEMUXは、最終段のリセット用遅延回路 14_3 の出力信号を受ける。デマルチプレクサDEMUXは、制御信号（#TDR、GATER）に応じて、2つの出力端子OUT1、OUT2の一方を選択する。

[0047] パルスストレッチャS5は、デマルチプレクサDEMUXの第2出力端子OUT2からの信号を受け、そのパルス幅を所定値まで広げる。パルスストレッチャS5の出力パルスPLS5は、ORゲートO3に戻る。

[0048] 図4の試験装置2において、デマルチプレクサDEMUXが第2出力端子OUT2を選択する間（第2状態）、ORゲートO3、O2、後縁パルサP2、リセット用遅延回路 $14_1 \sim 14_3$ 、デマルチプレクサDEMUXのANDゲートA6、パルスストレッチャS5は閉ループCLを形成している。デマルチプレクサDEMUXが第1出力端子OUT1を選択する間（第1状態）は、閉ループCLは遮断される。

[0049] ループ制御部16は、閉ループCLの状態を制御する。

ループ制御部16は、第2状態において、リセットパルスRPが閉ループCLを周回する回数をカウントし、周回数CLが所定値D1に達すると、デマルチプレクサDEMUXを第1状態に切りかえる。

[0050] ループ制御部16は、アップカウンタUPCNT、XORゲートXO1、DフリップフロップDF1を含む。

アップカウンタUPCNTは、閉ループCL内をパルスPLS5が周回した回数をカウントする。図4では、パルスストレッチャS5の出力パルスP

LS5のネガティブエッジごとに、カウントアップしていく。XORゲートXO1によって、アップカウンタUPCNTのカウント値CNT2は、所定のしきい値D1と比較され、カウント値CNT2がしきい値D1に達すると、キャリー（CARRY）信号がアサート（ハイレベル）される。CARRY信号がアサートされた後、最初の後縁パルスP5の出力パルスのネガティブエッジのタイミングで、DフリップフロップDF1の出力信号（Q）がハイレベルとなる。DフリップフロップDF1の出力信号（Q）は、GATER信号であり、デマルチプレクサDEMUXの制御信号となっている。

[0051] レベルコンパレータLCPの出力信号（SL信号）は、後縁パルスP3に入力される。後縁パルスP3は、SL信号のネガティブエッジを契機として、所定幅を有するパルス信号を発生する。後縁パルスP3の出力パルスFFRSTは、アップカウンタUPCNTのリセット端子（反転論理）に供給される。つまりアップカウンタUPCNTのカウント値CNT2は、SL信号がローレベルに遷移するごとにリセットされる。

[0052] パルスストレッチャS4は、FFRST信号を受け、そのパルス幅の所定幅に広げる。パルスストレッチャS4の出力パルスPLS4は、ANDゲートA4、ORゲートO1、後縁パルスP1、セット用遅延回路12を経由して、RSフリップフロップFF1のセット端子（S）に入力される。

[0053] 周波数カウンタFCNTは、デマルチプレクサDEMUXの第2出力端子OUT2がハイレベルとなる期間を測定する。試験装置2は、カウント値CNT1にもとづいて、伝送路3の電気長TDRXを算出する。また、周波数カウンタFCNTは、TDR測定に先立ち、リセット用遅延回路14を含む閉ループCLの伝搬時間 T_{CL} を測定可能となっている。

[0054] 以上が試験装置2の構成である。続いて、TDR測定時の試験装置2の動作を説明する。図5は、図4の試験装置2のTDR測定時の動作を示すタイムチャートである。

[0055] 時刻 t_0 に、ループスタート信号LOOPSTARTがアサートされ、そのネガティブエッジのタイミングでパルスSP2がハイレベルとなる。後縁

パルサP₁、セット用遅延回路12を経由し、パルスSP₃が生成される。時刻t₁のセットパルスSP₃のポジティブエッジのタイミングで、RSフリップフロップFF₁がセットされ、その出力信号FPがハイレベルとなる。このタイミングt₁で、入出力端子P_{1o}の電位は上昇し、SL信号はハイレベルとなる。

[0056] セットパルスSP₃のネガティブエッジのタイミングでリセットパルスRP₂がハイレベルとなる。リセットパルスRP₂が、後縁パルサP₂およびリセット用遅延回路14₁~14₃を経由すると、最初のリセットパルスRP₃₁が生成される。

[0057] 最初のリセットパルスRP₃₁のタイミングにおいて、GATER信号はローレベルである。したがって閉ループCLが形成されているため、リセットパルスRP₃₁はパルスストレッチャS₅側に出力され、パルスPLS₅が生成される。

時刻t₂のパルスPLS₅のネガティブエッジを契機として、アップカウンタUPCNTがカウントアップする。パルスPLS₅はORゲートO₃、O₂を経て、再び後縁パルサP₂に入力され、次のリセットパルスRP₂が生成される（時刻t₃）。

[0058] 試験装置2は、時刻t₃~t₂の処理をN回繰り返す。ここでNはしきい値D₁に対応した自然数である。アップカウンタUPCNTがN回カウントアップすると、CARRY信号がアサートされる（時刻t₄）。そして次のリセットパルスRP₃₂のネガティブエッジのタイミングで、DフリップフロップDF₁がクロックされ、その出力信号GATERがハイレベルとなる（時刻t₅）。

[0059] GATER信号がハイレベルとなると、デマルチプレクサDEMUXが第1出力端子OUT₁側にオンし、次のリセットパルスRP₃₃はRSフリップフロップFF₁のリセット端子に入力される（時刻t₆）。このタイミングでFP信号はローレベルとなる。

[0060] 時刻t₆にFP信号がローレベルに遷移した後、伝送路3の往復時間（2

× T D R X) 経過後の時刻 t_7 に、入出力端子 P_{IO} が接地電位 (0 V) となる。その結果、S L 信号がローレベルとなり、後縁パルサ P 3 により F F R S T 信号が生成され、続いてパルスストレッチャ S 4 によってパルス P L S 4 が生成される。F F R S T 信号のネガティブエッジによって、アップカウンタ U P C N T はリセットされる。

[0061] パルス P L S 4 は、A N D ゲート A 4、O R ゲート O 1 を経て後縁パルサ P 1 に入力される。後縁パルサ P 1 は、パルス P L S 4 のネガティブエッジを利用してセットパルス S P 2 を生成する (時刻 t_8)。その後、セットパルス S P 3 のポジティブエッジのタイミング (時刻 t_9) で R S フリップフロップ F F 1 がセットされ、F P 信号がハイレベルに戻る。

[0062] 試験装置 2 は、時刻 $t_1 \sim t_9$ の動作を繰り返す。

[0063] 以上が実施の形態に係る試験装置 2 の T D R 測定時の動作である。

[0064] 続いて試験装置 2 の利点を説明する。

試験装置 2 では、T D R 測定時のリセットパルス R P を、閉ループ C L を伝搬させ、その周回回数を制御することで、R S フリップフロップ F F 1 をリセットするタイミング、すなわち F P 信号のパルス幅 T D R P W を制御することができる。

つまり閉ループ C L のパルスの伝搬時間を T_{CL} 、パルスの周回回数を N とするとき、F P 信号のパルス幅 T D R P W は、

$$T_{CL} \times N$$

となる。

[0065] 閉ループ C L の伝搬時間 T_{CL} は、リセット用遅延回路 1 4 の遅延時間とその他の素子の伝搬遅延の合計となる。

たとえばリセット用遅延回路 1 4 のオフセット遅延 O D および可変遅延 V D がレート周期 T_{RATE} と等しい場合を想定し、レート周期 T_{RATE} が 0. 25 p s であると仮定する。この場合、リセット用遅延回路 1 4 の 3 段の伝搬遅延は、 $(0. 25 + 0. 25) \times 3 = 1. 5$ n s となる。その他の遅延時間を 0. 5 n s と見積もると、閉ループ C L の伝搬時間は、

$$T_L = 1.5 + 0.5 = 2 \text{ ns}$$

となる。この場合 $N = 12$ に設定すれば、パルス幅が満たすべき条件 (1) を満たすことが可能となる。

$$T_{DRPW} \geq 24 \text{ ns} \quad \dots (1)$$

[0066] つまり、レート周期 T_{RATE} が短くなっても、閉ループの周回回数 N を適切に設定することにより、必要なパルス幅を作り出すことが可能となる。また、周回回数 N を増加させれば、原理的にはいくらでも長いパルス幅 T_{DRPW} を作り出すことができるため、 10 ns より長い伝送路 3 を測定することが可能となる。

[0067] また、図 3 の比較技術に係る試験装置 1002 では、リセット用遅延回路 1014 の遅延量によってパルス幅 T_{DRPW} が規定されるため、遅延量を高精度で設定する必要があった。あるいはパルス幅 T_{DRPW} を見積もる際に、遅延量のばらつきを考慮する必要があった。これに対して図 4 の試験装置 2 では、リセット用遅延回路 14 の遅延量がばらついても、閉ループ CL の伝搬時間を周波数カウンタに $FCNT$ より測定できるため、パルス幅 T_{DRPW} を所望の値に設定できる。

[0068] また、インピーダンス 4 では、複数のリセット用遅延回路 14 をカスケード接続する場合を説明したが、単一のリセット用遅延回路 14 を用いて閉ループ CL を形成してもよい。この場合、閉ループ CL の伝搬時間 T_{CL} が短くなるが、カウント数 $D2$ を増加させれば、同等のパルス幅 T_{DRPW} を得ることができる。この変形例によれば、信号の引き回しを簡素化できる。

[0069] 実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が可能である。

符号の説明

[0070] 1…DUT、2…試験装置、3…伝送路、DR…ドライバ、LCP…レベルコンパレータ、FC…波形整形器、SP…セットパルス、RP…リセットパ

ルス、12…セット用遅延回路、14…リセット用遅延回路、FF1…フリップフロップ、FCNT…周波数カウンタ、DEMUX…デマルチプレクサ、UPCNT…アップカウンタ、DF1…Dフリップフロップ、P1, P2, P3…後縁パルサ、S4, S5…パルスストレッチャ、A1, A2, A3, A4, A5, A6…ANDゲート、O1, O2, O3, O4…ORゲート。

産業上の利用可能性

[0071] 本発明は、試験装置に利用できる。

請求の範囲

[請求項1]

セットパルスに遅延を与えるセット用遅延回路と、
リセットパルスに遅延を与えるリセット用遅延回路と、
前記セット用遅延回路を経た前記セットパルスに応じてセットされ、
前記リセット用遅延回路からの前記リセットパルスに応じてリセットされるRSフリップフロップと、
前記RSフリップフロップの出力信号を受け、被試験デバイスが接続される伝送路に出力するドライバと、
前記リセット用遅延回路を経た前記リセットパルスを受け、第1状態において前記RSフリップフロップのリセット端子に出力し、第2状態において、前記リセット用遅延回路を含む閉ループが形成されるように、リセットパルス信号を前記リセット用遅延回路に再入力するデマルチプレクサと、
前記第2状態において、前記閉ループをパルスが周回する回数をカウントし、周回数が所定値に達すると、前記デマルチプレクサを前記第1状態に切りかえるループ制御部と、
前記伝送路からの信号を受け、所定のしきい値電圧と比較するレベルコンパレータと、
前記レベルコンパレータの出力信号が所定レベルとなる期間を測定する第1周波数カウンタと、
TDR (Time Domain Reflectometry) 測定時に、前記レベルコンパレータの出力信号に応じたパルスを生成し、前記セット用遅延回路に前記セットパルスとして再入力するパルサと、
を備えることを特徴とする試験装置。

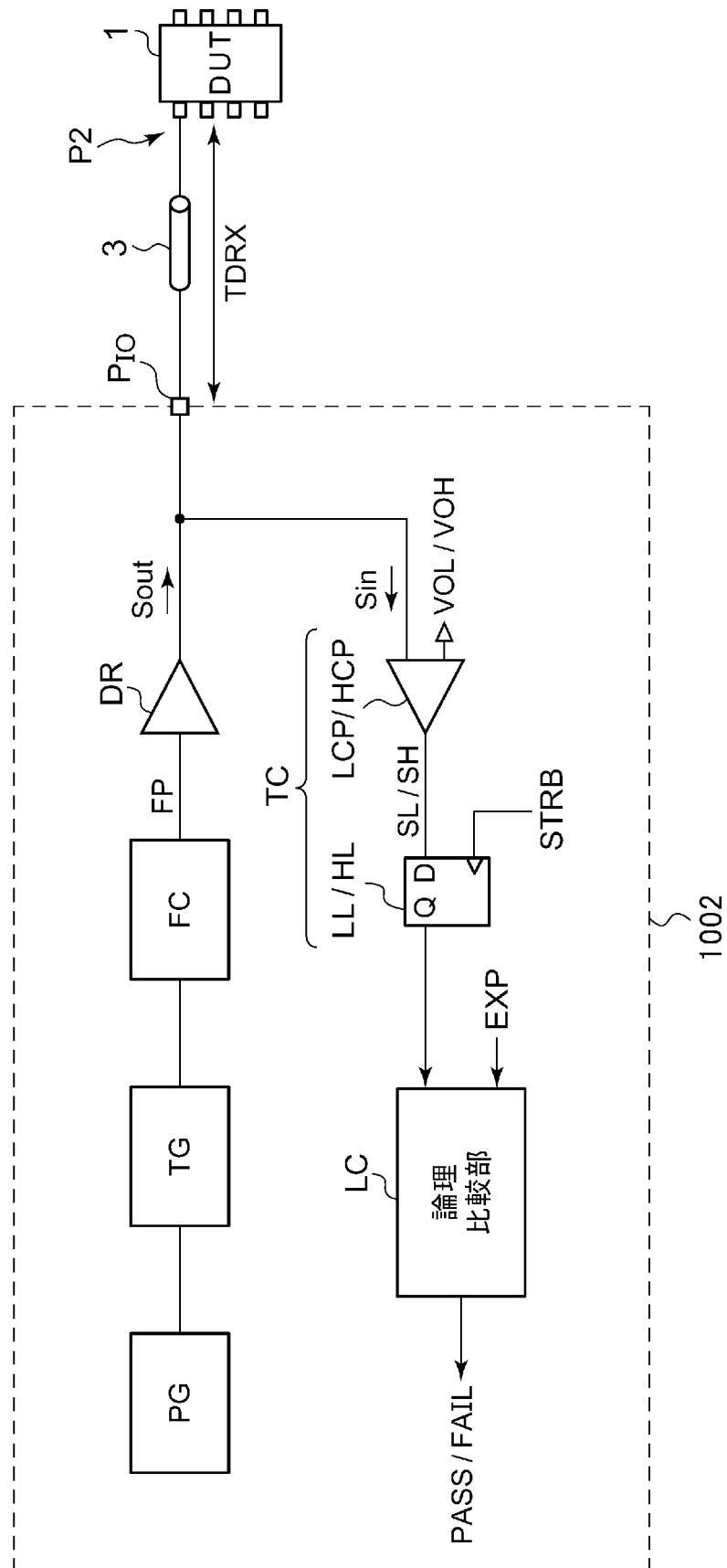
[請求項2]

前記ループ制御部は、
前記閉ループ中の信号のエッジをカウントするカウンタと、
前記カウンタのカウント値を所定のしきい値と比較する比較手段と、
、

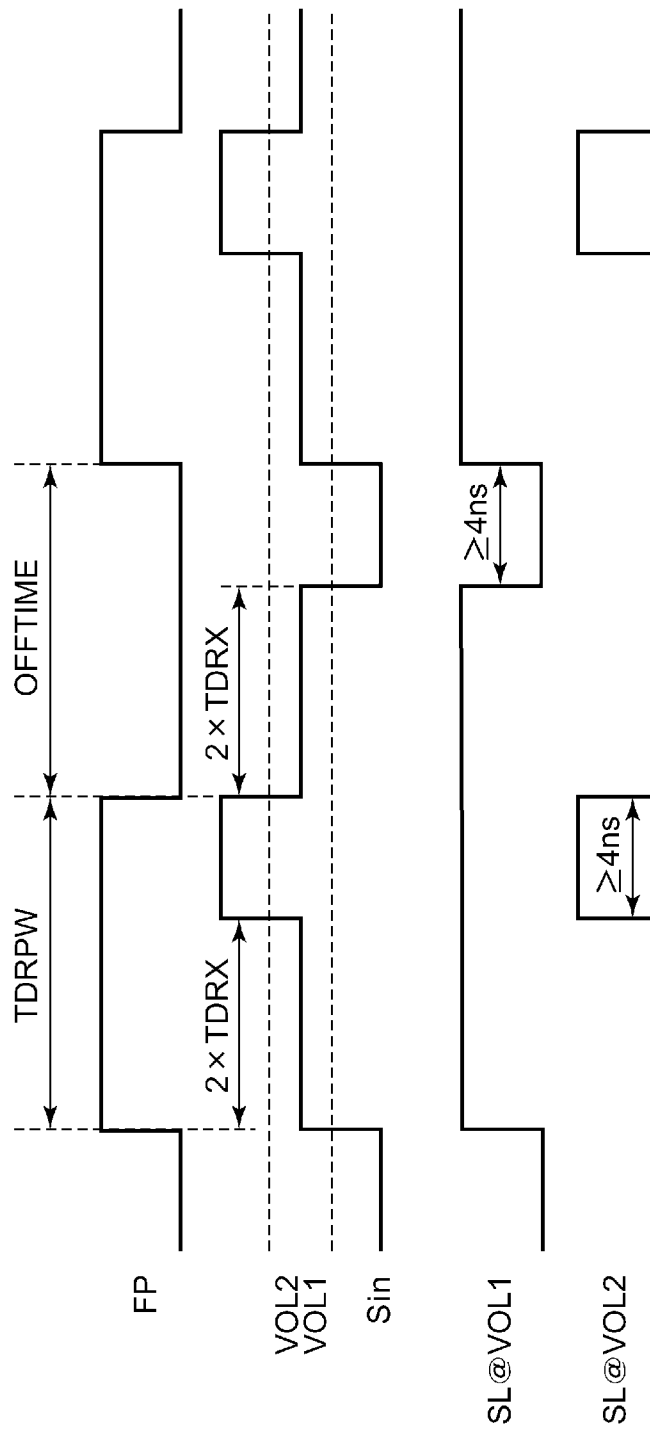
を含み、カウント値がしきい値に達すると、前記デマルチプレクサを第 1 状態に設定することを特徴とする請求項 1 に記載の試験装置。

[請求項3] 前記閉ループの伝搬時間を測定する第 2 周波数カウンタをさらに備えることを特徴とする請求項 1 に記載の試験装置。

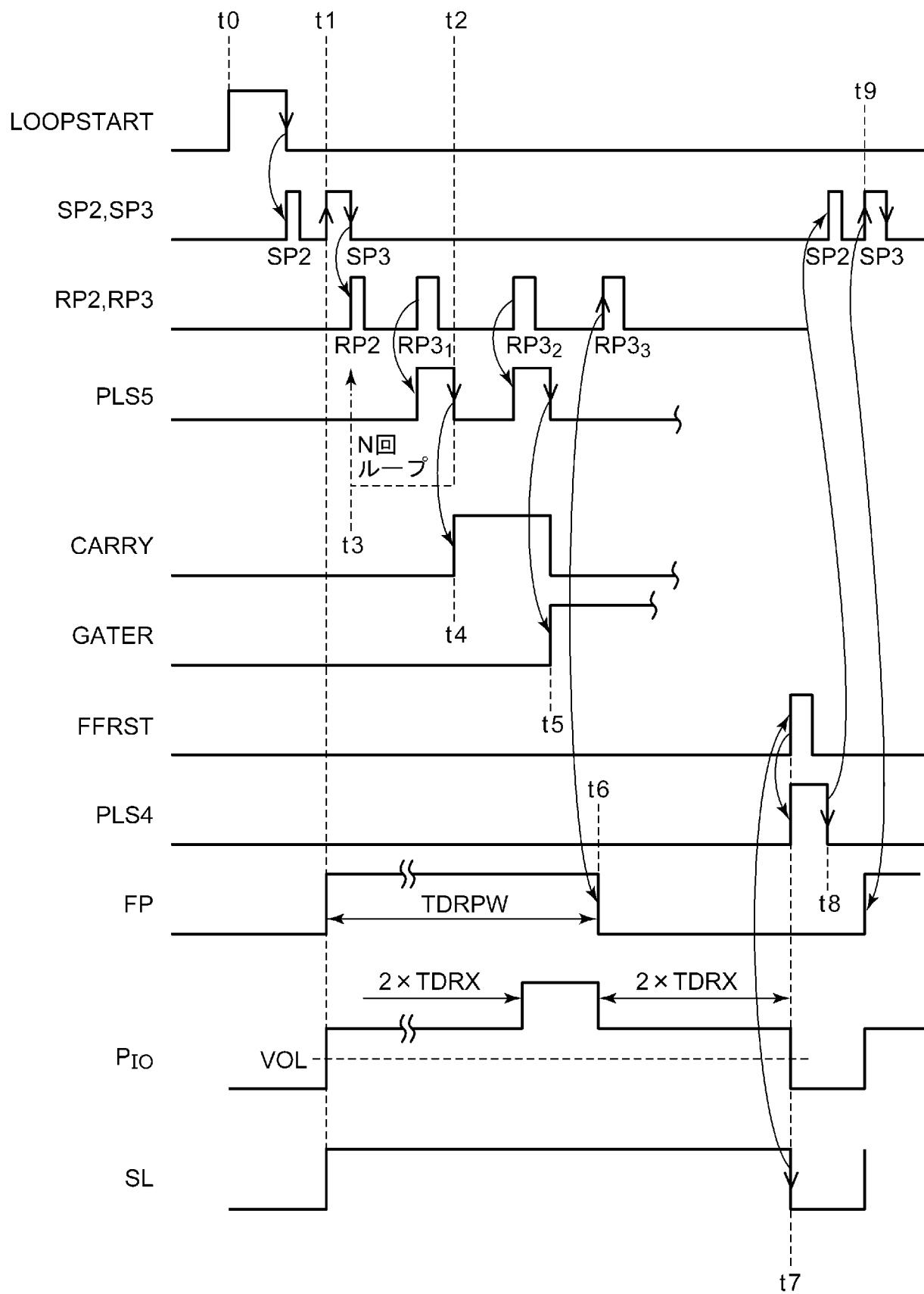
[図1]



[図2]



[図5]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003653

A. CLASSIFICATION OF SUBJECT MATTER

G01R31/28 (2006.01) i, G01R29/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01R31/28, G01R29/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2005-311709 A (Advantest Corp.), 04 November 2005 (04.11.2005), paragraphs [0033] to [0059]; fig. 1 to 3 (Family: none)	1-3
Y	JP 2001-215261 A (Advantest Corp.), 10 August 2001 (10.08.2001), paragraph [0022] (Family: none)	1-3
A	JP 2001-339281 A (NEC Micro Systems, Ltd.), 07 December 2001 (07.12.2001), paragraphs [0013] to [0021] & US 2001/0053195 A1 & TW 533680 B	1-3

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
25 August, 2010 (25.08.10)

Date of mailing of the international search report
07 September, 2010 (07.09.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G01R31/28 (2006.01)i, G01R29/02 (2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G01R31/28, G01R29/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-311709 A (株式会社アドバンテスト) 2005. 11. 04, 段落【0033】-【0059】, 図1-3 (ファミリーなし)	1-3
Y	JP 2001-215261 A (株式会社アドバンテスト) 2001. 08. 10, 段落【0022】 (ファミリーなし)	1-3
A	JP 2001-339281 A (エヌイーシーマイクロシステム株式会社) 2001. 12. 07, 段落【0013】-【0021】 & US 2001/0053195 A1 & TW 533680 B	1-3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

25. 08. 2010

国際調査報告の発送日

07. 09. 2010

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

菅藤 政明

電話番号 03-3581-1101 内線 3258

2S

9305