

# 公告本

|      |           |
|------|-----------|
| 申請日期 | 90.9.14.  |
| 案 號  | 90122891  |
| 類 別  | FILE 7/18 |

A4  
C4

543200

(以上各欄由本局填註)

## 發明專利說明書

|                         |               |                                                                          |
|-------------------------|---------------|--------------------------------------------------------------------------|
| 一、發明<br><del>新</del> 名稱 | 中 文           | 非揮發性半導體記憶體                                                               |
|                         | 日 文           | 不揮發性半導体記憶装置                                                              |
| 二、發明<br><del>創作</del> 人 | 姓 名           | 1. 柴田 昇<br>2. 田中 智晴                                                      |
|                         | 國 籍           | 均日本                                                                      |
| 三、申請人                   | 住、居所          | 1. 日本國神奈川縣橫濱市金澤區並木3-2-7克利爾東芝並木111<br>2. 日本國神奈川縣橫濱市港南區大久保2-13-21普羅亞上大岡105 |
|                         | 姓 名<br>(名 稱)  | 日商東芝股份有限公司<br>KABUSHIKI KAISHA TOSHIBA                                   |
|                         | 國 籍           | 日本                                                                       |
|                         | 住、居所<br>(事務所) | 日本國東京都港區芝浦1丁目1番1號                                                        |
|                         | 代 表 人<br>姓 名  | 岡村 正<br>TADASHI OKAMURA                                                  |

(由本局填寫)

|           |
|-----------|
| 承辦人代碼：    |
| 大類：       |
| I P C 分類： |

A6  
B6

本案已向：

國（地區） 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權

日本 2000年09月28日 特願2000-297443 ☒有 ☐無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

經濟部智慧財產局員工消費合作社印製

## 五、發明說明(1)

### 發明背景

#### 1. 發明領域

本發明係有關半導體記憶體，如可電性重寫之非揮發性半導體記憶體。

#### 2. 相關技藝描述

有關可電性重寫之非揮發性半導體記憶體，曾揭示有使用EEPROM之NAND型快閃記憶體。該NAND型快閃記憶體串聯有鄰接配置的數個記憶體單元的源極、汲極，將該串聯之數個記憶體單元作為一個單位連接於位元線。在該NAND型快閃記憶體中，對排列在列方向上之數個單元的全部或半數的單元執行批次寫入或讀出操作。此外，最近開發出在NAND型快閃記憶體的一個單元內記憶數筆資料的多值記憶體。

然而，此種非揮發性半導體記憶體具有稱之為ROM區塊(ROMBLOCK)的記憶元件區域，其係儲存安全用的識別碼等。該ROM區塊以特別的命令來選擇。該ROM區塊被分配至補救記憶體單元陣列之不良單元之冗餘單元的一部分。因此，會造成該冗餘單元的一部分發生不良時，ROM區塊無法使用的問題。

再者，ROM區塊係使用冗餘單元的一部分。因而，必要時將ROM區塊設定成禁止寫入及禁止刪除有困難。

此外，NAND型快閃記憶體有數個區塊，資料以區塊單位被刪除。有不良單元的不良區塊被替換成冗餘區塊。但是不良區塊數量大於冗餘數量時，則仍以保留不良區塊的部

## 五、發明說明(2)

分良品(一部分良品)出貨。此時，為求辨識不良區塊，係在不良區塊的前數位元寫入資料"0"，不良區塊被存取時，輸出資料"0"。但是，不良區塊的單元中未必均寫入資料"0"，有時也不寫。此時，儘管大部分的記憶體單元正常，仍須將該製品予以報廢。因而導致良率降低。

因而需要一種可確實記憶安全用資訊，且記憶體的一部分有不良區塊時，可確實辨識該不良區塊的半導體記憶體。

### 發明概述

本發明提供一種半導體記憶體，其包含：記憶體單元陣列，其具有第一、第二記憶區域，上述第一記憶區域具有被位址信號選擇的數個記憶元件，上述第二記憶區域具有被控制信號選擇的數個記憶元件；及控制電路，其具有第一熔絲，上述控制電路切斷上述第一熔絲元件時，禁止對上述第二記憶區域寫入及／或刪除。

### 圖式之簡要說明

圖1為顯示本發明第一種實施例之半導體記憶體的構造圖。

圖2為顯示圖1所示之記憶體單元陣列1及資料記憶部2的電路圖。

圖3A, B為顯示記憶體單元及選擇電晶體的剖面圖。

圖4為顯示記憶體單元陣列之一個NAND單元的剖面圖。

圖5為顯示圖2所示之資料記憶電路的電路構造。

圖6A, 6B, 6C, 6D為顯示各模式中所讀取之位址與I/O

## 五、發明說明 (3)

端子的關係圖。

圖7A, 7B為顯示圖1所示之預解碼器及行RD解碼器的操作圖。

圖8A, B, C為顯示圖1所示之CG驅動電路的電路圖, 圖8D為顯示圖8C的操作圖。

圖9A顯示圖1所示之陣列區塊電路的操作, 圖9B顯示鎖存電路。

圖10為顯示圖1所示之區塊RD解碼電路的操作圖。

圖11為顯示圖1所示之區塊解碼器的操作圖。

圖12為顯示區塊選擇電路的電路圖。

圖13為顯示圖12之操作的波形圖。

圖14為記憶體單元陣列的實體對映。

圖15A為顯示圖1所示之禁止寫入電路15a的電路圖, 圖15B為顯示禁止刪除電路15b的電路圖。

圖16顯示4值資料的寫入方法。

圖17A為顯示記憶體單元之資料與被寫入及讀出之資料的關係圖, 圖17B, 17C為寫入電路的說明圖。

圖18為顯示步升寫入方法的寫入特性圖。

圖19為顯示編程操作的順序波形圖。

圖20為顯示倍速編程操作的順序波形圖。

圖21為顯示第一頁之編程操作的流程圖。

圖22為顯示第一頁之編程操作的流程圖。

圖23為顯示第一頁編程時之順序的波形圖。

圖24為顯示第一頁之編程驗證讀出的操作圖。

## 五、發明說明(4)

圖25為顯示編程驗證讀出之順序的波形圖。

圖26A, 26B, 26C為顯示第二頁之編程驗證讀出的操作圖。

圖27為顯示內部資料載入時的順序波形圖。

圖28為顯示第二頁之第一驗證讀出時的順序波形圖。

圖29為顯示讀出操作的順序波形圖。

圖30為顯示倍速讀出操作的順序波形圖。

圖31為概略顯示讀出操作的流程圖。

圖32為顯示第二頁的讀出操作圖。

圖33A, 33B為顯示第一頁的讀出操作圖。

圖34為顯示第二頁之讀出操作的順序波形圖。

圖35為顯示第一頁之讀出操作的順序波形圖。

圖36為顯示刪除操作的順序波形圖。

圖37為顯示倍速刪除操作的順序波形圖。

圖38為概略顯示自動刪除的流程圖。

圖39為顯示刪除操作的順序波形圖。

圖40為顯示刪除驗證操作的順序波形圖。

圖41為顯示設置於圖1所示之控制電壓產生電路內之電壓設定電路的構造圖。

圖42為本發明第二種實施例，顯示一種資料記憶電路的電路圖。

圖43為顯示第一頁、第二頁同時編程的操作順序波形圖。

圖44為顯示第一頁、第二頁同時編程的操作圖。

## 五、發明說明(5)

圖45A, 45B, 45C, 45D為顯示第一頁、第二頁同時編程的操作圖。

圖46為顯示第一頁、第二頁同時編程操作的流程圖。

圖47為第一頁、第二頁同時編程，且顯示倍速編程的操作順序波形圖。

### 發明詳述

以下參照圖式說明本發明的實施例。

#### 第一種實施例

圖1為顯示本發明第一種實施例之半導體記憶體的構造圖。首先參照圖1概略說明。

記憶體單元陣列1包含圖上未顯示之數條位元線與數條字線與共同租用線，可電性重寫資料的記憶體單元配置成矩陣狀。各記憶體單元陣列1的內部如後述的被分割成數個區塊及數個冗餘區塊。各記憶體單元陣列1在行方向的一端分別配置有資料記憶部2。各記憶體單元陣列1在列方向的兩端分別配置有區塊選擇部6。

上述資料記憶部2如後述的包含數條資料記憶電路。各資料記憶電路具有以下功能：(1)經由位元線自記憶體單元陣列1中的記憶體單元讀出資料。(2)經由位元線檢測記憶體單元陣列1中之記憶體單元的狀態。(3)經由位元線在記憶體單元陣列1中的記憶體單元上外加寫入控制電壓，在記憶體單元內執行寫入。

各資料記憶部2上連接有行解碼器3、輸入緩衝器7、輸出緩衝器4。輸入緩衝器7及輸出緩衝器4連接於I/O端子

## 五、發明說明(6)

5。

上述各行解碼器3選擇資料記憶部2中的資料記憶電路。藉由被行解碼器3所選擇之資料記憶電路所讀出之記憶體單元的資料經由輸出緩衝器4自I/O端子5輸出至外部。自外部輸入至I/O端子5的寫入資料經由輸入緩衝器7供應至被行解碼器3所選擇的資料記憶電路。

控制部15因應自外部供應之信號ALE、CLE、CE、WE、RE、WP，控制上述輸出緩衝器4、輸入緩衝器7、ECC碼產生電路8、控制電路13、命令暫存器16、行位址暫存器17、列位址暫存器18。此外，控制部15具有後述之禁止寫入ROM區塊20之禁止寫入電路15a及禁止刪除ROM區塊20之禁止刪除電路15b。再者，控制部15如後述，具有切換半導體記憶裝置之設定模式的熔絲。

ECC碼產生電路8因應控制部15的指示產生ECC(錯誤訂正碼)，供應至輸入緩衝器7。

上述命令暫存器16將上述輸入緩衝器所供應的命令供應至控制電路13。該控制電路13因應命令控制各部。該控制電路13連接有控制電壓產生電路14。該控制電壓產生電路14可藉由充電泵電路等構成，產生資料寫入、讀出、刪除上所需的電壓。

上述行位址暫存器17將上述輸入緩衝器7所供應之位址供應至行RD(冗餘)解碼器及行預解碼器10。該行RD解碼器及行預解碼器10將行之冗餘位址予以解碼，同時預解碼行位址。該行RD解碼器及行預解碼器10的輸出信號供應

## 五、發明說明(7)

至上述各行解碼器3。

上述列位址暫存器18將上述輸入緩衝器7所供應的位址供應至上述CG(控制閘)驅動電路9及上述陣列區塊鎖存電路19。

CG驅動電路9因應列位址暫存器18所供應的列位址，選擇被上述控制電壓產生電路14所產生的字線電位，供應至區塊選擇部6。

上述區塊選擇部6上連接有區塊解碼器12。該區塊解碼器12上連接有區塊RD(冗餘)解碼器11及ROM區塊指定電路20。上述區塊RD解碼器11上連接有陣列區塊鎖存電路19。該陣列區塊鎖存電路19上連接有列位址暫存器18。

上述區塊選擇部6因應陣列區塊鎖存電路19、區塊RD解碼器11及區塊解碼器12的輸出信號選擇記憶體單元陣列1內的區塊。再者，區塊選擇部6於資料的讀出、寫入及刪除時，因應列位址，選擇後述的轉移閘將CG驅動電路9所供應的電壓供應至記憶體單元陣列1中的字線上。

上述ROM區塊指定電路20指定記憶體單元陣列之冗餘區塊作為ROM區塊。亦即，本實施例之ROM區塊可將記憶體單元陣列內的任意冗餘區塊指定成ROM區塊。此外，ROM區塊內寫入有於製造步驟中安全用的識別碼等。因而，ROM區塊構成於批次寫入、批次刪除等的測試時不被選擇。

圖2顯示圖1所示之記憶體單元陣列1及資料記憶部2的構造。資料記憶部2具有數條資料記憶電路 $31_0, 31_1 \sim 31_{n/2}$ 。各資

## 五、發明說明(8)

料記憶電路 $31_0, 31_1 \sim 31_{n/2}$ 連接於上述輸入緩衝器4、輸出緩衝器7。這些 $31_0, 31_1 \sim 31_{n/2}$ 藉由上述行解碼器3所供應之行選擇信號 $CSL_0, CSL_1 \sim CSL_{n/2}$ 來控制。

各資料記憶電路 $31_0, 31_1 \sim 31_{n/2}$ 上連接有一對位元線。亦即，資料記憶電路 $31_0$ 上連接有位元線 $BL_0, BL_1$ ，資料記憶電路 $31_1$ 上連接有位元線 $BL_2, BL_3$ ，資料記憶電路 $31_{n/2}$ 上連接有位元線 $BL_n, BL_{n+1}$ 。

記憶體單元陣列1上配置有數個NAND單元。一個NAND單元包含：如記憶體單元 $M_0 \sim M_{15}$ ，其係由串聯的16個EEPROM構成；第一選擇閘 $S_1$ ，其係連接於該記憶體單元 $M_{15}$ ；及第二選擇閘 $S_2$ ，其係連接於記憶體單元 $M_0$ 。第一選擇閘 $S_1$ 連接於位元線 $BL_0$ ，第二選擇閘 $S_2$ 連接於源極線 $CELSRC$ 。配置於各列之記憶體單元 $M_0 \sim M_{15}$ 的控制閘共同連接於字線 $WL_0 \sim WL_{15}$ 。又，第一選擇閘 $S_1$ 共同連接於選擇線 $SGD_1$ ，第二選擇閘 $S_2$ 共同連接於選擇線 $SGD_2$ 。

讀出操作、編程驗證操作及編程操作時，自外部由所指定的位址從連接於資料記憶電路之兩條位元線( $BL_i, BL_{i+1}$ )中選出1條位元線。再者，藉由外部位址選擇有1條字線，2值時選擇有1頁，4值時選擇有圖2之點線所示之2頁部分的單元。

刪除操作以圖2之點線所示的區塊單位來執行。亦即，資料以該區塊單位被刪除。1區塊由數個NAND單元構成。此外，連接於資料記憶電路的兩條位元線( $BL_i, BL_{i+1}$ )係同時執行。

## 五、發明說明(9)

刪除驗證操作，藉由一次操作，連接於資料記憶電路之兩條位元線(BLi, BLi+1)中的一條位元線(BLi)執行驗證讀出操作。之後，另一條位元線(BLi+1)執行驗證讀出操作。

圖3A, 3B顯示記憶體單元及選擇電晶體的剖面圖。圖3A顯示記憶體單元。在基板41上形成有作為記憶體單元之源極、汲極的n型擴散層42。在基板41上經由閘極絕緣膜43形成有漂浮閘44，該漂浮閘44上經由絕緣膜45形成有控制閘46。

圖3B顯示選擇電晶體。在基板41上形成有作為源極、汲極的n型擴散層47。基板41上經由閘極絕緣膜48形成有控制閘49。

圖4顯示記憶體單元陣列之一個NAND單元的剖面。本例中一個NAND單元由串聯16個記憶體單元M0~M15構成。各記憶體單元採圖3A所示的構造。NAND單元的汲極端與源極端上設有第一選擇閘S1及第二選擇閘S2。第一選擇閘S1及第二選擇閘S2採圖3B所示的構造。

圖5顯示圖2所示之資料記憶電路310的電路構造。由於資料記憶電路全部為相同構造，因此僅說明資料記憶電路310。

位元線BLi上連接有N通道電晶體61a之電流通路的一端。該電晶體61a的閘極上供應有信號BLTR。該電晶體61a之電流通路的另一端連接於電晶體61b之電流通路的一端及電晶體61c之電流通路的一端。上述電晶體61b之電流通路的另一端連接於端子62a。該端子62a上供應有

## 五、發明說明(10)

電壓 VBLA。此外，上述電晶體 61b 的閘極上供應有信號 PREA。上述電晶體 61c 的閘極上供應有信號 BLSA。

此外，位元線 BLi+1 上連接有 N 通道電晶體 61d 之電流通路的一端。該電晶體 61d 的閘極上供應有信號 BLTR。該電晶體 61d 之電流通路的另一端連接於電晶體 61e 之電流通路的一端及電晶體 61f 之電流通路的一端。上述電晶體 61e 之電流通路的另一端連接於端子 62b。該端子 62b 上供應有電壓 VBLB。此外，上述電晶體 61e 的閘極上供應有信號 PREB。上述電晶體 61f 的閘極上供應有信號 BLSB。電晶體 61b, 61e 因應信號 PREA、PREB 將非選擇的位元線預充電成電位 VBLA、VBLB。上述電晶體 61c, 61f 因應信號 BLSA、BLSB 選擇位元線。

上述電晶體 61c, 61f 之電流通路的另一端經由電晶體 61g 連接於端子 62c，同時連接於節點 NE。上述電晶體 61g 之閘極上供應有信號 BIAS。端子 62c 上供應有電壓 VCC。該電晶體 61g 於資料讀出時，因應信號 BIAS 將位元線予以預充電。

上述節點 NE 上連接有電晶體 61h 之電流通路的一端。該電晶體 61h 的閘極上供應有信號 BLC1。該電晶體 61h 之電流通路的另一端上經由 P 通道 MOS 電晶體 61m 連接有端子 62d。該端子 62d 上供應有電壓 VCC。上述電晶體 61m 的閘極上供應有信號 PRSTB1。

上述電晶體 61h 之電流通路的另一端連接於第一鎖存電路 LAT(A)。該第一鎖存電路 LAT(A) 由兩條時脈反向器電路

## 五、發明說明(11)

61i, 61j構成。時脈反向器電路61i被信號SEN1, SEN1B(B表示反轉信號)控制。時脈反向器電路61j被信號LAT1, LAT1B控制。該第一鎖存電路LAT(A)鎖存寫入資料。

上述時脈反向器電路61j之輸出節點NB及時脈反向器電路61i之輸入端的連接節點NC上連接有N通道MOS電晶體61o之電流通路的一端。該電晶體61o之電流通路的另一端IO連接於上述輸入緩衝器7及輸出緩衝器4。

上述時脈反向器電路61i之輸出節點NA及時脈反向器電路61j之輸入端的連接節點上連接有N通道MOS電晶體61n之電流通路的一端。該電晶體61n之電流通路的另一端IOB連接於上述輸入緩衝器7及輸出緩衝器4。這些電晶體61o, 61n之閘極上自行解碼器3供應有行選擇信號CSL。

此外, 上述節點NE上串聯有電晶體61k, 61l。電晶體61k之閘極連接於上述第一鎖存電路LAT(A)的節點NC, 電晶體61l之閘極上供應有信號VRFY1。再者, 電晶體61l的電流通路上供應有信號VREG。這些電晶體61k, 61l因應鎖存在第一鎖存電路LAT(A)內的資料設定位元線的電位。

另外, 上述節點NE上連接有電晶體61q之電流通路的一端。該電晶體61q的閘極上供應有信號BLC2。該電晶體61q之電流通路的另一端上經由P通道MOS電晶體61p連接有端子62e。該端子62e上供應有電壓VCC。上述電晶體61p的閘極上供應有信號PRSTB2。

上述電晶體61q之電流通路的另一端上連接有第二鎖存電路LAT(B)。該第二鎖存電路LAT(B)由兩條時脈反向器電

## 五、發明說明 (12)

路61r, 61s構成。時脈反向器電路61r被信號SEN2, SEN2B控制。時脈反向器電路61s被信號LAT2, LAT2B控制。該第二鎖存電路LAT(B)鎖存自記憶體單元讀出的資料。

此外, 上述節點NE上串聯有電晶體61t, 61u。電晶體61t的閘極連接於上述第二鎖存電路LAT(B)的節點ND, 電晶體61u的閘極上供應有信號VRFY2。再者, 電晶體61u的電流通路上供應有信號VREG。這些電晶體61t, 61u因應鎖存在第二鎖存電路LAT(B)內的資料設定位元線的電位。

以下說明上述構造的操作。

### 命令輸入

命令係於供應至圖1所示之控制部15的信號CLE變成高電平, 信號WE上昇及下降時, 將供應至I/O端子5的資料作為命令供應至命令暫存器16。

### 位址輸入

位址係於圖1所示之控制部15的信號ALE變成高電平, 信號WE上昇及下降時, 將供應至I/O端子5的資料作為位址被取入。

圖6A, 6B, 6C, 6D顯示各模式中所讀取之位址與I/O端子的關係。本實施例之半導體記憶體可將記憶體單元陣列設定成如在四個模式中切換。這四個模式的切換如藉由切斷設置在控制部15上之圖上未顯示的熔絲來設定。

圖6A顯示1G(十億)位元, 在一個單元內記憶2位元的4值資料記憶, 區塊尺寸為32KB的模式。圖6B顯示512M(百萬)位元, 在一個單元內記憶1位元的2值資料記憶, 區塊

## 五、發明說明 (13)

尺寸為16KB的模式。圖6C顯示1G位元，記憶4值的資料，區塊尺寸為128KB的模式。圖6D顯示512M位元，記憶2值的資料，區塊尺寸為64KB的模式。

各操作模式中，讀出、編程時以四個週期取入行位址及區塊位址等。但是，刪除時，由於不需要取入行位址，因此第一週期省略，以第二週期至四週期的三個週期輸入位址。

為圖6A，6C所示的4值時，需要切換1頁與2頁。該切換係使用第二週期的MLAdd來執行。為2值時，一個單元內僅記憶1位元。因此不需要切換頁。

圖6A所示的行位址A8，A8E藉由命令切換輸入。

### 資料輸入

輸入寫入資料時，圖1所示之控制部15的信號ALE及信號CLE均變成低電平，信號WE上昇及下降時，取入供應至I/O端子5的資料作為資料。該資料供應至被行解碼器3所選擇的資料記憶電路。藉由連續雙態觸變信號WE，行位址被遞增，依序取入下一個位址的資料。

### 資料輸出

自記憶體單元所讀出的資料輸出至外部時，使圖1所示之控制部15的信號ALE及信號CLE均變成低電平。此種狀態下，信號RE上昇及下降時，被行解碼器3選擇之資料記憶電路的資料自I/O端子5輸出。藉由反覆雙態觸變信號RE，位址被遞增，依序輸出下一個位址的資料。

### 預解碼器

## 五、發明說明 (14)

圖7A、7B顯示預解碼器及行RD解碼器10的操作。

圖1所示的行位址暫存器17鎖存被外部指定的位址A0~A8, A8E, 同時與信號WE及信號RE同步使位址遞增。使用ECC時, 因記憶ECC碼, 所以對行位址的528行需要再增加21行。亦即, 如訂正2位元時, 每一頁(528位元)在訂正符號用上需要21位元的單元。但是, 21行中的4行與行冗餘共用。因而增加17行部分的行位址。

如圖7A所示, 行預解碼器及行RD解碼器10將行位址A0~A8, A8E予以解碼, 輸出行預解碼信號CA0~7, CB0~7, CC0~8。如此選擇528+17行。

此外, 如圖7B所示, 選擇行冗餘時, 停止行預解碼信號, 輸出選擇行冗餘的信號CSS0~7。本實施例中, ECC未使用時, 行冗餘對一個位址有8條。此外, 使用ECC時, 行冗餘對一個位址有4條, 17行由信號CA0~7, CB0~8選擇, 4行由信號CSS0~3選擇。

自行預解碼器及行RD解碼器10所輸出的信號CA0~7, CB0~7, CC0~8, 由行解碼器3選擇528行中的一行。信號CSS0~7則直接選擇未經解碼的一行。

再者, 圖1所示的列位址暫存器18鎖存被外部指定的位址A9~A26。

圖8A、8B、8C顯示圖1所示的CG驅動電路9。

讀出及編程時, 首先以圖8A、8B所示的電路分別產生選擇CG電壓Vcgssel與非選擇CG電壓Vcgusel。選擇CG電壓Vcgssel於讀出時設定成電壓Vcgrv, 於編程時設定成電壓

## 五、發明說明(15)

Vpgmh。非選擇CG電壓Vcgusel於讀出時設定成電壓Vread，於編程時設定成電壓Vpass。

圖8A為產生被選擇之控制閘線之電位的電路，並由升壓電路81a、81b、電晶體81c、81d所構成。電晶體81c之電流通路的一端上供應有由控制電壓產生電路14所供應的編程電壓Vpgmh。該電晶體81c的閘極上連接有升壓電路81a的輸出端。升壓電路81a上供應有編程電壓Vpgmh及信號VPGMEN，升壓電路81a因應信號VPGMEN產生電壓 $Vpgmh + V_{th}$ 。因此，電晶體81c可輸出電壓Vpgmh。

電晶體81d之電流通路的一端上供應有由控制電壓產生電路14所供應的電壓Vcgrv。該電晶體81d的閘極上連接有升壓電路81b的輸出端。升壓電路81b上供應有電壓Vcgrv及信號VCGREN，升壓電路81b因應信號VCGREN產生電壓 $Vcgrv + V_{th}$ 。因此，電晶體81d可輸出電壓Vcgrv。該電晶體81c、81d之電流通路的另一端共同連接，自該連接節點輸出有包含電壓Vpgmh或電壓Vcgrv的選擇CG電壓Vcgssel。

圖8B為產生非選擇之控制閘線之電位的電路，並由升壓電路82a、82b、電晶體82c、82d所構成。電晶體82c之電流通路的一端上供應有由控制電壓產生電路14所供應的電壓Vpass。該電晶體82c的閘極上連接有升壓電路82a的輸出端。該升壓電路82a上供應有電壓Vpass及信號VPASSENb，升壓電路82a因應信號VPASSENb產生電壓 $Vpass + V_{th}$ 。因此，電晶體82c可輸出電壓Vpass。

電晶體82d之電流通路的一端上供應有由控制電壓產生

## 五、發明說明 ( 16 )

電路 14 所供應的電壓  $V_{readh}$ 。該電晶體 82 d 的閘極上連接有升壓電路 82 b 的輸出端。升壓電路 82 b 上供應有電壓  $V_{readh}$  及信號  $V_{READEN}$ ，升壓電路 82 b 因應信號  $V_{READEN}$  產生電壓  $V_{readh} + V_{th}$ 。因此，電晶體 82 d 可輸出電壓  $V_{readh}$ 。該電晶體 82 c，82 d 之電流通路的另一端共同連接，自該連接節點輸出有包含電壓  $V_{pass}$  或電壓  $V_{readh}$  的非選擇 CG 電壓  $V_{cgusel}$ 。

圖 8 C 顯示將選擇 CG 電壓  $V_{cgsel}$  及非選擇 CG 電壓  $V_{cgusel}$  供應至控制閘的 CG 供應電路。該 CG 供應電路因應控制閘設有 16 個。依據位址  $A_{11} \sim A_{14}$ ，其中 1 個處於選擇狀態，其他 15 個處於非選擇狀態。

亦即，CG 供應電路由解碼電路 83 a、反向器電路 83 b、升壓電路 83 c，83 d、電晶體 83 e，83 f，83 g 構成。解碼電路 83 a 的輸入端上供應有位址  $A_{11} \sim A_{14}$ 。因應該位址 CG 供應電路被選擇時，電晶體 83 e 被升壓電路 83 c 開啟，輸出有上述選擇 CG 電壓  $V_{cgsel}$ ，作為控制閘電壓  $V_{CGi}$ 。此外，CG 供應電路為非選擇時，電晶體 83 f 被升壓電路 83 d 開啟，輸出有上述非選擇 CG 電壓  $V_{cgusel}$ ，作為控制閘電壓  $V_{CGi}$ 。

此外，刪除時，信號  $ERASEEN$  變成高電平，電晶體 83 g 被開啟。因此，整個控制閘的電壓  $V_{CG0} \sim V_{CG15}$  變成接地電位。

圖 8 D 顯示位址  $A_{11} \sim A_{14}$  與控制閘電壓  $V_{CGi}$  的關係。該圖 8 D 顯示依據位址  $A_{11} \sim A_{14}$  輸出有 1 個控制閘電壓  $V_{CGi}$ 。

## 五、發明說明 ( 17 )

如此，在圖 8 A，8 B 所示電路與圖 8 C 所示電路的兩階段切換控制閘電壓 VCGi。因此，可自各 CG 供應電路輸出讀出、編程及刪除上所需的全部電位。且藉由採上述兩階段的電路構造，可縮小電路規模。

圖 9 A，9 B 顯示圖 1 所示的陣列區塊電路 19。陣列區塊電路 19 在各記憶體單元陣列內鎖存區塊位址(A17~26)。

如圖 9 A 所示，4 個記憶體單元陣列被位址 A15，A16 選擇。被選擇之記憶體單元陣列的鎖存信號 PBLATPB0~3 為高電平。

圖 9 B 顯示設置於陣列區塊鎖存電路 19 上的鎖存電路。該鎖存電路係對應於 A17~A26 之各區塊位址配置。該鎖存電路由反向器電路 91a、NAND 電路 91b、構成正反器電路的 NAND 電路 91c，91d 構成。該鎖存電路於鎖存信號 PBLATPB0~3 成為高電平時，鎖存區塊位址 A17~26。

圖 10 顯示圖 1 所示之區塊 RD 解碼器 11 的操作。該區塊 RD 解碼器 11 於由陣列區塊鎖存電路 19 供應之區塊位址 A17~26 與由熔絲所設定之區塊冗餘的位址 APB17~APB26 一致時，輸出選擇位址 ATPB17~ATPB26 與冗餘區域的信號 ATPBD。該位址 ATPB17~ATPB26 與信號 ATPBD 用於自存在的數個區塊冗餘中選擇 1 個。

亦即，圖 10 係顯示區塊位址 A17~26 與區塊冗餘之位址 APB17~APB26 一致時。此時，區塊 RD 解碼器 11 使選擇區塊位址 ATPB18 與冗餘區域之信號 ATPBRD 變成高電平，來選擇位於 ATPB18 的區塊冗餘。

## 五、發明說明 ( 18 )

圖 11 顯示圖 1 所示之區塊解碼器 12 的操作。區塊解碼器 12 將由區塊 RD 解碼器 11 所供應之區塊位址 ATPB17~26 及 ATPBRD 予以解碼，輸出如圖 11 所示的列解碼信號 AROWA~AROWE 與 RDECPBLR。列解碼信號 AROWA~AROWE 為用於選擇記憶體單元陣列 1 內之區塊的信號。RDECPBLR 為自配置在記憶體單元陣列 1 之兩側(左右)上之區塊選擇部 6 中選擇其中 1 個的信號。

再者，區塊解碼器 12 被 ROM 區塊指定電路 20 選擇時，與上述同樣的將 ROM 區塊指定電路 20 所供應的區塊位址予以解碼，產生用於選擇 ROM 區塊的列解碼信號 AROWA~AROWE。

圖 12 顯示設置於圖 1 所示之區塊選擇部 6 內之區塊選擇電路 6a 的電路構造。該區塊選擇電路 6a 分別對各區塊設置 1 條。此外，圖 12 所示之熔絲狀態檢測電路 6b 對各記憶體單元陣列 1 各配置 1 條。

區塊選擇電路 6a 中，在端子 100 上供應有電源電壓 VDD。在該端子 100 與供應有信號 ROWCOM 之節點之間串聯有 P 通道 MOS 電晶體 101、N 通道 MOS 電晶體 102~108。上述電晶體 101 的閘極上供應有上述信號 RDECPBLR。該信號 RDECPBLR 為用於選擇記憶體單元陣列 1 之左側或右側之區塊選擇部 6 的信號。此外，電晶體 102~106 的閘極上供應有上述列解碼信號 AROWA~AROWE。電晶體 107 的閘極上供應有信號 RDECPBLRD。信號 RDECPBL 如圖 13 所示，變成稍延遲於信號 RDECPBLRD。

## 五、發明說明(19)

再者，電晶體 108 的閘極上供應有用於存取 ROM 區塊的命令信號 CD\_ROMBA。該電晶體 108 上並聯有熔絲 109。該熔絲 109 在對應於該區塊選擇電路 6a 的區塊為不良區塊時被切斷。

再者，上述電晶體 101 上並聯有 P 通道 MOS 電晶體 117, 118 的串聯電路。上述電晶體 117 的閘極接地(圖中向下的箭頭表示接地)。此外，上述電晶體 101, 102, 118 的連接節點上連接有反向器電路 119 的輸入端。該反向器電路 119 的輸出端連接於上述電晶體 118 的閘極，同時連接於位準移位器 120 的一個輸入端。

該位準移位器 120 的另一個輸入端上供應有信號 VRDEC。該信號 VRDEC 為因應資料的編程、讀出、刪除控制位準移位器 120 的信號。該位準移位器 120 在區塊選擇電路 6a 處於選擇狀態時，依據信號 VRDEC 產生驅動轉移閘 TG 的信號。

上述轉移閘 TG 包含連接於記憶體單元之字線的轉移閘 TG0~TG15 與連接於第一、第二選擇閘 S1, S2 之閘極的轉移閘 TSG1, TGS2。轉移閘 TG0~TG15 之電流通路的一端上分別連接有控制閘線 CG0~CG15，電流通路的另一端上分別連接有字線 WL0~WL15。控制閘線 CG0~CG15 上自上述 CG 驅動電路 9 分別供應有控制閘壓 VCG。

此外，轉移閘 TGS1, TGS2 之電流通路的一端上分別連接有選擇閘線 SGD, SGS，電流通路的另一端上分別連接有選擇線 SGD1, SGD2。選擇線 SGD1, SGD2 上可自上述控制電壓產生電路 14 分別供應有指定電壓。

## 五、發明說明(20)

上述選擇線SGD1上串聯有N通道MOS電晶體121, 122。電晶體121之電流通路的一端上供應有信號SGDSPBLR, 閘極上供應有信號RDECADin+ln。再者, 電晶體122的閘極上經由反向器電路123供應有上述反向器電路119的輸出信號RDECADn。

再者, 上述選擇線SGD2上連接有N通道MOS電晶體124之電流通路的一端。該電晶體124之電流通路的另一端上供應有上述信號SGDSPBLR, 閘極上供應有上述信號RDECADn。

此外, 熔絲狀態檢測電路6b中, 供應有上述信號ROWCOM的節點經由N通道MOS電晶體110接地, 同時連接於N通道MOS電晶體111的閘極。上述電晶體110之閘極上供應有信號ROWCOMVSS。上述電晶體之電流通路的一端連接於反向器電路112之輸入端及反向器電路113之輸出端, 另一端接地。上述反向器電路112的輸出端及反向器電路113的輸入端連接於反向器電路114的輸入端。自該反向器電路114的輸出端輸出有顯示上述熔絲是否被切斷的信號FUSECUT。該信號FUSECUT供應至控制部15。該反向器電路114的輸入端經由N通道MOS電晶體115接地。該電晶體115的閘極上經由反向器電路116供應有信號BUSY。

以下說明上述構造中之區塊選擇電路6a的操作。

信號RDECPBLR、信號RDECPBLRD、CMD\_ROMBA、ROWCOM通常為接地電位VSS。因此, 反向器電路119的輸出信號RDECAD為低電平。

另外, 讀出操作、編程操作、刪除操作開始時, 對應於

## 五、發明說明 (21)

被選擇之記憶體單元陣列之右側或左側的信號RDECPBLR為高電平。此種狀態下，位址一致時，列解碼信號AROWA~AROWE全部成為高電平。因此，反向器電路119的輸出信號RDECAD成為高電平，位準移位器120被啟動。該位準移位器120於編程時輸出電壓 $V_{pgm} + V_{th}$  ( $V_{th}$ 為轉移閾的臨限值電壓)，於讀出時輸出讀出電壓 $V_{read} + V_{th}$ ，於刪除時輸出電源電壓VDD。轉移閾藉由產生此種電壓，可直接轉移CG驅動電路9的電壓。

另外，位址不一致時，列解碼信號AROWA~AROWE中的任何一個成為低電平，區塊選擇電路6a為非選擇狀態。因此，位準移位器120的輸出電壓為接地電壓VSS。因此，於讀出及編程時，字線WL0~15形成漂浮狀態。選擇線SGD1, SGD2的SGDSPBLR形成接地電位VSS，再者，因電晶體121, 122, 123開啟，而形成接地電位VSS。

刪除時，字線WL0~15變成漂浮狀態，電壓SGDSPBLR被設定在電源電壓VDD。因此，選擇線SGD1, SGD2的電位為 $VDD - V_{th}$ 。但因基板設定在刪除電壓VERA，因此，字線WL0~15及選擇線SGD1, SGD2均因耦合而形成接近於刪除電壓VERA的電位。

如前所述，圖12所示的熔絲109於不良區塊時被切斷。於全部選擇寫入等的測試時，列解碼信號AROWA~E全部變成高電平。但因熔絲109被切斷，因此反向器電路119的輸出信號RDECAD形成低電平，不良區塊未被選擇。

此外，存取部分良品之不良區塊時，熔絲109也被切斷

## 五、發明說明(22)

時，該不良區塊為非選擇。因此，在此種狀態下，於執行讀出操作時單元關閉。因此，於2值狀態時，讀出資料自動成為"0"資料。此外，於4值的第二頁時成為"0"資料，而第一頁時成為資料"1"。因此，使信號RDECPBLR處於高電平之前，暫時使信號ROWCOMVSS處於低電平，使ROWCOM處於漂浮狀態。

圖13顯示用於檢測圖12所示之熔絲109之狀態的操作順序。

首先，在信號BUSY及信號RDECPBLRD成為高電平的狀態下，將信號ROWCOMVSS變成低電平。此種狀態下，為列解碼信號AROWA~AROWE全部為高電平，且熔絲109未被切斷的區塊時，供應有信號ROWCOM之節點的電壓為電源電壓VDD。因此，電晶體111開啟，由反向器電路112, 113構成之鎖存電路的輸出端保持高電平。因此，反向器電路114的輸出信號FUSECUT形成低電平。

另外，為熔絲109被切斷的區塊時，供應有信號ROWCOM的節點仍處漂浮狀態(電位為VSS)。因此，電晶體111關閉，由反向器電路112, 113構成之鎖存電路的輸出端保持低電平。因此，反向器電路114的輸出信號FUSECUT形成高電平。

之後，信號ROWCOMVSS、信號RDECPBLRD處於高電平，由反向器電路112, 113構成的鎖存電路保持在鎖存狀態。因此，熔絲109被切斷時，任何區塊均未被選擇。

如此，為圖12所示的電路時，可瞭解熔絲109是否被切

## 五、發明說明 ( 23 )

斷。因此，當熔絲 109 被切斷時，於第一次讀出操作後，未執行第二次讀出操作時，輸出成為資料"0"。

此外，在數個單元內執行寫入刪除相同資料操作時，當確實刪除時，在刪除驗證中，資料記憶電路的值為資料"1"，不確實時，為資料"0"。但是，熔絲 109 被切斷時，任何區塊均未被選擇而成為資料"0"。因此，反覆執行刪除驗證操作至最大回路次數。本發明為防止此種情況，係於信號 FUSECUT 為高電平時，不執行該陣列的刪除。

圖 14 顯示記憶體單元陣列的實體對映，顯示被位址選擇的實體位置。

各記憶體單元陣列 1 具有區塊 blk0~blk23 及作為冗餘區塊的區塊冗餘 blkRD0~9。可使區塊冗餘 blkRD0~blkRD9 中的任意區塊冗餘成為 ROM 區塊。例如，使區塊冗餘 blkRD1 成為 ROM 區塊時，輸入有用於存取 ROM 區塊的命令信號 CD\_ROMBA 時，圖 1 所示的區塊 RD 解碼器 11 無信號輸出。此時，係自 ROM 區塊指定電路 20 輸出有選擇區塊冗餘的信號 A17~A26 及信號 ARD，並輸出有列解碼信號 AROWA~AROWE，第一個區塊冗餘被選擇。

ROM 區塊的熔絲 109 通常切斷。此因，於晶片分選測試 (Die Sort Test) 時 ROM 區塊內寫入有資料。因而在之後的批次編程及批次刪除中，ROM 區塊未被選擇。

但是，於存取 ROM 區塊時，圖 12 中之命令信號 CMD\_ROMBA 變成高電平時，由於電晶體 108 開啟，因此，

## 五、發明說明 ( 24 )

縱使熔絲 109 被切斷仍然是選擇狀態。

圖 15 A 顯示設置在圖 1 所示之控制部 15 內的 ROM 區塊禁止寫入電路 15 a，圖 15 B 顯示 ROM 區塊 20 的禁止刪除電路 15 b。

圖 15 A 中，禁止寫入電路 15 a 係由 P 通道 MOS 電晶體 151a, 151b、N 通道 MOS 電晶體 151c、熔絲 151d、反向器電路 151e, 151f, 151h、NOR 電路 151g 所構成。上述電晶體 151a, 151b 之電流通路的一端上供應有電源電壓 VDD，電流通路的另一端共用連接。這些電晶體之連接節點與接地間連接有上述電晶體 151c 與上述熔絲 151d。電晶體 151a 及電晶體 151c 的閘極上供應有信號 LOWVDDn。再者，上述連接節點經由上述反向器電路 151e 連接於 NOR 電路 151g 的一個輸入端。該 NOR 電路 151g 的另一個輸入端經由反向器電路 151f 供應有命令信號 CMD\_ROMBA。該 NOR 電路 151g 的輸出端連接於反向器電路 151h 的輸入端，自該反向器電路 151h 的輸出端輸出有信號 PROENABL。

圖 15 B 上顯示之禁止刪除電路 15 b 的構造與禁止寫入電路 15 a 相同。亦即，電晶體 152a, 152b 之電流通路的一端上供應有電源電壓 VDD，電流通路的另一端共用連接。這些電晶體之連接節點與接地間連接有上述電晶體 152c 與上述熔絲 152d。電晶體 152a 及電晶體 152c 的閘極上供應有信號 LOWVDDn。再者，上述連接節點經由上述反向器電路 152e 連接於 NOR 電路 152g 的一個輸入端。該 NOR 電路 152g 的另一個輸入端經由反向器電路 152f 供應有命令信號

## 五、發明說明(25)

CMD\_ROMBA。該 NOR 電路 152g 的輸出端連接於反向器電路 152h 的輸入端，自該反向器電路 152h 的輸出端輸出有信號 ERAENABL。

上述信號 LOWVDDn 於電源開啟時雖暫時為低電平，不過，之後即變成高電平。於熔絲 151d, 152d 切斷前，輸出信號 PROENABL 及輸出信號 ERAENABL 始終為高電平。因此，亦可編程及刪除。但是，切斷熔絲 151d, 152d 後，存取 ROM 區塊的命令信號 CMD\_ROMBA 為高電平時，輸出信號 PROENABL 及 ERAENABL 均成為低電平。因此，ROM 區塊無法寫入、刪除。熔絲 151d 或 152d 的切斷可任意設定。

4 值時的操作

以下說明本發明之半導體記憶裝置，於 4 值時的操作。

如圖 16、圖 17 所示，定義記憶體單元之資料與記憶體單元的臨限值。此處，將記憶體單元的臨限值由低至高定義成記憶體單元之資料的狀態 "0" ~ "3"。執行刪除時，記憶體單元的資料成為狀態 "0"。因應寫入操作，記憶體單元的臨限值電壓向高處移動。

圖 16 顯示本發明的寫入方法。在記憶體單元內寫入資料時，首先第一頁的資料被寫入記憶體單元內，其次，第二頁的資料被寫入記憶體單元內。此時，構成第一頁或第二頁之資料的寫入資料為 "1" 時，記憶體單元之臨限值電壓不因寫入操作而改變，記憶體單元的資料也不改變。亦即，資料未被寫入記憶體單元內。此外，構成第一頁或第二頁之資料的寫入資料為 "0" 時，記憶體單元之臨限值電

## 五、發明說明(26)

壓因寫入操作而改變，記憶體單元的資料也隨之改變。亦即，資料被寫入記憶體單元內。

刪除狀態之記憶體單元的資料處於狀態"0"。在該狀態下，首先第一頁的資料被寫入記憶體單元內。寫入資料為"1"時，尚未執行寫入之記憶體單元的資料仍保持狀態"0"。寫入資料為"0"時，執行寫入之記憶體單元的資料為狀態"1"。

其次，第二頁的資料被寫入記憶體單元內。此時，藉由第一頁的寫入操作，對於資料為狀態"1"的記憶體單元供應有寫入資料"0"時，記憶體單元的資料成為狀態"2"。此外，藉由第一頁的寫入操作，對於資料為狀態"0"之記憶體單元供應有寫入資料"0"時，記憶體單元的資料成為狀態"3"。

再者，藉由第一頁的寫入操作，對於資料為狀態"1"的記憶體單元自外部供應有寫入資料"1"時，記憶體單元的資料仍處於狀態"1"。此外，藉由第一頁的寫入操作，對於資料為狀態"0"之記憶體單元自外部供應有寫入資料"1"時，記憶體單元的資料仍處於狀態"0"。

如圖16、圖17A所示，本發明於記憶體單元的資料為狀態"2"時，設定成第一頁及第二頁的資料為"0"，"0"。記憶體單元的資料為狀態"3"時，設定成第一頁及第二頁的資料為"1"，"0"。讀出記憶體單元的資料時，首先第二頁的資料被讀出，其次第一頁的資料被讀出。

讀出第二頁的資料時，當記憶體單元的資料為狀態"0"

## 五、發明說明(27)

或狀態"1"時，被讀出的資料成為"1"。當記憶體單元的資料為狀態"2"或狀態"3"時，被讀出的資料成為"0"。因此，僅藉由記憶體單元的資料為狀態"1"以下或狀態"2"以上的一次操作即可判斷第二頁之資料的讀出。

另外，讀出第一頁的資料時，當記憶體單元的資料為狀態"0"或狀態"3"時，被讀出的資料成為"1"。此外，當記憶體單元的資料為狀態"1"或狀態"2"時，被讀出的資料成為"0"。因此，藉由判斷記憶體單元的資料為狀態"0或狀態"1"以上，與判斷記憶體單元的資料為狀態"2"以下或狀態"3"，可讀出第一頁的資料。亦即，第一頁的資料可藉由合計兩次的操作讀出。

執行刪除操作時，記憶體單元的資料為狀態"0"，縱使在位址內指定第一或第二頁，被讀出的資料成為"1"。

此外，兩頁(第一頁、第二頁)的切換係由位址A9執行。如位址A9變成低電平時，第一頁被指定，位址A9變成高電平時，第二頁被指定。

多值記憶體時，需要因應寫入資料正確控制記憶體單元的臨限值電壓。因此，在記憶體單元內寫入資料時，係逐漸增加外加在記憶體單元之控制閘上的電壓，資料被寫入。此種寫入方法稱之為步升寫入方法。

圖18顯示對記憶體單元採步升寫入方法的寫入特性。縱軸顯示單元的臨限值電壓，橫軸顯示寫入電壓(編程電壓)。

刪除後之單元的臨限值電壓(記憶體單元的資料為狀

## 五、發明說明(28)

態"0")如為 $-3.5\text{V}$ 。如上所述，本實施例中，使記憶體單元的資料自狀態"0"變成狀態"3"時，單元的控制閘上外加初始編程電壓 $16\text{V}$ 。之後，以每 $0.2\text{V}$ 逐步升高寫入電壓執行寫入時，臨限值電壓沿著圖中的"0"→"3"上昇。另外，使記憶體單元的資料自狀態"0"變成狀態"1"時，係以 $14\text{V}$ 的初始寫入電壓開始寫入。此因，資料為狀態"1"的臨限值電壓為 $0.2\text{V}$ 。因而，以 $16\text{V}$ 的初始寫入電壓開始寫入時，在第三步驟與第四步驟之間，資料成為狀態"1"的臨限值電壓，可能變成重複編程。為了避免上述情況，而將初始寫入電壓變成 $14\text{V}$ 。

第一頁的寫入中，記憶體單元的資料自狀態"0"向狀態"1"移動。因此，以13次的寫入次數，使記憶體單元資料達到狀態"1"的臨限值。第二頁的寫入中，使記憶體單元的資料成為狀態"0"→"3"與"1"→"2"。此時，由於成為狀態"0"→"3"係寫入至高於"0"→"1"的位置，因此可使初始寫入電壓升高至 $16\text{V}$ 。

因此，如圖17B所示，使記憶體單元的資料自狀態"0"變成狀態"3"時，寫入次數為11次，使記憶體單元的資料自狀態"1"變成狀態"2"時，寫入次數為6次。因此，第二頁的寫入可以11次的寫入編程。因此，第一頁與第二頁的寫入次數合計為24次。

另外，如後所述，同時寫入第一頁與第二頁時，使記憶體單元的資料變成狀態"0"→"1"、"0"→"2"、"0"→"3"。因此將初始寫入電壓設定成 $14\text{V}$ 。

## 五、發明說明(29)

因此，如圖17C所示，使記憶體單元的資料自狀態"0"變成狀態"1"時，寫入次數為13次，使記憶體單元的資料自狀態"0"變成狀態"2"時，寫入次數為17次，使記憶體單元的資料自狀態"0"變成狀態"3"時，寫入次數為20次。因而，同時寫入第一頁與第二頁時，以20次完成寫入。因此，同時寫入第一頁與第二頁時，可快速寫入。

此外，由於該第一頁與第二頁為同一區塊內的頁次，因此可快速寫入連續的兩頁。

### 自動編程

如圖19所示，編程操作首先係輸入資料輸入命令的"80h"(h表示16進位數)，在全部之資料記憶電路310~31n/2的第一鎖存電路LAT(A)上設定有資料"1"(不執行寫入)。之後，因應信號ALE及信號WE的雙態觸變，輸入位址及資料。因此，被行位址指定的資料記憶電路上連續的供應有資料。

自外部輸入的資料為顯示不執行寫入的資料"1"時，圖5所示之資料記憶電路的節點NC為高電平。此外，自外部輸入的資料為顯示執行寫入的資料"0"時，節點NC為低電平。以後，第一鎖存電路LAT(A)的資料變成節點NC的電位。

之後，如圖19所示，輸入自動編程之執行命令的"10h"，自動編程開始。使用ECC碼時，於"10h"命令輸入後，藉由ECC碼產生電路8自動製作ECC碼，將該碼供應至資料記憶電路。之後，自動編程操作開始。

## 五、發明說明(30)

如圖20所示，倍速編程操作於輸入資料輸入命令"80h"、位址及資料後，輸出虛擬Busy信號，因此輸入命令"11h"。該虛擬編程在 $1.5\mu s$ 的短時間內輸出Busy信號。使用ECC碼時，於該命令"11h"後，產生ECC碼，將該碼供應至資料記憶電路。因此Busy信號的時間比 $1.5\mu s$ 長。

將上述命令"80h"、位址、資料及命令"11h"的輸入改變陣列位址(A15, A16)執行4次。但是，僅在最後輸入命令"10h"取代命令"11h"，來執行自動編程。此外，在第二次以後的命令"80h"中，不重設第一鎖存電路LAT(A)。

區塊位址(A17~A26)雖每次任意的位址被輸入。但是，圖1所示的列位址暫存器18於下一個位址被輸入時，前一個位址消失。因此，圖1所示之陣列區塊鎖存電路19於每次位址輸入時鎖存區塊位址至各陣列內。

自動編程命令"10h"輸入後，編程操作被執行。但是，因本記憶體為多值記憶體，因此在一個記憶體單元內記憶2位元的資料。該2位元如前述的分配至位址A9。亦即，位址A9為低電平時，第一頁被指定，位址A9為高電平時，第二頁被指定。第一、第二頁的寫入順序如圖21、圖22所示。此外，本記憶體首先寫入第一頁的資料，之後寫入第二頁的資料。首先，參照圖21、圖22概略說明第一、第二頁的編程。

在圖21所示之第一頁的編程中，設置在各資料記憶電路310~31n/2的資料被編程在記憶體單元內(ST1)，之後，驗證讀出是否正確寫入(ST2)。亦即，記憶體單元的資料被讀

## 五、發明說明 (31)

出，鎖存至資料記憶電路的第一鎖存電路LAT (A)內。之後，在將不良區塊替換成區塊冗餘前的測試步驟中，統計鎖存在第一鎖存電路LAT (A)內之低電平資料數量，亦即統計驗證失敗的數量。該統計值超過規定值(本例中，行冗餘為4個時，規定值為4，行冗餘為8個時，規定值為8)時，再度重複編程驗證。此外，統計值低於規定值時，則結束編程操作(ST4)。此外，非測試時，判定鎖存在各第一鎖存電路LAT (A)內之資料是否為"1" (ST5)。若鎖存在各第一鎖存電路LAT (A)內的資料均非"1"時，重複上述操作，均為"1"時，第一頁的編程結束。

另外，在圖22所示之第二頁的編程中，首先執行內部資料載入(ST11)。該內部資料載入中，於各資料記憶電路310~31n/2的第一鎖存電路LAT (A)上設置資料後，在第一頁的編程中，被寫入的資料讀出至資料記憶電路的第二鎖存電路LAT (B)內。之後，與第一頁同樣的被編程(ST12)。其次，以驗證讀出1驗證記憶體單元的資料是否為狀態"2" (ST13)。再以驗證讀出2驗證記憶體單元的資料是否為狀態"3" (ST14)。以下執行與第一頁之編程相同的操作(ST15~ST17)。

另外，部分良品的不良區塊於測試後，熔絲109被切斷。因此，存取該不良區塊時，該不良區塊不被選擇。因此，驗證為OK結束操作。

其次，詳細說明第一、第二頁的編程。另外，本說明中，圖21所示之步驟ST3, ST4及圖22所示的步驟ST15, ST16

## 五、發明說明 ( 32 )

省略。

### 第一頁自動編程

圖 23 顯示第一頁編程時的各部操作順序。如圖 5、圖 23 所示，將供應至資料記憶電路之電晶體 61h 之閘極上的信號 BLC1 作為  $VCC + V_{th}$ ，信號 BLSA 作為  $V_{pass}$ ，BLTR 作為 VCC。此時，第一鎖存電路 LAT(A) 內記憶有資料 "1" (不執行寫入) 時，位元線 BL 的電位為 VCC。此外，記憶有資料 "0" (執行寫入) 時，位元線的電位為接地電位 VSS。此外，連接於所選擇的字線，非選擇頁的 (位元線為非選擇) 單元不可執行寫入。因此，連接於這些單元之位元線的電位與供應有資料 "1" 之位元線同樣為電位 VCC。

此處，藉由圖 1 所示之 CG 驅動電路 9，選擇線 SG1 變成 VCC，選擇線 SG2 變成 VSS，選擇 CG 線上外加 VPGM (20V)，非選擇字線上外加  $V_{pass}$  (10V)。如此，被區塊選擇電路 6 所選擇之區塊 (倍速時，逐一存在於各陣列) 的選擇線 SG1 為 VCC，選擇字線為 VPGM (20V)，非選擇字線為 VPASS (10V)。位元線為 VSS 時，單元的通道為 VSS，字線為 VPGM。因此，該單元被編程。另外，字線為 VCC 時，單元的通道並非 VSS，而是藉由 VPGM 上昇，而耦合成  $VPGM/2$ 。因此該單元未被編程。

如此，如圖 16、圖 17 所示，寫入有資料 "0" 的記憶體單元為狀態 "1"。此外，寫入有資料 "1" 的記憶體單元仍然維持狀態 "0"。

### 第一頁編程驗證

## 五、發明說明(33)

其次，編程驗證被執行(圖21，ST2)。

圖24顯示編程驗證的操作，圖25顯示編程驗證時的各部順序。

如圖16所示，第一頁編程驗證讀出在所選擇的字線上供應高於讀出時之電位b的電位b'。以後，",,"表示驗證電位，為高於讀出時字線電位若干的值。

其次，如圖25所示，在所選擇之區塊內的非選擇字線及選擇線SG1上供應有電壓Vread。並使供應至圖5所示之資料記憶電路之電晶體61g閘極上的信號BIAS處於高電平(1.6V)，位元線被預充電。

之後，使記憶體單元之源極端的選擇線SG2處於高電平(Vread)。由於記憶體單元的臨限值電壓高於電位b'時，記憶體單元關閉，因此位元線保持高電平。此外，由於記憶體單元的臨限值電壓未達電位b'時，記憶體單元開啟，因此位元線的電位成為低電平(VSS)。

此時，於執行寫入時，圖5所示之第一鎖存電路LAT(A)的節點NA上鎖存有低電平(資料"0")。此外，不執行寫入時，節點NA上鎖存有高電平(資料"1")。因此，供應至電晶體611之電流通路的信號VREG變成VCC，供應至閘極上的信號VRFY1處於高電平時，僅不執行寫入時的位元線自漂浮狀態固定在高電平。該操作後，位元線的電位被讀入第一鎖存電路LAT(A)內。第一鎖存電路LAT(A)上鎖存有高電平，係在記憶體單元之電位達到臨限值電壓時，與不執行寫入時。此外，第一鎖存電路LAT(A)上鎖存有低電平時，

## 五、發明說明 ( 34 )

僅為記憶體單元的電位未達臨限值電壓時。

因此，第一鎖存電路LAT(A)為低電平時，再度執行寫入操作，於全部資料記憶電路的資料達到高電平前，重複上述編程操作與驗證讀出操作(圖21，ST1~ST5)。

### 第二頁編程

第二頁編程也與第一頁編程同樣的自外部輸入有第二頁的資料。這些資料記憶在各資料記憶電路310~31n/2的第一鎖存電路LAT(A)內。

第二頁編程操作與第一頁編程操作主要差異在於內部資料載入(ST11)。第二頁編程操作視第一頁編程的操作結果而定。

亦即，如圖16、圖17A所示，第一頁之記憶體單元的資料為狀態"0"(未執行寫入操作)時，第二頁的資料為"0"(執行寫入)時，將記憶體單元的資料設定成狀態"3"。第二頁之資料為"1"(不執行寫入)時，記憶體單元的資料仍保持狀態"0"。記憶體單元的資料為狀態"1"(在第一頁上執行寫入操作)時，第二頁的資料為"0"(執行寫入)時，將記憶體單元的資料設定成狀態"2"。第二頁的資料為"1"(不執行寫入)時，記憶體單元的資料保持狀態"1"。

因而，第二頁編程操作視第一頁編程的操作結果而定。因此，將第二頁的資料寫入單元之前，須先檢查、記憶記憶體單元的資料為狀態"0"或狀態"1"。因此，讀出記憶體單元的資料，並執行載入圖5所示之資料記憶電路之第二

## 五、發明說明 ( 35 )

鎖存電路 LAT (B) 內之內部資料的載入 (ST11)。該內部資料載入在字線上供應圖 16 所示的電位 a，來執行讀出操作。將該讀出結果記憶在資料記憶電路的第二鎖存電路 LAT (B) 內。

圖 26A 顯示內部資料載入時的操作，圖 27 顯示內部資料載入時各部的順序。以下，參照圖 26A、圖 27 說明內部資料載入操作。

內部資料載入時，首先，將圖 5 所示之資料記憶電路之第一鎖存電路 LAT (A) 的資料記憶在非選擇端的位元線上。其次，在字線上外加電位 a，執行讀出操作。將該結果記憶在第一鎖存電路 LAT (A) 內。記憶體單元的資料為 "0" 時，第一鎖存電路 LAT (A) 內鎖存有資料 "0"，記憶體單元的資料為 "1" 時，第一鎖存電路 LAT (A) 內記憶有資料 "1"。

其次，在第二鎖存電路 LAT (B) 的資料成為 "1" 後，在信號 BLC2 上外加中間電位 1V，使信號 VREG 成為電壓 VSS，使信號 VRFY1 成為高電平。此時，第一鎖存電路 LAT (A) 為資料 "1"，亦即記憶體單元的資料為 "1" 時，第二鎖存電路 LAT (B) 的資料為 "0"。第一鎖存電路 LAT (A) 的資料為 "0"，亦即記憶體單元的資料為狀態 "1" 時，第二鎖存電路 LAT (B) 的資料仍然為 "1"。之後，將記憶在非選擇端之位元線上的資料送回第一鎖存電路 LAT (A)。

其次，與第一頁編程同樣的，在各部上外加指定電壓。在此狀態下，因應記憶在第一鎖存電路 LAT (A) 內的第二頁

## 五、發明說明 ( 36 )

資料，對所選擇的全部單元執行寫入(圖22，ST12)。

### 第二頁驗證

第二頁驗證包含第一驗證讀出(ST13)及第二驗證讀出(ST14)兩個步驟。第一驗證讀出(ST13)在驗證記憶體單元的資料是否為狀態"2"。第二驗證讀出(ST14)在驗證記憶體單元的資料是否為狀態"3"。

### 第二頁第一驗證讀出

圖26B顯示第二頁第一驗證讀出的操作，圖28顯示第二頁第一驗證讀出時各部的順序。

如圖16所示，該驗證係在字線上外加電位b'來執行讀出操作。位元線於記憶體單元的臨限值電壓達到b'時變成高電平，於未達臨限值電壓b'時為低電平。但是此時，記憶體單元之資料為狀態"3"的單元也關閉，因此驗證為OK。因而，第一頁的寫入操作時並未寫入，將連接於資料為狀態"0"之記憶體單元之位元線的電位變成低電平。

亦即，第一頁的寫入操作時並未寫入，於記憶體單元的資料為狀態"0"時，第二鎖存電路LAT(B)的節點ND藉由上述內部資料載入而處於高電平。此種狀態下，如圖28所示，將供應至圖5所示之電晶體61u之電流通路的信號VREG變成接地電壓VSS，將供應至閘極上的信號VRFY2變成高電平。如此，於第二鎖存電路LAT(B)的節點ND為高電平時，電晶體61t開啟，位元線被強制處於低電平。

其次，與第一頁驗證操作同樣的，將信號VREG變成電源電壓VCC，使供應至電晶體611之閘極上的信號VRFY1處於

## 五、發明說明(37)

高電平。如此，在第一鎖存電路LAT(A)的節點NC上鎖存有高電平(不執行寫入時)時，電晶體61k開啟。因而位元線達到高電平。該操作之後，位元線的電位被讀入第一鎖存電路LAT(A)內。

如圖26B所示，藉由上述操作，在第一鎖存電路LAT(A)上鎖存有高電平係在因使記憶體單元之資料處於狀態”2”而執行寫入的單元達到臨限值電壓時，與不執行寫入時。此外，第一鎖存電路LAT(A)上鎖存有低電平係在因使記憶體單元的資料處於狀態”2”而執行寫入的單元未達臨限值電壓時，及執行寫入之記憶體單元的資料在狀態”3”時。

### 第二頁第二驗證讀出

圖26C顯示上述第二頁第二驗證讀出操作，圖25顯示此時各部的順序。

該驗證與第一頁驗證操作完全相同。此因，高於圖16所示之電位c'的單元，除使資料處於狀態”3”的單元之外不存在。第一頁驗證因驗證記憶體單元的資料是否為狀態”1”，而在字線上外加電位a'。但是此時，因係驗證記憶體單元的資料是否為狀態”3”，因此在字線上外加電位c'。

因而，如圖26C所示，第一鎖存電路LAT(A)內鎖存有高電平係在單元達到臨限值電壓時及不執行寫入(開始即在第一鎖存電路LAT(A)內鎖存有高電平)時。此外，在第一鎖存電路LAT(A)內鎖存有低電平係在單元未達臨限值電壓時，亦即由於記憶體單元的資料處於狀態”3”而寫入，但

## 五、發明說明 (38)

是尚未達狀態”3”的NG時，與將記憶體單元的資料寫入狀態”2”時。

因此，第二頁驗證係執行第一頁驗證讀出與第二頁驗證讀出兩次。第一頁驗證為記憶體單元的資料為狀態”2”被寫入時的驗證讀出，第二頁驗證為在狀態”3”被寫入時的驗證讀出。再者，第一鎖存電路LAT (A)在低電平時再度執行寫入操作。如此，於全部資料記憶電路的資料達到高電平之前，重複該編程操作與驗證操作(圖22，ST12~ST17)。

但是，記憶體單元之資料為狀態”3”時，臨限值電壓高。因而，該記憶體單元始終無法寫入。因此，在重複執行編程驗證操作中，前幾次可省略驗證記憶體單元的資料是否處於狀態”3”的操作。此外，重複數次編程驗證操作時，寫入有臨限值電壓低於狀態”3”之狀態”2”資料的記憶體單元應該寫入已結束。因而，寫入有狀態”2”之資料的記憶體單元於重複數次編程驗證操作後，可省略驗證。

### 讀出操作

圖29顯示讀出操作的順序。

如圖29所示，首先，輸入讀出命令”00h”後，藉由輸入位址開始操作。讀出操作中，被位址指定之頁的全部單元資料分別讀出至資料記憶電路310~31n/2。之後，信號BUSY被解除而成準備狀態時，因應信號RE的雙態觸變，依據行位址所指定的順序自資料記憶電路輸出有資料。

圖30顯示倍速讀出操作的順序。該倍速讀出在一次讀出操作中，將四個記憶體單元陣列內之頁的單元全部讀出至

## 五、發明說明 ( 39 )

各資料記憶電路內。之後，信號BUSY被解除而成準備狀態時，因應信號RE的雙態觸變，依據行位址所指定的順序自資料記憶電路輸出有資料。為一個記憶體單元陣列的最後行位址時，輸出有短的信號BUSY ( $1.5\mu\text{s}$ )。之後，信號BUSY被解除而成準備狀態時，因應信號的雙態觸變輸出有下一個記憶體單元陣列的資料。重複此種操作，於一次讀出時，4頁部分的資料被依序輸出。但是，這4頁並非連續的4頁。因此，如圖6C，6D所示，需要分配位址。

此外，本實施例的記憶體為多值記憶體，於1個單元內記憶有2位元的資料。該2位元資料被位址A9指定。亦即如上所述，位址A9為高電平時，第二頁被指定，位址A9為低電平時，第一頁被指定。

圖31為概略顯示讀出操作的流程圖。

讀出操作於輸入讀出命令"00h"後，藉由輸入位址開始(ST21)。位址A9為高電平時，第二頁的資料被讀出(ST25)。該第二頁讀出如圖16、圖17A所示，被判定記憶體單元的資料是否為"2"以下。

其次，位址A9為高電平時，第一頁的資料被讀出。第一頁的讀出操作包含兩個讀出操作。第一讀出操作(第一頁讀出1)(ST22)如圖16、圖17A所示，判定記憶體單元的資料是否為"2"以下或為"3"。第二讀出操作(第一頁讀出2)(ST24)如圖16、圖17A所示，判定記憶體單元的資料是否為"1"或"2"以上。

另外，對應於部分良品之不良區塊區塊選擇電路的熔絲

## 五、發明說明(40)

109被切斷。因此，在2值及4值的第二頁讀出操作中，存取不良區塊時，該不良區塊不被選擇，電流未流入。因此，資料"0"自動被輸出。但是，在4值的記憶體中，於第一頁的讀出操作時，藉由第一、第二讀出操作(第一頁讀出1, 2)輸出有資料"1"。但是，藉由自圖12所示之反向器電路114所輸出的信號FUSECUT，可知熔絲是否被切斷。因而，於熔絲109被切斷時，使輸出資料"0"，僅執行第一讀出操作(第一頁讀出1)，而不執行第二讀出操作(第一頁讀出2)(ST23)。

其次，參照圖32至圖35詳細說明讀出操作。

第二頁讀出

如圖16所示，第二頁讀出係在所選擇的字線上外加有讀出時的電位c。

其次，如圖34所示，在所選擇之區塊內的非選擇字線及選擇線SG1上外加Vread(4.5V)。再於圖5所示之資料記憶電路之電晶體61g的閘極上外加高電平的BIAS，將位元線予以預充電。之後，將單元之源極端的選擇線SG2變成高電平。由於單元的臨限值電壓高於電位c時單元關閉，因此位元線保持高電平。此外，由於單元之臨限值電壓未達電位c時單元開啟，因此位元線成為接地電位VSS。如圖17A所示，定義記憶體單元的資料與記憶體單元的臨限值電壓。因此，記憶體單元的資料為狀態"0"或狀態"1"時，位元線的電位為低電平，為狀態"2"或狀態"3"時，位元線的電位為高電平。

## 五、發明說明 ( 41 )

其次，這些位元線的電位被讀入第一鎖存電路LAT (A) 內。圖5所示之第一鎖存電路LAT (A) 的節點NA，如圖32所示，於記憶體單元的資料為狀態"0"或狀態"1"時為低電平，於狀態"2"或狀態"3"時為高電平。此外，節點NB形成與節點NA相反的電平。行選擇線CSL處於高電平時，電晶體61o, 61n開啟，節點NB、NA的電位輸出至輸出緩衝器4。

### 第一頁讀出

其次，第一頁的資料被讀出。被第一頁讀出所輸出的資料為"1"時，如圖17A所示，記憶體單元的資料為狀態"0"或狀態"3"。

因此，首先判斷記憶體單元的資料為狀態"2"以下或狀態"3"。其次必須判斷記憶體單元的資料為狀態"0"或狀態"1"以上。

### 第一讀出操作

第一讀出操作中判斷記憶體單元的資料為狀態"2"以下或狀態"3"。圖33A顯示第一頁第一讀出操作，圖23的左半部顯示此時的順序。圖35的順序與圖34相同。

首先，為求檢查記憶體單元的資料為狀態"2"以下或為狀態"3"，在字線上外加電位c，讀出記憶體單元的資料。結果，第一鎖存電路LAT (A) 內鎖存有高電平，如圖33A所示，僅在記憶體單元的資料為狀態"3"時。此外，第一鎖存電路LAT (A) 內鎖存有低電平時，係在記憶體單元的資料為狀態"0"或狀態"1"或狀態"2"時。

## 五、發明說明 ( 42 )

### 第二讀出操作

其次，在第二讀出操作中，判斷記憶體單元的資料為狀態"0"或為狀態"1"以上。圖33B顯示第一頁第二讀出操作，圖35的右半部分顯示此時的順序。

為求檢查記憶體單元的資料為狀態"0"或為狀態"1"以上，在字線上外加電位a，讀出記憶體單元的資料。結果，第一鎖存電路LAT(A)內鎖存有低電平，僅在記憶體單元的資料為狀態"0"時。此外，第一鎖存電路LAT(A)內鎖存有高電平時，係在記憶體單元的資料為狀態"1"或狀態"2"或狀態"3"時。

此時，將圖5所示的信號VREG變成接地電位VSS，將供應至電晶體611之閘極上的信號VRFY1變成高電平。第一鎖存電路LAT(A)內鎖存有高電平時，亦即，第一頁第一讀出操作中，記憶體單元的資料為狀態"3"時，位元線被強制處於低電平。結果，記憶體單元的資料為狀態"0"或狀態"3"時，位元線的電位為低電平。此外，記憶體單元的資料為狀態"1"或狀態"2"時，位元線的電位為高電平。

其次，將這些位元線的電位讀入第一鎖存電路LAT(A)內時，如圖33B所示，記憶體單元的資料為狀態"0"、狀態"3"時，第一鎖存電路LAT(A)的節點NA為低電平。此外，為狀態"1"、狀態"2"時，節點NA為高電平。此外，節點NB形成與節點NA相反的電平。行選擇線CSL處於高電平時，電晶體610、61n開啟，節點NB、NA的電位輸出至輸出緩衝器4。

## 五、發明說明 ( 43 )

### 自動刪除

圖 36 顯示刪除操作。刪除操作係以區塊為單位執行刪除。因此，首先輸入選擇區塊之區塊選擇命令"60h"，之後，輸入區塊位址。之後輸入自動刪除之執行命令"D0h"時，自動刪除開始執行。

圖 37 顯示倍速刪除操作。倍速刪除操作改變陣列位址 (A15, A16)，輸入三次區塊選擇命令"60h"、區塊位址。之後，藉由輸入區塊選擇命令"60h"、位址、自動刪除執行命令"D0h"，倍速刪除操作開始執行。

區塊位址 (A17~A26) 雖每次任意的位址被輸入，但是圖 1 所示的列位址暫存器 18 輸入有下一個位址時，前一個位址即消失。因此，每次位址輸入時，係以圖 1 所示之陣列區塊電路 19 將區塊位址鎖存在記憶體單元陣列內。

圖 38 顯示自動刪除時的流程圖。首先，執行所選擇之區塊的刪除操作 (ST31)。之後，連接於資料記憶電路上之兩條位元線 (BLi, BL+1) 中的一條位元線 (BLi) 執行刪除驗證讀出操作，尚未完全被刪除時，再度執行刪除 (ST32~ST35, ST31)。記憶體單元完全被刪除時，另一條位元線 (BLi) 執行刪除驗證讀出操作 (ST36)。結果，尚未完全被刪除時，再度執行刪除 (ST36~ST39, ST31)。記憶體單元完全被刪除時結束操作。

在將不良區塊替換成區塊冗餘前的測試步驟中，於各刪除驗證操作 ST33, ST36 之後，統計被鎖存在第一鎖存電路 LAT (A) 內之低電平資料數量，亦即統計驗證失敗的數量。

## 五、發明說明 (44)

該統計值超過規定值(本例中，行冗餘為4個時，規定值為4，行冗餘為8個時，規定值為8)時，再度重複刪除測試(ST34, ST38)。

另外，部分良品的不良區塊於測試後，熔絲109被切斷。因此，存取該不良區塊時，該不良區塊不被選擇。因此，第一鎖存電路LAT(A)的資料成為低電平，刪除驗證未達OK。但是，藉由自圖12所示之反向器電路114所輸出的信號FUSECUT，瞭解熔絲109是否被切斷。因此，熔絲109因應信號FUSECUT被切斷時，驗證變成OK。

### 刪除

圖39顯示刪除操作的順序。執行刪除操作時，記憶體單元的資料成為狀態"0"，不論第一頁或第二頁執行讀出，均輸出有資料"1"。

### 刪除驗證

圖40顯示刪除驗證操作的順序。一次的刪除驗證操作，係在連接於資料記憶電路之兩條位元線(BLi, BL+1)中的一條位元線(BLi)執行刪除驗證讀出操作。因此，使區塊內全部的字線WL處於選擇狀態的VSS。在單元的源極線SRC成為VDD，選擇線SG1成為Vread後，使單元之源極端的選擇線SG2成為Vread。在單元的汲極端，亦即位元線上輸出有16個單元中最淺單元的 $-V_{th}$ 電位。

此時，使第一鎖存電路LAT(A)處於高電平，使信號BLC1成為1.6V時，於 $V_{th}$ 為 $-0.6V$ 以下(刪除確實)時，第一鎖存電路LAT(A)保持高電平。但是， $V_{th}$ 為 $-0.6V$ 以上(刪除不確實)

## 五、發明說明 ( 45 )

時，第一鎖存電路LAT (A)的資料變成低電平。因此，第一鎖存電路LAT (A)全部的資料為高電平時，刪除驗證變成OK。

### 步升移位測試

圖41顯示設置在圖1所示之控制電壓產生電路14內的電壓設定電路。如前所述，控制電壓產生電路14具有升壓電路。該升壓電路產生編程電壓Vpgm、刪除電壓Vera及電壓Vpass等。如前所述，編程電壓Vpgm被分成數階段升壓。

然而，記憶體單元的特性為隨編程的變動等而改變，升壓電路產生之上述各電壓亦隨編程的變動等而改變。因而，需要因應晶片的特性設定編程電壓Vpgm、刪除電壓Vera及電壓Vpass。因此，在替換成冗餘區域前的測試時，執行自動編程及自動刪除，並依據該結果實施開始編程電壓的設定及開始刪除電壓的設定。

圖41所示之電壓設定電路可因應晶片的特性設定最適切的編程電壓Vpgm、電壓Vpass及刪除電壓Vera。

亦即，該電壓設定電路由初始資料記憶用熔絲161、計數器162所構成。上述初始資料記憶用熔絲161使用熔絲設定用於控制電壓Vpgm、電壓Vpass及電壓Vera的初始資料。這些熔絲依據自動編程及自動刪除的結果被編程。這些自動編程及自動刪除係於替換成冗餘區域前的測試時進行。熔絲內所設定的上述初始資料於產生電壓Vpgm、電壓Vpass及電壓Vera時，被預置在計數器162內。計數器162可由預置計數器構成。該計數器162內供應有信號CT1, CT2。該計數器

## 五、發明說明(46)

162的輸出信號如連接於升壓電路163的限制器，使該限制器的限制值改變。

上述信號CT1如一次編程或刪除操作結束，驗證為NG時被供應。計數器162藉由該信號CT1被遞增。因而，因應計數器162的輸出信號來控制限制器，自升壓電路163輸出高1步的電壓。

此外，上述信號CT2為顯示本實施例的特徵者。亦即，於測試模式時，使資料被初始資料記憶用熔絲161讀出的開始編程電壓及開始刪除電壓遞增數步部分。

先前之微調後的加速測試均附加稍高的開始編程電壓及開始刪除電壓。但是，藉由使用信號CT2，可具備加速測試用±數步改變的功能。因此，可附加適應於各個晶片的電壓。

此外，在形成低於以初始資料記憶用熔絲161設定電壓Vpass, Vpgm之資料電壓之編程非選擇的加速測試等時，必須使計數器162向負方向遞增。但是，此種可向負方向遞增的計數器複雜。因而使用信號CT2，藉由使計數器遞增(1周)-(數步)部分，設定成低於以初始資料記憶用熔絲161所設定之資料的電壓。藉由此種構造，不使用複雜的計數器即可設定所需值。

依據上述第一實施例，記憶體單元陣列1具有數個區塊bk10~bk123及數個區塊冗餘blkRD0~blkRD9。各區塊bk10~bk123及各區塊冗餘blkRD0~blkRD9上設有區塊選擇電路6a。各區塊選擇電路6a具有熔絲109，藉由切斷該熔絲109，可將任何

## 五、發明說明(47)

的區塊冗餘 blkRD0~blkRD9 設定在記憶安全用資訊的 ROM 區塊內。因此，可確實將安全資訊設定在 ROM 區塊內。

且藉由因應需要切斷設置在控制部 15 內之 ROM 區塊之禁止寫入電路 15a、禁止刪除電路 15b 的熔絲 151c, 152c，可適切的禁止寫入、禁止刪除 ROM 區塊。

此外，藉由切斷對應於不良區塊之區塊選擇電路 6a 的熔絲 109，可確實避免選擇不良區塊。因此，可防止編程(倍速自動編程)及刪除(倍速自動刪除)時，驗證重複最大次數。

再者，上述實施例可藉由設定在控制部 15 內的熔絲來設定使用與不使用 ECC。且於不使用 ECC 時，由於可將 ECC 用的 21 位元使用在冗餘上，因此可提高不良的補救效率。

此外，在冗餘替換前的測試步驟中，於執行自動編程及自動刪除，而有不良之行時，使對該不良之行的驗證為 NG。但是，上述實施例忽略行冗餘數在規定值以下時的驗證結果。因此於替換冗餘前的測試時，可執行自動編程及自動刪除，藉此，可執行開始編程電壓的設定及開始刪除電壓的設定。

再者，於計數器 162 上供應信號 CT2，藉由該信號 CT2，使被初始資料記憶用熔絲 161 固定之開始編程電壓及開始刪除電壓具備加速測試用±數步改變的功能。因此，與先前在微調後的加速測試中，均附加稍高開始編程電壓及開始刪除電壓時相比，具有可附加適應於各晶片之電壓的優點。

### 第二種實施例

## 五、發明說明(48)

其次說明本發明的第二種實施例。第一種實施例係於1頁的寫入操作時寫入1位元的資料。而第二種實施例則是於1頁的寫入操作時寫入1位元，於2頁同時寫入操作時可連續寫入2位元，於同時寫入連續頁次時可快速寫入。

第一種實施例於分別編程第一頁及第二頁時，第一頁的編程寫入1個臨限值，第二頁的編程寫入2個臨限值。而於第一頁及第二頁同時編程時寫入3個臨限值。

圖42顯示適用於第二種實施例之資料記憶電路的構造。此處，為便於說明，資料記憶電路具有3條鎖存電路(亦可以2條鎖存電路一次寫入3個臨限值)。

圖42中與圖5相同的部分註記相同符號，以下僅說明不同部分。圖42所示的資料記憶電路還具有第三鎖存電路LAT(C)。第三鎖存電路LAT(C)中，上述節點NE上連接有電晶體62f之電流通路的一端。該電晶體62f的閘極上供應有信號BLC3。該電晶體62f之電流通路的另一端上，經由P通道MOS電晶體62j連接有端子62i。該端子62i上供應有電壓VCC。上述電晶體62j的閘極上供應有信號PRSTB3。

上述電晶體62f之電流通路的另一端上連接有第三鎖存電路LAT(C)。該第三鎖存電路LAT(C)由兩條時脈反向器電路62k, 62l構成。時脈反向器電路62k被信號SEN3, SEN3B控制，時脈反向器電路62l被信號LAT3, LAT3B控制。該第三鎖存電路LAT(C)鎖存自記憶體單元所讀出的資料。

此外，上述節點NE上串聯有電晶體62q, 62h。電晶體62q的閘極連接於上述第三鎖存電路LAT(C)的節點NF，電

## 五、發明說明 ( 49 )

晶體 62h 的閘極上供應有信號 VRFY3。且電晶體 62h 的電流通路上供應有信號 VREG。這些電晶體 62q, 62h 因應被鎖存在第三鎖存電路 LAT (C) 內之資料設定位元線的電位。

第一頁、第二頁同時編程

圖 43 顯示第一頁、第二頁同時編程的操作順序，圖 44、圖 45 顯示各部的操作。圖 46 顯示流程圖。

第一頁、第二頁同時編程時，亦與圖 19 同樣的，首先，繼資料輸入命令 "80h" 之後，輸入位址、資料。自外部輸入的資料為顯示不執行寫入的資料 "1" 時，圖 42 之第一鎖存電路 LAT (A) 的節點 NC 為高電平。此外，自外部輸入之資料為顯示執行寫入的資料 "0" 時，節點 NC 為高電平。

其次，如圖 44 所示，移動被鎖存在第一鎖存電路 LAT (A) 內之資料至第二鎖存電路 LAT (B)。因此，與上述倍速編程同樣的輸入命令 "12h"。該命令亦短，為  $1.5\mu s$ 。此時，將第一鎖存電路 LAT (A) 的內容轉移至第二鎖存電路 LAT (B) 內。之後，再度輸入命令 "80h"、位址、資料。此時之位址為與先前輸入之位址相鄰的頁位址 (僅 A9 不同)。該資料被索存在第一鎖存電路 LAT (A) 內。之後，輸入自動編程執行命令 "10h" 時，自動編程開始執行。

由於驗證記憶體單元的資料是否為狀態 "1" 時，寫入狀態 "2" 與 "3" 的記憶體單元亦為 OK。因而，強制使其 NG。因而將對應於寫入狀態 "2"，"3" 之記憶體單元的第二鎖存電路 LAT (B) 變成資料 "1"。由於驗證記憶體單元之資料是否為狀態 "2" 時，寫入狀態 "3" 的記憶體單元亦為

## 五、發明說明 ( 50 )

OK。因而將對應於寫入狀態“3”之記憶體單元的第三鎖存電路LAT(C)變成資料”1”，強制使其NG。

亦即，首先，顯示被鎖存在第一鎖存電路LAT(A)及第二鎖存電路LAT(B)內之其中之一或兩個資料寫入為資料”0”時，將第一鎖存電路LAT(A)變成寫入狀態。

如圖45A所示，為執行這些操作而對調第二鎖存電路LAT(B)與第三鎖存電路LAT(C)的資料。結果對狀態”3”之寫入的第二鎖存電路LAT(B)成為高電平，對狀態”2”，”3”之寫入的第三鎖存電路LAT(C)成為高電平(ST41)。

之後，執行編程操作。該編程操作依據圖23所示的順序，與第一頁、第二頁分別執行之編程時完全相同(ST42)。

圖45B，45C，45D顯示驗證操作。

在判定、驗證圖45B所示之記憶體單元的資料是否為狀態”1”中，寫入狀態”2”與狀態”3”的記憶體單元亦為OK。但是，依據上述操作寫入狀態”2”與狀態”3”時，第三鎖存電路LAT(C)成為高電平。因此，強制將位元線變成低電平而成為NG(ST43)。

此外，在判定、驗證圖45C所示之記憶體單元的資料是否為狀態”2”中，寫入狀態”3”的記憶體單元亦為OK。但是，依據上述操作寫入狀態”3”時，第二鎖存電路LAT(B)成為高電平。因此，強制將位元線變成低電平而成為NG(ST44)。

再者，在判定、驗證圖45D所示之記憶體單元的資料是

## 五、發明說明 ( 51 )

否為狀態”3”中，為OK者僅為寫入狀態”3”時(ST45)。

因此，第一鎖存電路LAT (A)為低電平時，不執行再度寫入操作，而是重複該編程操作與驗證操作，直至在全部之資料記憶電路之第一鎖存電路LAT (A)的資料均達到高電平(ST48)。

另外，在將不良區塊替換成區塊冗餘之前的測試步驟中，統計被鎖存在第一鎖存電路LAT (A)內之低電平資料數量，亦即統計驗證失敗數量。該統計值超過規定值(本例中，行冗餘為4個時，規定值為4，行冗餘為8個時，規定值為8)時，再度重複編程驗證，於降低到規定值以下時，結束編程操作(ST46, ST47)。

### 第一頁、第二頁倍速同時編程

圖47為第一頁、第二頁同時編程，且顯示倍速編程的操作。此時亦與上述同樣的，首先輸入命令”80h”、位址、資料。該資料被索存在第一鎖存電路LAT (A)內。其次，輸入命令”12h”，輸出信號BUSY。之後，將第一鎖存電路LAT (A)之資料轉移至第二鎖存電路LAT (B)內。再度輸入命令”80h”、位址(與先前輸入之位址相鄰的頁位址)、資料、命令”11h”，輸出信號BUSY。執行4次該操作來改變陣列位址(A15, A16)。但是，最後係輸入自動編程執行的命令”10h”，而非命令”11h”，開始實際的編程。

上述第二種實施例係同時編程第一、第二頁。因此可縮短編程時間。

再者，藉由執行倍速編程，還可進一步縮短編程時間。

## 五、發明說明 ( 52 )

另外，第一、第二種實施例中，區塊選擇電路6a具有熔絲109，禁止寫入電路15a及禁止刪除電路15b具有熔絲151c, 152c，不過並不限定於熔絲，例如，亦可使用EEPOM單元等的非揮發性記憶體。有關其他的熔絲亦同。

裝

訂

線

## 四、中文發明摘要（發明之名稱：非揮發性半導體記憶體）

本發明之記憶體單元陣列具有第一及第二記憶區域。上述第一記憶區域具有被位址信號選擇的數個記憶元件，上述第二記憶區域具有被控制信號選擇的數個記憶元件。控制電路具有第一熔絲元件。上述控制電路在切斷上述第一熔絲元件之情況，禁止對上述第二記憶區域寫入及／或刪除。

## 日文發明摘要（發明之名稱：不揮發性半導体記憶装置）

メモリセルアレイは、第1、第2の記憶領域を有している。前記第1の記憶領域はアドレス信号により選択される複数の記憶素子を有し、前記第2の記憶領域は制御信号により選択される複数の記憶素子を有している。制御回路は第1のヒューズ素子を有している。前記制御回路は前記第1のヒューズ素子を切断した場合、前記第2の記憶領域に対する書き込み、及び消去の少なくとも1つを禁止する。

## 六、申請專利範圍

1. 一種半導體記憶體，其包含：

記憶體單元陣列，其係具有第一、第二記憶區域，上述第一記憶區域具有由位址信號所選擇的數個記憶元件，上述第二記憶區域具有由控制信號所選擇的數個記憶元件；及

控制電路，其係具有熔絲元件，上述控制電路切斷上述熔絲元件時，禁止對上述第二記憶區域寫入及／或刪除。

2. 如申請專利範圍第1項之半導體記憶體，其中還包含

第三記憶區域，其係替換上述第一記憶區域內的不良記憶元件。

3. 如申請專利範圍第2項之半導體記憶體，其中

上述控制電路控制將上述第三記憶區域變成上述第二記憶區域。

4. 如申請專利範圍第3項之半導體記憶體，其中

上述第二記憶區域係記憶安全資訊。

5. 如申請專利範圍第1項之半導體記憶體，其中還包含

選擇電路，其係選擇上述第二記憶區域，上述選擇電路於批次編程及批次刪除時，將上述第二記憶區域變成非選擇。

6. 一種半導體記憶體，其包含：

記憶體單元陣列，其係具有第一、第二記憶區域，上述第一記憶區域具有由位址信號所選擇的數個記憶元件，上述第二記憶區域具有由控制信號所選擇的數個記

## 六、申請專利範圍

憶元件；

選擇電路，其係分別對應於上述第一、第二記憶區域設置，上述各選擇電路具有熔絲元件，因應位址信號選擇上述第一或第二記憶區域；及

開關元件，其係並聯於上述熔絲元件，上述開關元件於上述熔絲元件被切斷的狀態下，因應控制信號被導通，將上述選擇電路設定成可選擇。

7. 如申請專利範圍第6項之半導體記憶體，其中還包含

第三記憶區域，其係替換上述第一記憶區域內的不良記憶元件。

8. 如申請專利範圍第7項之半導體記憶體，其中

上述控制電路控制將上述第三記憶區域變成上述第二記憶區域。

9. 如申請專利範圍第8項之半導體記憶體，其中

上述第二記憶區域記憶安全資訊。

10. 如申請專利範圍第6項之半導體記憶體，其中還包含

選擇電路，其係選擇上述第二記憶區域，上述選擇電路於批次編程及批次刪除時，將上述第二記憶區域變成非選擇。

11. 如申請專利範圍第6項之半導體記憶體，其中還包含

檢測電路，其係檢測上述熔絲元件(109)的狀態。

12. 一種半導體記憶體，其包含：

數個區塊，其係具有數個記憶元件；

記憶電路，其係對應於上述各區塊來設置，上述記憶

## 六、申請專利範圍

電路記憶第一邏輯位準或第二邏輯位準的資料；

檢測電路，其係檢測上述記憶電路的記憶狀態；及

讀出電路，其係自上述各區塊的記憶元件讀出資料，上述讀出電路藉由上述檢測電路檢測上述記憶電路所記憶之上述第一邏輯位準時，輸出上述區塊內之記憶元件的資料，於檢測上述記憶電路所記憶之上述第二邏輯位準時，不依據上述區塊內之記憶元件的資料，而輸出一定的值。

13.如申請專利範圍第12項之半導體記憶體，其中

上述記憶電路於對應之上述區塊不良時，記憶上述第二邏輯位準的資料。

14.如申請專利範圍第12項之半導體記憶體，其中

上述記憶電路為熔絲元件及EEPROM單元中的其中一個。

15.一種半導體記憶體，其包含：

第一記憶區域(512行)，其係具有數個記憶元件，上述第一記憶區域記憶自外部輸入的資料；

錯誤訂正碼產生電路，其係產生錯誤訂正碼；及

第二記憶區域(ECC碼區域)，其係記憶對應於自上述外部輸入之資料，由上述錯誤訂正碼產生電路所產生的錯誤訂正碼，上述第二記憶區域於上述錯誤訂正碼產生電路未開啟時，使用於替換上述第一記憶區域內的不良記憶元件。

16.如申請專利範圍第15項之半導體記憶體，其中還包含，

## 六、申請專利範圍

控制部，其係設定上述錯誤訂正碼產生電路開啟或不開啟。

17.如申請專利範圍第16項之半導體記憶體，其中還包含，  
資料記憶部，其係接收寫入資料及上述錯誤訂正碼產生電路所供應的錯誤訂正碼，上述資料記憶部連接於上述第一、第二記憶區域的行線。

18.如申請專利範圍第17項之半導體記憶體，其中還包含：  
行位址暫存器，其係接收行位址信號；及  
行解碼器，其係連接於上述行位址暫存器及上述資料記憶部，將上述行位址暫存器所供應之上述行位址信號予以解碼，上述行解碼器於上述錯誤訂正碼產生電路被開啟時，選擇多於上述錯誤訂正碼產生電路未開啟時的行線。

19.如申請專利範圍第18項之半導體記憶體，其中  
上述行解碼器包含行預解碼器，上述行預解碼器於上述錯誤訂正碼產生電路開啟時，預先將位址信號予以編碼，於上述錯誤訂正碼產生電路未開啟時，停止預解碼，輸出選擇行冗餘的信號。

20.一種半導體記憶體，其包含：

記憶單元；

電壓產生電路，其係產生用於控制上述記憶體單元之操作的電壓；

記憶電路，其係記憶由上述電壓產生電路所產生之電壓的初始值；

## 六、申請專利範圍

計數器，其係連接於上述記憶電路及上述電壓產生電路，控制因應自上述記憶電路供應之初始值，由上述電壓產生電路所產生的電壓成階段狀；及

第一信號，其係於測試模式時供應至上述計數器，上述第一信號使上述計數器的值逐步改變。

21.如申請專利範圍第20項之半導體記憶體，其中

上述記憶電路至少記憶資料的編程電壓及刪除電壓的初始值。

22.如申請專利範圍第21項之半導體記憶體，其中

上述第一信號將供應至上述計數器之編程電壓或刪除電壓的初始值予以逐步遞增。

23.如申請專利範圍第20項之半導體記憶體，其中還包含，

第二信號，其係於上述一次編程或刪除操作結束，驗證為NG時，供應至上述計數器。

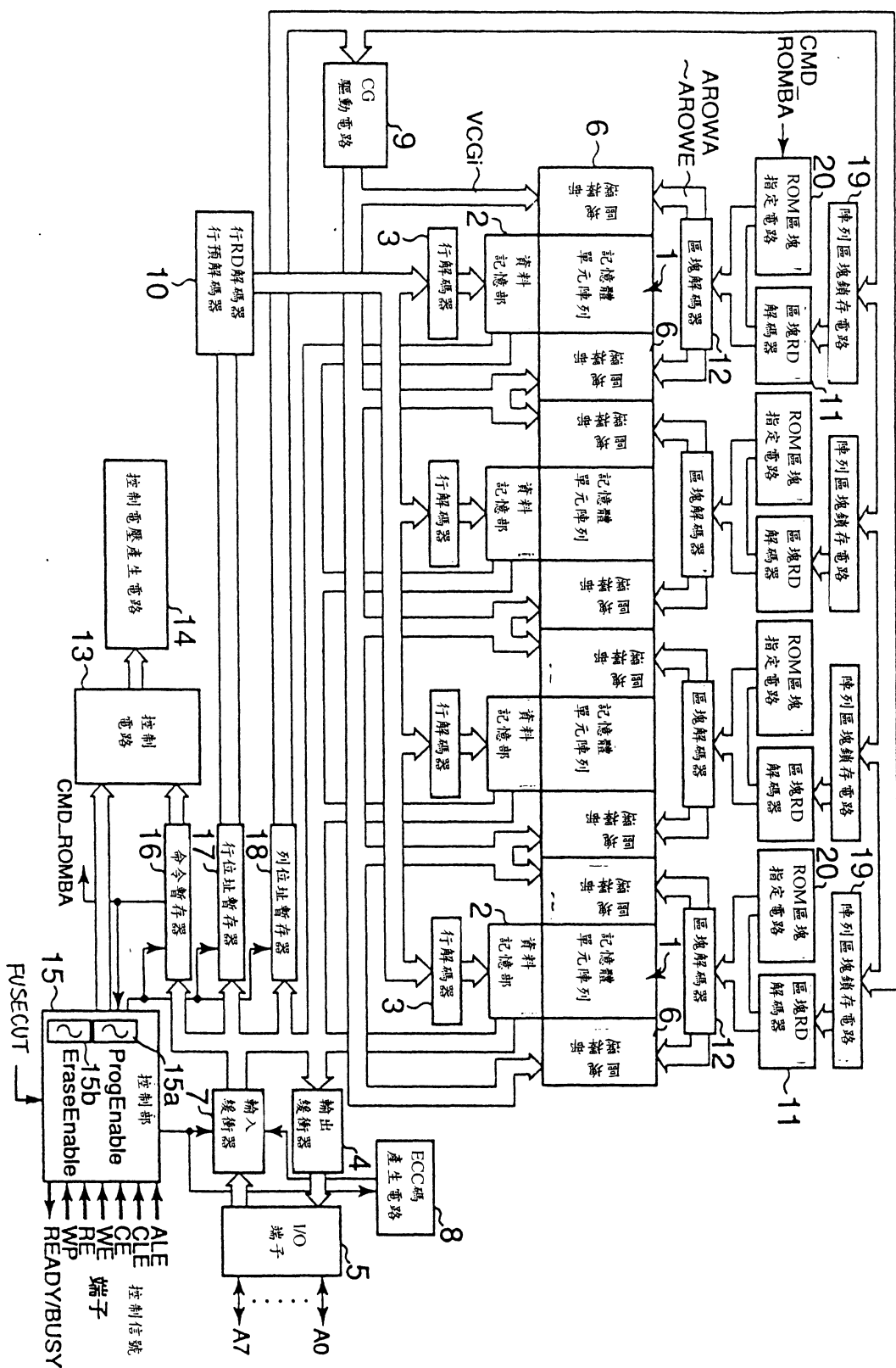


圖 1

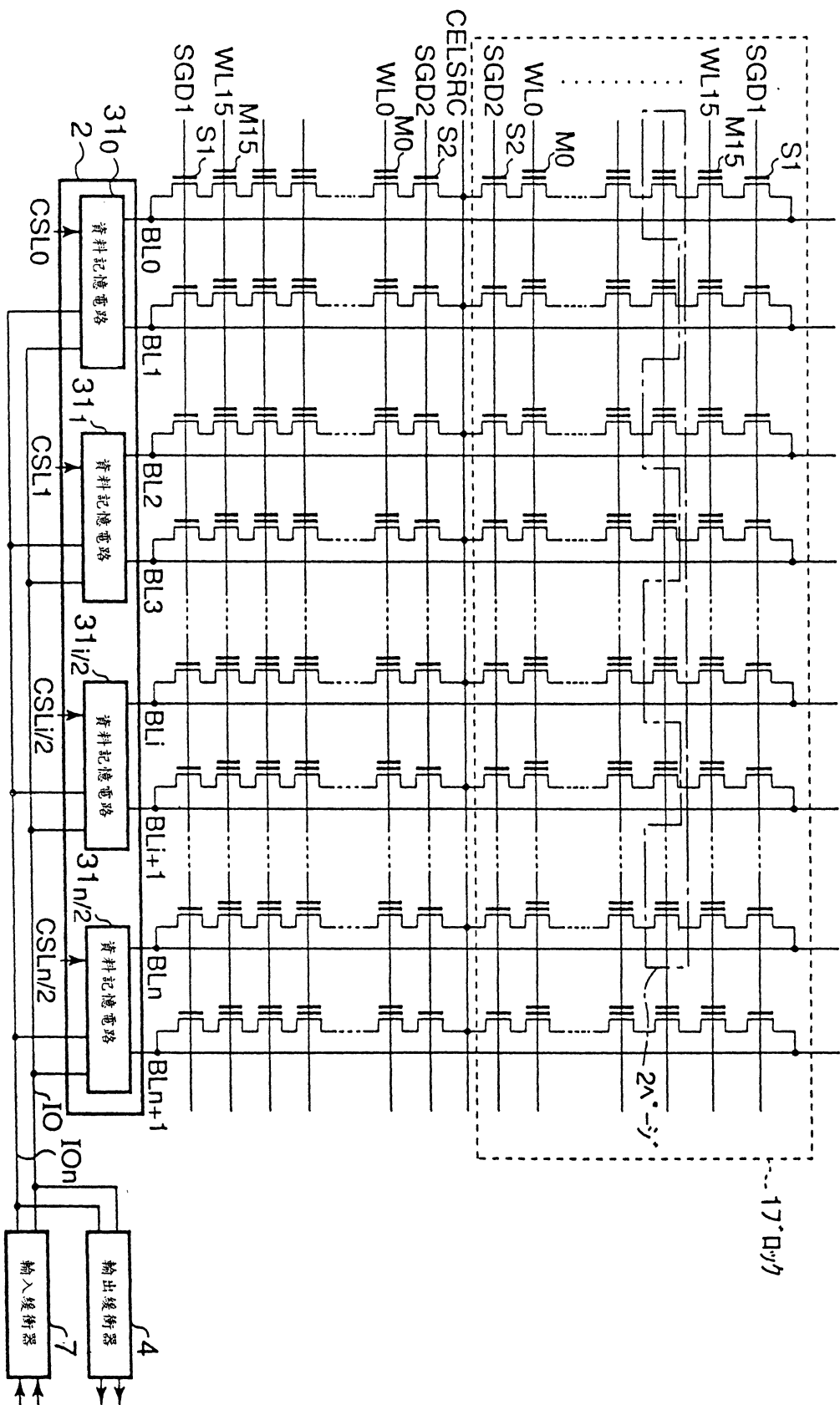


圖 2

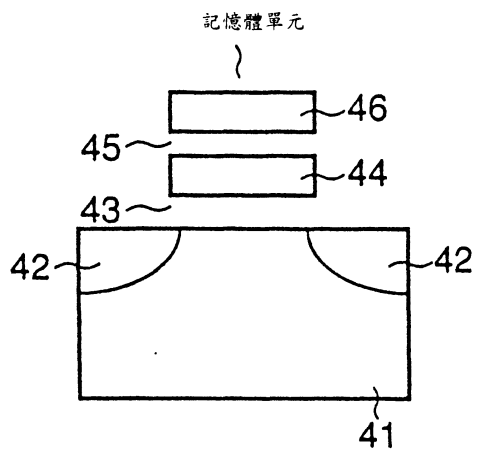


圖 3A

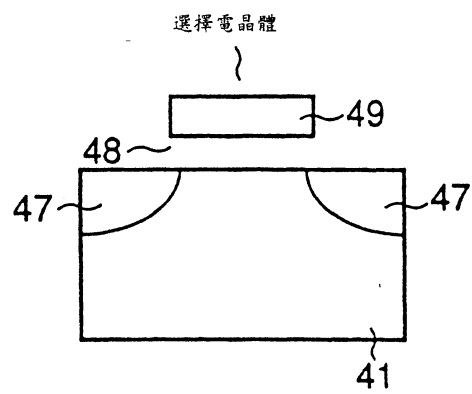


圖 3B

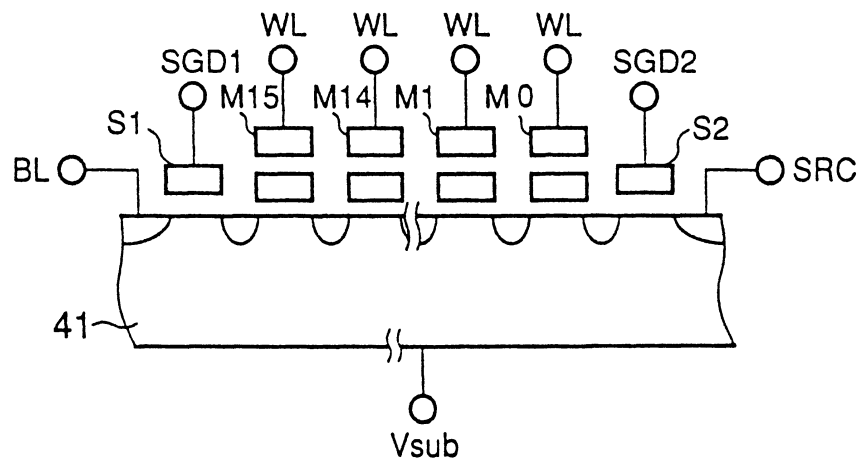


圖 4

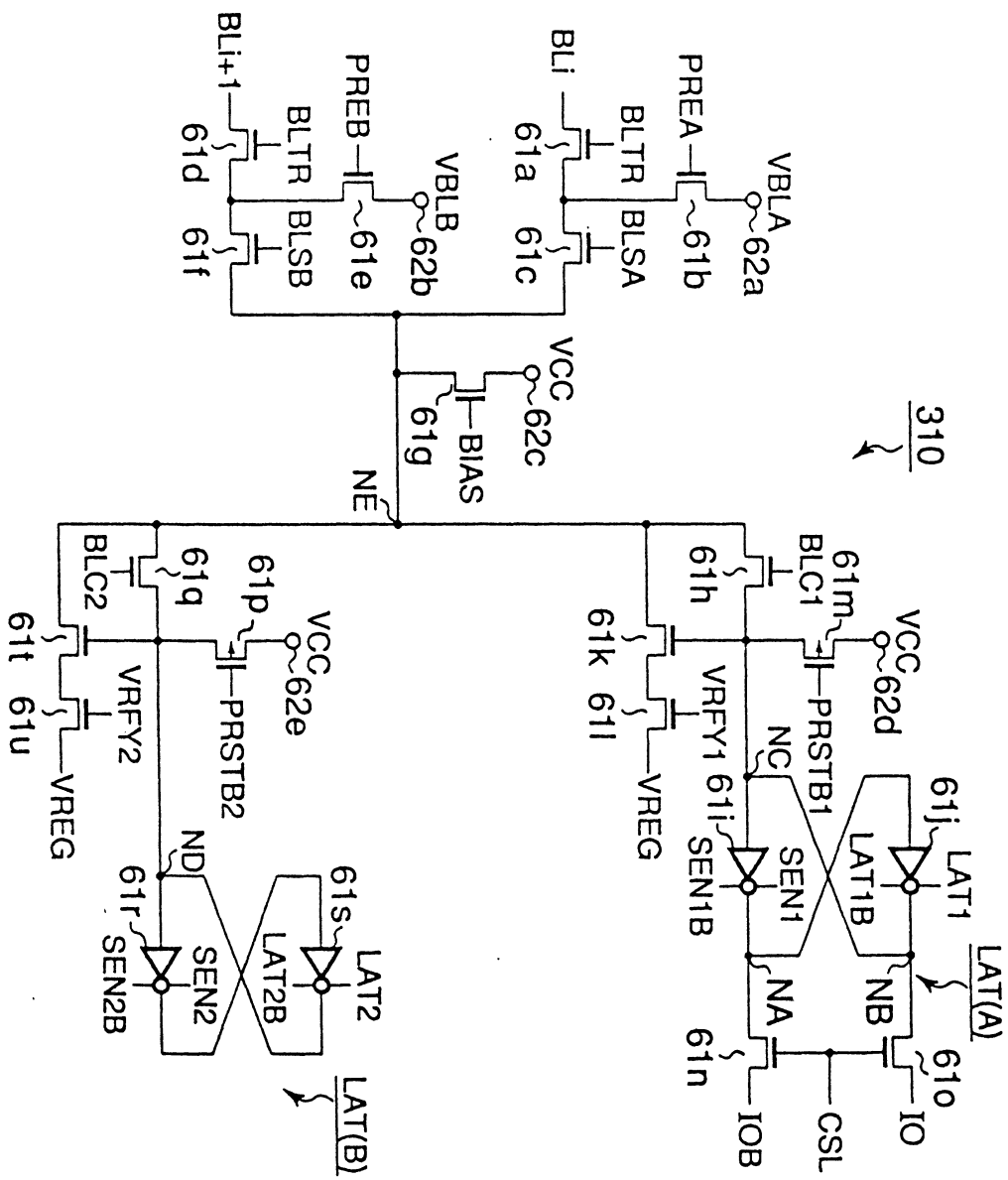


圖 5

1G(4值)BLOCKSIZE 32KB MODE

|      |                |             |                  |              |     |     |     |                  |  |    |     |
|------|----------------|-------------|------------------|--------------|-----|-----|-----|------------------|--|----|-----|
| IO   | 0              | 1           | 2                | 3            | 4   | 5   | 6   | 7                |  | A8 | A8E |
| 第一週期 | A0             | A1          | A2               | A3           | A4  | A5  | A6  | A7               |  |    |     |
|      | Column Address |             |                  |              |     |     |     |                  |  |    |     |
| 第二週期 | A9             | A10         | A11              | A12          | A13 | A14 | A15 | A16              |  |    |     |
|      | ML Add.        | BitlineAdd. |                  | NAND Address |     |     |     | PysicalBlockAdd. |  |    |     |
| 第三週期 | A17            | A18         | A19              | A20          | A21 | A22 | A23 | A24              |  |    |     |
|      | Block Address  |             |                  |              |     |     |     |                  |  |    |     |
| 第四週期 | A25            | A26         | A27              | A28          | A29 |     |     |                  |  |    |     |
|      | BlockAdd.      |             | MultiChipAddress |              |     |     |     |                  |  |    |     |

圖 6A

512M(2值)BLOCKSIZE 16KB MODE

|      |             |                  |   |              |   |   |                  |            |  |
|------|-------------|------------------|---|--------------|---|---|------------------|------------|--|
| IO   | 0           | 1                | 2 | 3            | 4 | 5 | 6                | 7          |  |
| 第一週期 |             | Column Address   |   |              |   |   |                  |            |  |
| 第二週期 | BitlineAdd. |                  |   | NAND Address |   |   | PysicalBlockAdd. | Block Add. |  |
| 第三週期 |             | Block Address    |   |              |   |   |                  |            |  |
| 第四週期 | BlockAdd.   | MultiChipAddress |   |              |   |   |                  |            |  |

圖 6B

1G(4值)BLOCKSIZE 128KB MODE

|      |   |                  |                  |             |   |   |              |   |  |
|------|---|------------------|------------------|-------------|---|---|--------------|---|--|
| IO   | 0 | 1                | 2                | 3           | 4 | 5 | 6            | 7 |  |
| 第一週期 |   | Column Address   |                  |             |   |   |              |   |  |
| 第二週期 |   | PysicalBlockAdd. | ML Add.          | BitlineAdd. |   |   | NAND Address |   |  |
| 第三週期 |   | Block Address    |                  |             |   |   |              |   |  |
| 第四週期 |   | BlockAdd.        | MultiChipAddress |             |   |   |              |   |  |

圖 6C

512M(2值)BLOCKSIZE 64KB MODE

|      |           |                  |             |   |   |   |              |            |  |
|------|-----------|------------------|-------------|---|---|---|--------------|------------|--|
| IO   | 0         | 1                | 2           | 3 | 4 | 5 | 6            | 7          |  |
| 第一週期 |           | Column Address   |             |   |   |   |              |            |  |
| 第二週期 |           | PysicalBlockAdd. | BitlineAdd. |   |   |   | NAND Address | Block Add. |  |
| 第三週期 |           | Block Address    |             |   |   |   |              |            |  |
| 第四週期 | BlockAdd. | MultiChipAddress |             |   |   |   |              |            |  |

圖 6D

|     |   |   |   |   |   |   |
|-----|---|---|---|---|---|---|
| A0  | L | H | L | ~ | H |   |
| A1  | L | L | H | ~ | H |   |
| A2  | L | L | L | ~ | H |   |
| CA  | 0 | 1 | 2 | ~ | 7 |   |
| A3  | L | H | L | ~ | H |   |
| A4  | L | L | H | ~ | H |   |
| A5  | L | L | L | ~ | H |   |
| CB  | 0 | 1 | 2 | ~ | 7 |   |
| A6  | L | H | L | ~ | H | — |
| A7  | L | L | H | ~ | H | — |
| A8  | L | L | L | ~ | H | — |
| A8E | L | L | L | ~ | H | H |
| CC  | 0 | 1 | 2 | ~ | 7 | 8 |

圖 7A

|     | 本體區域 |   |   |     | ECC碼區域 |     |     |   | ECC碼<br>或R/D |     |   |   | R/D區域 |   |   |   |   |   |
|-----|------|---|---|-----|--------|-----|-----|---|--------------|-----|---|---|-------|---|---|---|---|---|
|     | 528行 |   |   |     | 17行    |     |     |   | 4行           |     |   |   | 4行    |   |   |   |   |   |
| CA  | 0    | 1 | 6 | 7   | 0      | 1   | 7   | 0 |              |     |   |   |       |   |   |   |   |   |
| CB  | 0    | 0 | ~ | 1   | 1      | 2   | 2   | ~ |              |     |   |   |       |   |   |   | 3 | 4 |
| CC  | 0    | 0 | 8 | 8   | 8      | 8   | 8   | 8 |              |     |   |   |       |   |   |   | 8 |   |
| CSS |      |   |   |     |        |     |     |   | 4            | 5   | 6 | 7 | 0     | 1 | 2 | 3 |   |   |
| CSL | 0    | 1 | ~ | 525 | 527    | 528 | 529 | ~ | 543          | 544 |   |   |       |   |   |   |   |   |
| A0  | L    | H |   | L   | H      | L   | H   |   | H            | L   | H | L |       |   |   |   |   |   |
| A1  | L    | L |   | H   | H      | L   | L   |   | H            | L   | L | H |       |   |   |   | H | L |
| A2  | L    | L |   | H   | H      | L   | L   |   | H            | L   | L | L |       |   |   |   | L | H |
| A3  | L    | L |   | H   | H      | L   | L   |   | H            | L   | L | L |       |   |   |   | L | L |
| A4  | L    | L | ~ | L   | L      | H   | H   | ~ | H            | L   | L | L |       |   |   |   | L | L |
| A5  | L    | L |   | L   | L      | L   | L   |   | L            | H   | H | H |       |   |   |   | H | H |
| A6  | L    | L |   | L   | L      | L   | L   |   | L            | L   | L | L |       |   |   |   | L | L |
| A7  | L    | L |   | L   | L      | L   | L   |   | L            | L   | L | L |       |   |   |   | L | L |
| A8  | L    | L |   | L   | L      | L   | L   |   | L            | L   | L | L |       |   |   |   | L | L |
| A8E | L    | L |   | H   | H      | H   | H   |   | H            | H   | H | H | H     | H |   |   |   |   |

圖 7B

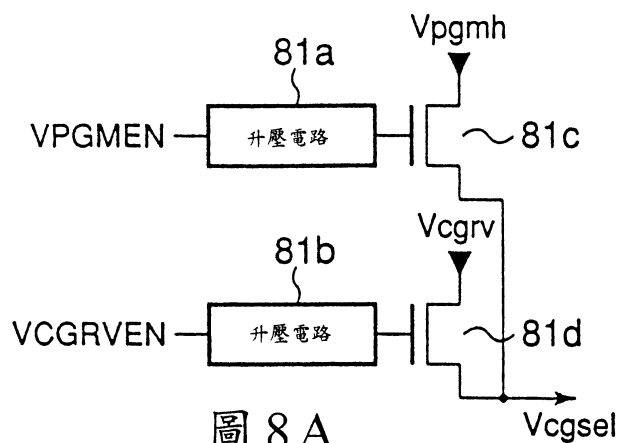


圖 8 A

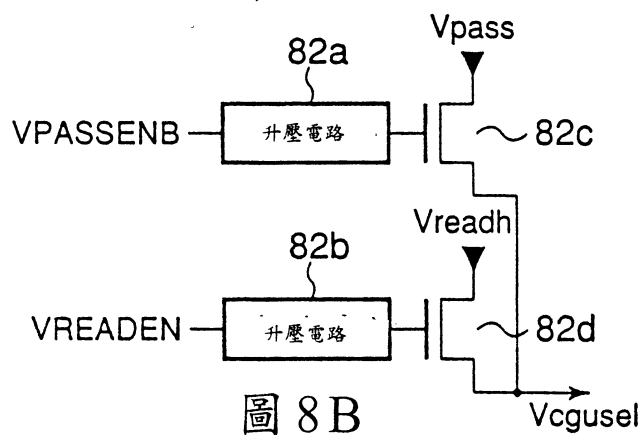


圖 8 B

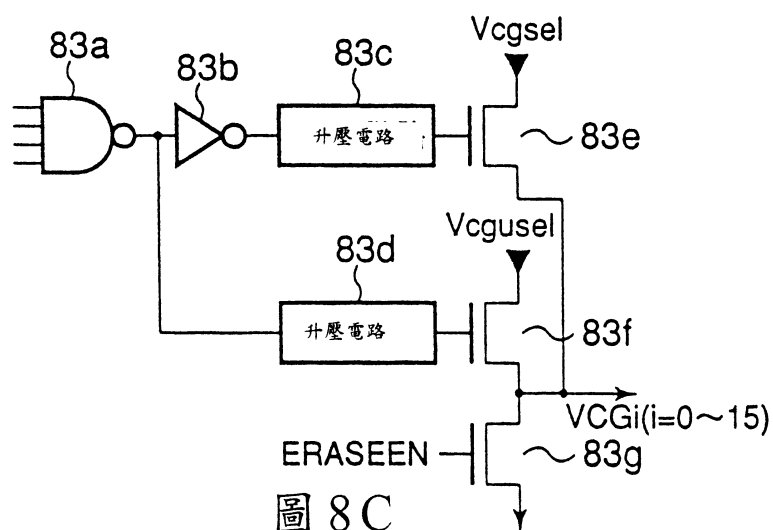


圖 8 C

|     |   |   |   |   |    |
|-----|---|---|---|---|----|
| A11 | L | H | L | ~ | H  |
| A12 | L | L | H | ~ | H  |
| A13 | L | L | L | ~ | H  |
| A14 | L | L | L | ~ | H  |
| CGi | 0 | 1 | 2 | ~ | 15 |

圖 8 D

| 陣列      | 0 | 1 | 2 | 3 |
|---------|---|---|---|---|
| A15     | L | H | L | H |
| A16     | L | L | H | H |
| PBLATPB | 0 | 1 | 2 | 3 |

圖 9A

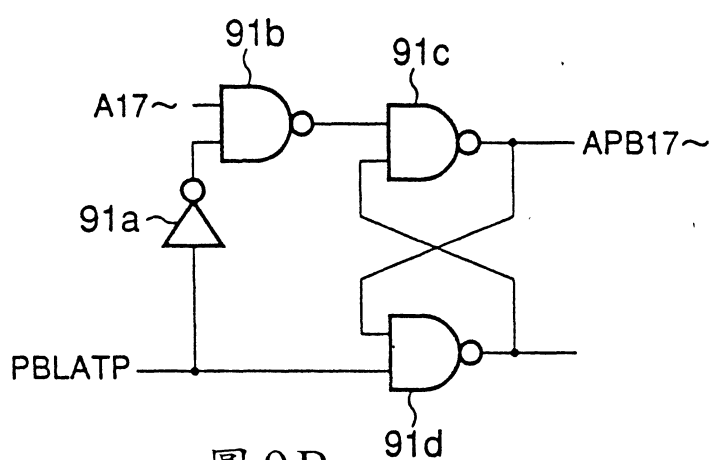


圖 9B

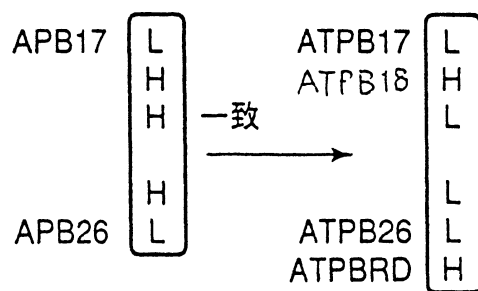


圖 10

|        |   |   |   |   |
|--------|---|---|---|---|
| ATPB17 | L | H | L | H |
| ATPB19 | L | L | H | H |
| AROWA  | 0 | 1 | 2 | 3 |
| ATPB18 | L | H |   |   |
| RDECPB | L | R |   |   |
| ATPB20 | L | H | L | H |
| ATPB21 | L | L | H | H |
| AROWB  | 0 | 1 | 2 | 3 |
| ATPB22 | L | H | L | H |
| ATPB23 | L | L | H | H |
| AROWC  | 0 | 1 | 2 | 3 |
| ATPB24 | L | H | L | H |
| ATPB25 | L | L | H | H |
| AROWD  | 0 | 1 | 2 | 3 |
| ATPB26 | L | H | L |   |
| ATPBRD | L | L | H |   |
| AROWE  | 0 | 1 | 2 |   |

圖 11

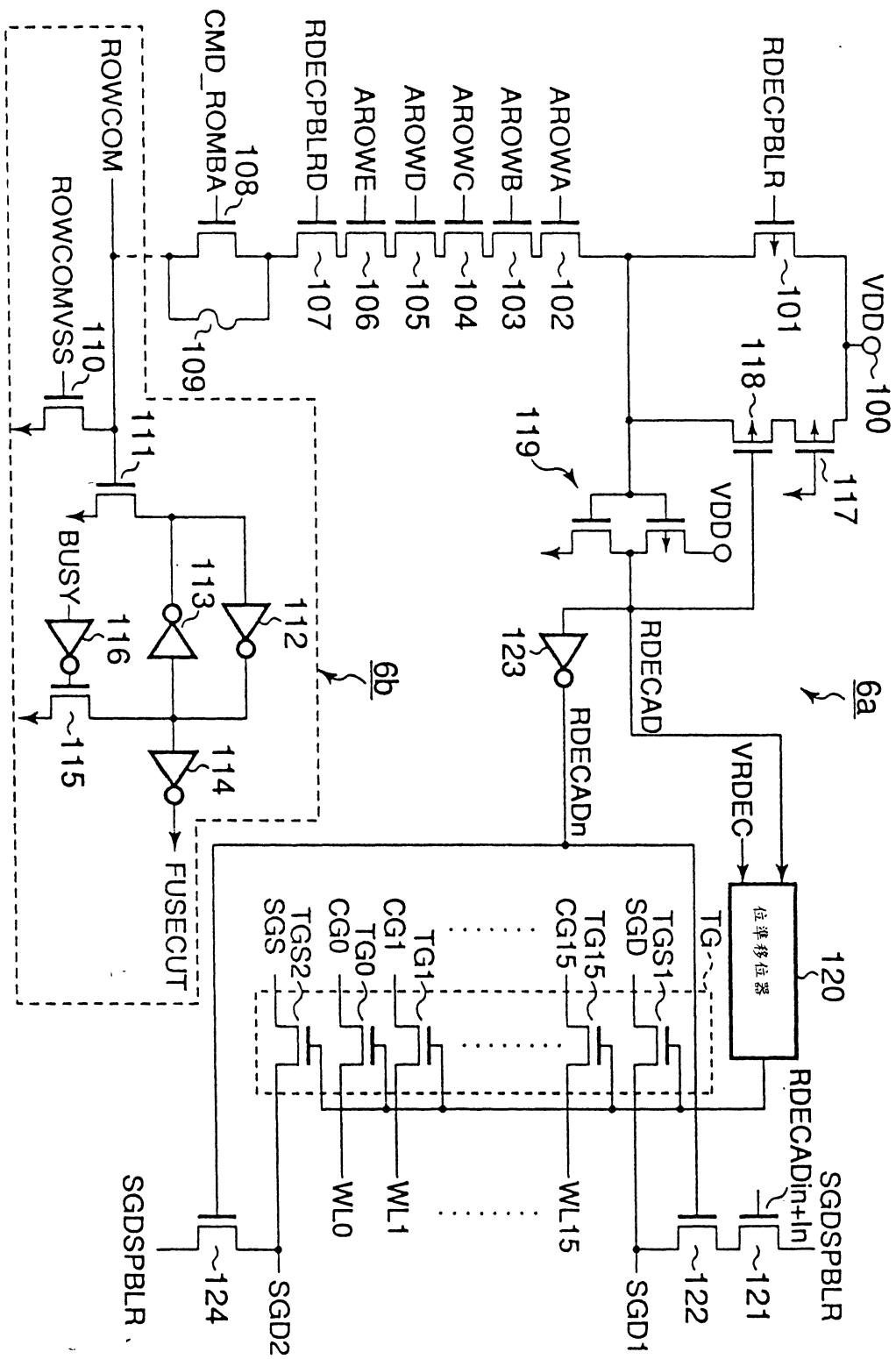


圖 12

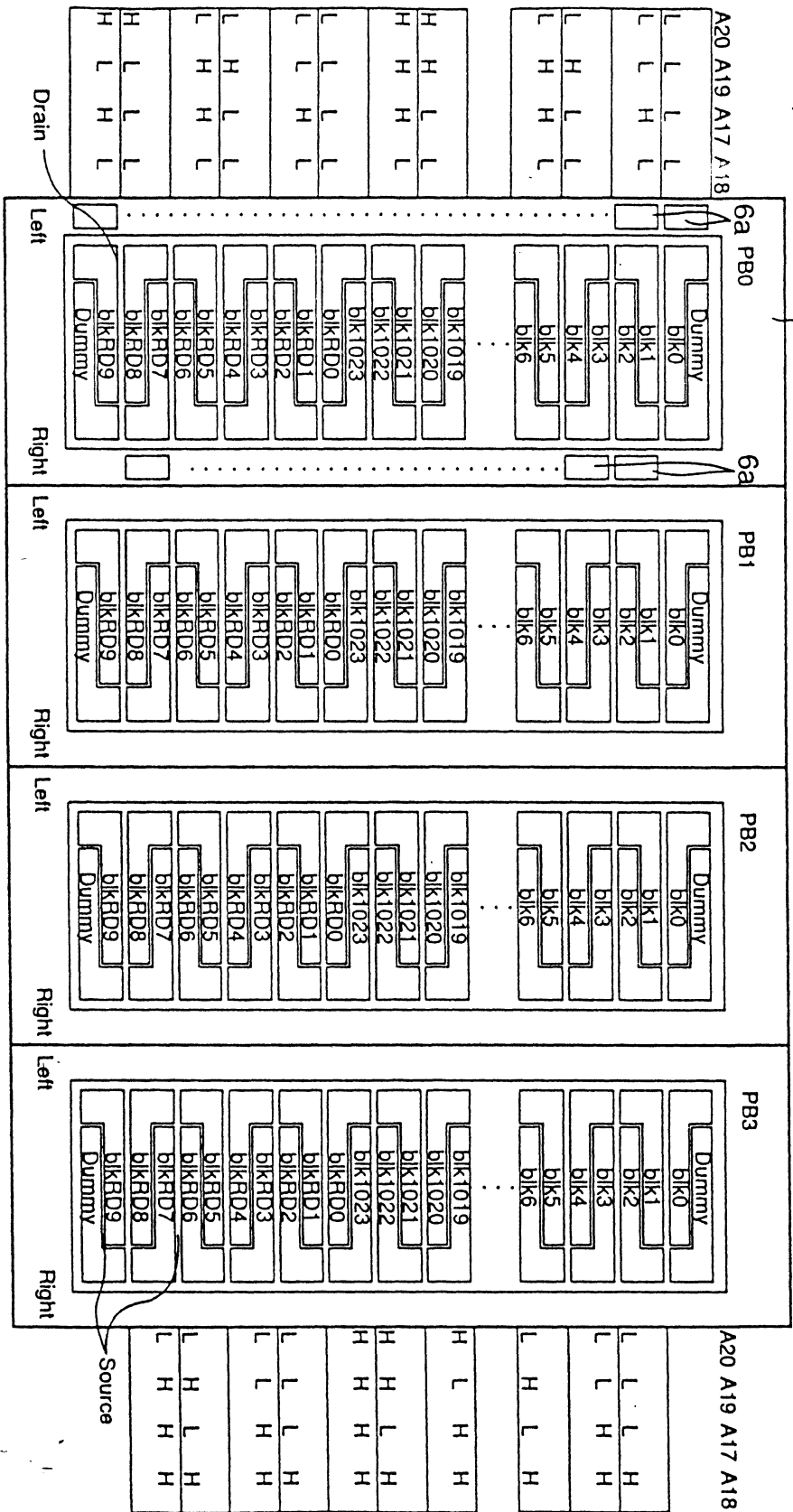


圖 14

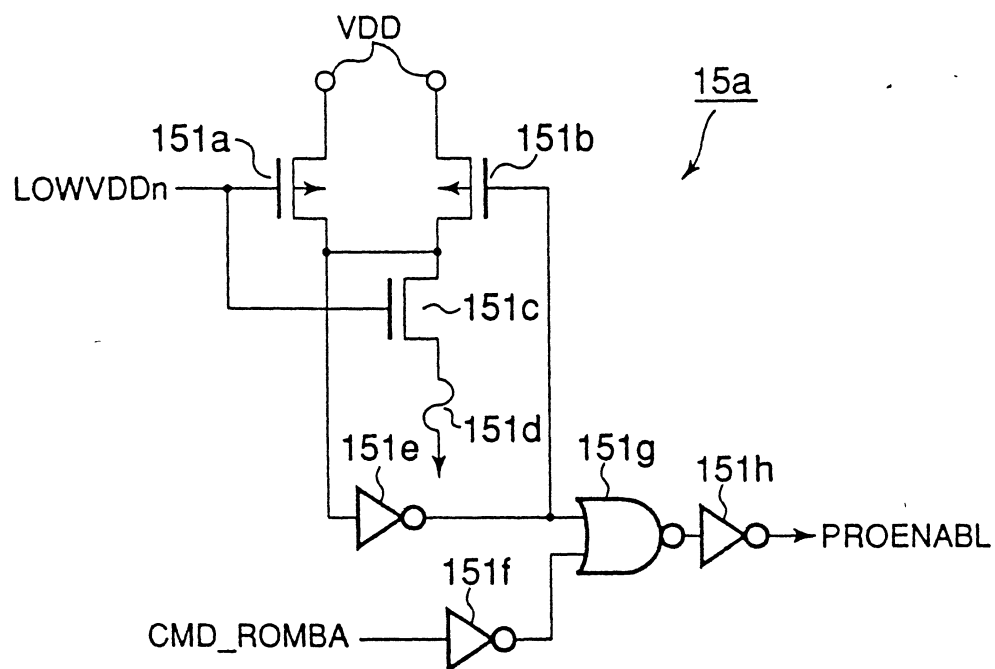


圖 15 A

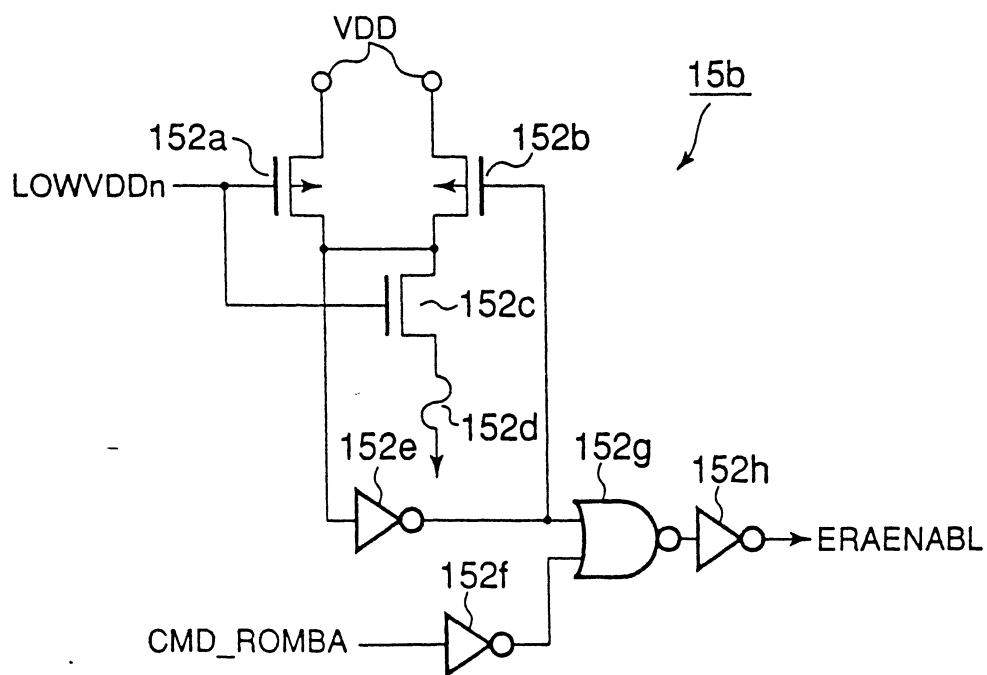


圖 15 B

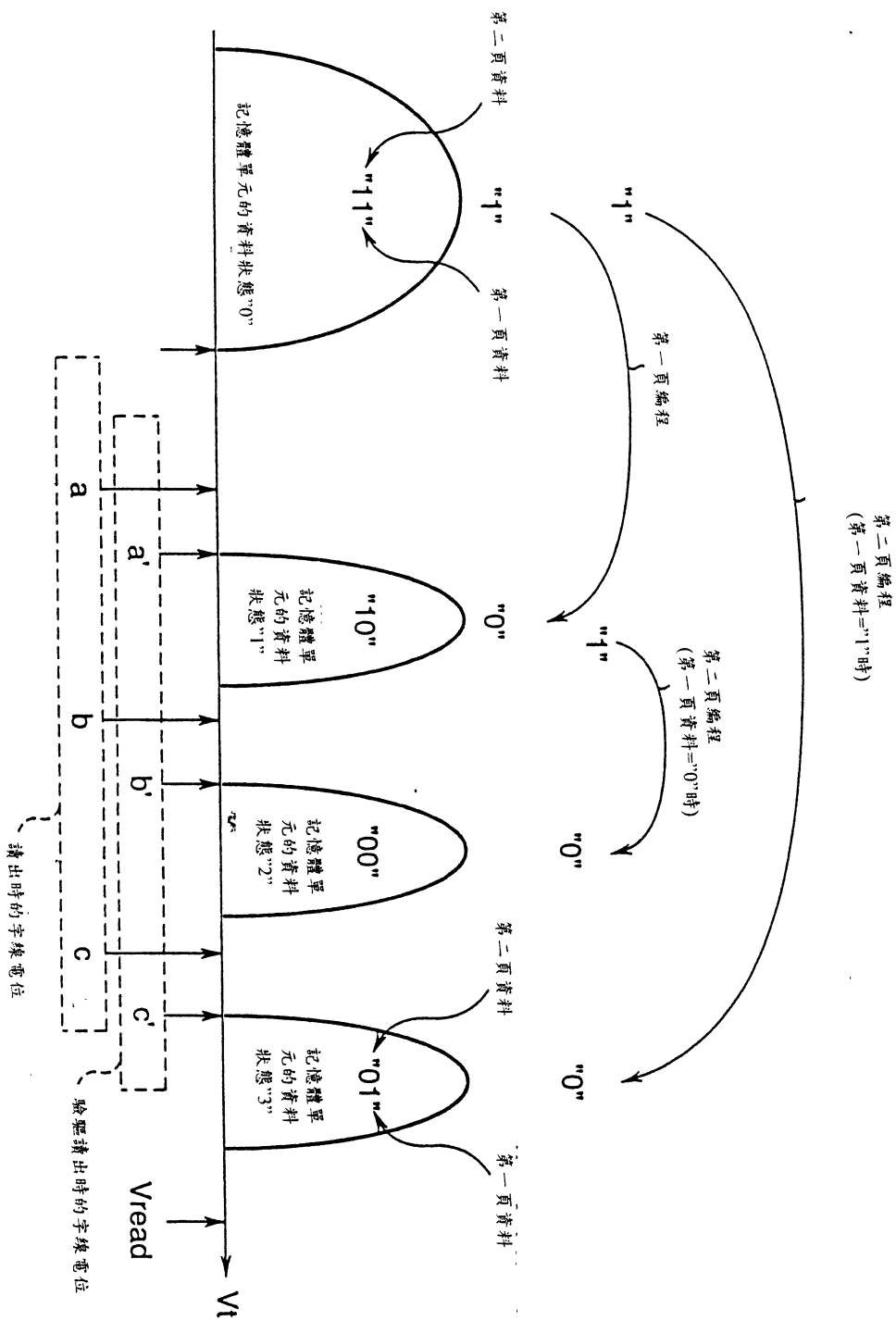


圖 16

| 記憶體單元的資料 | 記憶體單元的臨限值 | 寫入及讀出的資料 |     |
|----------|-----------|----------|-----|
|          |           | 第一頁      | 第二頁 |
| 0        | 0V以下      | 1        | 1   |
| 1        | 0.3V~0.5V | 0        | 1   |
| 2        | 0.8V~1.0V | 0        | 0   |
| 3        | 1.3V~1.5V | 1        | 0   |

圖 17 A

記憶體單元之資料與記憶體單元的臨限值

|       |         |                       |
|-------|---------|-----------------------|
|       | 需要之步升次數 |                       |
| 第一頁寫入 | 13回     | (0→1)13回              |
| 第二頁寫入 | 11回     | (0→3)11回      (1→2)6回 |
| 合計    | 24回     |                       |

圖 17 B

|              |         |                                      |
|--------------|---------|--------------------------------------|
|              | 需要之步升次數 |                                      |
| 第一、二<br>同時寫入 | 20回     | (0→1)13回      (0→2)17回      (0→3)20回 |
| 合計           | 20回     |                                      |

寫入次數

圖 17 C

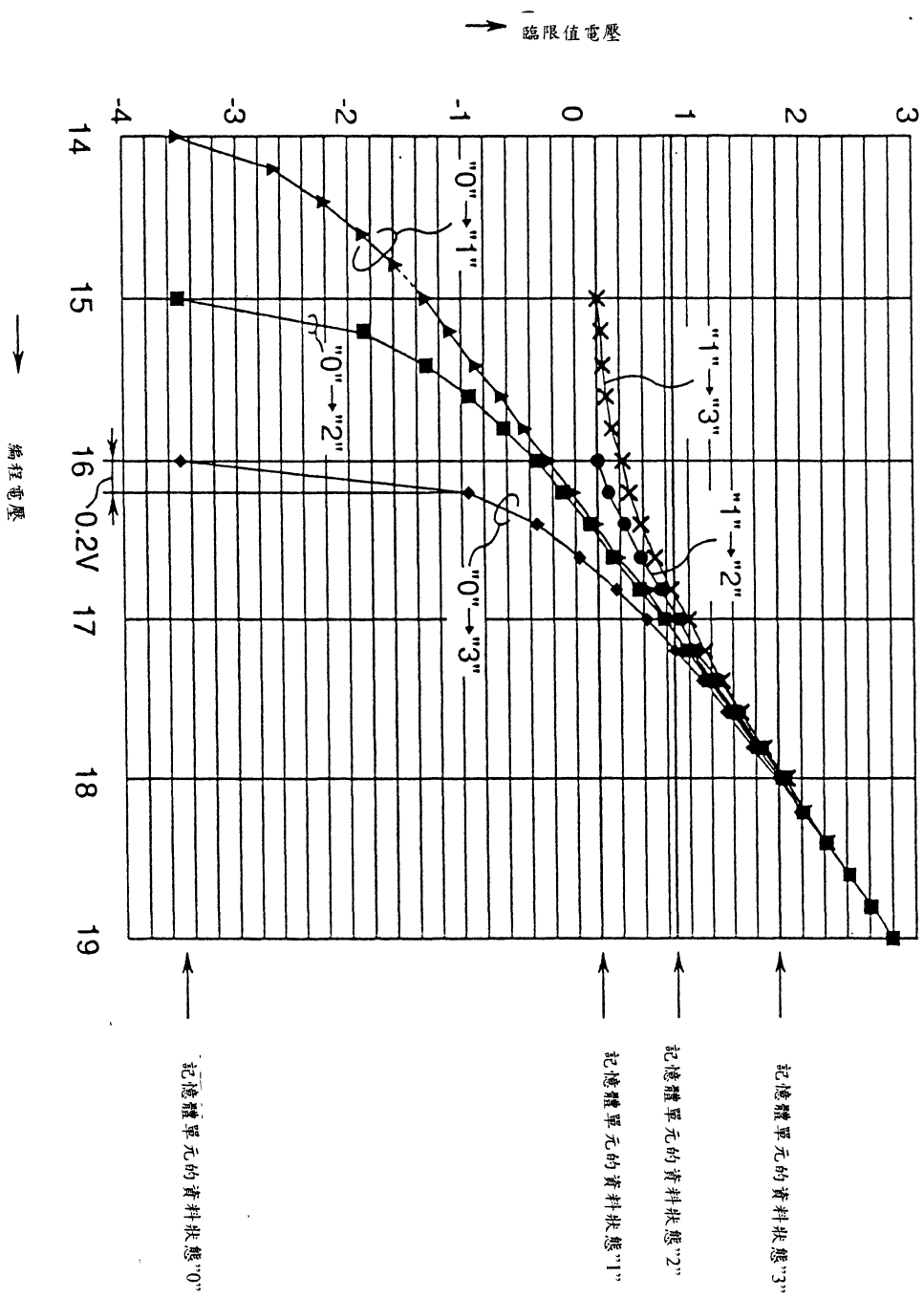


圖 18

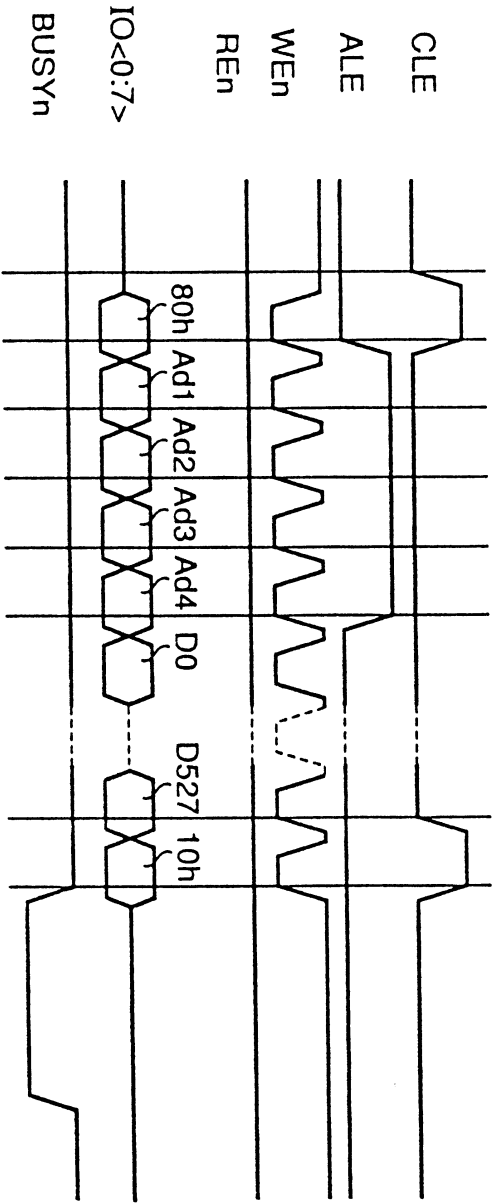


圖 19

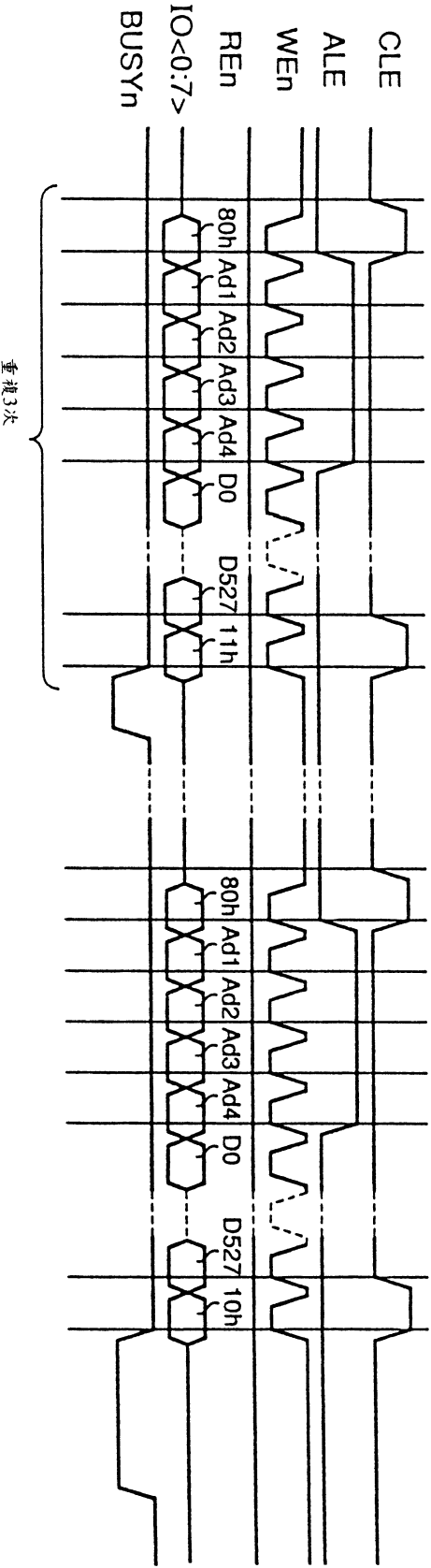


圖 20

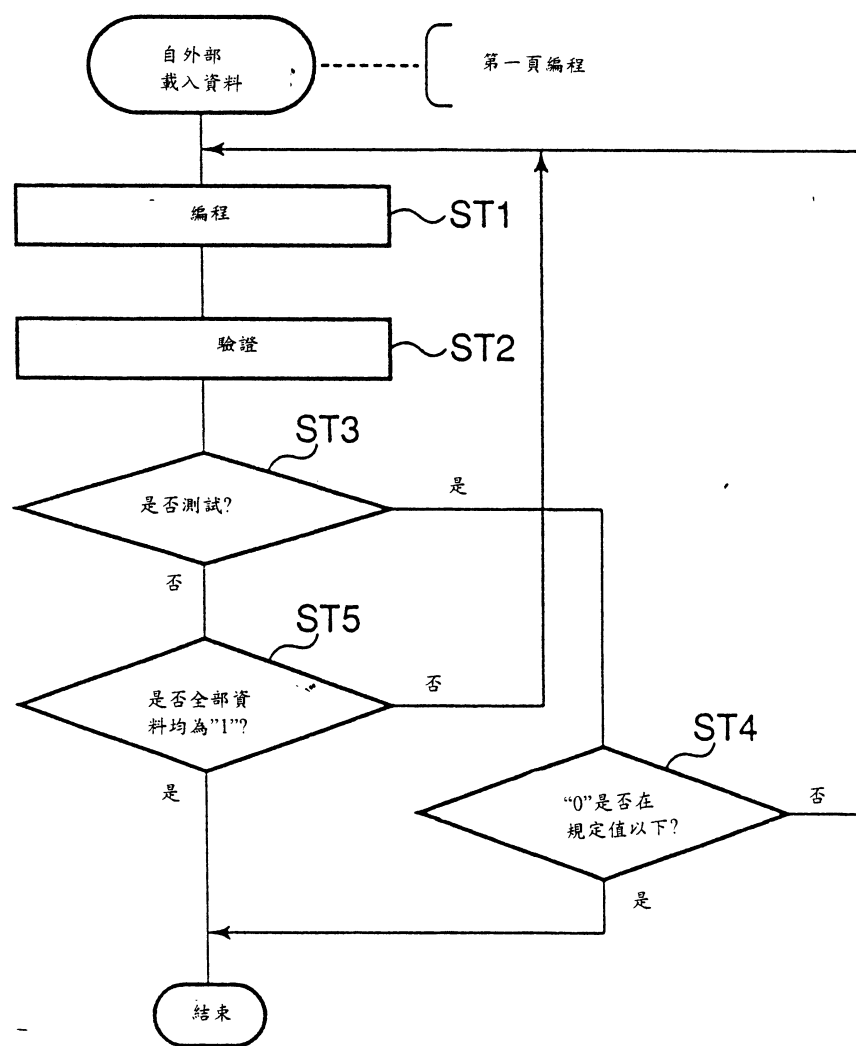


圖 21

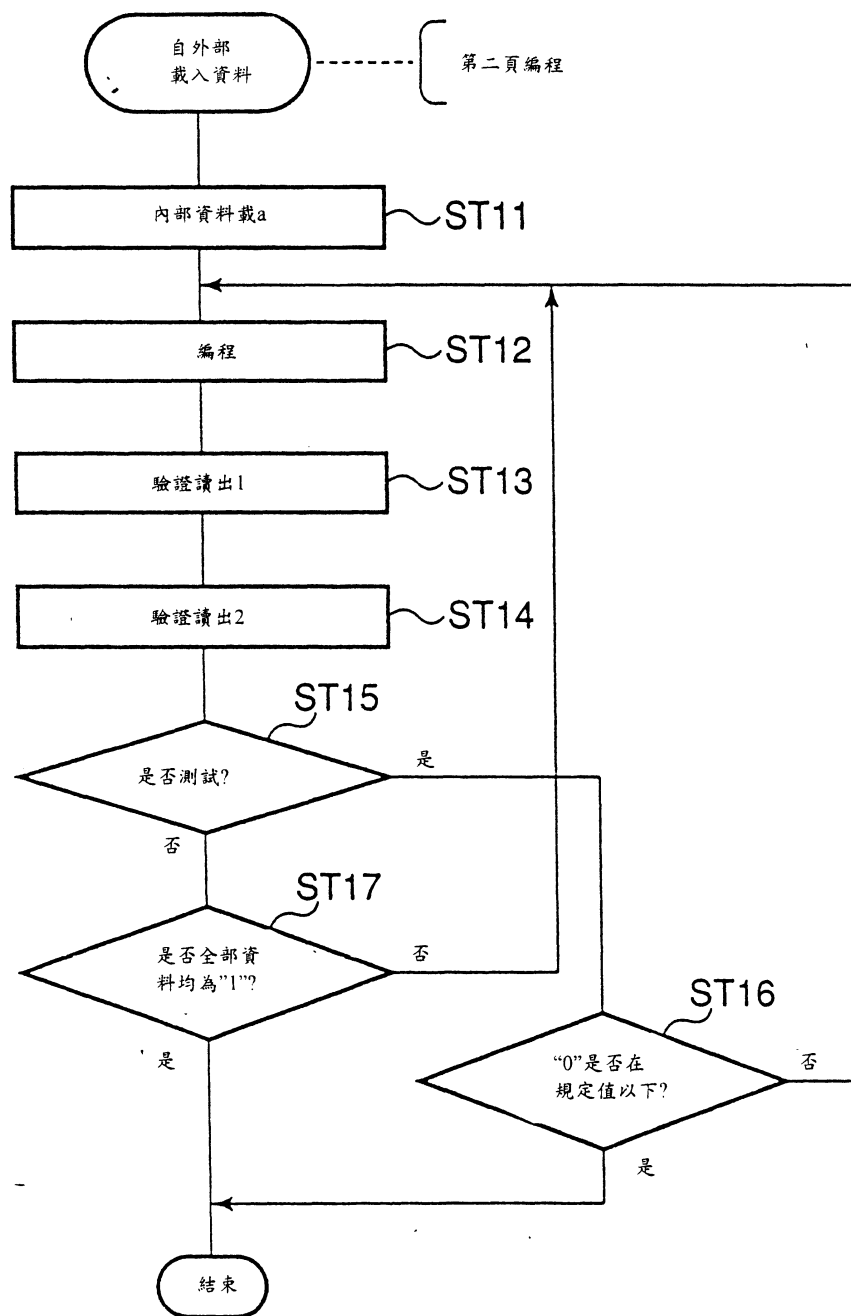


圖 22

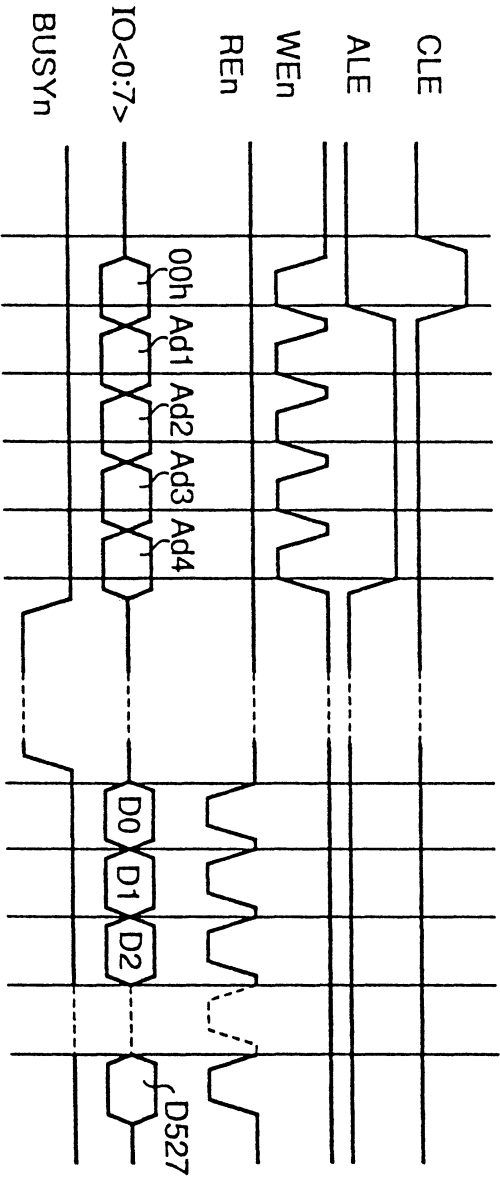


圖 29

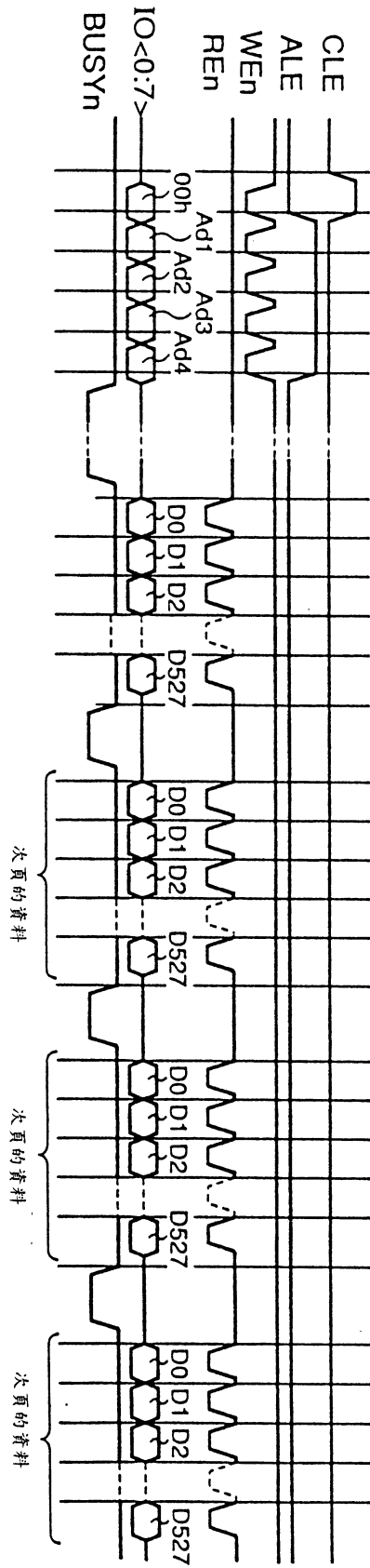


圖 30

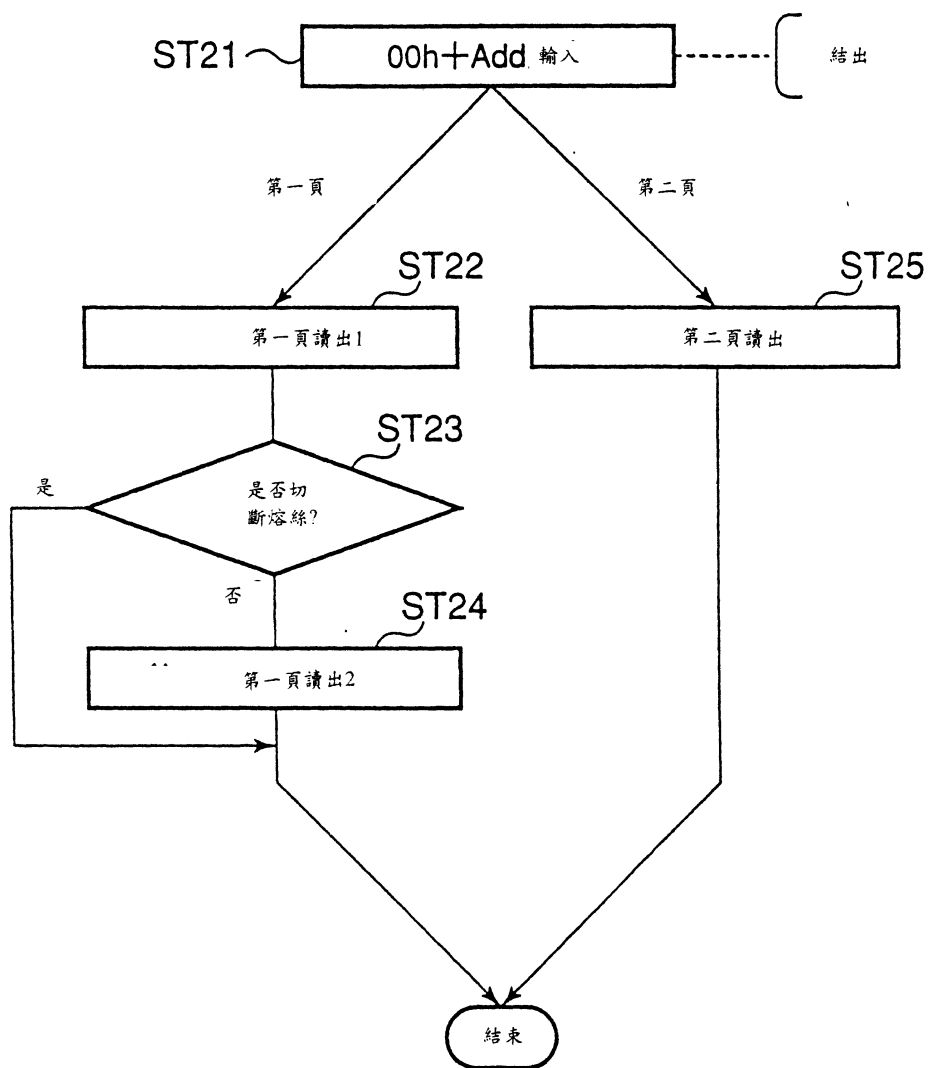


圖 31

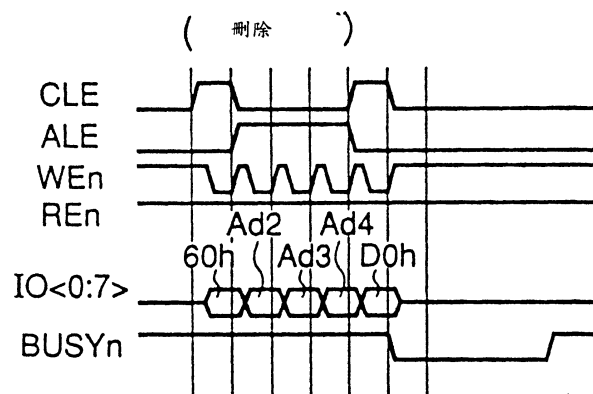


圖 36

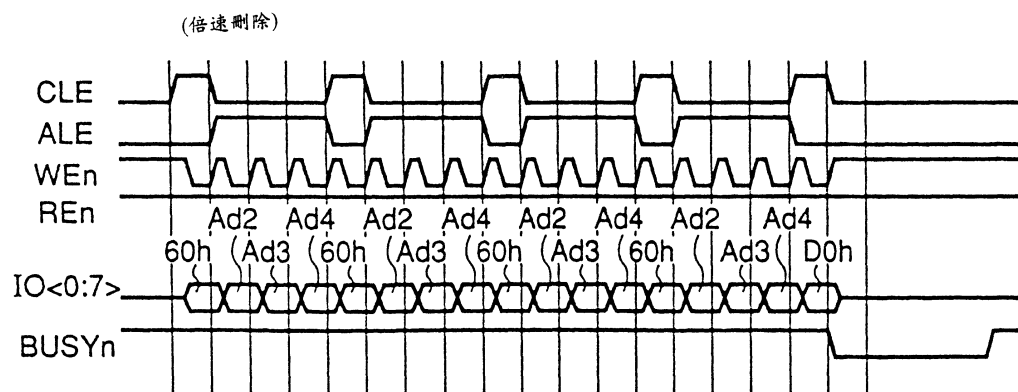


圖 37

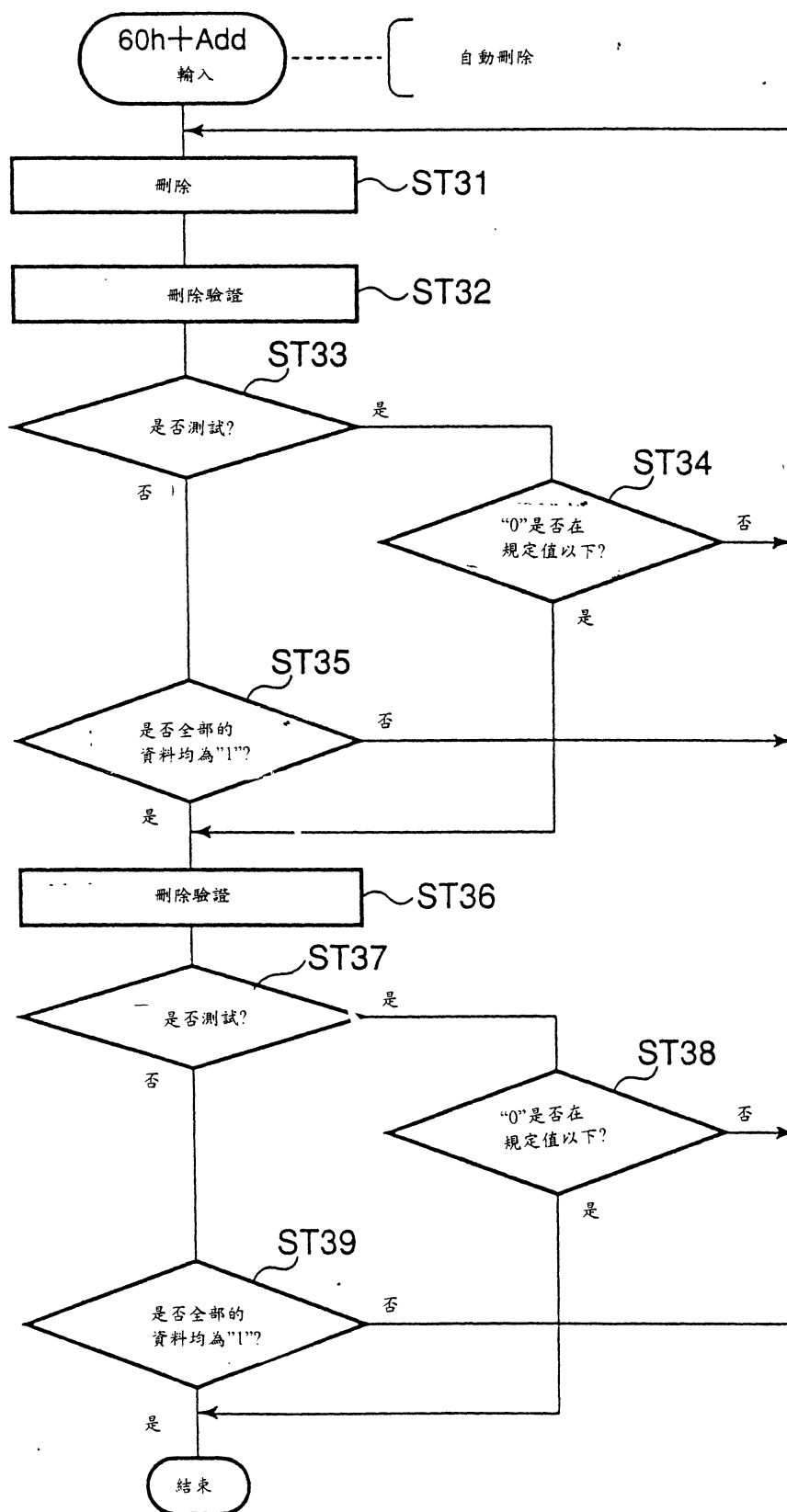


圖 38

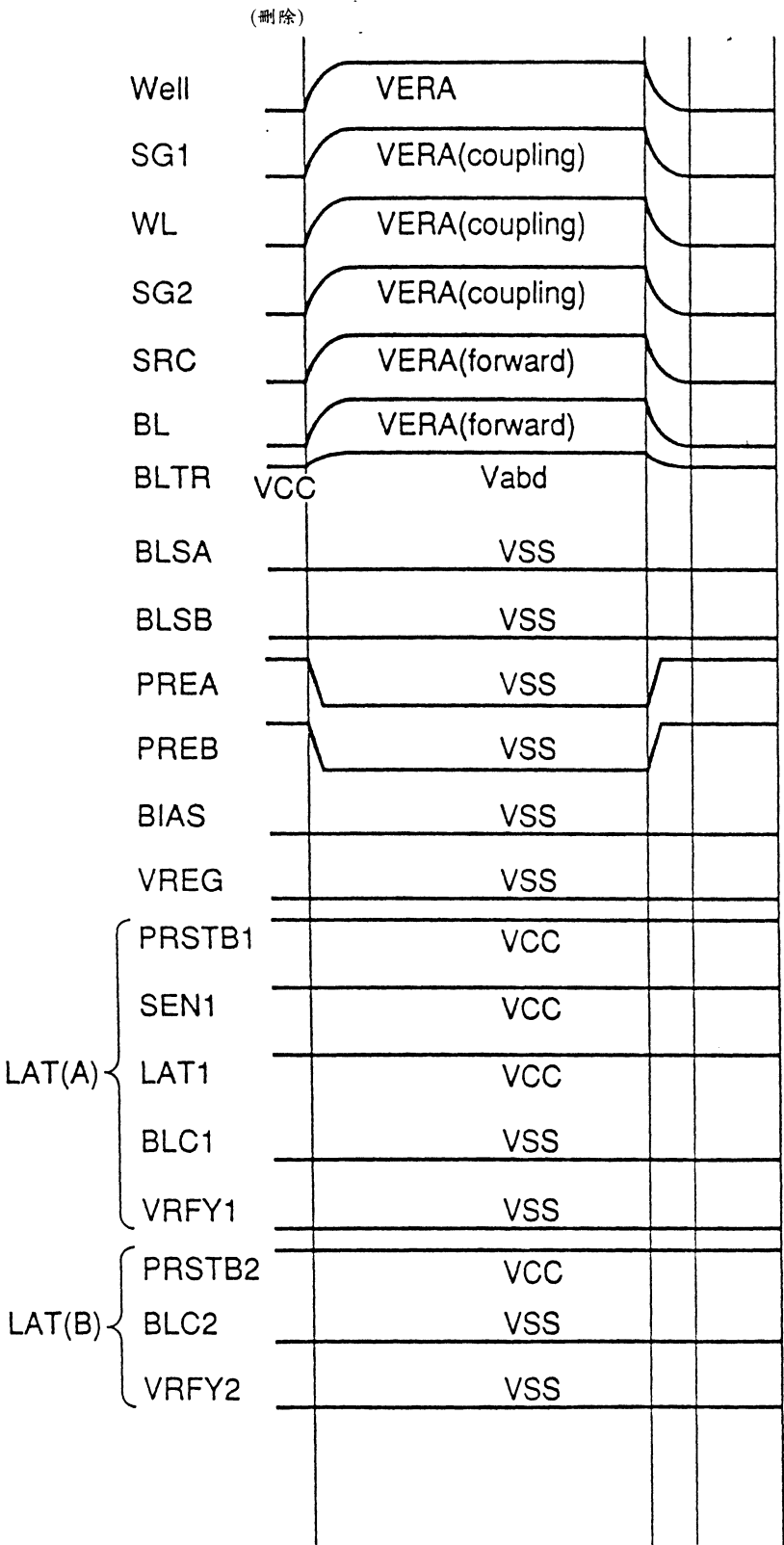


圖 39

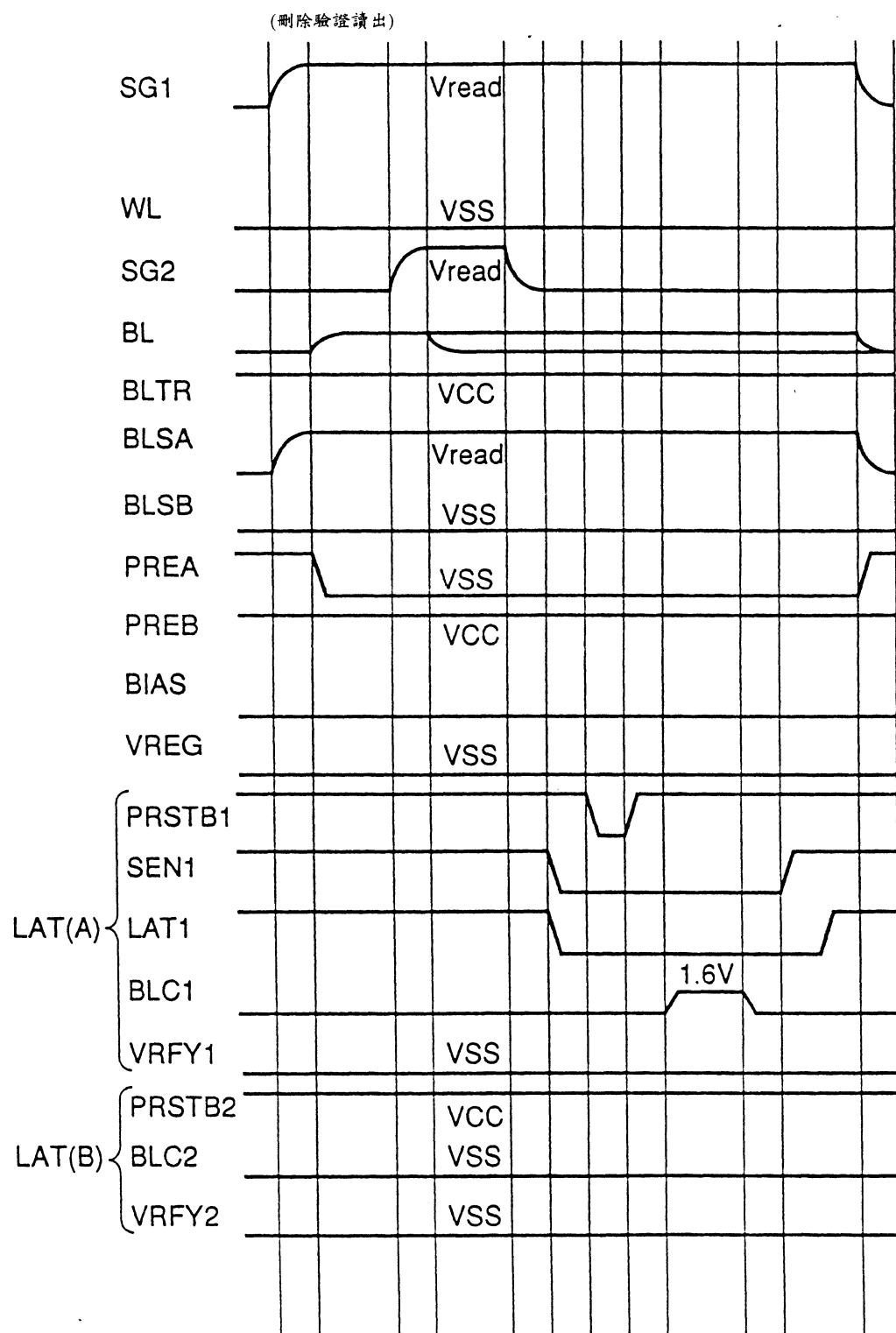


圖 40

(第一頁、第二頁同時編程)

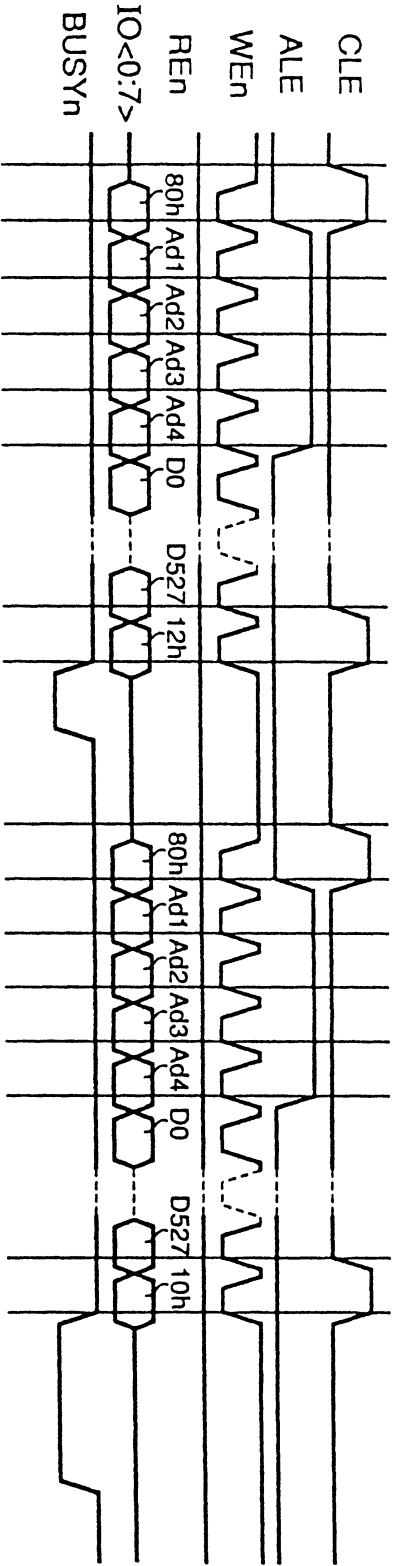


圖 43

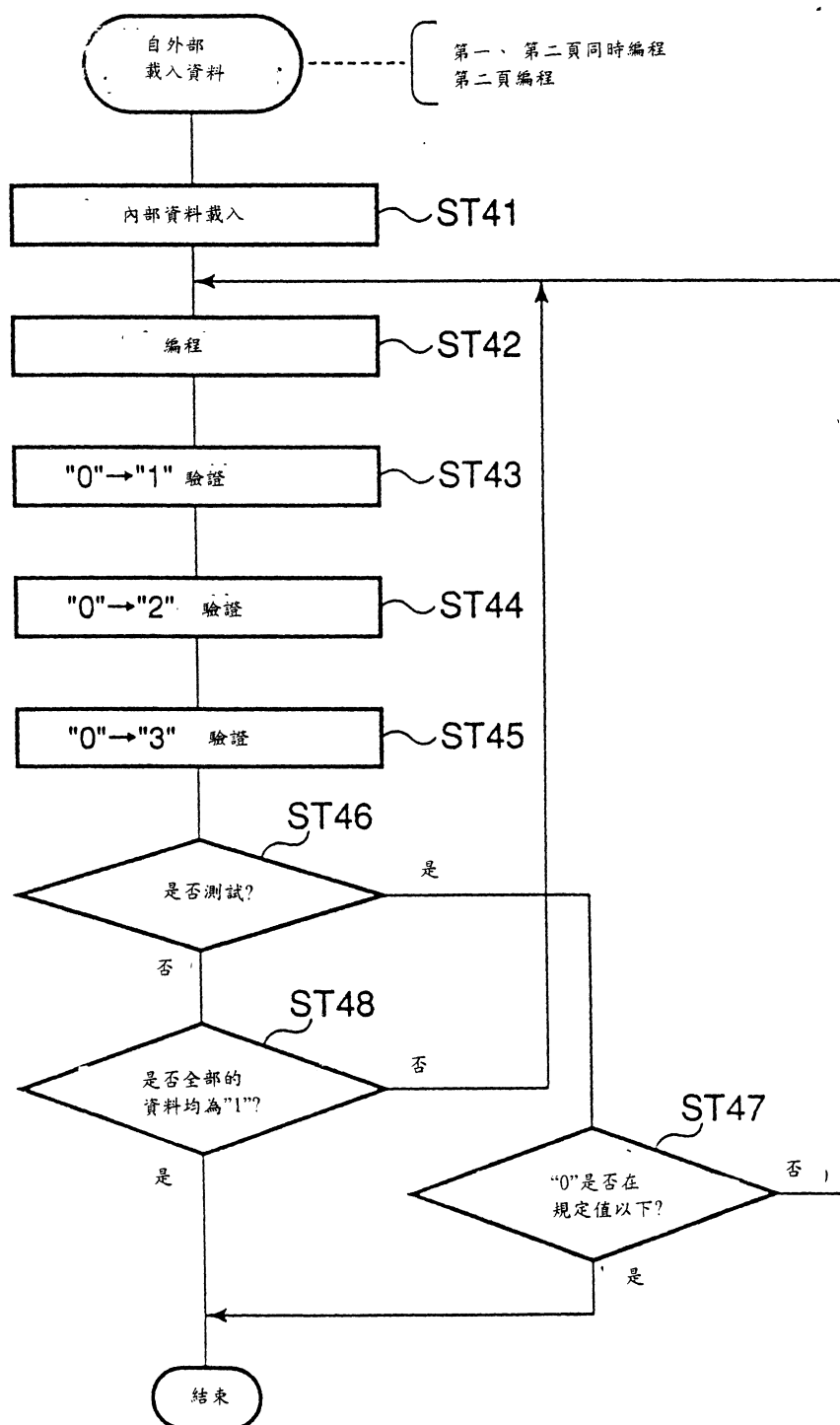


圖 46

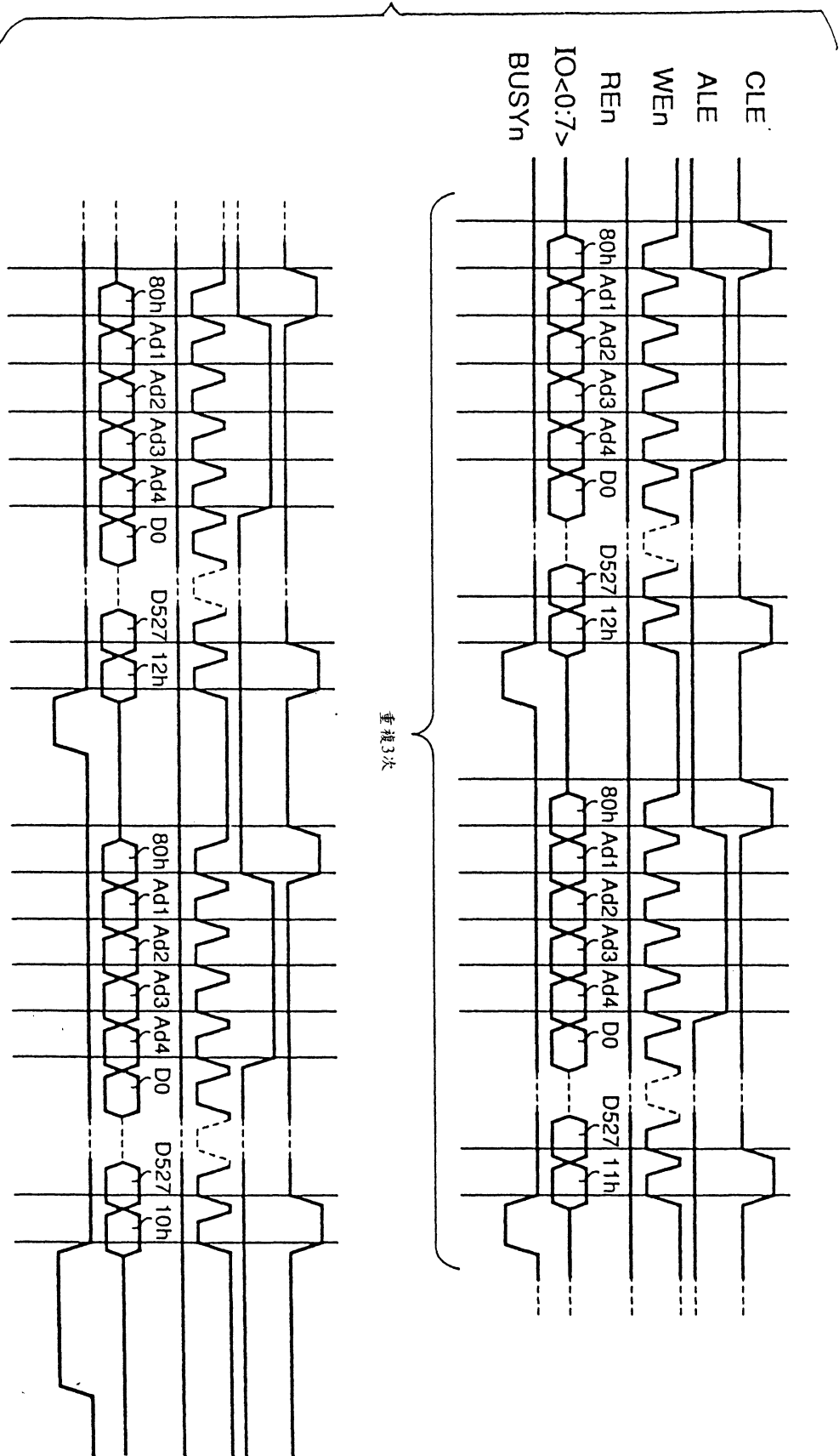


圖 47

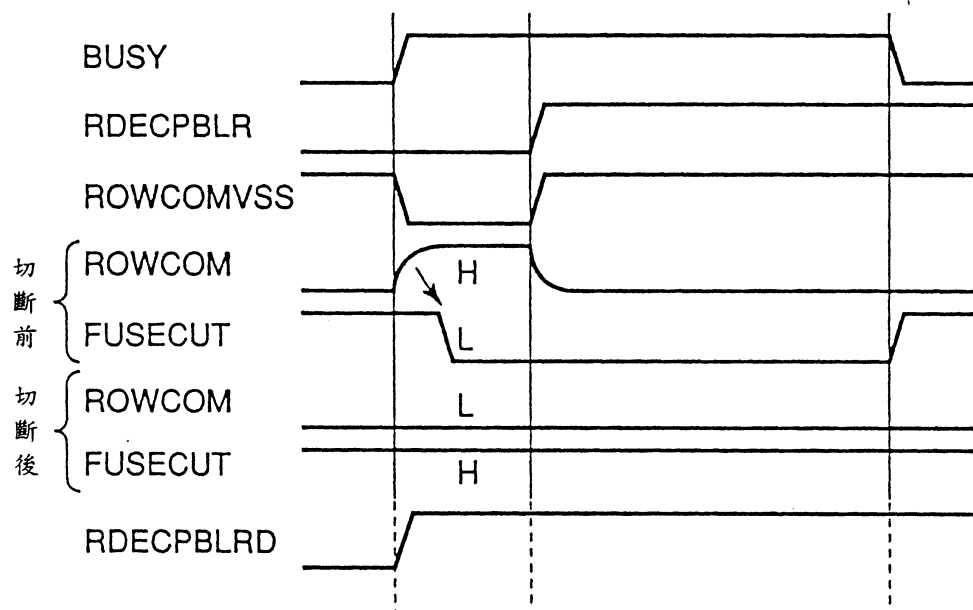
91 年 11 月 19 日 修正  
補充

圖 13

91.11.18  
 修正  
 圖元

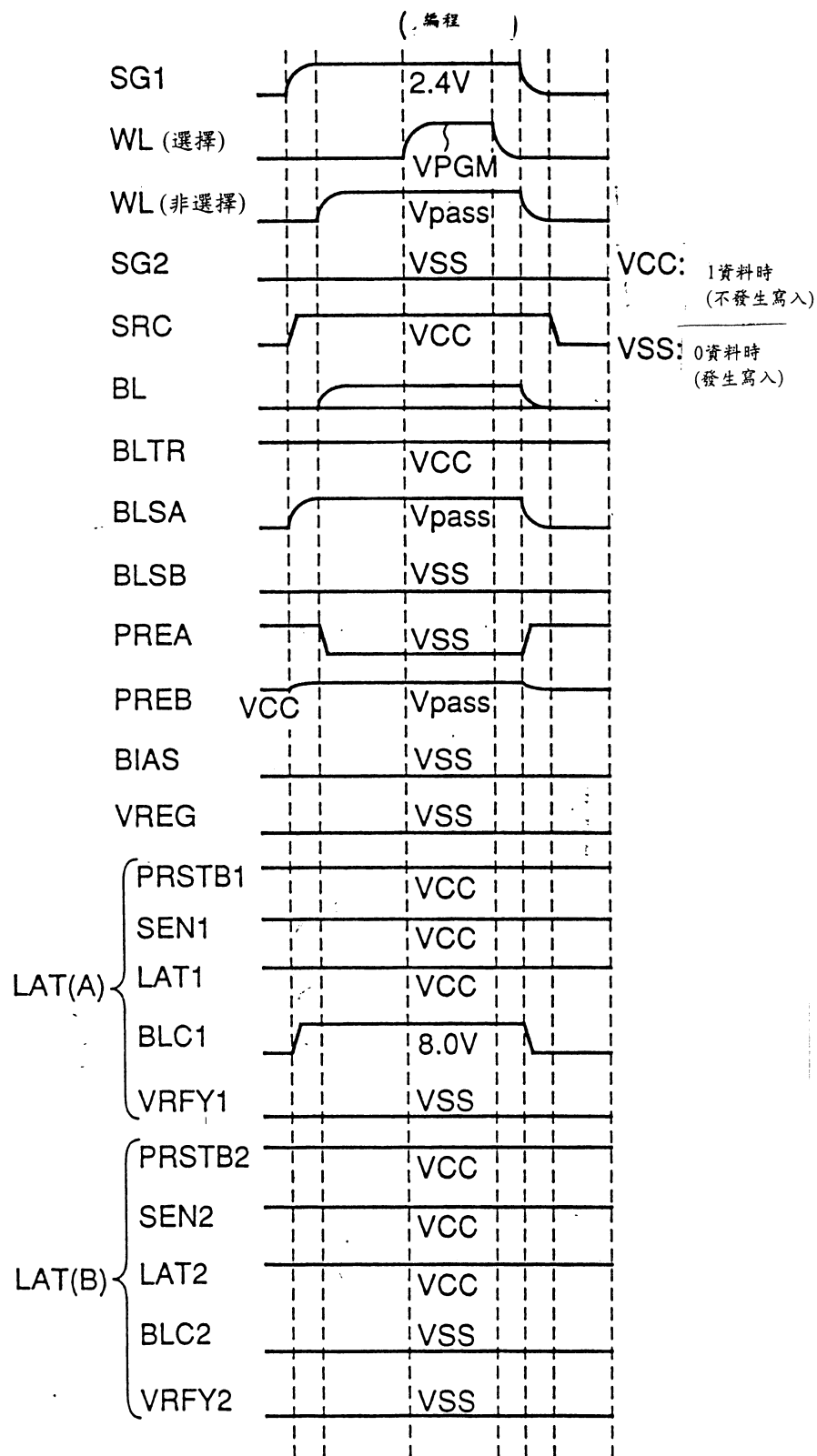


圖 23

91 11 19

編程驗證(第一頁)

| 狀態 0               | 狀態 0→1               |                      | 記憶體單元的資料                    |        |
|--------------------|----------------------|----------------------|-----------------------------|--------|
| inhibit<br>A B bit | Write(OK)<br>A B bit | Write(NG)<br>A B bit |                             |        |
| H                  | L                    | L                    | 資料載入 (A中 write→L、inhibit→H) |        |
| H L                | L H                  | L L                  | 以b'讀出                       | 0→1    |
| H H                | L H                  | L L                  | A為H時的位元線H(VRFY1)            | Verify |
| H H                | H H                  | L L                  | 將位元線的電位鎖存至A                 |        |

(inhibit=非寫入、A=LAT(A)、B=LAT(B))

圖 24

a1 11 19

(第一頁驗證讀出, 第二頁第二驗證讀出)

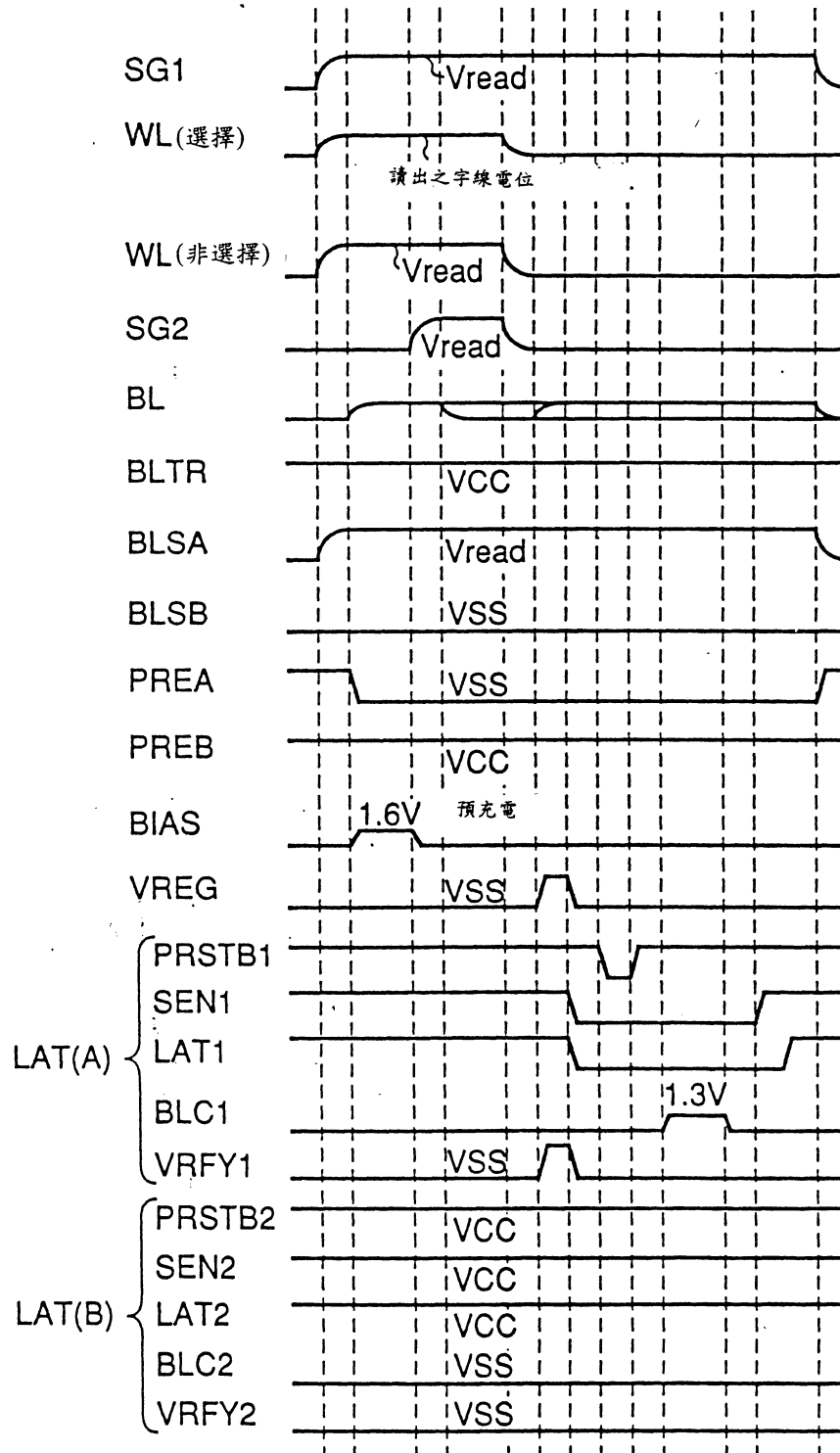


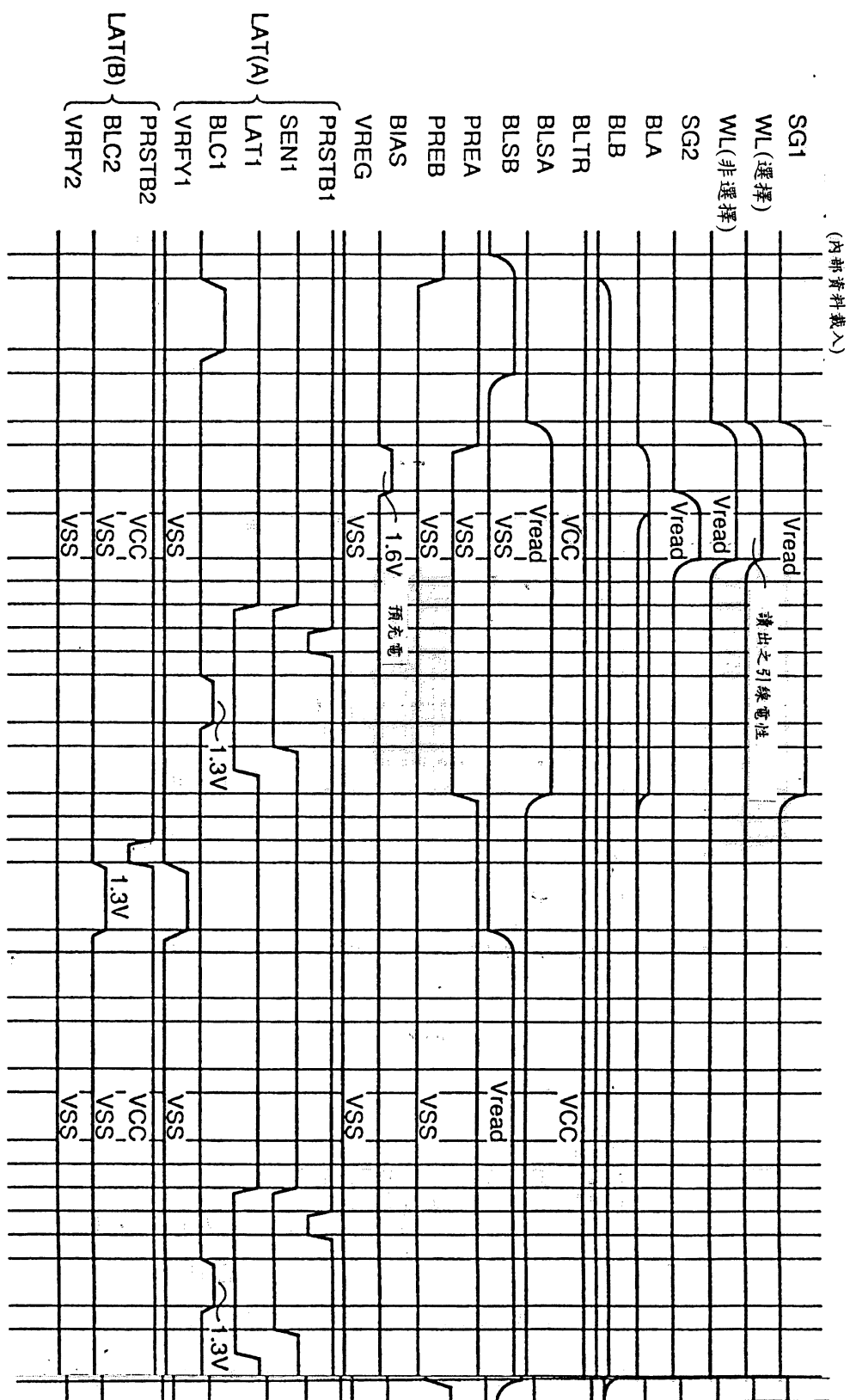
圖 25

| 狀態 0                                         | 狀態 0→3                                             | 狀態 0→1                                             | 狀態 0→2                                             |                             | 記憶體單元的資料                                                    |        |
|----------------------------------------------|----------------------------------------------------|----------------------------------------------------|----------------------------------------------------|-----------------------------|-------------------------------------------------------------|--------|
| inhibit<br>A B bit NS bit                    | Write(OK)<br>A B bit NS bit                        | Write(NG)<br>A B bit NS bit                        | inhibit<br>A B bit NS bit                          | Write(OK)<br>A B bit NS bit | Write(NG)<br>A B bit NS bit                                 |        |
| H<br>H<br>H                                  | L<br>L<br>L                                        | H<br>H<br>H                                        | L<br>L<br>L                                        |                             | 資料載入(將A轉入非選擇位元線)                                            | 外部資料載入 |
| H L<br>L L<br>L L<br>L H L<br>L H L<br>H H L | L L L<br>L L L<br>L H L<br>L H L<br>L H L<br>L L L | H H H<br>H H H<br>H H H<br>H H H<br>H H H<br>H H H | L H L<br>L H L<br>L H L<br>L H L<br>L H L<br>L L L |                             | 以a讀出<br>將位元線電位放入A<br>將B重設成H<br>A為H時，使B自H→L<br>將非選擇位元線的電位送回A | 內部資料載入 |

|    |       |  |    |    |                  |        |
|----|-------|--|----|----|------------------|--------|
| HH | LH    |  | HL | LL | 以B讀出             | 1→2    |
| HH | LH/LH |  | HL | LL | B為H時的位元線(VREFY2) | Verify |
| HL | LH    |  | HL | LL | A為H時的位元線(VREFY1) |        |
| HL | LH    |  | HL | LL | 將位元線電位放入A        |        |
| HL | LH    |  | HL | LL |                  |        |

|     |     |     |     |     |  |                                          |               |
|-----|-----|-----|-----|-----|--|------------------------------------------|---------------|
| HH  | LH  | LH  | HL  | LL  |  | 以c'猜出<br>A為H時的位元線H(VREFYI)<br>將位元線的電位放入A | 0→3<br>Verify |
| HHL | LHH | LHL | HLL | LLL |  |                                          |               |
| HHH | LHH | LHL | HLH | LLL |  |                                          |               |
| HHH | HHH | LHL | HLH | LLL |  |                                          |               |
| HHH | HHH | HLH | HLH | LLL |  |                                          |               |

(inhibit=非寫入、Nsbite=非選擇位元線、A=LAT(A)、B=LAT(B))



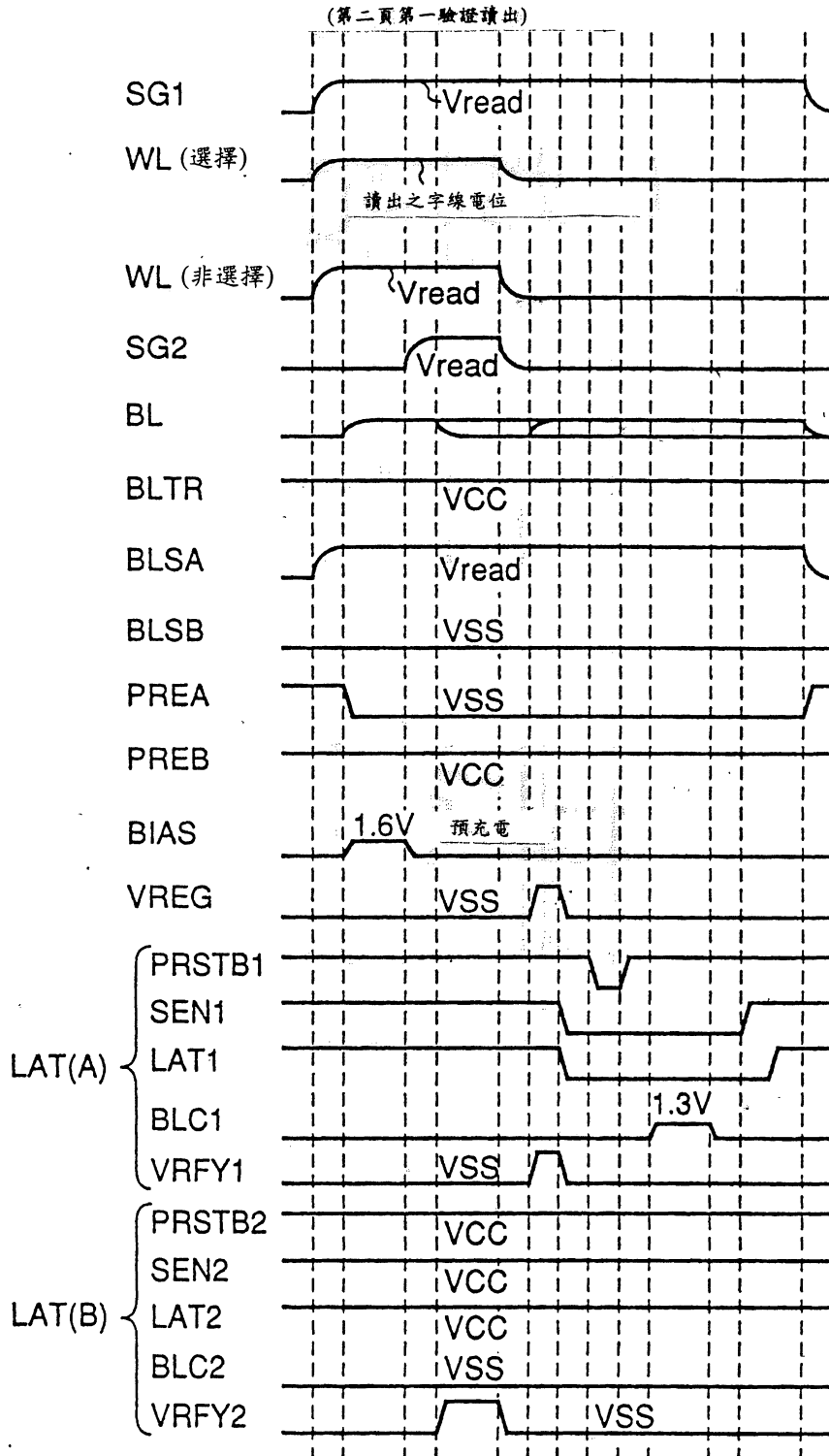
91年11月19日 修正  
補充

圖 28

91.11.19

讀出(第二頁)

| 狀態 0,1  | 狀態 2,3  |             |       |
|---------|---------|-------------|-------|
| A B bit | A B bit |             |       |
| L       | H       | 以b讀出        | 第二頁讀出 |
| L L     | H H     | 將位元線的電位鎖存至A |       |

(A=LAT(A)、B=LAT(B))

圖 32

讀出(第一頁)

| 狀態 0    | 狀態 1,2  | 狀態 3    |                 |      |
|---------|---------|---------|-----------------|------|
| A B bit | A B bit | A B bit |                 |      |
| L       | L       | H       | 以c讀出            | 第一讀出 |
| L L     | L L     | H H     | 將位線的電位鎖存至LAT(A) |      |

圖 33A

|     |     |     |                      |      |
|-----|-----|-----|----------------------|------|
| L L | L H | H   | 以a讀出                 | 第二讀出 |
| L L | L H | H L | LAT(A)為H時的位元線(VRFY1) |      |
| L L | H H | L L | 將位元線的電位鎖存至A          |      |

圖 33B

(A=LAT(A)、B=LAT(B))

91.11.19

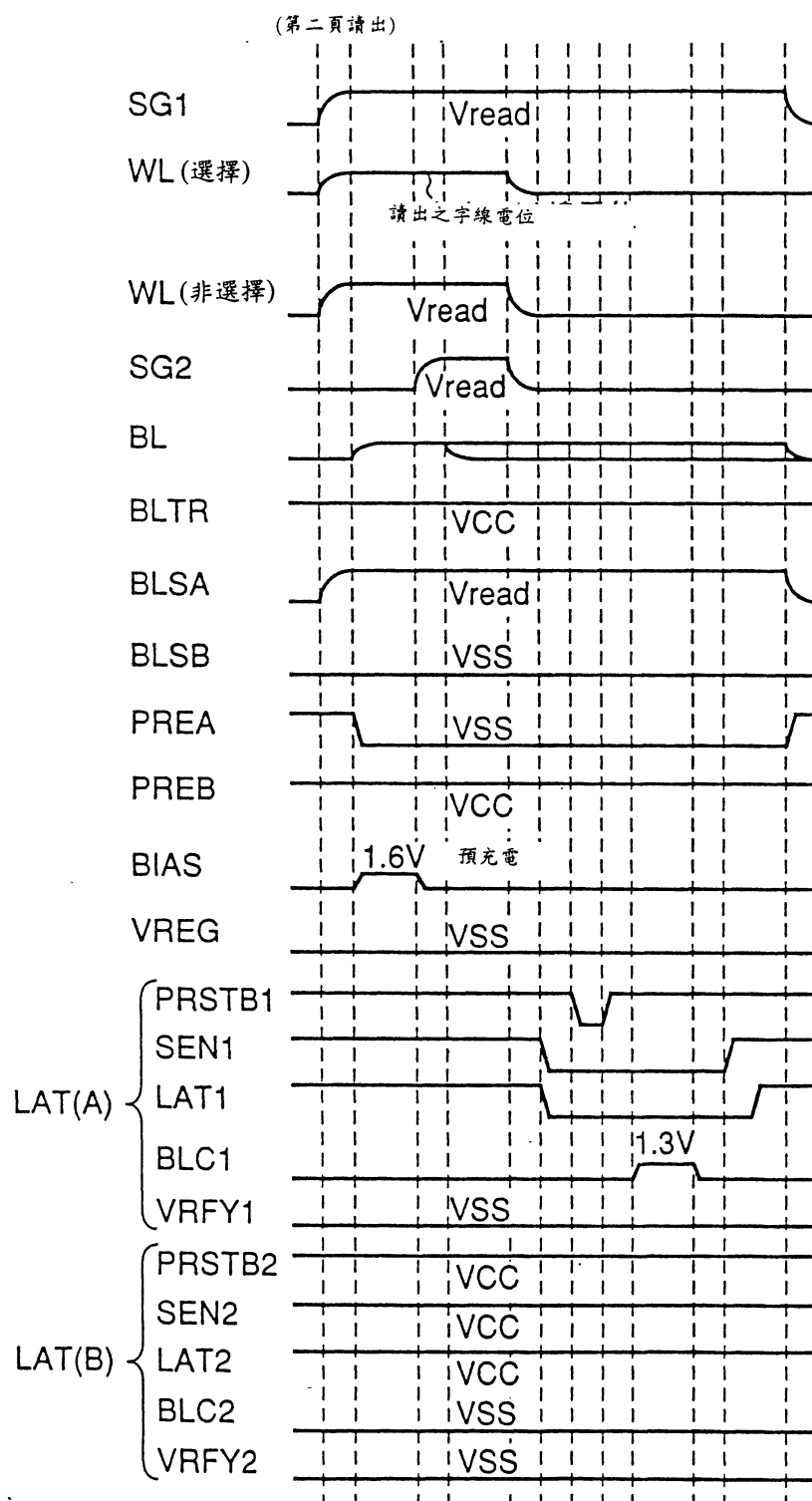


圖 34

35

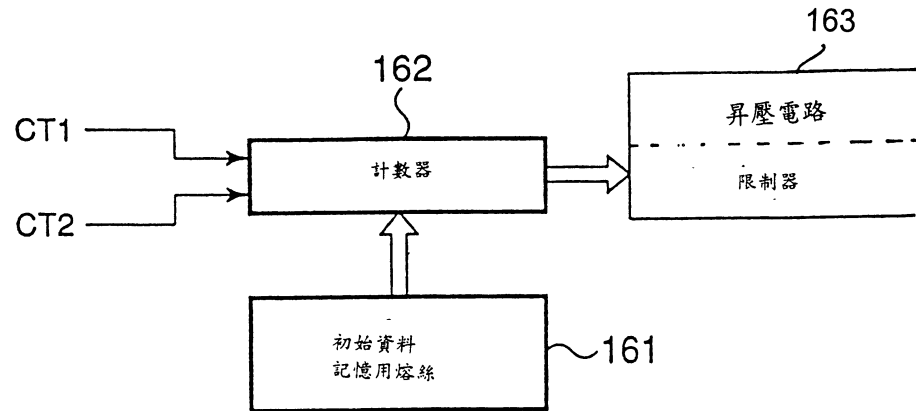
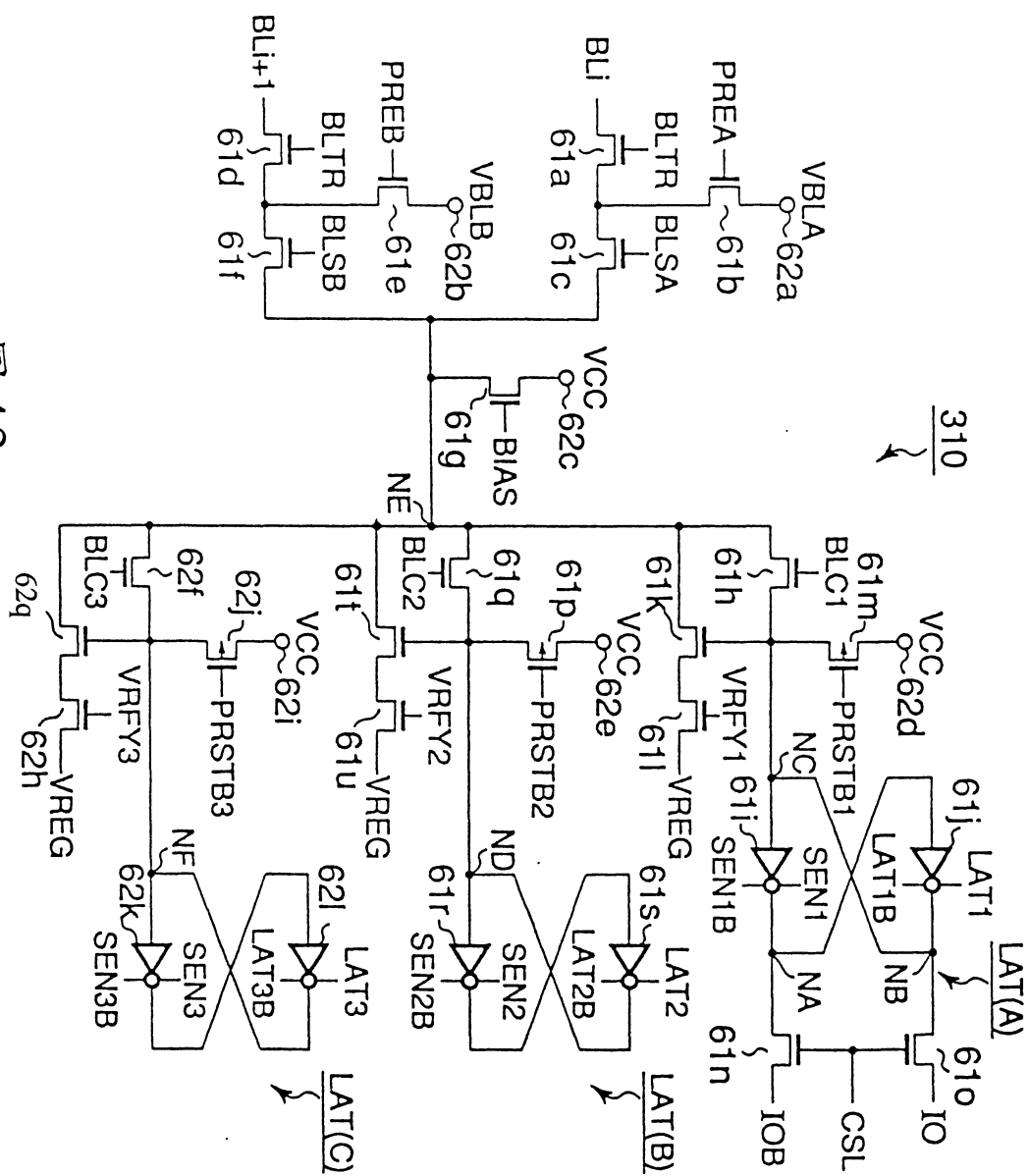


圖 41

91.11.19



42 圖

91.11.19

編程驗證(第一、第二頁同時)

| 狀態 0                        |                               | 狀態 0→1                        |                               | 狀態 0→2                        |                               | 狀態 0→3                        |                           | 記憶體單元的資料 |  |
|-----------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|-------------------------------|---------------------------|----------|--|
| inhibit<br>A B C bit NS bit | Write(OK)<br>A B C bit NS bit | Write(NG)<br>A B C bit NS bit | Write(OK)<br>A B C bit NS bit | Write(NG)<br>A B C bit NS bit | Write(OK)<br>A B C bit NS bit | Write(NG)<br>A B C bit NS bit |                           |          |  |
| H                           | L                             |                               | L                             |                               | H                             |                               | 資料下載(A←write→L、inhibit→H) |          |  |
| HH                          | LH                            |                               | LH                            |                               | HH                            |                               | 將B重設成H                    |          |  |
| HL                          | LH                            |                               | LH                            |                               | HL                            |                               | A為H時使B自H→L                |          |  |

(inhibit=非寫入、Nsbit=非選擇位元線、A=LAT(A)、B=LAT(B)、C=LAT(C))

圖 44

圖 45A

圖 45B

45C 圖圖 45D

(imhibit=非寫入、Nsbif=非選擇位元線、A=LAT(A)、B=LAT(B)、C=LAT(C))