

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2009年7月9日 (09.07.2009)

PCT

(10) 国際公開番号
WO 2009/084239 A1

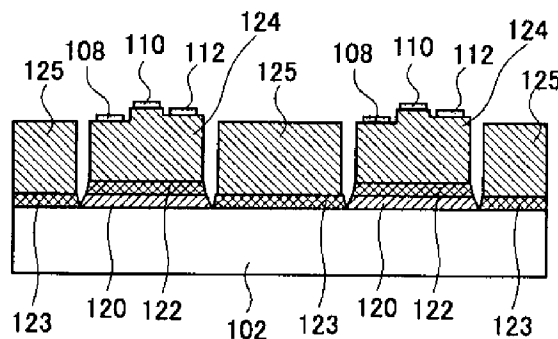
- (51) 国際特許分類:
H01L 21/20 (2006.01) H01L 29/737 (2006.01)
H01L 21/331 (2006.01)
- (21) 国際出願番号: PCT/JP2008/004038
- (22) 国際出願日: 2008年12月26日 (26.12.2008)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2007-341295
2007年12月28日 (28.12.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 住友化学株式会社 (SUMITOMO CHEMICAL COMPANY, LIMITED) [JP/JP]; 〒1048260 東京都中央区新川二丁目2番1号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 高田朋幸 (TAKADA, Tomoyuki) [JP/JP]; 〒3050045 茨城県つくば市梅園2-13-1-4-102 Ibaraki (JP). 山中貞則 (YAMANAKA, Sadanori) [JP/JP]; 〒3050005 茨城県つくば市天久保2-13-10-305 Ibaraki (JP). 秦雅彦 (HATA, Masahiko) [JP/JP]; 〒3000845 茨城県土浦市乙戸南2-20-6 Ibaraki (JP).
- (74) 代理人: 林茂則 (HAYASHI, Shigenori); 〒1631105 東京都新宿区西新宿6-22-1 新宿スクエアタワー5階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY,

[続葉有]

(54) Title: SEMICONDUCTOR SUBSTRATE, METHOD FOR PRODUCING SEMICONDUCTOR SUBSTRATE, AND ELECTRONIC DEVICE

(54) 発明の名称: 半導体基板、半導体基板の製造方法および電子デバイス

[図2]



101

(57) Abstract: A high-quality GaAs crystal thin film is obtained by using a low-cost Si substrate having excellent heat dissipation characteristics. Specifically disclosed is a semiconductor substrate comprising an Si substrate, a Ge layer crystal-grown on the substrate and having an isolated island shape, a buffer layer crystal-grown on the Ge layer and composed of a P-containing group 3-5 compound semiconductor layer, and a functional layer crystal-grown on the buffer layer. The Ge layer is formed into an island shape which does not exceed twice the distance which crystal defects move when annealed at the annealing temperature and in the annealing time. Alternatively, the Ge layer is formed into an island shape which does not cause separation due to a stress caused by a difference in thermal expansion coefficient between the Ge layer and the Si substrate when annealed at the annealing temperature.

[続葉有]

WO 2009/084239 A1



KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(57) 要約: 安価な、また、放熱特性に優れたSi基板を用いて、良質なGaAs系の結晶薄膜を得る。Siの基板と、基板上に結晶成長され、孤立した島状に形成されたGe層と、Ge層の上に結晶成長され、Pを含む3-5族化合物半導体層からなるバッファ層と、バッファ層の上に結晶成長された機能層と、を備える半導体基板を提供する。Ge層は、アニールした場合に、アニールの温度および時間において結晶欠陥が移動する距離の2倍を越えない大きさの島状に形成する。あるいはGe層は、アニールした場合に、アニールの温度において基板であるSiとの熱膨張係数の相違によるストレスが剥離を発生させない大きさの島状に形成する。

明 細 書

半導体基板、半導体基板の製造方法および電子デバイス

技術分野

- [0001] 本発明は、半導体基板、半導体基板の製造方法および電子デバイスに関する。本発明は、特に、安価なシリコン基板上に結晶性の優れた結晶薄膜を形成した半導体基板、半導体基板の製造方法および電子デバイスに関する。

背景技術

- [0002] GaAs系等の化合物半導体デバイスでは、ヘテロ接合を利用して、各種の高機能電子デバイスが開発されている。高機能電子デバイスでは、結晶性の良否がデバイス特性を左右するから、良質な結晶薄膜が求められている。GaAs系デバイスの薄膜結晶成長では、ヘテロ界面での格子整合等の要請から、基板としてGaAsあるいはGaAsと格子定数が極めて近いGe等が選択される。

- [0003] なお、非特許文献1には、Si基板上に高品質のGeエピタキシャル成長層（以下、Geエピ層という場合がある。）を形成する技術が記載されている。当該技術では、Geエピ層をSi基板上に領域を限定して形成した後、Geエピ層にサイクル熱アニールを施して、平均転位密度が $2.3 \times 10^6 \text{ cm}^{-2}$ になることが記載されている。

非特許文献1: Hsin-Chiao Luan et. al., 「High-quality Ge epilayers on Si with low threading-dislocation densities」、APPLIED PHYSICS LETTERS、VOLUME 75, NUMBER 19、8 NOVEMBER 1999.

発明の開示

発明が解決しようとする課題

- [0004] GaAs系の電子デバイスを製造する場合、格子整合を考慮して、前記した通りGaAs基板あるいはGe基板等のGaAsに格子整合させることが

可能な基板を選択することになる。しかし、GaAs基板あるいはGe基板等のGaAsに格子整合させることが可能な基板は高価であり、デバイスのコストが上昇する。またこれら基板は、放熱特性が十分でなく、余裕のある熱設計のためにはデバイスの形成密度を抑制する、あるいは放熱管理が可能な範囲でデバイスを使用する等の制限を受ける可能性がある。よって、安価な、また、放熱特性に優れたSi基板を用いて製造することができ、良質なGaAs系の結晶薄膜を有する半導体基板が求められる。

課題を解決するための手段

- [0005] 上記課題を解決するために、本発明の第1の形態においては、Siの基板と、基板上に結晶成長され、孤立した島状に形成されたGe層と、Ge層の上に結晶成長され、Pを含む3-5族化合物半導体層からなるバッファ層と、バッファ層の上に結晶成長された機能層と、を備える半導体基板を提供する。また本発明の第2の形態においては、Siの基板と、基板上に、500℃以下の温度で結晶成長され、孤立した島状に形成されたGaAs層からなるバッファ層と、バッファ層の上に結晶成長された機能層と、を備える半導体基板を提供する。さらに本発明の第3の形態においては、Siの基板と、基板上に結晶成長され、孤立した島状に形成された機能層と、を備え、基板の表面は、Pを含むガスにより表面処理された、半導体基板を提供する。
- [0006] 前記第1の形態において、Ge層は、アニールした場合に、アニールの温度および時間において結晶欠陥が移動する距離の2倍を越えない大きさの島状に形成されてよい。あるいはGe層は、アニールした場合に、アニールの温度において基板であるSiとの熱膨張係数の相違によるストレスが欠陥を発生させない大きさの島状に形成されてよい。Ge層は、面積が1mm²以下の島状に形成でき、Ge層は、結晶欠陥が移動できる温度および時間でアニールされてよく、アニールは、複数回繰り返してよい。機能層は、Geに格子整合または擬格子整合する、3-5族化合物層または2-6族化合物層であってよく、たとえば機能層は、Geに格子整合または擬格子整合する、3-5族化合物層であり、3族元素としてAl、Ga、Inのうち少なくとも

1つを含み、5族元素としてN、P、As、Sbのうち少なくとも1つを含んでよい。

[0007] 本発明の第2の形態においては、Siの基板と、前記基板の上に、互いに離間して形成された複数のGe層と、前記複数のGe層の各々の上に形成されたバッファ層と、前記バッファ層の上に形成された機能層とを含む半導体基板を提供する。

[0008] 上記半導体基板において、前記バッファ層は、前記複数のGe層の各々に格子整合または擬格子整合し、前記機能層は、前記バッファ層に格子整合または擬格子整合してよい。上記半導体基板において、前記バッファ層は、Pを含む3-5族化合物半導体層を含んでよい。上記半導体基板において、前記複数のGe層の各々は、水素を含む雰囲気中でアニールされてなるものであってよい。上記半導体基板において、前記複数のGe層の各々の前記機能層に対向する面は、Pを含むガスにより表面処理されていてよい。

[0009] 上記半導体基板において、前記複数のGe層の各々の上面の面積は、 1 m^2 以下であってよい。上記半導体基板において、前記複数のGe層の各々の上面の面積は、 $1600\text{ }\mu\text{ m}^2$ 以下であってよい。上記半導体基板において、前記複数のGe層の各々の上面の面積は、 $900\text{ }\mu\text{ m}^2$ 以下であってよい。上記半導体基板において、前記複数のGe層の各々の上面は、長方形であり、前記長方形の長辺は、 $80\text{ }\mu\text{ m}$ 以下であってよい。前記複数のGe層の各々の上面は、長方形であり、前記長方形の長辺は、 $40\text{ }\mu\text{ m}$ 以下であってよい。

[0010] 上記半導体基板において、前記基板の主面が(100)面であり、前記複数のGe層の各々の上面は、正方形または長方形であり、前記正方形または前記長方形の少なくとも1辺の方向は、前記主面における $\langle 010 \rangle$ 方向、 $\langle 0\bar{1}0 \rangle$ 方向、 $\langle 001 \rangle$ 方向および $\langle 00\bar{1} \rangle$ 方向からなる群から選択された何れか一つの方向と実質的に平行であってよい。上記半導体基板において、前記基板の主面が(111)面であり、前記複数のGe層の各々の上面は、六角形であり、前記六角形の少なくとも1辺の方向は、前記主面

における $\langle 1-10 \rangle$ 方向、 $\langle -110 \rangle$ 方向、 $\langle 0-11 \rangle$ 方向、 $\langle 01-1 \rangle$ 方向、 $\langle 10-1 \rangle$ 方向および $\langle -101 \rangle$ 方向からなる群から選択された何れか一つの方向と実質的に平行であってよい。なお、結晶の面または方向を示すミラー指数では、指数がマイナスになる場合に、数字の上にバーを付す表記法が一般的である。しかし、指数がマイナスになる場合、本明細書では、便宜的にマイナス数で表記する。たとえば、単位格子のa軸、b軸およびc軸の各軸と、1、-2および3で交わる面は、 $(1-23)$ 面と表記する。方向のミラー指数についても同様である。

[0011] 本発明の第3の形態においては、Siの基板と、前記基板の上に、互いに離間して形成された複数のバッファ層であって、GaAs層を含む複数のバッファ層と、前記複数のバッファ層の各々の上に形成された機能層と、を含む半導体基板を提供する。上記半導体基板において、前記機能層は、前記複数のバッファ層の各々に格子整合または擬格子整合してよい。上記半導体基板において、前記GaAs層は、600℃以下の温度で結晶成長されるものであってよい。

[0012] 本発明の第4の形態においては、Siの基板と、前記基板の上に、互いに離間して形成された複数の機能層とを含み、前記基板の表面は、前記機能層の形成前に、Pを含むガスにより表面処理されている半導体基板を提供する。上記半導体基板において、前記機能層は、3-5族化合物層または2-6族化合物層であってよい。上記半導体基板において、前記機能層は、3-5族化合物層であり、3族元素としてAl、GaおよびInからなる群から選択された1以上の元素を含み、5族元素としてN、P、AsおよびSbからなる群から選択された1以上の元素を含んでよい。上記半導体基板において、前記機能層の算術平均粗さは、0.02 μm以下であってよい。

[0013] 本発明の第5の形態においては、Siの基板の上に、Ge層を結晶成長する段階と、Ge層をパターンニングして、孤立した島状のGe層を形成する段階と、Ge層の上に、Pを含む3-5族化合物半導体層からなるバッファ層を結晶成長する段階と、バッファ層の上に機能層を結晶成長する段階と、を

備えた半導体基板の製造方法を提供する。第5の形態において、島状のGe層を、結晶欠陥が移動できる温度および時間でアニールする段階をさらに備えてよく、アニールを、複数回繰り返す段階をさらに備えてよい。

[0014] 本発明の第6の形態においては、Siの基板の上に、互いに離間した複数のGe層を形成する段階と、前記複数のGe層の各々の上に、バッファ層を形成する段階と、前記バッファ層の上に、機能層を形成する段階と、を含む半導体基板の製造方法を提供する。上記半導体基板の製造方法において、前記バッファ層を形成する段階において、前記バッファ層を前記Ge層に格子整合または擬格子整合させ、前記機能層を形成する段階において、前記機能層を前記バッファ層に格子整合または擬格子整合させてよい。上記半導体基板の製造方法において、前記バッファ層を形成する段階は、Pを含む3-5族化合物半導体層を形成する段階を含んでよい。上記半導体基板の製造方法において、前記複数のGe層の各々を、結晶欠陥が移動できる温度および時間でアニールする段階をさらに含んでよい。上記半導体基板の製造方法において、前記アニールする段階は、前記複数のGe層の各々を、680℃以上900℃未満の温度でアニールしてよい。上記半導体基板の製造方法において、前記アニールする段階は、前記複数のGe層の各々を、水素を含む雰囲気中でアニールしてよい。上記半導体基板の製造方法において、前記アニールする段階を、複数含んでよい。

[0015] 本発明の第7の形態においては、Siの基板の上に、互いに離間した複数のバッファ層であってGaAs層を含む複数のバッファ層を形成する段階と、前記複数のバッファ層の各々の上に、機能層を形成する段階と、を含む半導体基板の製造方法を提供する。上記半導体基板の製造方法において、前記GaAs層は、600℃以下の温度で結晶成長されてもよい。また、本発明の第8の形態においては、Siの基板の表面を、Pを含むガスにより表面処理する段階と、前記基板の上に、互いに離間した複数の機能層を形成する段階と、を含む半導体基板の製造方法を提供する。

[0016] 上記半導体基板の製造方法において、前記機能層は、3-5族化合物層で

あり、3族元素としてAl、GaおよびInからなる群から選択された1以上の元素を含み、5族元素としてN、P、AsおよびSbからなる群から選択された1以上の元素を含み、前記機能層を形成する段階は、前記機能層を、1nm/min以上、300nm/min以下の成長速度で結晶成長させてもよい。

[0017] 本発明の第9の形態においては、Siの基板と、基板上に結晶成長され、孤立した島状に形成されたGe層と、Ge層の上に結晶成長され、Pを含む3-5族化合物半導体層からなるバッファ層と、バッファ層の上に結晶成長された機能層と、機能層に形成された電子素子と、を備える電子デバイスを提供する。第9の形態において、電子素子は、ヘテロジャンクションバイポーラトランジスタであってよく、電子素子は、島状のGe層ごとに一つ形成されてよい。電子素子が、相互に接続されてよく、電子素子が、並列に接続されてよい。島状のGe層は、基板の上に複数形成され、複数の島状のGe層は、等間隔に配置されてよい。

[0018] 本発明の第10の形態においては、Siの基板と、前記基板の上に、互いに離間して形成された複数のGe層と、前記複数のGe層の各々の上に形成されたバッファ層と、前記バッファ層の上に形成された機能層と、前記機能層に形成された電子素子と、を含む電子デバイスを提供する。上記電子デバイスにおいて、前記バッファ層は、前記複数のGe層の各々に格子整合または擬格子整合され、前記機能層は、前記バッファ層に格子整合または擬格子整合されていてもよい。上記電子デバイスにおいて、前記バッファ層は、Pを含む3-5族化合物半導体層を含んでよい。上記電子デバイスにおいて、前記電子素子は、前記Ge層ごとに一つずつ形成されてよい。上記電子デバイスにおいて、前記複数のGe層の各々は、等間隔に配置されてよい。

[0019] 本発明の第11の形態においては、Siの基板と、前記基板の上に、互いに離間して形成された複数のバッファ層であって、GaAs層を含む複数のバッファ層と、前記複数のバッファ層の各々の上に形成された機能層と、前

記機能層に形成された電子素子と、を含む電子デバイスを提供する。上記電子デバイスにおいて、前記機能層は、前記複数のバッファ層の各々に格子整合または擬格子整合されていてよい。上記電子デバイスにおいて、前記GaAs層は、600℃以下の温度で結晶成長されていてよい。上記電子デバイスにおいて、前記電子素子は、前記バッファ層ごとに一つずつ形成されていてよい。上記電子デバイスにおいて、前記複数のバッファ層の各々は、等間隔に配置されていてよい。

[0020] 本発明の第12の形態においては、Siの基板と、前記基板の上に、互いに離間して形成された複数の機能層と、前記機能層に形成された電子素子と、を含み、前記基板の表面は、前記機能層の形成前に、Pを含むガスにより表面処理されている、電子デバイスを提供する。上記電子デバイスにおいて、前記電子素子は、前記機能層ごとに一つずつ形成されていてよい。上記電子デバイスにおいて、前記複数の機能層の各々は、等間隔に配置されていてよい。

[0021] 上記電子デバイスにおいて、前記電子素子は、ヘテロジャンクションバイポーラトランジスタであってもよい。上記電子デバイスにおいて、前記電子素子が、相互に接続されていてよい。上記電子デバイスにおいて、前記電子素子が、並列に接続されていてよい。

図面の簡単な説明

[0022] [図1]本実施形態の半導体基板101の平面例を示す。

[図2]半導体基板101の断面例を、島状のGe層120に形成されるHBTと共に示す。

[図3]半導体基板101の製造過程における断面例を示す。

[図4]半導体基板101の製造過程における断面例を示す。

[図5]半導体基板101の製造過程における断面例を示す。

[図6]半導体基板101の製造過程における断面例を示す。

[図7]半導体基板101の製造過程における断面例を示す。

[図8]他の実施形態の半導体基板201における断面例を示す。

- [図9]半導体基板201の製造過程における断面例を示す。
- [図10]半導体基板201の製造過程における断面例を示す。
- [図11]さらに他の実施形態の半導体基板301における断面例を示す。
- [図12]半導体基板301の製造過程における断面例を示す。
- [図13]アニール処理をしていないGe層の断面形状を示す。
- [図14]700℃でアニール処理をしたGe層の断面形状を示す。
- [図15]800℃でアニール処理をしたGe層の断面形状を示す。
- [図16]850℃でアニール処理をしたGe層の断面形状を示す。
- [図17]900℃でアニール処理をしたGe層の断面形状を示す。
- [図18]Siウェハの<010>方向に平行な辺を有する開口の内部に形成されたGaAs結晶の電子顕微鏡写真を示す。
- [図19]Siウェハの<010>方向に平行な辺を有する開口の内部に形成されたGaAs結晶の電子顕微鏡写真を示す。
- [図20]Siウェハの<011>方向に平行な辺を有する開口の内部に形成されたGaAs結晶の電子顕微鏡写真を示す。
- [図21]開口の内部に形成されたGaAs結晶の膜厚を示す。
- [図22]HBT素子の電気特性と、Ge層の上面の面積との関係を示す。
- [図23]HBT素子のレーザー顕微鏡像を示す。
- [図24]3つのHBT素子を含む電子素子のレーザー顕微鏡像を示す。

符号の説明

- [0023] 101 半導体基板、102 Siウェハ、108 コレクタ電極、110 エミッタ電極、112 ベース電極、120 Ge層、122 バッファ層、123 InGaP層、124 素子形成層、125 付随層、130 Ge膜、201 半導体基板、202 バッファ層、204 GaAs膜、301 半導体基板

発明を実施するための最良の形態

- [0024] 以下、発明の実施の形態を通じて本発明の一側面を説明するが、以下の実施形態は請求の範囲にかかる発明を限定するものではなく、また実施形態の

中で説明されている特徴の組み合わせの全てが発明の解決手段に必須であるとは限らない。図1は、本実施形態の半導体基板101の平面例を示す。本実施形態の半導体基板101は、Siウェハ102上に島状のGe層120を備える。島状のGe層120は、素子が形成される素子形成領域になる。島状のGe層120は、図示するとおり、Siウェハ102の表面に複数形成され、等間隔に配置される。

[0025] 本実施形態の半導体基板101では、図1に示す島状のGe層120に電子素子としてHBT（ヘテロジャンクション・バイポーラ・トランジスタ）を形成する例を示す。なお、HBTとして例示する電子素子は、島状のGe層120ごとに一つ形成されてよい。電子素子は、相互に接続されてよく、また、並列に接続されてもよい。

[0026] Siウェハ102は、Siの基板の一例であってよい。Siウェハ102は、市販のSiウェハを利用できる。

[0027] なお、Siウェハ102は、不純物を含まない高抵抗ウェハであってよく、p型またはn型の不純物を含む中抵抗または低抵抗のウェハであってよい。Ge層120は、不純物を含まないGeであってよく、p型またはn型の不純物を含んでもよい。Siウェハ102の表面は、基板の主面の一例であってよい。

[0028] 図2は、半導体基板101の断面例を、島状のGe層120上に形成されるHBTと共に示す。半導体基板101は、Siウェハ102、Ge層120、バッファ層122、素子形成層124を備える。素子形成層124には、電子素子としてHBTが形成される。なお、素子形成層124に形成される電子素子として、本実施形態ではHBTを例示するが、これには限られない。たとえば、発光ダイオード、HEMT（高電子移動度トランジスタ）、太陽電池、薄膜センサ等の電子素子が形成されてもよい。

[0029] 素子形成層124の表面には、HBTのコレクタメサ、エミッタメサおよびベースメサが各々形成される。コレクタメサ、エミッタメサおよびベースメサの表面にはコンタクトホールを介してコレクタ電極108、エミッタ電

極 1 1 0 およびベース電極 1 1 2 が形成される。素子形成層 1 2 4 には、H B T のコレクタ層、エミッタ層およびベース層を含む。

[0030] コレクタ層として、キャリア濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 、膜厚 500 nm の $n^+ \text{ GaAs}$ 層と、キャリア濃度が $1.0 \times 10^{16} \text{ cm}^{-3}$ 、膜厚 500 nm の $n^- \text{ GaAs}$ 層と、を基板方向から順に積層した積層膜を例示できる。ベース層として、キャリア濃度が $5.0 \times 10^{19} \text{ cm}^{-3}$ 、膜厚 50 nm の $p^- \text{ GaAs}$ 層が例示できる。エミッタ層として、キャリア濃度が $3.0 \times 10^{17} \text{ cm}^{-3}$ 、膜厚 30 nm の $n^- \text{ InGaP}$ 層と、キャリア濃度が $3.0 \times 10^{18} \text{ cm}^{-3}$ 、膜厚 100 nm の $n^+ \text{ GaAs}$ 層と、キャリア濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 、膜厚 100 nm の $n^+ \text{ InGaAs}$ 層と、を基板方向から順に積層した積層膜を例示できる。

[0031] S i ウェハ 1 0 2 は、前述した通りであってよい。G e 層 1 2 0 は、S i ウェハ 1 0 2 の上に孤立した島状に形成される。G e 層 1 2 0 は、S i ウェハ 1 0 2 の上に結晶成長されて形成される。結晶成長の一例としてエピタキシャル成長が例示できる。G e 層 1 2 0 は、アニールした場合に、アニールの温度および時間において結晶欠陥が移動する距離の 2 倍を越えない大きさの島状に形成される。

[0032] また、G e 層 1 2 0 は、アニールした場合に、アニールの温度において基板である S i ウェハ 1 0 2 との熱膨張係数の相違によるストレスが欠陥を発生させない大きさの島状に形成してもよい。G e 層 1 2 0 は、1 つの島状の G e 層 1 2 0 の面積が 1 mm^2 以下、好ましくは 0.25 mm^2 未満の島状に形成できる。G e 層 1 2 0 は、結晶欠陥が移動できる温度および時間でアニールすることができ、アニールは、複数回繰り返すことができる。

[0033] S i ウェハ 1 0 2 の上に複数の G e 層 1 2 0 が形成される場合、当該複数の G e 層 1 2 0 は、S i ウェハ 1 0 2 の上に、互いに離間して形成されてよい。複数の G e 層 1 2 0 の各々は、互いに等間隔に配置されてよい。なお、本明細書において、G e 層 1 2 0 の「上面」とは、G e 層 1 2 0 の基板側の面と反対側の面を意味する。例えば、G e 層 1 2 0 が S i ウェハ 1 0 2 の表

面と接している場合には、G e 層 1 2 0 の S i ウェハ 1 0 2 の表面と接している側の面を下面と称して、当該下面と反対側の面を上面と称する。また、G e 層 1 2 0 の上面の形状を上面形状と称する場合がある。

[0034] 複数の G e 層 1 2 0 の各々の上面の面積は、 1 mm^2 以下、好ましくは 0.25 mm^2 未満であってよい。上記面積は、 0.01 mm^2 以下であってよく、好ましくは $1600\text{ }\mu\text{ m}^2$ 以下であってよく、より好ましくは $900\text{ }\mu\text{ m}^2$ 以下であってよい。上記面積が 0.01 mm^2 以下である場合には、上記面積が 0.01 mm^2 より大きい場合と比較して、G e 層 1 2 0 のアニール処理に要する時間を短縮できる。また、機能層と基板との熱膨張係数の差が大きい場合には、熱アニール処理によって機能層に局所的な反りが生じやすい。このような場合であっても、上記面積を 0.01 mm^2 以下にすることで、当該反りにより機能層に結晶欠陥が生じることを抑制できる。

[0035] 各々の G e 層 1 2 0 の上面の面積が $1600\text{ }\mu\text{ m}^2$ 以下である場合には、G e 層 1 2 0 の上に形成した機能層を利用して、高機能の電子デバイスを製造できる。上記面積が $900\text{ }\mu\text{ m}^2$ 以下である場合には、上記電子デバイスを歩留まりよく製造できる。

[0036] 一方、各々の G e 層 1 2 0 の上面の面積は、 $25\text{ }\mu\text{ m}^2$ 以上であってよい。上記面積が $25\text{ }\mu\text{ m}^2$ より小さくなると、各々の G e 層 1 2 0 の上に結晶をエピタキシャル成長させる場合に、当該結晶の成長速度が不安定になり、また形状に乱れを生じやすい。さらに上記面積が $25\text{ }\mu\text{ m}^2$ より小さくなると、デバイス加工が難しく、歩留まりを低下させる場合があり、工業的に好ましくない。

[0037] 各々の G e 層 1 2 0 の上面形状が正方形または長方形である場合には、当該上面形状の一辺の長さは $100\text{ }\mu\text{ m}$ 以下であってよく、好ましくは $80\text{ }\mu\text{ m}$ 以下であってよく、より好ましくは $40\text{ }\mu\text{ m}$ 以下であってよく、さらに好ましくは $30\text{ }\mu\text{ m}$ 以下であってよい。なお、上記上面形状が長方形である場合には、上記一辺の長さは長辺の長さであってよい。

[0038] 上記上面形状の一辺の長さが $100\text{ }\mu\text{ m}$ 以下である場合には、上記上面形

状の一辺の長さが $100\mu\text{m}$ より大きい場合と比較して、Ge層120のアニール処理に要する時間を短縮できる。また、機能層と基板との熱膨張係数の差が大きい場合であっても、機能層に結晶欠陥が生じることを抑制できる。

[0039] 上記上面形状の一辺の長さが $80\mu\text{m}$ 以下である場合には、各々のGe層120の上に形成した機能層を用いて、高機能の電子デバイスを形成できる。上記上面形状の一辺の長さが $40\mu\text{m}$ 以下である場合には、上記電子デバイスを歩留まりよく製造できる。

[0040] Ge層120は、例えば、CVD法またはMBE法（分子線エピタキシ法）により形成できる。原料ガスは、 GeH_4 であってよい。Ge層120は、 0.1Pa 以上 100Pa 以下の圧力でCVD法により形成されてよい。Ge層120は、ハロゲン元素を含むガスを原料ガスに含む雰囲気中でCVD法により形成されてよい。ハロゲン元素を含むガスは、塩化水素ガスまたは塩素ガスであってよい。Ge層120は、Siウェハ102の表面にGe膜を形成して、当該Ge膜をパターニングすることで形成してよい。上記Ge膜は、前述の方法で形成してよい。

[0041] Ge層120の上面形状が多角形である場合には、当該多角形の少なくとも1辺の方向は、基板の主面の結晶学的面方位の1つと実質的に平行であってよい。ここで、「実質的に平行」とは、上記多角形の一辺の方向と、基板の結晶学的面方位の1つとが平行からわずかに傾いている場合を含む。上記傾きの大きさは、 5° 以下であってよい。これにより、Ge層120が安定して形成される。また、Ge層120の上に結晶をエピタキシャル成長させる場合には、当該結晶の乱れを抑制できる。これにより、上記結晶が安定して形成される。その結果、結晶が成長しやすい、形状の整った結晶が得られる、または、良質な結晶が得られるといった効果を奏する。

[0042] 基板の主面は、 (100) 面、 (110) 面もしくは (111) 面、または、これらと等価な面であってよい。また、基板の主面は、上記の結晶学的面方位からわずかに傾いていてもよい。即ち、上記基板はオフ角を有してよ

い。上記傾きの大きさは、 10° 以下であってよい。上記傾きの大きさは、好ましくは 0.05° 以上 6° 以下であってよく、より好ましくは 0.3° 以上 6° 以下であってよい。上面形状が正方形または長方形のGe層120を形成する場合には、基板の主面は、 (100) 面もしくは (110) 面またはこれらと等価な面であってよい。これにより、Ge層120およびGe層120の上に形成される結晶が安定化する。また、Ge層120の上に、方形結晶を成長させる場合には、基板の基板の主面は、 (100) 面もしくは (110) 面またはこれらと等価な面であってよい。これにより、上記結晶に4回対称の側面が現れやすくなる。

[0043] 一例として、Siウェハ102の表面の (100) 面に、上面形状が正方形または長方形のGe層120を形成して、当該Ge層120の上に、素子形成層124としてのGaAs結晶を形成する場合について説明する。この場合、Ge層120の上面形状の少なくとも1辺の方向は、Siウェハ102の $\langle 010 \rangle$ 方向、 $\langle 0-10 \rangle$ 方向、 $\langle 001 \rangle$ 方向および $\langle 00-1 \rangle$ 方向からなる群から選択された何れか1つの方向と実質的に平行であってよい。これにより、GaAs結晶の側面に安定な面が現れる。

[0044] 別の例として、Siウェハ102の表面の (111) 面に、上面形状が六角形のGe層120を形成して、当該Ge層120の上に、素子形成層124としてのGaAs結晶を形成する場合を例として説明する。この場合、Ge層120の上面形状の少なくとも1辺の方向は、Siウェハ102の $\langle 1-10 \rangle$ 方向、 $\langle -110 \rangle$ 方向、 $\langle 0-11 \rangle$ 方向、 $\langle 01-1 \rangle$ 方向、 $\langle 10-1 \rangle$ 方向および $\langle -101 \rangle$ 方向からなる群から選択された何れか1つの方向と実質的に平行であってよい。これにより、GaAs結晶の側面に安定な面が現れる。なお、Ge層120の上面形状は、正六角形であってよい。同様に、GaAs結晶ではなく、六方晶の結晶であるGaN結晶も形成できる。

[0045] Ge層120は、 900°C 未満、好ましくは 850°C 以下でアニールされてよい。これにより、Ge層120の表面の平坦性を維持できる。Ge層1

20の表面の平坦性は、Ge層120の表面に他の層を積層する場合に、特に重要になる。一方、Ge層120は、680℃以上、好ましくは700℃以上でアニールされてよい。これにより、Ge層120の結晶欠陥の密度を低減できる。Ge層120は、680℃以上900℃未満の条件でアニールされてよい。

[0046] Ge層120は、大気雰囲気下、窒素雰囲気下、アルゴン雰囲気下、または、水素雰囲気下でアニールされてよい。特に、水素を含む雰囲気中でGe層120をアニール処理することで、Ge層120の表面状態を滑らかな状態に維持しつつ、Ge層120の結晶欠陥の密度を低減できる。

[0047] Ge層120は、結晶欠陥が移動できる温度および時間を満足する条件でアニールされてよい。Ge層120にアニール処理を施すと、Ge層120内部の結晶欠陥がGe層120の内部を移動して、例えば、Ge層120の表面またはGe層120の内部のゲッタリングシンクに捕捉される。これにより、Ge層120の表面近傍の結晶欠陥を排除できる。Ge層120の表面またはGe層120の内部のゲッタリングシンクは、Ge層120の内部を移動できる結晶欠陥を捕捉する欠陥捕捉部の一例であってよい。

[0048] 欠陥捕捉部は、結晶の界面もしくは表面、または、物理的な傷であってよい。欠陥捕捉部は、アニール処理の温度および時間において、結晶欠陥が移動可能な距離内に配されてよい。

[0049] なお、Ge層120は、機能層にシード面を提供するシード層の一例であってよい。シード層の他の例として、 $\text{Si}_x\text{Ge}_{1-x}$ （式中、 $0 \leq x < 1$ ）を例示できる。また、アニールは、800～900℃で2～10分間の高温アニールと、680～780℃で2～10分間の低温アニールとを繰り返し実行する、2段階アニールであってよい。

[0050] なお、本実施形態において、Ge層120がSiウエハ102の表面に接して形成される場合について説明したが、これに限定されない。例えば、Ge層120と、Siウエハ102との間に、他の層が配されてもよい。上記他の層は、単一の層であってもよく、複数の層を含んでもよい。

- [0051] Ge層120は、以下の手順で形成されてよい。まず、低温でシード結晶を形成する。シード結晶は、 $\text{Si}_x\text{Ge}_{1-x}$ （式中、 $0 \leq x < 1$ ）であってよい。シード結晶の成長温度は、 330°C 以上 450°C 以下であってよい。その後、シード結晶が形成されたSiウェハ102の温度を所定の温度まで昇温した後、Ge層120を形成してよい。
- [0052] また、複数のGe層120の各々の機能層に対向する面は、Pを含むガスにより表面処理されよい。上記表面処理は、例えば、Ge層120が形成された後に、Ge層120の表面にたとえば PH_3 の曝露処理を施すことで実施できる。これにより、Ge層120の上に結晶をエピタキシャル成長させる場合に、当該結晶の結晶性が向上する。上記 PH_3 処理は、 500°C 以上 900°C 以下、好ましくは、 600°C 以上 800°C 以下の温度で実施されてよい。 500°C より低いと処理の効果が現れない場合があり、 900°C より高いとGe層120が変質する場合がある。
- [0053] バッファ層122は、Ge層120の上に結晶成長され、Pを含む3-5族化合物半導体層からなる。すなわちバッファ層122は、Ge層120と素子形成層124との間に形成され、バッファ層122として、結晶成長されたPを含む3-5族化合物半導体層、たとえば InGaP 層が例示できる。結晶成長として、たとえばエピタキシャル成長が例示できる。また、バッファ層122は、Siウェハ102上に、 500°C 以下の温度で結晶成長され、孤立した島状に形成されたGaAs層であってよい。なおバッファ層122は、Ge層120と素子形成層124との間に形成しなくてもよい。バッファ層122を備えない場合は、Ge層120の素子形成層124に対向する面に、Pを含むガスで表面処理できる。
- [0054] 素子形成層124は、機能層の一例であってよい。素子形成層124には前記した通り電子素子の一例であってよいHBTが形成できる。素子形成層124は、Ge層120に接して形成されてもよい。すなわち、素子形成層124は、Ge層120に接してまたはバッファ層122を挟んで結晶成長される。結晶成長として、たとえばエピタキシャル成長が例示できる。

- [0055] 素子形成層 124 は、Ge に格子整合または擬格子整合する、3-5 族化合物層または 2-6 族化合物層であってよい。あるいは素子形成層 124 は、Ge に格子整合または擬格子整合する、3-5 族化合物層であり、3 族元素として Al、Ga、In のうち少なくとも 1 つを含み、5 族元素として N、P、As、Sb のうち少なくとも 1 つを含むものであってよい。たとえば素子形成層 124 として、GaAs 層が例示できる。擬格子整合とは、互いに接する 2 つの半導体層のそれぞれの格子定数の差が小さいので、完全な格子整合ではないが、格子不整合による欠陥の発生が顕著でない範囲でほぼ格子整合して、互いに接する 2 つの半導体層を積層できる状態をいう。たとえば、Ge 層と GaAs 層との積層状態は擬格子整合と呼ばれる。
- [0056] 素子形成層 124 は、算術平均粗さ（以下、Ra 値と称する場合がある。）が $0.02\text{ }\mu\text{m}$ 以下、好ましくは $0.01\text{ }\mu\text{m}$ 以下であってよい。これにより、素子形成層 124 を用いて、高機能の電子デバイスを形成できる。ここで、Ra 値は表面粗さを表す指標であり、JIS B0601-2001 に基づいて算出できる。Ra 値は、一定長さの粗さ曲線を中心線から折り返して、当該粗さ曲線と当該中心線とにより得られた面積を、測定した長さで除して算出できる。
- [0057] 素子形成層 124 が、3-5 族化合物層であり、3 族元素として Al、Ga および In からなる群から選択された 1 以上の元素を含み、5 族元素として N、P、As および Sb からなる群から選択された 1 以上の元素を含む場合には、素子形成層 124 の成長速度は、 300 nm/min 以下であってよく、好ましくは 200 nm/min 以下であってよく、より好ましくは 60 nm/min 以下であってよい。これにより、素子形成層 124 の Ra 値を $0.02\text{ }\mu\text{m}$ 以下にできる。一方、素子形成層 124 の成長速度は、 1 nm/min 以上であってよく、好ましくは、 5 nm/min 以上であってよい。これにより、生産性を犠牲にすることなく、良質な素子形成層 124 が得られる。例えば、素子形成層 124 を 1 nm/min 以上、 300 nm/min 以下の成長速度で結晶成長させてよい。

- [0058] 複数のG e 層 1 2 0 がS i ウェハ 1 0 2 の上に互いに離間して形成される場合、素子形成層 1 2 4 は、当該複数のG e 層 1 2 0 の各々の上に形成されてよい。S i の基板と、基板の上に、互いに離間して形成された複数のG e 層 1 2 0 と、複数のG e 層 1 2 0 の各々の上に形成された機能層とを含む半導体基板が得られる。このとき、各々の素子形成層 1 2 4 は、当該複数のG e 層 1 2 0 の各々に格子整合または擬格子整合してよい。
- [0059] 素子形成層 1 2 4 には、H B T 等の電子素子が形成されてよい。これにより、S i の基板と、基板の上に互いに離間して形成された複数のG e 層 1 2 0 と、複数のG e 層 1 2 0 の各々の上に形成された機能層と、機能層に形成された電子素子とを含む電子デバイスが得られる。電子素子は、複数のG e 層 1 2 0 ごとに一つずつ形成されてよい。電子素子は、ヘテロジャンクションバイポーラトランジスタであってよい。上記電子素子は、相互に接続されてよい。上記電子素子は、並列に接続されてよい。
- [0060] なお、本実施形態において、G e 層 1 2 0 の表面に素子形成層 1 2 4 が形成される場合について説明したが、これに限定されない。例えば、G e 層 1 2 0 と、素子形成層 1 2 4 との間に、中間層が配されてもよい。中間層は、単一の層であってもよく、複数の層を含んでもよい。中間層は、6 0 0 °C 以下、好ましくは5 5 0 °C 以下で形成されてよい。これにより、素子形成層 1 2 4 の結晶性が向上する。一方、中間層は、4 0 0 °C 以上で形成されてよい。中間層は、4 0 0 °C 以上6 0 0 °C 以下で形成されてよい。これにより、素子形成層 1 2 4 の結晶性が向上する。中間層は、6 0 0 °C 以下、好ましくは5 5 0 °C 以下の温度で形成されたG a A s 層であってよい。
- [0061] 素子形成層 1 2 4 は、以下の手順で形成されてよい。まず、G e 層 1 2 0 の表面に、中間層を形成する。中間層の成長温度は、6 0 0 °C 以下であってよい。その後、中間層が形成されたS i ウェハ 1 0 2 の温度を所定の温度まで昇温した後、素子形成層 1 2 4 を形成してよい。
- [0062] 半導体基板 1 0 1 は、例えば、S i ウェハ 1 0 2 の上に、互いに離間した複数のG e 層 1 2 0 を形成して、複数のG e 層 1 2 0 の各々の上に素子形成

層 1 2 4 を形成して作製できる。半導体基板 1 0 1 は、複数の G e 層 1 2 0 の各々と素子形成層 1 2 4 とが格子整合または擬格子整合するように作製してよい。複数の G e 層 1 2 0 の各々を形成した後、素子形成層 1 2 4 を形成するまでの間に、6 0 0 °C 以下の温度で G a A s 層を形成してよい。複数の G e 層 1 2 0 の各々を形成した後、素子形成層 1 2 4 を形成するまでの間に、複数の G e 層 1 2 0 の各々の表面を、P を含むガスにより処理してもよい。

[0063] 図 3 から図 7 は、半導体基板 1 0 1 の製造過程における断面例を示す。図 3 に示すように、S i ウェハ 1 0 2 を用意して、S i ウェハ 1 0 2 の表面に G e 膜 1 3 0 をたとえばエピタキシャル成長により形成する。G e 層 1 2 0 のエピタキシャル成長には、たとえば M O C V D 法（有機金属化学気相成長法）あるいは M B E 法（分子線エピタキシ法）を用いることができる。原料ガスには G e H₄ を用いることができる。

[0064] 図 4 に示すように、G e 膜 1 3 0 をパターニングして、島状の G e 層 1 2 0 を形成する。パターニングには、たとえばフォトリソグラフィ法を用いることができる。

[0065] 図 5 に示すように、パターニングした G e 層 1 2 0 に熱アニールを施す。熱アニールは、たとえば G e の融点に達しない温度での高温アニールを実施した後、高温アニールの温度より低い温度での低温アニールを実施する 2 段階アニールとすることができる。そして、2 段階アニールは複数回繰り返すことができる。高温アニールの温度および時間として 9 0 0 °C、1 0 分が例示でき、低温アニールの温度および時間として 7 8 0 °C、1 0 分が例示できる。繰り返しの回数として 1 0 回が例示できる。

[0066] 本実施形態では、パターニングして島状に形成した G e 層 1 2 0 に、2 段階のアニール処理を複数回繰り返す。このため、エピタキシャル成長およびパターニングの段階で存在する結晶欠陥を、アニールによって G e 層 1 2 0 の縁辺部に移動させることができ、当該結晶欠陥を G e 層 1 2 0 の縁辺部に排除することで、G e 層 1 2 0 の結晶欠陥密度を極めて低いレベルにできる

。これにより、後に形成するたとえばエピタキシャル薄膜の基板材料に起因する欠陥を低減でき、結果として素子形成層 1 2 4 に形成する電子素子の性能を向上できる。また、格子不整合に起因してシリコン基板には直接結晶成長できない種類の薄膜であっても、結晶性に優れる Ge 層 1 2 0 を基板材料として良質な結晶薄膜を形成できる。

[0067] 図 6 に示すように、バッファ層 1 2 2 として、たとえば InGaP 層を Ge 層 1 2 0 の上に結晶成長させる。結晶成長として、たとえばエピタキシャル成長が例示できる。なお、Ge 層 1 2 0 が形成されていない Si ウェハ 1 0 2 の上にも InGaP 層 1 2 3 が形成される。ただし、InGaP 層 1 2 3 は結晶性に劣るから、その上に電子素子を形成することはない。InGaP 層 1 2 3 は、たとえばエッチングにより除去してもよい。

[0068] InGaP 層のエピタキシャル成長には、たとえば MOCVD 法あるいは MBE 法を用いることができる。原料ガスには TM-Ga (トリメチルガリウム)、TM-In (トリメチルインジウム)、PH₃ (フォスフィン) を用いることができる。InGaP 層のエピタキシャル成長では、たとえば 650 °C の高温雰囲気中で結晶薄膜を形成する。

[0069] なお、本実施形態では、図 5 に示す、Ge 層 1 2 0 を形成した段階でアニールする例を示している。しかし、アニールは、図 6 に示す、バッファ層 1 2 2 を形成した段階で施すこともできる。すなわち、Ge 層 1 2 0 を形成した後、アニールすることなく、続けてバッファ層 1 2 2 および InGaP 層 1 2 3 を形成して、バッファ層 1 2 2 および Ge 層 1 2 0 にアニールを施すことができる。

[0070] 図 7 に示すように、バッファ層 1 2 2 の上に素子形成層 1 2 4 をたとえばエピタキシャル成長させる。なお、InGaP 層 1 2 3 の上にも素子形成層 1 2 4 と同時に形成される付随層 1 2 5 が形成される。ただし、付随層 1 2 5 は結晶性に劣るから、その上に電子素子を形成することはない。付随層 1 2 5 は、たとえばエッチングにより除去してもよい。

[0071] 素子形成層 1 2 4 としてたとえば GaAs 層または InGaAs 等を含む

GaAs系積層膜を例示できる。GaAs層またはGaAs系積層膜のエピタキシャル成長には、たとえばMOCVD法あるいはMBE法を用いることができる。原料ガスにはTM-Ga（トリメチルガリウム）、AsH₃（アルシン）その他のガスを用いることができる。成長温度として、たとえば600℃から650℃が例示できる。

[0072] その後、素子形成層124に周知の方法で、たとえばHBT等の電子素子を形成すれば、図2に示す半導体基板101になる。上記した方法により、本実施形態の半導体基板101が製造できる。

[0073] 本実施形態の半導体基板101では、Ge層120をたとえばエッチングにより区画して、島状のGe層120とした。そしてGe層120に2段階のアニールを複数回施すことによりGe層120の結晶性を高め、さらにバッファ層122としてInGaP層を形成した。このため、結晶性の優れた素子形成層124としてのGaAs層を有する半導体基板101を得ることができた。半導体基板101はSiウェハ102を採用するから、半導体基板101を安価に製造でき、また、素子形成層124に形成する電子素子が発する熱を効率よく排熱できた。

[0074] なお、図5において説明したGe層120へのアニール処理は必須ではない。Ge層120をアニール処理しない場合であっても、バッファ層122による結晶性向上の効果はある程度得られる。

[0075] 図8は、他の実施形態の半導体基板201における断面例を示す。半導体基板201は、半導体基板101とほぼ同様であるが、Ge層120を用いず、バッファ層202として500℃以下の温度で結晶成長されたGaAs層を用いる点が相違する。以下の説明では、半導体基板101の場合と相違する点について説明する。

[0076] 図9および図10は、半導体基板201の製造過程における断面例を示す。図9に示すように、Siウェハ102を用意して、Siウェハ102の表面に500℃以下の温度でGaAs膜204を結晶成長する。GaAs膜204の形成には、たとえばMOCVD法あるいはMBE法を用いることがで

きる。原料ガスには TE-Ga （トリエチルガリウム）、 AsH_3 （アルシン）を用いることができる。成長温度として、たとえば 450°C が例示できる。

[0077] 次に、図10に示すように、フォトリソグラフィ法を用いて、 GaAs 膜204をエッチングして、バッファ層202を孤立した島状に形成する。その後の工程は、半導体基板101の場合と同様であってよい。

[0078] 半導体基板201においては、バッファ層202として 500°C 以下の温度で形成された GaAs 層を適用した。低温成長された GaAs 層によるバッファ層202であっても、素子形成層124の結晶性はある程度向上された。よって、半導体基板201を安価に提供でき、素子形成層124に形成される電子素子を高性能化できるという、半導体基板101の場合と同様な効果が得られた。

[0079] 図11は、さらに他の実施形態の半導体基板301における断面例を示す。半導体基板301は、 Si ウェハ102の表面が P を含むガスにより表面処理されている。図12は、半導体基板301の製造過程における断面例を示す。図12に示すように、 Si ウェハ102の表面を、たとえば PH_3 の曝露処理を施す。曝露処理は、高温雰囲気でもよく、プラズマ等によって PH_3 を活性化してもよい。

[0080] PH_3 の曝露処理を施した Si ウェハ102の表面に、素子形成層124となるたとえば GaAs 膜を結晶成長して、たとえばフォトリソグラフィ法によりエッチングすることにより素子形成層124を孤立した島状に形成できる。

[0081] なお、図12に示す、たとえば PH_3 による曝露処理の後、図9に示す工程以降の工程を続けて、図8に示す半導体基板201同様の半導体基板を形成できる。すなわち、半導体基板201の表面にたとえば PH_3 の曝露処理を施して、 500°C 以下の温度で GaAs 膜204を結晶成長でき、その後 GaAs 膜204をパターニングして、島状の GaAs 層であってよいバッファ層202を形成できる。

[0082] Siウエハ102の表面を、Pを含む原料ガスで表面処理した後、500℃以下の温度で形成したGaAs層をバッファ層202として形成した場合、素子形成層124としてのGaAs層の結晶性を良好にすることができた。よって、半導体基板を安価に提供でき、素子形成層124に形成される電子素子を高性能化できるという、半導体基板101の場合と同様な効果が得られた。

実施例

[0083] (実験例1)

アニール温度がGe層の表面の平坦性に与える影響を調べる目的で、以下の実験を実施した。実験は、Siウエハの表面に形成されたGe層をアニール処理して、アニール処理されたGe層の断面形状を観察することで実施した。アニール処理の温度が異なる場合について上記の実験を実施することで、アニール温度がGe層の表面の平坦性に与える影響を調べた。

[0084] Ge層は、以下の手順で形成した。まず、熱酸化法により、Siウエハの表面にSiO₂層を形成した。Siウエハは市販の単結晶Si基板を用いた。エッチングにより、SiO₂層に開口を形成した。SiO₂層の平面形状は、一辺の長さが400μmの正方形であった。ここで、SiO₂層の「平面形状」とは、SiO₂層を基板の主面に投影した場合の形状を意味する。以下、開口の「底面形状」とは、開口が形成されたSiO₂層のSiウエハ側の面における開口の形状を意味する。

[0085] 次に、CVD法により、開口の内部にGe層を選択的にエピタキシャル成長させた。原料ガスには、GeH₄を用いた。原料ガスの流量および成膜時間は、それぞれ、所定の値に設定した。

[0086] 図13から図17は、アニール温度と、Ge層の平坦性との関係を示す。図13は、アニールしていないGe層の断面形状を示す。図14、図15、図16および図17は、それぞれ、700℃、800℃、850℃、900℃でアニール処理を実施した場合の、Ge層の断面形状を示す。Ge層の断面形状は、レーザー顕微鏡により観察した。各図の縦軸は、Siウエハの主面

に垂直な方向における距離を示し、Ge層の膜厚を示す。各図の横軸は、Siウェハの主面に平行な方向における距離を示す。

[0087] 図13から図17より、アニール温度が低いほど、Ge層の表面の平坦性が良好であることがわかる。特に、アニール温度が900℃未満の場合、Ge層の表面が優れた平坦性を示すことがわかる。

[0088] (実験例2)

Ge層の上面形状と基板の結晶学的方位との関係が、当該Ge層の上に形成される結晶に与える影響を調べる目的で、以下の実験を実施した。実験は、Siウェハの(100)面にGe層を形成した後、Ge層の上にGaAs結晶を成長させ、当該GaAs結晶の形状を観察することで実施した。Ge層の上面形状とSiウェハの結晶学的方位との位置関係が異なる場合について上記の実験を実施することで、Ge層の上面形状と基板の結晶学的方位との関係が、当該Ge層の上に形成される結晶に与える影響を調べた。

[0089] Ge層は、以下の手順で形成した。まず、Siウェハの表面にSiO₂層を形成した。Siウェハとして、市販の単結晶Si基板を用いた。Siウェハの表面の面方位は、Siの(100)面であった。エッチングにより、SiO₂層を所定の形状にパターニングした。Siウェハの表面には、上記所定の大きさのSiO₂層を3個以上形成した。上記所定の大きさのSiO₂層が500μm間隔で等間隔に配列するよう、上記SiO₂層を形成した。エッチングにより、SiO₂層に、所定の底面形状を有する開口を形成した。上記底面形状の一辺の方向と、Siウェハの<010>方向または<011>方向とが平行になるよう、上記開口を形成した。上記底面形状が長方形である場合には、長辺の方向と、Siウェハの<010>方向または<011>方向とが平行になるよう、開口を形成した。

[0090] 次に、CVD法により、開口の内部にGe層を選択的に成長させた。原料ガスには、GeH₄を用いた。原料ガスの流量および成膜時間は、それぞれ、所定の値に設定した。次に、MOCVD法により、アニール処理されたGe層の上に、GaAs結晶を形成した。GaAs結晶は、620℃、8MPa

の条件で、開口の内部のGe層の表面にエピタキシャル成長させた。原料ガスには、トリメチルガリウムおよびアルシンを用いた。原料ガスの流量および成膜時間は、それぞれ、所定の値に設定した。

[0091] 上記の通り、Siウェハの結晶学的方位と開口の底面形状との位置関係を変えて、GaAs結晶を形成した。それぞれの場合について、形成されたGaAs結晶の表面状態を電子顕微鏡で観察した。図18から図20に、Ge層の上に形成されたGaAs結晶の表面の電子顕微鏡写真を示す。

[0092] 図18は、開口の一辺の方向とSiウェハの $\langle 010 \rangle$ 方向とが実質的に平行となるように、SiO₂層に開口を形成した後、当該開口の内部にGaAs結晶を成長させた場合の結果を示す。本実験例において、SiO₂層の平面形状は、一辺の長さが300 μm の正方形であった。開口の底面形状は、一辺が10 μm の正方形であった。図18において、図中の矢印は $\langle 010 \rangle$ 方向を示す。図18に示すとおり、形状の整った結晶が得られた。

[0093] 図18より、GaAs結晶の4つの側面には、それぞれ、 $(10-1)$ 面、 $(1-10)$ 面、 (101) 面および (110) 面が現れているのがわかる。また、図中、GaAs結晶の左上の角には、 $(11-1)$ 面が現れており、図中、GaAs結晶の右下の角には、 $(1-11)$ 面が現れていることがわかる。 $(11-1)$ 面および $(1-11)$ 面は、 $(-1-1-1)$ 面と等価な面であり、安定な面である。

[0094] 一方、図中、GaAs結晶の左下の角および右上の角には、このような面が現れていないのがわかる。例えば、図中、左下の角には (111) 面が現れてよいにもかかわらず、 (111) 面が現れていない。これは、図中、左下の角は、 (111) 面より安定な (110) 面および (101) 面に挟まれているからと考えられる。

[0095] 図19は、開口の一辺の方向と、Siウェハの $\langle 010 \rangle$ 方向とが実質的に平行となるように、SiO₂層に開口を形成した後、当該開口の内部にGaAs結晶を成長させた場合の結果を示す。図19は、上方斜め45°から観察した場合の結果を示す。本実験例において、SiO₂層の平面形状は、一辺

の長さが $50\mu\text{m}$ の正方形であった。開口の底面形状は、一辺の長さが $10\mu\text{m}$ の正方形であった。図19において、図中の矢印は $\langle 010 \rangle$ 方向を示す。図19に示すとおり、形状の整った結晶が得られた。

- [0096] 図20は、開口の一辺の方向と、Siウェハの $\langle 011 \rangle$ 方向とが実質的に平行となるように、 SiO_2 層に開口を形成した後、当該開口の内部にGaAs結晶を成長させた場合の結果を示す。本実験例において、 SiO_2 層の平面形状は、一辺の長さが $400\mu\text{m}$ の正方形であった。開口の底面形状は、一辺の長さが $10\mu\text{m}$ の正方形であった。図20において、図中の矢印は $\langle 011 \rangle$ 方向を示す。図20に示すとおり、図18および図19と比較して、形状の乱れた結晶が得られた。GaAs結晶の側面に、比較的不安定な (111) 面が現れた結果、結晶の形状に乱れが生じたと考えられる。

- [0097] (実験例3)

Ge層の上に形成された結晶の成長速度と、当該結晶の表面粗さとの関係を調べる目的で、以下の実験を実施した。実験は、Siウェハの表面にGe層を形成した後、Ge層の上にGaAs結晶を成長させ、一定時間の間に成長したGaAs結晶の膜厚と、当該GaAs結晶の断面形状とを観察することで実施した。GaAs結晶の成長速度が異なる場合について上記の実験を実施することで、GaAs結晶の成長速度がGaAs結晶の表面粗さに与える影響を調べた。

- [0098] 実験例2の場合と同様の手順で、Siウェハの上に、Ge層およびGaAs結晶を形成した。本実験例においては、 SiO_2 層をパターニングする工程において、 SiO_2 層の平面形状の一辺の長さが、 $200\mu\text{m}$ 、 $500\mu\text{m}$ 、 $700\mu\text{m}$ 、 $1000\mu\text{m}$ 、 $1500\mu\text{m}$ 、 $2000\mu\text{m}$ 、 $3000\mu\text{m}$ または $4250\mu\text{m}$ となるように設定した。本実験例において、Siウェハの上から見た場合、 SiO_2 層の周囲がSiウェハの表面に囲まれるように、 SiO_2 層を形成した。

- [0099] それぞれの場合について、開口の底面形状が、一辺が $10\mu\text{m}$ の正方形の場合、一辺が $20\mu\text{m}$ の正方形の場合、短辺が $30\mu\text{m}$ で長辺が $40\mu\text{m}$ の

長方形である場合の3通りについて実験した。開口の底面形状の一辺の方向と、Siウェハの<010>方向とが平行になるよう、開口を形成した。上記底面形状が長方形である場合には、長辺の方向と、Siウェハの<010>方向とが平行になるよう、開口を形成した。Ge層およびGaAs結晶の成長条件は実験例2と同一の条件に設定した。

[0100] 上記の通り、SiO₂層の平面形状および開口の底面形状を変えて、GaAs結晶を形成した。それぞれの場合について、一定時間の間に形成されたGaAs結晶の膜厚と、当該GaAs結晶の断面形状とを観察した。GaAs結晶の膜厚は、針式段差計（KLA Tencor社製、Surface Profiler P-10）により、GaAs結晶の3箇所の測定点における膜厚を測定して、当該3箇所の膜厚を平均することで算出した。GaAs結晶の断面形状は、レーザー顕微鏡装置により観察した。なお、上記膜厚は、透過型電子顕微鏡または走査型電子顕微鏡による断面観察法により、素子形成層124の3箇所の測定点における膜厚を直接測定して、当該3箇所の膜厚を平均することで算出してもよい。

[0101] （実験例4）

Ge層の上に形成された結晶の成長速度と、当該結晶の表面粗さとの関係を調べる目的で、以下の実験を実施した。トリメチルガリウムの供給量を半分にして、GaAs結晶の成長速度を約半分にした以外は実験例3の場合と同様にして、実験を実施した。なお、本実験例においては、SiO₂層をパターニングする工程において、SiO₂層の平面形状の一辺の長さが、200μm、500μm、1000μm、2000μm、3000μmまたは4250μmとなるように設定した。また、開口の底面形状が、一辺が10μmの正方形の場合について、実験を実施した。

[0102] 上記の通り、SiO₂層の平面形状を変えて、GaAs結晶を形成した。それぞれの場合について、一定時間の間に形成されたGaAs結晶の膜厚と、当該GaAs結晶の断面形状とを観察した。なお、GaAs結晶の膜厚および断面形状を観察する目的で、GaAs結晶を形成した後、上記SiO₂層を

除去した。GaAs結晶の膜厚および断面形状は、実験例3の場合と同様にして観察した。

[0103] 実験例3および実験例4の実験結果を、図21および表1に示す。図21に、実験例3のそれぞれの場合におけるGaAs結晶の膜厚の平均値を示す。表1に、実験例3および実験例4のそれぞれの場合における、GaAs結晶の成長速度と、Ra値とを示す。以下、明細書および図面において、上記SiO₂層を、被覆領域と称する場合がある。また、開口の底面形状の一辺の長さを、開口の一辺の長さと呼称する場合がある。SiO₂層の平面形状の一辺の長さを、SiO₂層の一辺の長さ、または、被覆領域の一辺の長さと呼称する場合がある。

[0104] 図21は、GaAs結晶の成長速度と、SiO₂層の平面形状および開口の平面形状との関係を示す。図21において、縦軸は一定時間の間に成長したGaAs結晶の膜厚を示し、横軸はSiO₂層の一辺の長さ[μm]を示す。本実験例において、GaAs結晶の膜厚は一定時間の間に成長した膜厚なので、当該膜厚を当該時間で除することで、GaAs結晶の成長速度の近似値が得られる。

[0105] 図21において、菱形のプロットは、開口の底面形状が一辺が10μmの正方形である場合の実験データを示し、四角形のプロットは、開口の底面形状が一辺が20μmの正方形である場合の実験データを示す。同図において、三角形のプロットは、開口の底面形状が、長辺が40μm、短辺が30μmの長方形である場合の実験データを示す。図21より、SiO₂層の一辺の長さが4250μmにいたるまで、上記成長速度は、SiO₂層の大きさが大きくなるに従い、安定して増加することがわかる。

[0106] 表1に、実験例3および実験例4のそれぞれの場合における、GaAs結晶の成長速度[Å/min]と、Ra値[μm]とを示す。なお、GaAs結晶の膜厚は、針式段差計により測定した。また、Ra値は、レーザー顕微鏡装置による観察結果に基づいて算出した。表1より、GaAs結晶の成長速度が小さいほど、表面粗さが改善することがわかる。GaAs結晶の成長速度

が 300 nm/min 以下の場合には、 R_a 値が $0.02 \mu\text{m}$ 以下であることがわかる。

[表1]

被覆領域の1辺の長さ [μm]	実験例 3		実験例 4	
	成長速度 [$\text{\AA}/\text{min}$]	R_a 値 [μm]	成長速度 [$\text{\AA}/\text{min}$]	R_a 値 [μm]
200	526	0.006	286	0.003
500	789	0.008	442	0.003
1000	1216	0.012	692	0.005
2000	2147	0.017	1264	0.007
3000	3002	0.020	1831	0.008
4250	3477	0.044	2190	0.015

[0107] (実験例 5)

G e 層の上面形状が、G e 層の上に形成した機能層を利用した電子デバイスの特性および歩留まりに与える影響を調べる目的で、以下の実験を実施した。実験は、G e 層の上に形成した機能層を用いて H B T 素子を作製して、H B T 素子のベースシート抵抗値 R_b [$\Omega/\square$] と電流増幅率 β とを測定することで実施した。G e 層の上面の面積の大きさが異なる場合について上記の実験を実施することで、G e 層の上面形状が、上記電子デバイスの特性および歩留まりに与える影響を調べた。

[0108] H B T 素子は、以下の手順で作製した。まず、S i ウェハと、G e 層と、素子形成層としての G a A s 層とを備えた半導体基板を作製した。次に、作製した半導体基板の上に半導体層を形成して、H B T 素子を作製した。

[0109] 上記半導体基板は、以下の手順で作製した。まず、実験例 3 と同様にして、S i ウェハの表面に S i O₂ 層を形成し、S i O₂ 層に設けた開口の内部に G e 層を形成した。G e 層を形成した後、アニール処理を実施した。

[0110] 本実験例においては、開口の底面形状が、一辺が $20 \mu\text{m}$ の正方形、短辺が $20 \mu\text{m}$ で長辺が $40 \mu\text{m}$ の長方形、一辺が $30 \mu\text{m}$ の正方形、短辺が $30 \mu\text{m}$ で長辺が $40 \mu\text{m}$ の長方形、または、短辺が $20 \mu\text{m}$ で長辺が $80 \mu\text{m}$ の長方形の場合のそれぞれについて、H B T 素子を作製した。

- [0111] 開口の底面形状が正方形である場合には、上記底面形状の直交する2つの辺の一方がSiウェハの $\langle 010 \rangle$ 方向と平行となり、他方がSiウェハの $\langle 001 \rangle$ 方向と平行となるように、開口を形成した。開口の底面形状が長方形である場合には、上記底面形状の長辺がSiウェハの $\langle 010 \rangle$ 方向と平行となり、短辺がSiウェハの $\langle 001 \rangle$ 方向と平行となるように、開口を形成した。SiO₂層の平面形状は、主に、1辺が300 μ mの正方形である場合について実験した。
- [0112] 本実験例においては、Ge層と、GaAs層との間に中間層を形成した。中間層は、Ge層をアニール処理した後、MOCVD法により、Ge層の上に形成した。中間層は、Ge層が形成されたSiウェハの温度が550℃になるように設定して形成した。中間層は、トリメチルガリウムおよびアルシンを原料ガスとして成長させた。中間層の膜厚は、30 nmであった。次に、中間層が形成されたSiウェハの温度を640℃まで昇温した後、MOCVD法により、GaAs層を形成した。GaAs層の膜厚は、500 nmであった。
- [0113] 次に、MOCVD法により、上記GaAs層の表面に半導体層を積層した。これにより、Siウェハと、膜厚が850 nmのGe層と、膜厚が30 nmの中間層と、膜厚が500 nmのアンドープGaAs層と、膜厚が300 nmのn型GaAs層と、膜厚が20 nmのn型InGaP層と、膜厚が3 nmのn型GaAs層と、膜厚が300 nmのGaAs層と、膜厚が50 nmのp型GaAs層と、膜厚が20 nmのn型InGaP層と、膜厚が120 nmのn型GaAs層と、膜厚が60 nmのn型InGaAs層とが、この順に配されたHBT素子構造が得られた。上記半導体層において、n型不純物としてSiを用いた。上記半導体層において、p型不純物としてCを用いた。得られたHBT素子構造に電極を配して、HBT素子を作成した。
- [0114] 上記の通り、開口の底面形状を変えて、HBT素子を作製した。それぞれの場合について、作製したHBT素子のベースシート抵抗値 R_b [$\Omega/\square$]と電流増幅率 β とを測定した。電流増幅率 β は、コレクタ電流の値をベース電

流の値で除して求めた。

[0115] 図 2 2 は、H B T 素子のベースシート抵抗値 R_b に対する電流増幅率 β の比と、開口の平面形状の面積 $[\mu m^2]$ との関係を示す。なお、G e 層の上面の面積は、開口の底面形状の面積とほぼ一致した。また、G e 層の上面形状の一辺の長さは、開口の底面形状の一辺の長さとはほぼ一致した。

[0116] 図 2 2 において、縦軸は電流増幅率 β をベースシート抵抗値 R_b $[\Omega/\square]$ で除した値を示し、横軸は開口の底面形状の面積を示す。なお、図 2 2 には電流増幅率 β の値を示していないが、電流増幅率は 70 ~ 100 程度の高い値が得られた。一方、S i ウェハの全面に同様の H B T 素子構造を形成し、H B T 素子を形成した場合の電流増幅率 β は、10 以下であった。

[0117] これより、S i ウェハの表面に局所的に上記 H B T 素子構造を形成することで、電気特性に優れたデバイスを作製できることがわかる。特に、G e 層の上面形状の一辺の長さが $80 \mu m$ 以下、または、G e 層の上面の面積が $1600 \mu m^2$ の以下の場合には、電気特性に優れたデバイスを作製できることがわかる。

[0118] 図 2 2 より、G e 層の上面の面積が $900 \mu m^2$ 以下の場合には、G e 層の上面の面積が $1600 \mu m^2$ の場合と比較して、ベースシート抵抗値 R_b に対する電流増幅率 β の比のばらつきが小さいことがわかる。これより、G e 層の上面形状の一辺の長さが $40 \mu m$ 以下、または、G e 層の上面の面積が $900 \mu m^2$ の以下の場合には、上記デバイスを歩留まりよく製造できることがわかる。

[0119] 図 2 3 は、得られた H B T 素子のレーザー顕微鏡像を示す。図中、薄い灰色の部分は、電極を示す。図 2 3 より、正方形の被覆領域の中央付近に配された開口領域に、3つの電極が並んでいるのがわかる。上記3つの電極は、それぞれ、図中左から H B T 素子のベース電極、エミッタ電極およびコレクタ電極を示す。上記 H B T 素子の電気特性を測定したところ、トランジスタ動作が確認できた。また、上記 H B T 素子について、透過型電子顕微鏡により断面を観察したところ、転位は観察されなかった。

[0120] (実験例 6)

実験例 5 と同様にして、実験例 5 と同様の構造を有する H B T 素子を 3 つ作製した。作製した 3 つの H B T 素子を並列接続して電子素子を作製した。本実験例では、S i O₂ 層の平面形状は、長辺が 1 0 0 μ m、短辺が 5 0 μ m の長方形であった。また、上記 S i O₂ 層の内部に、3 つの開口を設けた。開口の底面形状は、すべて、一辺が 1 5 μ m の正方形であった。それ以外の条件については、実験例 5 の場合と同一の条件で半導体基板をした。

[0121] 図 2 4 は、得られた電子素子のレーザー顕微鏡像を示す。図中、薄い灰色の部分は、電極を示す。図 2 4 より、3 つの H B T 素子が並列に接続されていることがわかる。上記電子素子の電気特性を測定したところ、トランジスタ動作が確認できた。

[0122] 以上、本発明を実施の形態を用いて説明したが、本発明の技術的範囲は上記実施の形態に記載の範囲には限定されない。上記実施の形態に、多様な変更または改良を加えることが可能であることが当業者に明らかである。その様な変更または改良を加えた形態も本発明の技術的範囲に含まれ得ることが、請求の範囲の記載から明らかである。

産業上の利用可能性

[0123] 安価なシリコン基板上に結晶性の優れた結晶薄膜を形成でき、当該結晶薄膜を利用して、半導体基板、電子デバイス等を形成できる。

請求の範囲

- [1] Si の基板と、
前記基板上に結晶成長され、孤立した島状に形成された Ge 層と、
前記 Ge 層の上に結晶成長され、P を含む 3－5 族化合物半導体層からなるバッファ層と、
前記バッファ層の上に結晶成長された機能層と、
を備える半導体基板。
- [2] Si の基板と、
前記基板上に、500℃以下の温度で結晶成長され、孤立した島状に形成された GaAs 層からなるバッファ層と、
前記バッファ層の上に結晶成長された機能層と、
を備える半導体基板。
- [3] Si の基板と、
前記基板上に結晶成長され、孤立した島状に形成された機能層と、
を備え、
前記基板の表面は、P を含むガスにより表面処理された、半導体基板。
- [4] 前記 Ge 層は、アニールした場合に、前記アニールの温度および時間において結晶欠陥が移動する距離の 2 倍を越えない大きさの島状に形成される、
請求項 1 に記載の半導体基板。
- [5] 前記 Ge 層は、アニールした場合に、前記アニールの温度において前記基板である Si との熱膨張係数の相違によるストレスが欠陥を発生させない大きさの島状に形成される、
請求項 1 に記載の半導体基板。
- [6] 前記 Ge 層は、面積が 1 mm²以下の島状に形成される、
請求項 1 に記載の半導体基板。
- [7] 前記 Ge 層は、結晶欠陥が移動できる温度および時間でアニールされてなる、
請求項 1、請求項 4、請求項 5 または請求項 6 の何れか一項に記載の半導

体基板。

- [8] 前記アニールは、複数回繰り返される、
請求項 7 に記載の半導体基板。
- [9] 前記機能層は、G e に格子整合または擬格子整合する、3-5 族化合物層
または 2-6 族化合物層である、
請求項 1、請求項 4、請求項 5、請求項 6、請求項 7 または請求項 8 の何
れか一項に記載の半導体基板。
- [10] 前記機能層は、G e に格子整合または擬格子整合する、3-5 族化合物層
であり、3 族元素として Al、Ga、In のうち少なくとも 1 つを含み、5
族元素として N、P、As、Sb のうち少なくとも 1 つを含む、
請求項 1、請求項 4、請求項 5、請求項 6、請求項 7 または請求項 8 の何
れか一項に記載の半導体基板。
- [11] Si の基板と、
前記基板の上に、互いに離間して形成された複数の G e 層と、
前記複数の G e 層の各々の上に形成されたバッファ層と、
前記バッファ層の上に形成された機能層と、
を含む半導体基板。
- [12] 前記バッファ層は、前記複数の G e 層の各々に格子整合または擬格子整合
し、
前記機能層は、前記バッファ層に格子整合または擬格子整合している、
請求項 11 に記載の半導体基板。
- [13] 前記バッファ層は、P を含む 3-5 族化合物半導体層を含む、
請求項 11 または請求項 12 に記載の半導体基板。
- [14] 前記複数の G e 層の各々は、水素を含む雰囲気中でアニールされてなる、
請求項 11 から請求項 13 までの何れか一項に記載の半導体基板。
- [15] 前記複数の G e 層の各々の前記機能層に対向する面は、P を含むガスによ
り表面処理されている、
請求項 11 から請求項 14 までの何れか一項に記載の半導体基板。

- [16] 前記複数のG e層の各々の上面の面積は、 1 mm^2 以下である、
請求項11から請求項15までの何れか一項に記載の半導体基板。
- [17] 前記複数のG e層の各々の上面の面積は、 $1600\text{ }\mu\text{ m}^2$ 以下である、
請求項16に記載の半導体基板。
- [18] 前記複数のG e層の各々の上面の面積は、 $900\text{ }\mu\text{ m}^2$ 以下である、
請求項17に記載の半導体基板。
- [19] 前記複数のG e層の各々の上面は、長方形であり、
前記長方形の長辺は、 $80\text{ }\mu\text{ m}$ 以下である、
請求項16に記載の半導体基板。
- [20] 前記複数のG e層の各々の上面は、長方形であり、
前記長方形の長辺は、 $40\text{ }\mu\text{ m}$ 以下である、
請求項17に記載の半導体基板。
- [21] 前記基板の主面が(100)面であり、
前記複数のG e層の各々の上面は、正方形または長方形であり、
前記正方形または前記長方形の少なくとも1辺の方向は、前記主面における $\langle 010 \rangle$ 方向、 $\langle 0\bar{1}0 \rangle$ 方向、 $\langle 001 \rangle$ 方向および $\langle 00\bar{1} \rangle$ 方向からなる群から選択された何れか一つの方向と実質的に平行である、
請求項11から請求項20までの何れか一項に記載の半導体基板。
- [22] 前記基板の主面が(111)面であり、
前記複数のG e層の各々の上面は、六角形であり、
前記六角形の少なくとも1辺の方向は、前記主面における $\langle 1\bar{1}0 \rangle$ 方向、 $\langle \bar{1}10 \rangle$ 方向、 $\langle 0\bar{1}1 \rangle$ 方向、 $\langle 01\bar{1} \rangle$ 方向、 $\langle 10\bar{1} \rangle$ 方向および $\langle \bar{1}01 \rangle$ 方向からなる群から選択された何れか一つの方向と実質的に平行である、
請求項11から請求項20までの何れか一項に記載の半導体基板。
- [23] Siの基板と、
前記基板の上に、互いに離間して形成された複数のバッファ層であって、
GaAs層を含む複数のバッファ層と、

前記複数のバッファ層の各々の上に形成された機能層と、
を含む半導体基板。

- [24] 前記機能層は、前記複数のバッファ層の各々に格子整合または擬格子整合している、

請求項 23 に記載の半導体基板。

- [25] 前記 GaAs 層は、600℃以下の温度で結晶成長されてなる、
請求項 23 または請求項 24 に記載の半導体基板。

- [26] Si の基板と、

前記基板の上に、互いに離間して形成された複数の機能層と、
を含み、

前記基板の表面は、前記機能層の形成前に、P を含むガスにより表面処理されている、半導体基板。

- [27] 前記機能層は、3-5 族化合物層または 2-6 族化合物層である、
請求項 11 から請求項 26 までの何れか一項に記載の半導体基板。

- [28] 前記機能層は、3-5 族化合物層であり、3 族元素として Al、Ga および In からなる群から選択された 1 以上の元素を含み、5 族元素として N、P、As および Sb からなる群から選択された 1 以上の元素を含む、
請求項 11 から請求項 26 までの何れか一項に記載の半導体基板。

- [29] 前記機能層の算術平均粗さは、0.02 μm 以下である、
請求項 28 に記載の半導体基板。

- [30] Si の基板の上に、Ge 層を結晶成長する段階と、
前記 Ge 層をパターンニングして、孤立した島状の Ge 層を形成する段階と、

前記 Ge 層の上に、P を含む 3-5 族化合物半導体層からなるバッファ層を結晶成長する段階と、

前記バッファ層の上に機能層を結晶成長する段階と、
を備えた半導体基板の製造方法。

- [31] 前記島状の Ge 層を、結晶欠陥が移動できる温度および時間でアニールす

- る段階、
- をさらに備える請求項 30 に記載の半導体基板の製造方法。
- [32] 前記アニールを、複数回繰り返す段階、
- をさらに備える請求項 31 に記載の半導体基板の製造方法。
- [33] Si の基板の上に、互いに離間した複数の Ge 層を形成する段階と、
- 前記複数の Ge 層の各々の上に、バッファ層を形成する段階と、
- 前記バッファ層の上に、機能層を形成する段階と、
- を含む半導体基板の製造方法。
- [34] 前記バッファ層を形成する段階において、前記バッファ層を前記 Ge 層に格子整合または擬格子整合させ、
- 前記機能層を形成する段階において、前記機能層を前記バッファ層に格子整合または擬格子整合させる、
- 請求項 33 に記載の半導体基板の製造方法。
- [35] 前記バッファ層を形成する段階は、P を含む 3-5 族化合物半導体層を形成する段階を含む、
- 請求項 33 または請求項 34 に記載の半導体基板の製造方法。
- [36] 前記複数の Ge 層の各々を、結晶欠陥が移動できる温度および時間でアニールする段階、をさらに含む、
- 請求項 33 から請求項 35 までの何れか一項に記載の半導体基板の製造方法。
- [37] 前記アニールする段階は、前記複数の Ge 層の各々を、680℃以上900℃未満の温度でアニールする、
- 請求項 36 に記載の半導体基板の製造方法。
- [38] 前記アニールする段階は、前記複数の Ge 層の各々を、水素を含む雰囲気中でアニールする、
- 請求項 36 または請求項 37 に記載の半導体基板の製造方法。
- [39] 前記アニールする段階を、複数含む、
- 請求項 36 から請求項 38 までの何れか一項に記載の半導体基板の製造方

法。

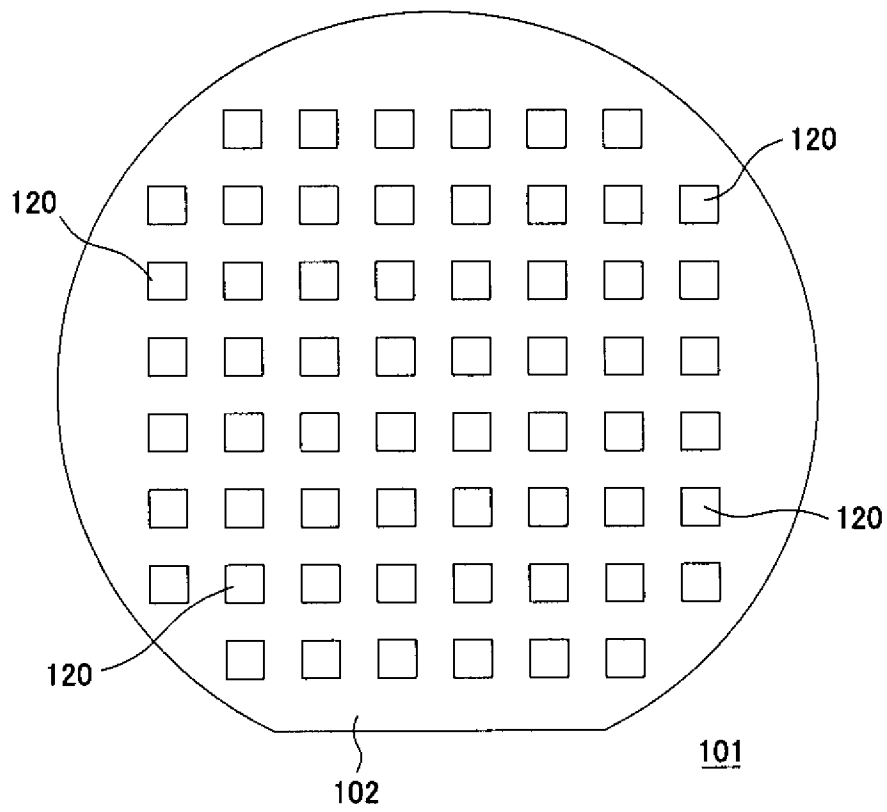
- [40] S i の基板の上に、互いに離間した複数のバッファ層であって G a A s 層を含む複数のバッファ層を形成する段階と、
前記複数のバッファ層の各々の上に、機能層を形成する段階と、
を含む半導体基板の製造方法。
- [41] 前記 G a A s 層は、600℃以下の温度で結晶成長される、
請求項40に記載の半導体基板の製造方法。
- [42] S i の基板の表面を、Pを含むガスにより表面処理する段階と、
前記基板の上に、互いに離間した複数の機能層を形成する段階と、
を含む半導体基板の製造方法。
- [43] 前記機能層は、3-5族化合物層であり、3族元素としてA l、G a およびI n からの群から選択された1以上の元素を含み、5族元素としてN、P、A s およびS b からの群から選択された1以上の元素を含み、
前記機能層を形成する段階は、前記機能層を、1nm/min以上、300nm/min以下の成長速度で結晶成長させる、
請求項33から請求項42までの何れか一項に記載の半導体基板の製造方法。
- [44] S i の基板と、
前記基板上に結晶成長され、孤立した島状に形成されたG e 層と、
前記G e 層の上に結晶成長され、Pを含む3-5族化合物半導体層からなるバッファ層と、
前記バッファ層の上に結晶成長された機能層と、
前記機能層に形成された電子素子と、
を備える電子デバイス。
- [45] 前記電子素子は、前記島状のG e 層ごとに一つ形成されている、
請求項44に記載の電子デバイス。
- [46] 前記島状のG e 層は、前記基板の上に複数形成され、複数の前記島状のG e 層は、等間隔に配置される、

請求項 4 4 または請求項 4 5 に記載の電子デバイス。

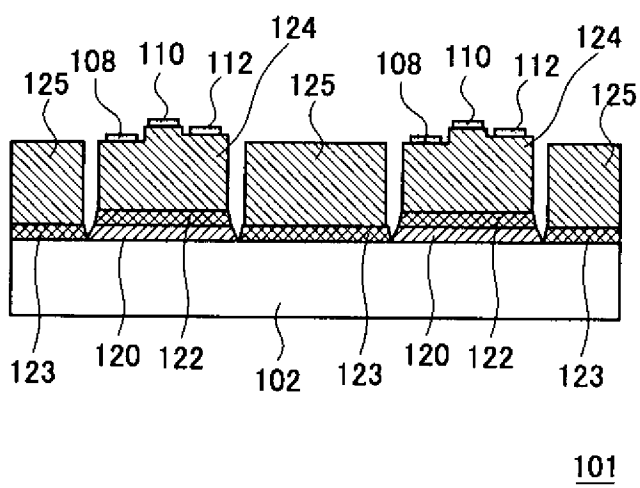
- [47] S i の基板と、
前記基板の上に、互いに離間して形成された複数の G e 層と、
前記複数の G e 層の各々の上に形成されたバッファ層と、
前記バッファ層の上に形成された機能層と、
前記機能層に形成された電子素子と、
を含む電子デバイス。
- [48] 前記バッファ層は、前記複数の G e 層の各々に格子整合または擬格子整合され、
前記機能層は、前記バッファ層に格子整合または擬格子整合されている、
請求項 4 7 に記載の電子デバイス。
- [49] 前記バッファ層は、P を含む 3 - 5 族化合物半導体層を含む、
請求項 4 7 または請求項 4 8 に記載の電子デバイス。
- [50] 前記電子素子は、前記 G e 層ごとに一つずつ形成されている、
請求項 4 7 から請求項 4 9 までの何れか一項に記載の電子デバイス。
- [51] 前記複数の G e 層の各々は、等間隔に配置されている、
請求項 4 7 から請求項 5 0 までの何れか一項に記載の電子デバイス。
- [52] S i の基板と、
前記基板の上に、互いに離間して形成された複数のバッファ層であって、
G a A s 層を含む複数のバッファ層と、
前記複数のバッファ層の各々の上に形成された機能層と、
前記機能層に形成された電子素子と、
を含む電子デバイス。
- [53] 前記機能層は、前記複数のバッファ層の各々に格子整合または擬格子整合されている、
請求項 5 2 に記載の電子デバイス。
- [54] 前記 G a A s 層は、6 0 0 °C 以下の温度で結晶成長されている、
請求項 5 2 または請求項 5 3 に記載の電子デバイス。

- [55] 前記電子素子は、前記バッファ層ごとに一つずつ形成されている、
請求項 5 2 から請求項 5 4 までの何れか一項に記載の電子デバイス。
- [56] 前記複数のバッファ層の各々は、等間隔に配置されている、
請求項 5 2 から請求項 5 5 までの何れか一項に記載の電子デバイス。
- [57] Si の基板と、
前記基板の上に、互いに離間して形成された複数の機能層と、
前記機能層に形成された電子素子と、
を含み、
前記基板の表面は、前記機能層の形成前に、P を含むガスにより表面処理
されている、
電子デバイス。
- [58] 前記電子素子は、前記機能層ごとに一つずつ形成されている、
請求項 5 7 に記載の電子デバイス。
- [59] 前記複数の機能層の各々は、等間隔に配置されている、
請求項 5 7 または請求項 5 8 に記載の電子デバイス。
- [60] 前記電子素子は、ヘテロジャンクションバイポーラトランジスタである、
請求項 4 4 から請求項 5 9 までの何れか一項に記載の電子デバイス。
- [61] 前記電子素子が、相互に接続されている、
請求項 4 4 から請求項 6 0 までの何れか一項に記載の電子デバイス。
- [62] 前記電子素子が、並列に接続されている、
請求項 4 4 から請求項 5 1 までの何れか一項に記載の電子デバイス。

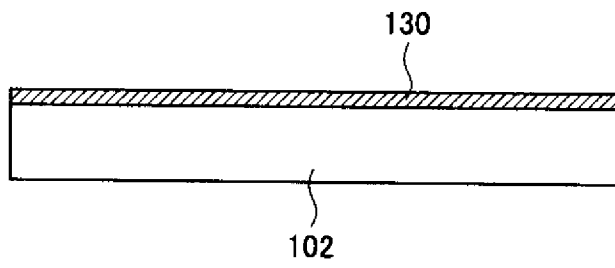
[図1]



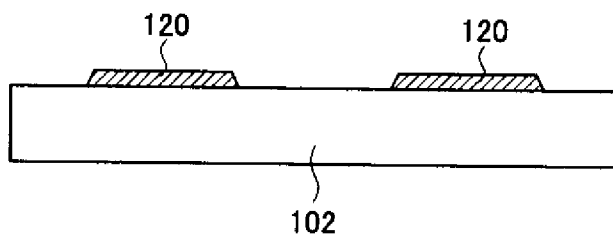
[図2]



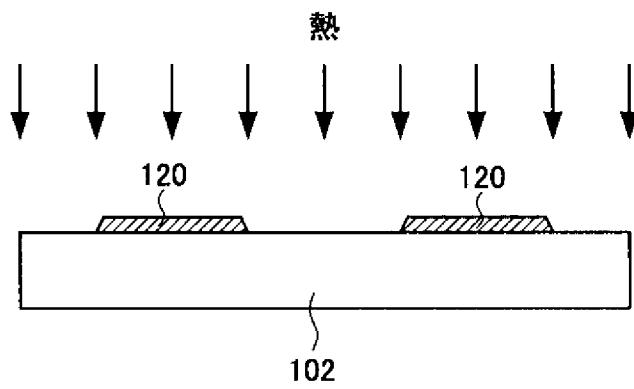
[図3]



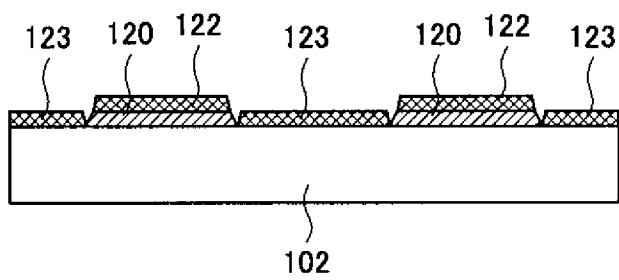
[図4]



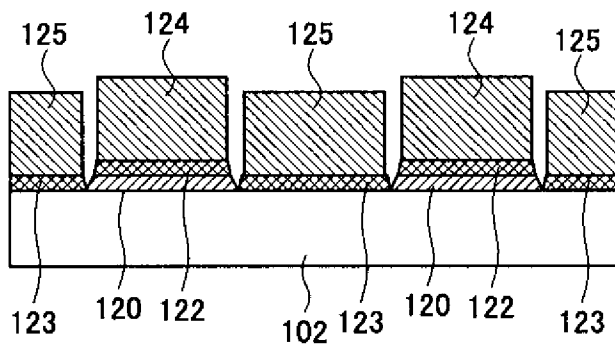
[図5]



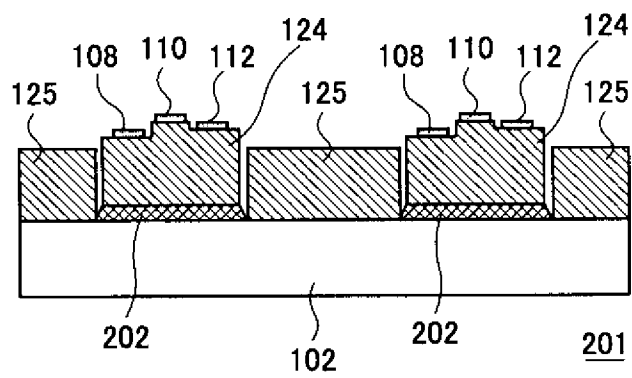
[図6]



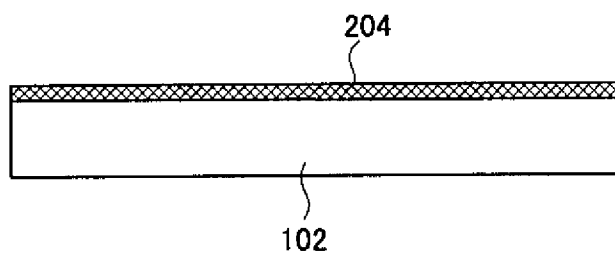
[図7]



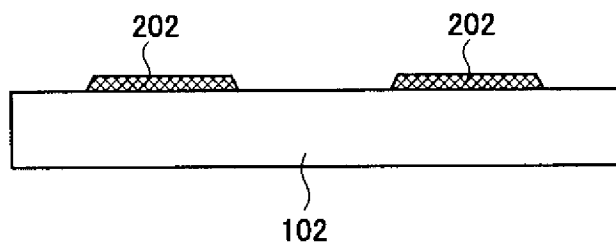
[図8]



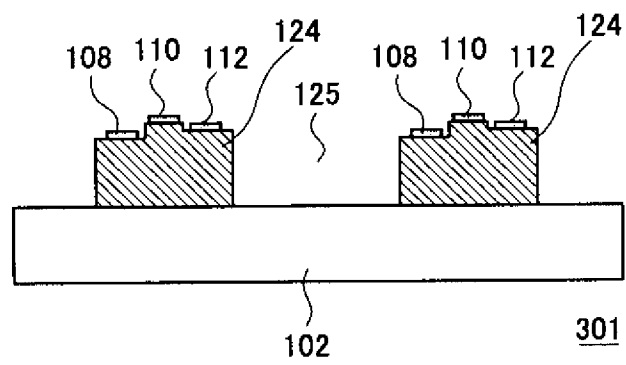
[図9]



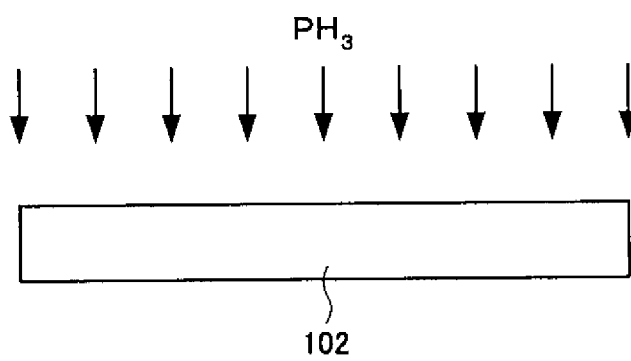
[図10]



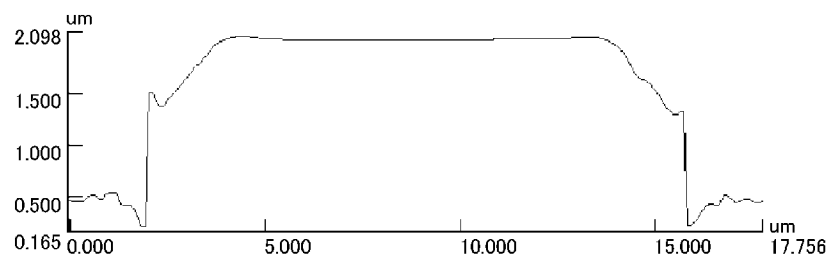
[図11]



[図12]

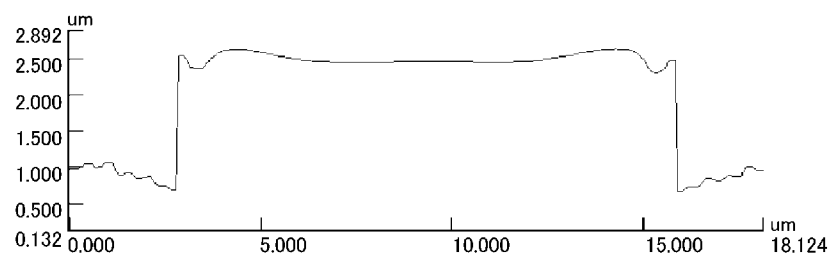


[図13]

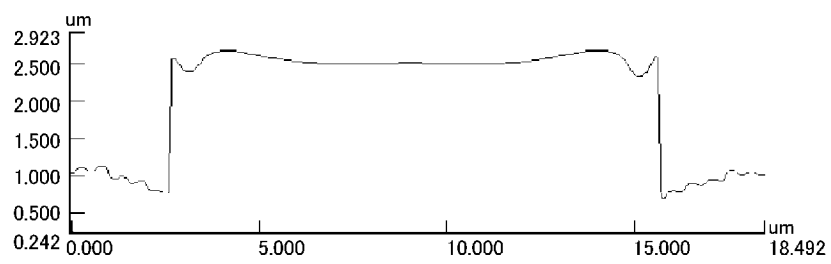


アニール無し

[図14]

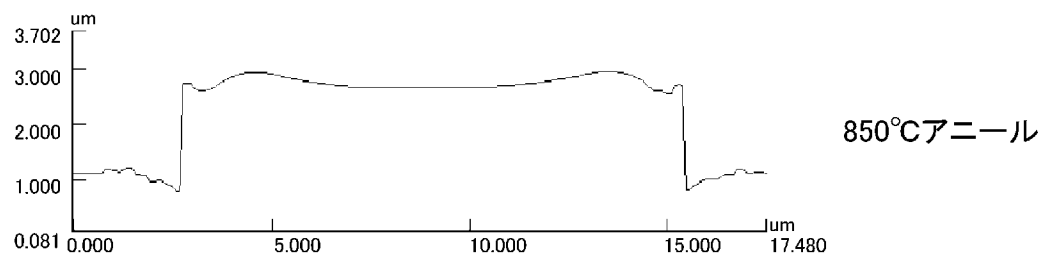


[図15]

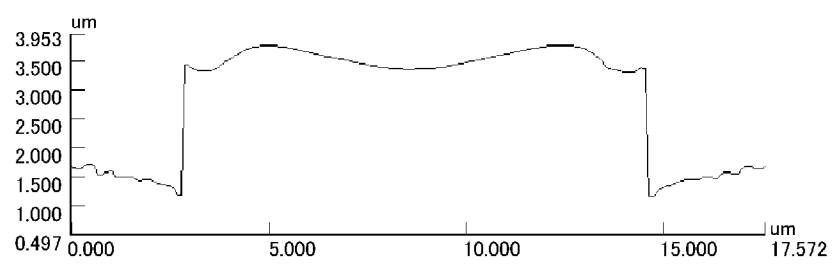


800°Cアニール

[図16]

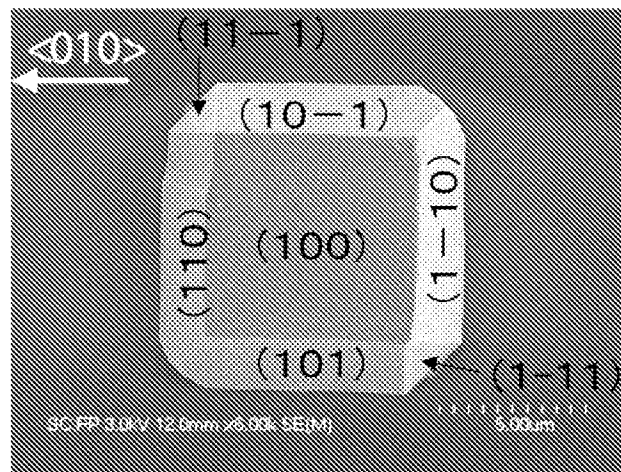


[図17]

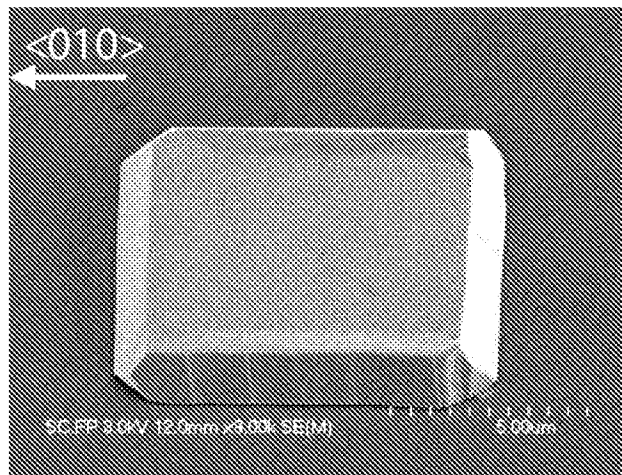


900°Cアニール

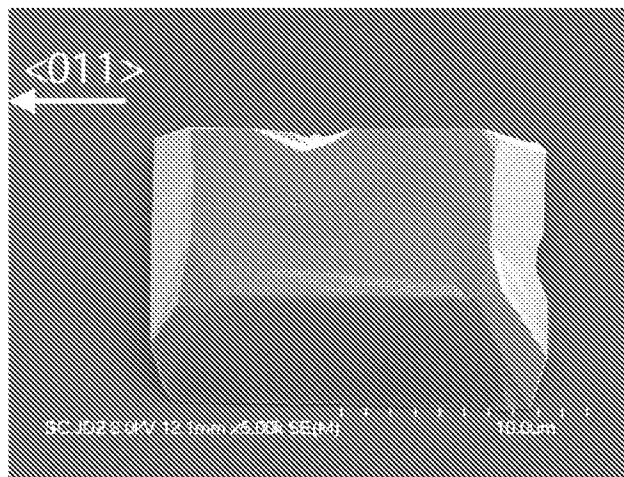
[図18]



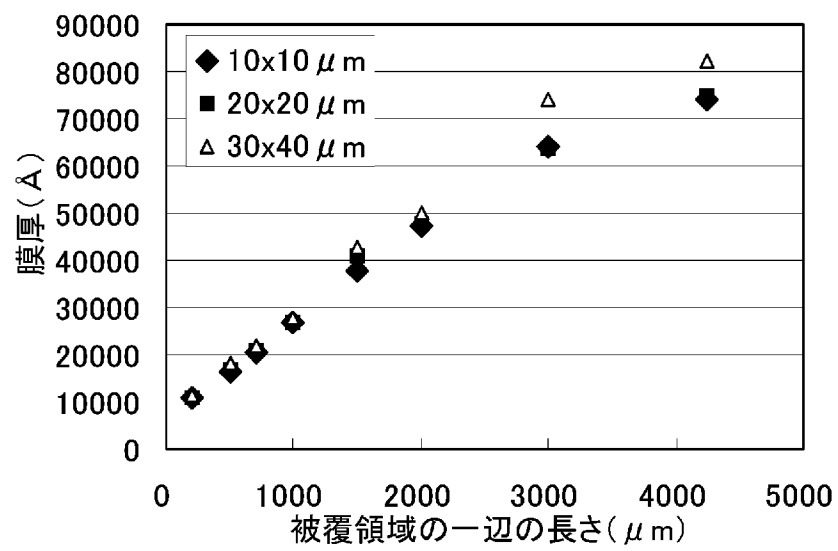
[図19]



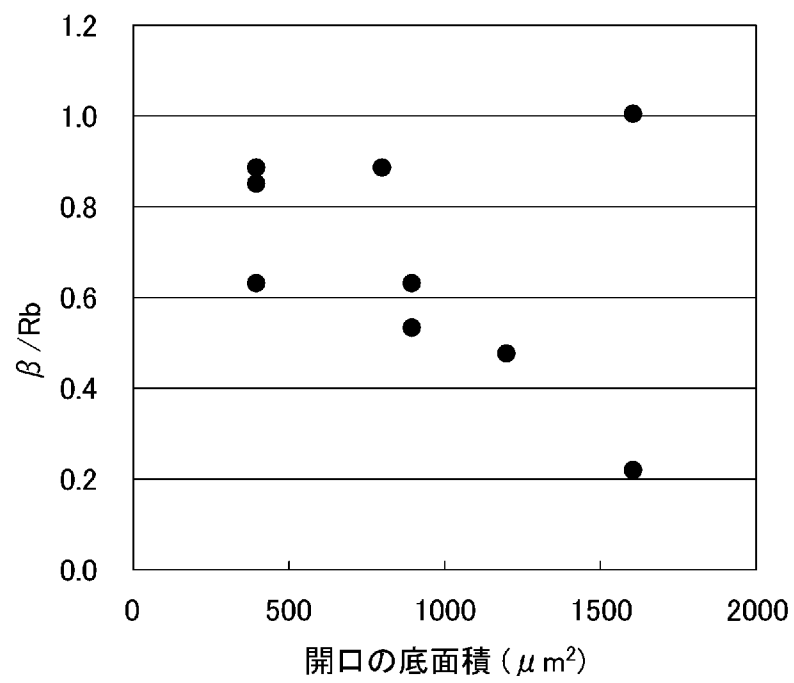
[図20]



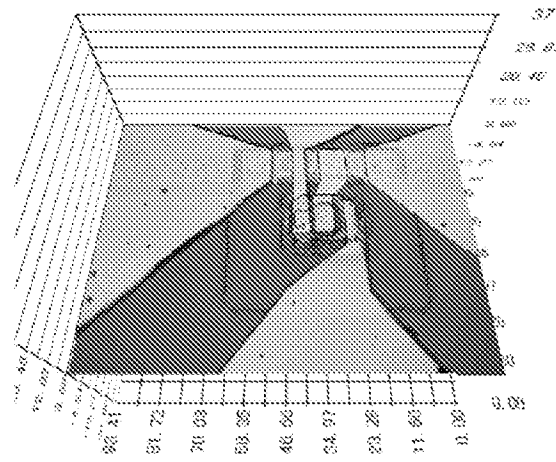
[図21]



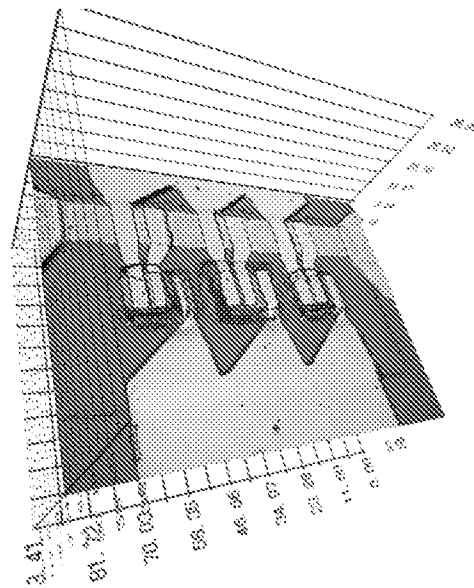
[図22]



[図23]



[図24]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/004038

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/20(2006.01) i, H01L21/331(2006.01) i, H01L29/737(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/20, H01L21/331, H01L29/737

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2009
Kokai Jitsuyo Shinan Koho	1971-2009	Toroku Jitsuyo Shinan Koho	1994-2009

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 08-316152 A (Matsushita Electric Works, Ltd.), 29 November, 1996 (29.11.96), Par. Nos. [0008] to [0011]; Fig. 1 (Family: none)	1-62
Y	McMahon WE, et al., "An STM and LEED study of MOCVD-prepared P/Ge (100) to (111) surfaces", SURFACE SCIENCE, 2004.11.01, Vol. 571, No. 1-3, pp. 146-156	1,4-22, 30-39,43-51, 60-62
Y	JP 2000-012467 A (Oki Electric Industry Co., Ltd.), 14 January, 2000 (14.01.00), Par. Nos. [0018] to [0033]; Fig. 1 (Family: none)	2,23-25,40, 41,43,52-56, 60,61

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
27 March, 2009 (27.03.09)

Date of mailing of the international search report
07 April, 2009 (07.04.09)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/004038

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KIPP L, et al., "PHOSPHINE ADSORPTION AND DECOMPOSITION ON SI(100) 2X1 STUDIED BY STM", PHYSICAL REVIEW B, Vol. 52, No. 8, 1995.08.15, pp. 5843-5850	3, 26-29, 42, 43, 57-61
Y	Luan HC, et al., "High-quality Ge epilayers on Si with low threading-dislocation densities", APPLIED PHYSICS LETTERS, 1999.11.08, Vol. 75, No. 19, pp. 2909-2911	31, 32, 36-39
A	JP 61-135115 A (The United States of America), 23 June, 1986 (23.06.86), Figs. 1 to 7 & US 4614564 A	1-62
A	JP 2005-019472 A (Hamamatsu Photonics Kabushiki Kaisha), 20 January, 2005 (20.01.05), Par. Nos. [0035] to [0038]; Fig. 2 (Family: none)	1-62

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2008/004038

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest
the

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

The technical feature common to the inventions of claims 1-62 is "a semiconductor substrate comprising a crystal-grown functional layer having an isolated island shape on an Si substrate which has been subjected to a surface treatment for crystal-growth of the functional layer".

The international search, however, has revealed that the common technical feature is not novel since it is disclosed in document JP 08-316152 A (Matsushita Electric Works, Ltd.), 29 November, 1996 (29.11.96), paragraphs [0008]-[0011], Fig. 1, and JP 61-135115 A (The United States of America) 23 June, 1986 (23.06.86), Figs. 1-7.

Consequently, the common technical feature is not a special technical feature within the meaning of PCT Rule 13.2, second sentence, since it makes no contribution over the prior art.

There is therefore no technical feature common to all the inventions of claims 1-62.

Since there is no other common technical feature which can be considered as a special technical feature within the meaning of PCT Rule 13.2, second sentence, no technical relationship within the meaning of PCT Rule 13.2, second sentence can be seen between those inventions.

Therefore, it is obvious that the inventions of claims 1-62 do not satisfy the requirement of unity of invention.

Then, judging from the specific modes described in claims, the claims of this international application are considered to contain the following three inventions: the invention of claims 1, 4-22, 30-39, 44-51, 62, a part of claim 43 dependent on claims 33-39, and parts of claims 60, 61 dependent on claims 44-51; the invention of claims 2, 23-25, 40, 41, 52-56, a part of 43 dependent on claims 40, 41, and parts of claims 60, 61 dependent on claims 52-56; and the invention of claims 3, 26-29, 42, 57-59, a part of claim 43 dependent on claim 42, and parts of claims 60, 61 dependent on claims 57-59.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L21/20(2006.01)i, H01L21/331(2006.01)i, H01L29/737(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L21/20, H01L21/331, H01L29/737

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 9 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 9 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 9 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 08-316152 A (松下電工株式会社) 1996. 11. 29, 段落【0008】 - 【0011】, 第1図 (ファミリーなし)	1-62
Y	McMahon WE, et al., "An STM and LEED study of MOCVD-prepared P/Ge (100) to (111) surfaces", SURFACE SCIENCE, 2004. 11. 01, Vol. 571, No. 1-3, pp. 146-156	1, 4-22, 30-39, 43-51, 60-62

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 7 . 0 3 . 2 0 0 9

国際調査報告の発送日

0 7 . 0 4 . 2 0 0 9

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

萩原 周治

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 4 9 8

4 L

9 8 3 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2000-012467 A (沖電気工業株式会社) 2000.01.14, 段落【0018】－【0033】, 第1図 (ファミリーなし)	2, 23-25, 40, 41, 43, 52-56, 60, 61
Y	KIPP L, et al., "PHOSPHINE ADSORPTION AND DECOMPOSITION ON SI(100) 2X1 STUDIED BY STM", PHYSICAL REVIEW B, Vol. 52, No. 8, 1995.08.15, pp. 5843-5850	3, 26-29, 42, 43, 57-61
Y	Luan HC, et al., "High-quality Ge epilayers on Si with low threading-dislocation densities", APPLIED PHYSICS LETTERS, 1999.11.08, Vol. 75, No. 19, pp. 2909-2911	31, 32, 36-39
A	JP 61-135115 A (アメリカ合衆国) 1986.06.23, 第1－7図 & US 4614564 A	1-62
A	JP 2005-019472 A (浜松ホトニクス株式会社) 2005.01.20, 段落【0035】－【0038】, 第2図 (ファミリーなし)	1-62

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってP C T 規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところこの国際調査機関は認めた。
特別ページ参照。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

請求の範囲 1-62 に係る発明の共通の事項は、「機能層を結晶成長するための表面処理がなされた Si の基板上に、孤立した島状に結晶成長された機能層を備える半導体基板」である。

しかしながら、調査の結果、上記事項は文献 JP 08-316152 A（松下電工株式会社）1996.11.29, 段落【0008】－【0011】、第 1 図、JP 61-135115 A（アメリカ合衆国）1986.06.23, 第 1-7 図に開示されているから、新規でないことが明らかとなった。

結果として、上記事項は先行技術の域を出ないから、PCT 規則 13.2 の第 2 文の意味において、この共通事項は特別な技術的特徴ではない。

それ故、請求の範囲 1-62 に係る発明すべてに共通の事項はない。

PCT 規則 13.2 の第 2 文の意味において特別な技術的特徴と考えられる他の共通の事項は存在しないので、それらの発明の間に規則 13.2 の第 2 文の意味における技術的な関連をみいだすことはできない。

よって、請求の範囲 1-62 に係る発明は発明の単一性の要件を満たしていないことが明らかである。

そして、請求の範囲に記載されている発明の特定の態様からすると、この国際出願の請求の範囲には、[1, 4-22, 30-39, 44-51, 62 及び、33-39 を引用する 43, 44-51 を引用する 60, 61]、[2, 23-25, 40, 41, 52-56 及び、40, 41 を引用する 43, 52-56 を引用する 60, 61]、[3, 26-29, 42, 57-59 及び、42 を引用する 43, 57-59 を引用する 60, 61] に区分される 3 個の発明が記載されていると認める。