

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2022 年 10 月 20 日 (20.10.2022)



(10) 国际公布号
WO 2022/217845 A1

(51) 国际专利分类号:
G11C 7/10 (2006.01)

(21) 国际申请号: PCT/CN2021/120528

(22) 国际申请日: 2021 年 9 月 26 日 (26.09.2021)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202110397025.X 2021年4月13日 (13.04.2021) CN

(71) 申请人: 长鑫存储技术有限公司 (CHANGXIN MEMORY TECHNOLOGIES, INC.) [CN/CN]; 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(72) 发明人: 张良 (ZHANG, Liang); 中国安徽省合肥市经济技术开发区空港工业园兴业大道388号, Anhui 230000 (CN)。

(74) 代理人: 广州华进联合专利商标代理有限公司 (ADVANCE CHINA IP LAW OFFICE); 中国广东省广州市天河区珠江东路6号4501房 (部位: 自编01-03和08-12单元) (仅限办公用途), Guangdong 510623 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,

(54) Title: DATA TRANSMISSION CIRCUIT AND METHOD, AND STORAGE APPARATUS

(54) 发明名称: 数据传输电路、方法及存储装置

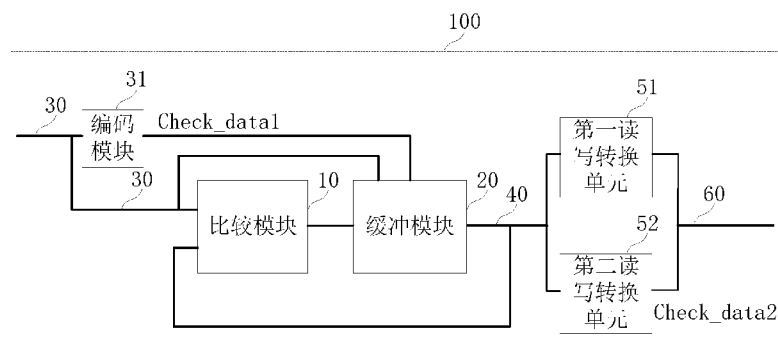


图 1

- 10 Comparison module
- 20 Buffer module
- 31 Coding module
- 51 First read-write conversion unit
- 52 Second read-write conversion unit

(57) Abstract: A data transmission circuit and method, and a storage apparatus. The circuit comprises: a coding module (31) for generating check code data according to first data on a first data line (30); a comparison module (10) for comparing the first data with second data on a second data line (40), and outputting a comparison result indicating whether the number of different bits between the first data and the second data exceeds a preset threshold value; a buffer module (20) for transmitting the first data or opposite data to the first data to the second data line (40) according to the comparison result, wherein the buffer module (20) is also used for transmitting the check code data to the second data line (40); a first read-write conversion unit (51) for transmitting the first data or the opposite data to the first data, which is transmitted to the second data line (40), to a third data line (60) according to the comparison result; and a second read-write conversion unit (52) for transmitting the check code data to the third data line (60).

NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种数据传输电路、方法及存储装置，所述电路中：编码模块（31）用于根据第一数据线（30）上的第一数据生成校验码数据；比较模块（10）用于将第一数据和第二数据线（40）上的第二数据进行比较，输出第一数据与第二数据不相同的位数是否超过预设阈值的比较结果；缓冲模块（20）用于根据比较结果将第一数据或第一数据的相反数据传输至第二数据线（40）；缓冲模块（20）还用于将校验码数据传输至第二数据线（40）；第一读写转换单元（51）用于根据比较结果将传输至第二数据线（40）上的第一数据或第一数据的相反数据传输至第三数据线（60）；第二读写转换单元（52）用于将校验码数据传输至第三数据线（60）。

数据传输电路、方法及存储装置

本申请要求于 2021 年 4 月 13 日提交的申请号为 202110397025.X、名称为“数据传输电路、方法及存储装置”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本申请涉及半导体存储技术领域，特别是涉及一种数据传输电路、方法及存储装置。

背景技术

随着半导体技术的快速发展，半导体存储装置的存储单元阵列中存储单元的密度及数量不断增加，以满足市场对半导体存储装置的存储能力的需求，导致向存储阵列区写入的数据途径的数据传输路径的宽度及长度增加，使得写入数据在数据焊盘与存储阵列区之间数据传输路径的耗电量明显增加；并且，数据传输路径增加会增加数据传输过程中发生异常的概率，导致数据传输的准确性降低。

如何能够在保证半导体存储单元阵列中存储单元的密度及数量不减少的情况下，减少向存储阵列区写入的数据在数据传输过程中的耗电量，并提高向存储阵列区写入数据的准确性，成为进一步提高半导体存储装置的节能性能及存储性能过程中亟待解决的技术难题之一。

发明内容

本申请的第一方面提供了一种数据传输电路，包括编码模块、比较模块、缓冲模块、第一读写转换单元及第二读写转换单元，编码模块用于根据第一数据线上的第一数据生成校验码数据；比较模块用于接收第一数据线上的第一数据和第二数据线上的第二数据，用于将所述第一数据和所述第二数据进行比较，以输出所述第一数据与所述第二数据不相同的位数是否超过预设阈值的比较结果，其中，所述第一数据与所述第二数据具有相同的预设位宽；缓冲模块与所述第一数据线、所述比较模块、所述编码模块及所述第二数据线均电连接，用于在所述比较结果超过预设阈值的情况下，将所述第一数据的相反数据传输至所述第二数据线，并在所述比较结果未超过所述预设阈值的情况下，将所述第一数据传输至所述第二数据线；所述缓冲模块还用于将所述校验码数据传输至所述第二数据线；第一读写转换单元与所述第二数据线和第三数据线均电连接，用于在所述比较结果超过预设阈值的情况下，将传输至所述第二数据线上的所述第一数据的相反数据取反后再传输至所述第三数据线，并在所述比较结果未超过所述预设阈值的情况下，将传输至所述第二数据线上的所述第一数据传输至所述

第三数据线；第二读写转换单元与所述第二数据线和所述第三数据线均电连接，用于将所述第二数据线上的所述校验码数据传输至所述第三数据线；其中，所述缓冲模块与所述第一读写转换单元之间的传输路径具有第一长度，所述缓冲模块与所述第二读写转换单元之间的传输路径具有第二长度，所述第一长度不小于所述第二长度。

本申请的第二方面提供了一种存储装置，包括以上所述的数据传输电路，用于存储并传输读操作或写操作的数据。

本申请的第三方面提供了一种数据传输方法，包括：根据第一数据线上的第一数据生成校验码数据；将第一数据线上的第一数据和第二数据线上的第二数据进行比较，以输出所述第一数据与所述第二数据不相同的位数是否超过预设阈值的比较结果，其中，所述第一数据与所述第二数据具有相同的预设位宽；控制缓冲模块在所述比较结果超过预设阈值的情况下，将所述第一数据的相反数据传输至所述第二数据线，并在所述比较结果未超过所述预设阈值的情况下，将所述第一数据传输至所述第二数据线；其中，所述缓冲模块还用于将所述校验码数据传输至所述第二数据线；控制第一读写转换单元在所述比较结果超过预设阈值的情况下，将传输至所述第二数据线上的所述第一数据的相反数据取反后再传输至所述第三数据线，并在所述比较结果未超过所述预设阈值的情况下，将传输至所述第二数据线上的所述第一数据传输至所述第三数据线；并控制第二读写转换单元将所述第二数据线上的所述校验码数据传输至所述第三数据线；其中，所述缓冲模块与所述第一读写转换单元之间的传输路径具有第一长度，所述缓冲模块与所述第二读写转换单元之间的传输路径具有第二长度，所述第一长度不小于所述第二长度。

本申请的各个实施例的细节将在下面的附图和描述中进行说明。根据说明书、附图以及权利要求书的记载，本领域技术人员将容易理解本申请的其它特征、解决的问题以及技术效果。

附图说明

为了更清楚地说明本申请实施例的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，用于描述附图的附加细节或示例不应当被认为是对本申请的发明创造、目前所描述的实施例或优选方式中任何一者的范围的限制。

图 1 为本申请第一实施例中提供的一种数据传输电路的电路原理示意图；

图 2 为本申请第二实施例中提供的一种数据传输电路的电路原理示意图；

图 3 为本申请第三实施例中提供的一种数据传输电路的电路原理示意图；

图 4a 为本申请第四实施例中提供的一种数据传输电路的电路原理示意图；

图 4b 为图 4a 的一种实施方式示意图；

图 5 为本申请第五实施例中提供的一种数据传输电路的电路原理示意图；

图 6 为本申请第六实施例中提供的一种数据传输电路的电路原理示意图；

图 7 为本申请一实施例中提供的一种数据传输电路中写使能模块的电路示意图；

图 8 为本申请一实施例中提供的一种数据传输电路中写驱动电路的电路示意图；

图 9 为本申请第七实施例中提供的一种数据传输电路的电路原理示意图；

图 10 为本申请一实施例中提供的一种数据传输方法的流程示意图；

图 11 为本申请另一实施例中提供的一种数据传输方法的流程示意图。

具体实施方式

为了便于理解本申请，下面将参照相关附图对本申请进行更全面的描述。附图中给出了本申请的首选实施例。但是，本申请可以以许多不同的形式来实现，并不限于本文所描述的实施例。相反地，提供这些实施例的目的是使对本申请的公开内容更加透彻全面。

除非另有定义，本文所使用的所有的技术和科学术语与属于本申请的技术领域的技术人员通常理解的含义相同。本文中在本申请的说明书中所使用的术语只是为了描述具体的实施例的目的，不是旨在于限制本申请。另外，贯穿说明书和跟随的权利要求中所使用的某些术语指代特定元件。本领域的技术人员会理解为，制造商可以用不同的名字指代元件。本文件不想要区分名字不同但是功能相同的元件。在以下的描述和实施例中，术语“包含”和“包括”都是开放式使用的，因此应该解读为“包含，但不限于……”。同样，术语“连接”想要表达间接或直接的电气连接。相应地，如果一个设备被连接到另一个设备上，连接可以通过直接的电气连接完成，或者通过其他设备和连接件的间接电气连接完成。

应当理解，尽管本文可以使用术语“第一”、“第二”等来描述各种元件，但是这些元件不应受这些术语的限制。这些术语仅用于将一个元件和另一个元件区分开。例如，在不脱离本申请的范围的情况下，第一元件可以被称为第二元件，并且类似地，第二元件可以被称为第一元件。

请参考图 1，在本申请的一个实施例中，提供了一种数据传输电路 100，包括比较模块 10、缓冲模块 20、编码模块 31、第一读写转换单元 51 及第二读写转换单元 52，编码模块 31 用于根据第一数据线 30 上的第一数据生成校验码数据 Check_data1；比较模块 10 用于接收第一数据线 30 上的第一数据和第二数据线 40 上的第二数据，用于将第一数据和第二数据进行比较，以输出第一数据与第二数据不相同的位数是否超过预设阈值的比较结果，其中，第一数据与第二数据具有相同的预设位宽；缓冲模块 20 与第一数据线 30、比较模块 10、编码模

块 31 及第二数据线 40 均电连接, 用于在比较结果超过预设阈值的情况下, 将第一数据的相反数据传输至第二数据线 40, 并在比较结果未超过预设阈值的情况下, 将第一数据传输至第二数据线 40; 缓冲模块 20 还用于将校验码数据 Check_data1 传输至第二数据线 40; 第一读写转换单元 51 与第二数据线 40 和第三数据线 60 均电连接, 用于在比较结果超过预设阈值的情况下, 将传输至第二数据线 40 上的第一数据的相反数据取反后再传输至第三数据线 60, 并在比较结果未超过预设阈值的情况下, 将传输至第二数据线 40 上的第一数据传输至第三数据线 60; 第二读写转换单元 52 与第二数据线 40 和第三数据线 60 均电连接, 用于将第二数据线 40 上的校验码数据 Check_data2 传输至第三数据线 60; 其中, 缓冲模块 20 与第一读写转换单元 51 之间的传输路径具有第一长度 $L1$, 缓冲模块 20 与第二读写转换单元 52 之间的传输路径具有第二长度 $L2$, $L1 \geq L2$ 。

作为示例, 请继续参考图 1, 通过设置编码模块 31 根据第一数据线 30 上的第一数据生成校验码数据 Check_data1, 以便于后续根据该校验码数据 Check_data1 对存储阵列区中的数据进行检错和/或纠错, 提高存储数据的准确性; 通过比较模块 10 将第一数据线 30 上的第一数据和第二数据线 40 上的第二数据进行比较, 以输出第一数据与第二数据不相同的位数是否超过预设阈值的比较结果, 其中, 第一数据与第二数据具有相同的预设位宽; 然后利用缓冲模块 20 在比较结果超过预设阈值的情况下, 将第一数据的相反数据传输至第二数据线 40, 并在比较结果未超过预设阈值的情况下, 将第一数据传输至第二数据线 40, 其中, 缓冲模块 20 还用于将校验码数据 Check_data1 传输至第二数据线 40; 使得第一读写转换单元 51 能够在比较结果超过预设阈值的情况下, 将传输至第二数据线 40 上的第一数据的相反数据取反后再传输至第三数据线 60, 并在比较结果未超过预设阈值的情况下, 将传输至第二数据线 40 上的第一数据传输至第三数据线 60, 以将传输至第二数据线 40 上被翻转的第一数据还原, 同时利用第二读写转换单元 52 将第二数据线 40 上的校验码数据 Check_data2 传输至第三数据线 60, 以便于根据该校验码数据 Check_data2 对第三数据线 60 上的数据进行检错和/或纠错, 提高向存储阵列区写入数据的准确性。校验码数据 Check_data1 与校验码数据 Check_data2 可以相同, 也可以满足预设算法。通过设置缓冲模块 20 与第一读写转换单元 51 之间的传输路径的长度 $L1$, 不小于缓冲模块 20 与第二读写转换单元 52 之间的传输路径的长度 $L2$, 以便于在靠近数据焊盘的位置对读出数据进行检错和/或纠错, 以提高从存储装置中读取数据的准确性。由于传输的数据中一般包括由 0 及 1 组成的数据串, 通过将省电算法运用在写入数据传输的过程中, 在没有改变写入数据传输路径的前提下减少向存储装置中写入的数据在传输过程中翻转的次数, 有效地减少写数据在传输过程中的耗电量。本实施例在保证存储单元阵列中存储单元的密度及数量不减少的情况下, 减少向存储阵列区写入的数据在数据传输过

程中的耗电量的同时，提高向存储阵列区写入数据的准确性，能够进一步提高半导体存储装置的节能性能及存储性能。

作为示例，请继续参考图 1，在本申请的一个实施例中，可以设置编码模块 31 包括 ECC 编码单元，利用 ECC 编码单元根据第一数据线 30 上的第一数据生成 ECC 校验码数据，以便于后续根据该 ECC 校验码数据对存储阵列区中的数据进行检错和/或纠错，提高存储数据的准确性。

需要说明的是，本申请中所述的第二数据线上的第二数据不包括第二数据线上的校验码数据。

进一步地，请参考图 2，在本申请的一个实施例中，缓冲模块 20 包括数据转换模块 21 及数据总线缓冲模块 22；数据转换模块 21 与第一数据线 30、比较模块 10 及数据总线缓冲模块 22 均电连接，用于在比较结果超过预设阈值的情况下，将第一数据线 30 上的第一数据的相反数据传输至数据总线缓冲模块 22，并在比较结果未超过预设阈值的情况下，将第一数据线 30 上的第一数据传输至数据总线缓冲模块 22；数据总线缓冲模块 22 与编码模块 31、数据转换模块 21、比较模块 10 及第二数据线 40 均电连接，用于根据比较结果生成数据极性标识信号 p1，以及还用于将第一数据或第一数据的相反数据传输至第二数据线 40。便于后续根据数据极性标识信号 p1 将翻转后的数据还原，以保证数据传输的准确性。

进一步地，请参考图 3，在本申请的一个实施例中，可以设置预设阈值为预设位宽的一半；其中，比较模块 10 包括比较单元 11 及状态识别单元 12，比较单元 11 用于对第一数据线 30 上的第一数据和第二数据线 40 上的第二数据进行逐位比较，并输出每一位的比较状态数据；状态识别单元 12 电连接比较单元 11 及数据转换模块 21，用于对每一位的比较状态数据进行统计，并根据统计结果生成比较结果，使得数据转换模块 21 在比较结果超过预设阈值的情况下，将第一数据线 30 上的第一数据的相反数据传输至数据总线缓冲模块 22，并在比较结果未超过预设阈值的情况下，将第一数据线 30 上的第一数据传输至数据总线缓冲模块 22，在确保数据传输准确度的前提下减少数据翻转的次数，以有效地减少数据传输过程中的耗电量。

进一步地，请参考图 4a 及图 4b，在本申请的一个实施例中，数据转换模块 21 包括第一传输单元 211、第一反相单元 212、第二传输单元 213 及第二反相单元 214，第一传输单元 211 电连接第一数据线 30、数据总线缓冲模块 22，以及通过第一反相单元 212 与状态识别单元 12 的输出端电连接，用于在比较结果未超过预设阈值的情况下，将第一数据线 30 上的第一数据传输至数据总线缓冲模块 22；第二传输单元 213 电连接数据总线缓冲模块 22、状态识别单元 12 的输出端，以及通过第二反相单元 214 与第一数据线 30 电连接，用于在比较结果超

过预设阈值的情况下，将第一数据的相反数据传输至数据总线缓冲模块 22。本实施例在确保写入数据传输准确度的前提下减少写入数据翻转的次数，能够有效地减少写入数据在传输过程中的耗电量。

进一步地，请参考图 5，在本申请的一个实施例中，第一读写转换单元 51 包括读写转换电路 511，读写转换电路 511 与第二数据线 40 和第三数据线 60 均电连接，用于在比较结果超过预设阈值的情况下，将传输至第二数据线 40 上的第一数据的相反数据取反后再传输至第三数据线 60，并在比较结果未超过预设阈值的情况下，将传输至第二数据线 40 上的第一数据传输至第三数据线 60。

进一步地，请参考图 6，在本申请的一个实施例中，第二数据线 40 包括全局数据线 41 和互补全局数据线 42，全局数据线 41 和互补全局数据线 42 传输互为反相的信号；第三数据线 60 包括本地数据线 61 及互补本地数据线 62，本地数据线 61 及互补本地数据线 62 传输互为反相的信号；将传输至第二数据线 40 上的第一数据的相反数据取反后再传输至第三数据线 60 包括：将传输至全局数据线 41 上的第一数据的相反数据取反后再传输至本地数据线 61；将传输至第二数据线 40 上的第一数据传输至第三数据线 60 包括：将传输至全局数据线 41 上的第一数据传输至本地数据线 61。

作为示例，请继续参考图 6，在本申请的一个实施例中，读写转换电路 511 包括写使能模块 5111 及写驱动电路 5112，写使能模块 5111 根据数据极性标识信号 pl 和初始写使能信号 we 生成写使能信号 $WrEn$ 和写使能反信号 $WrEn_{-}$ ；写驱动电路 5112 用于根据写使能信号 $WrEn$ 、写使能反信号 $WrEn_{-}$ 及传输至第二数据线 40 上的第一数据或第一数据的相反数据生成第三数据，并将第三数据传输至第三数据线。

作为示例，请参考图 7，在本申请的一个实施例中，写使能模块 5111 包括第一反相器 $Inv1$ 、第一或非门 $Nor1$ 、第二反相器 $Inv2$ 及第二或非门 $Nor2$ ，第一反相器 $Inv1$ 被配置为：输入端电连接初始写使能信号 we ，输出端输出第一写使能反信号 $We1_{-}$ ；第一或非门 $Nor1$ 被配置为：输入端电连接数据极性标识信号 pl 和第一反相器 $Inv1$ 的输出端，输出端输出写使能信号 $WrEn$ ；第二反相器 $Inv2$ 被配置为：输入端电连接数据极性标识信号 pl ，输出端输出数据极性标识反信号 Pl_{-} ；第二或非门 $Nor2$ 被配置为：输入端电连接第二反相器 $Inv2$ 的输出端和第一反相器 $Inv1$ 的输出端，输出端输出写使能反信号 $WrEn_{-}$ 。

作为示例，请参考图 8，在本申请的一个实施例中，写驱动电路 5112 包括第一开关单元 51121、第二开关单元 51122、第三开关单元 51123 及第四开关单元 51124，第一开关单元 51121 用于根据写使能信号 $WrEn$ 电连接本地数据线 LIO 和全局数据线 YIO ；第二开关单元 51122 用于根据写使能反信号 $WrEn_{-}$ 电连接本地数据线 LIO 和互补全局数据线 YIO_{-} ；第三开关单

元 51123 用于根据写使能反信号 WrEn_ 电连接互补本地数据线 LIO_ 和全局数据线 YIO ; 第四开关单元 51124 用于根据写使能信号 WrEn 电连接互补本地数据线 LIO_ 和互补全局数据线 YIO_ 。

作为示例, 请继续参考图 8, 在本申请的一个实施例中, 读写转换电路 511 还包括读驱动电路 5113, 读驱动电路 5113 包括第五开关单元 51131、第六开关单元 51132、第七开关单元 51133 及第八开关单元 51134, 第五开关单元 51131 的控制端电连接本地数据线 LIO , 用于根据控制端信号电连接互补全局数据线 YIO_ 和第一节点 a; 第六开关单元 51132 用于根据读使能信号电连接第一节点 a 和接地端; 第七开关单元 51133 的控制端电连接互补本地数据线 LIO_ , 用于根据控制端信号电连接全局数据线 YIO 和第二节点 b; 第八开关单元 51134 用于根据读使能信号电连接第二节点 b 和接地端。

进一步地, 请参考图 9, 在本申请的一个实施例中, 数据传输电路 100 还包括读单元 70 及修正模块 80, 读单元 70 与第二数据线 40 电连接, 用于读取第二数据线 40 上的第二数据和校验码数据 Check_data2 ; 修正模块 80 与第一数据线 30 及读单元 70 均电连接, 用于接收第二数据线 40 上的第二数据和校验码数据 Check_data2 , 并根据校验码数据 Check_data2 对第二数据进行检错和/或纠错, 生成修正后数据, 以将修正后数据传输至第一数据线 30。本实施例能够有效地提高从存储装置读出数据的准确性。

进一步地, 在本申请的一个实施例中, 提供了一种存储装置, 包括任一本申请实施例中所述的数据传输电路, 用于存储并传输读操作或写操作的数据。通过将省电算法运用在写入数据传输的过程中, 在没有改变写入数据传输路径的前提下减少向存储装置中写入的数据在传输过程中翻转的次数, 有效地减少写数据在传输过程中的耗电量的同时, 编码模块根据第一数据线上的第一数据生成的校验码数据并行向后级数据线传输, 能够在保证写入数据的准确性的情况下, 避免因编码模块的引入而降低数据传输的效率。本实施例在保证存储单元阵列中存储单元的密度及数量不减少的情况下, 减少向存储阵列区写入的数据在数据传输过程中的耗电量的同时, 提高向存储阵列区写入数据的准确性, 能够进一步提高半导体存储装置的节能性能及存储性能。

进一步地, 请参考图 10, 在本申请的一个实施例中, 提供了一种数据传输方法, 包括:

步骤 102, 根据第一数据线上的第一数据生成校验码数据;

步骤 104, 将第一数据线上的第一数据和第二数据线上的第二数据进行比较, 以输出所述第一数据与所述第二数据不相同的位数是否超过预设阈值的比较结果, 其中, 所述第一数据与所述第二数据具有相同的预设位宽;

步骤 106, 控制缓冲模块在所述比较结果超过预设阈值的情况下, 将所述第一数据的相

反数据传输至所述第二数据线，并在所述比较结果未超过所述预设阈值的情况下，将所述第一数据传输至所述第二数据线；其中，所述缓冲模块还用于将所述校验码数据传输至所述第二数据线；

步骤 108，控制第一读写转换单元在所述比较结果超过预设阈值的情况下，将传输至所述第二数据线上的所述第一数据的相反数据取反后再传输至所述第三数据线，并在所述比较结果未超过所述预设阈值的情况下，将传输至所述第二数据线上的所述第一数据传输至所述第三数据线；并控制第二读写转换单元将所述第二数据线上的所述校验码数据传输至所述第三数据线；其中，所述缓冲模块与所述第一读写转换单元之间的传输路径具有第一长度，所述缓冲模块与所述第二读写转换单元之间的传输路径具有第二长度，所述第一长度不小于所述第二长度。

具体地，请继续参考图 10，通过在根据第一数据线上的第一数据生成校验码数据的期间，将省电算法运用在写入数据传输的过程中，在没有改变写入数据传输路径的前提下减少向存储装置中写入的数据在传输过程中翻转的次数，有效地减少写数据在传输过程中的耗电量的同时，使得校验码数据并行向后级数据线传输，能够在保证写入数据的准确性的情况下，避免因数据校验而降低数据传输的效率。通过设置缓冲模块与第一读写转换单元之间的传输路径的长度，不小于缓冲模块与第二读写转换单元之间的传输路径的长度，以减小校验码数据的写入路径长度，缩短校验码数据的写入时间，从而补偿生成校验码数据所花的时间，使数据和校验码尽量同时完成写入操作，提高写入速度。本实施例在保证存储单元阵列中存储单元的密度及数量不减少的情况下，减少向存储阵列区写入的数据在数据传输过程中的耗电量的同时，提高向存储阵列区写入数据的准确性，能够进一步提高半导体存储装置的节能性能及存储性能。

进一步地，请参考图 11，在本申请的一个实施例中，可以设置所述预设阈值为所述预设位宽的一半；所述方法还包括：

步骤 109，接收所述第二数据线上的第二数据和校验码数据，根据所述校验码数据对所述第二数据进行检错和/或纠错，生成修正后数据，并将所述修正后数据传输至所述第一数据线。

具体地，请继续参考图 11，由于写入数据在传输的过程中受各种因素的影响容易出现异常，导致写入并存储至存储装置中的写入数据与初始写入的数据存在差异。通过在从存储装置中读取数据的过程中，根据校验码数据对第二数据线上的第二数据例如全局数据线上的全局数据进行检错和/或纠错，生成修正后数据，并将所述修正后数据传输至第一数据线例如数据总线，以经由存储装置的数据焊盘输出，能够有效地提高从存储装置读出数据的准确性。

在本申请的一个实施例中，提供了一种计算机可读存储介质，其上存储有计算机程序，所述计算机程序被处理器执行时实现任一本申请实施例中所述的数据传输方法。

应该理解的是，虽然图 10、图 11 的流程图中的各个步骤按照箭头的指示依次显示，但是这些步骤并不是必然按照箭头指示的顺序依次执行。除非本文中有明确的说明，这些步骤的执行并没有严格的顺序限制，这些步骤可以以其它的顺序执行。而且，虽然图 10、图 11 中的至少一部分步骤可以包括多个步骤或者多个阶段，这些步骤或者阶段并不必然是在同一时刻执行完成，而是可以在不同的时刻执行，这些步骤或者阶段的执行顺序也不必然是依次进行，而是可以与其它步骤或者其它步骤中的步骤或者阶段的至少一部分轮流或者交替地执行。

本领域普通技术人员可以理解实现上述实施例方法中的全部或部分流程，是可以通过计算机程序来指令相关的硬件来完成，所述的计算机程序可存储于一非易失性计算机可读存储介质中，该计算机程序在执行时，可包括如上述各方法的实施例的流程。其中，本申请所提供的各实施例中所使用的对存储器、存储、数据库或其它介质的任何引用，均可包括非易失性和/或易失性存储器。非易失性存储器可包括只读存储器 (ROM)、可编程 ROM (PROM)、电可编程 ROM (EPROM)、电可擦除可编程 ROM (EEPROM) 或闪存。易失性存储器可包括随机存取存储器 (RAM) 或者外部高速缓冲存储器。作为说明而非局限，RAM 以多种形式可得，诸如静态 RAM (SRAM)、动态 RAM (DRAM)、同步 DRAM (SDRAM)、双数据率 SDRAM (DDRSDRAM)、增强型 SDRAM (ESDRAM)、同步链路 (Synchlink) DRAM (SLDRAM)、存储器总线 (Rambus) 直接 RAM (RDRAM)、直接存储器总线动态 RAM (DRDRAM)、以及存储器总线动态 RAM (RDRAM) 等。

请注意，上述实施例仅出于说明性目的而不意味对本申请的限制。

上所述实施例的各技术特征可以进行任意的组合，为使描述简洁，未对上述实施例各个技术特征所有可能的组合都进行描述，然而，只要这些技术特征的组合不存在矛盾，都应当认为是本说明书记载的范围。

以上所述实施例仅表达了本申请的几种实施方式，其描述较为具体和详细，但并不能因此而理解为对申请专利范围的限制。应当指出的是，对于本领域的普通技术人员来说，在不脱离本申请构思的前提下，还可以做出若干变形和改进，这些都属于本申请的保护范围。因此，本申请专利的保护范围应以所附权利要求为准。

权利要求书

1.一种数据传输电路，包括：

编码模块，用于根据第一数据线上的第一数据生成校验码数据；

比较模块，用于接收第一数据线上的第一数据和第二数据线上的第二数据，用于将所述第一数据和所述第二数据进行比较，以输出所述第一数据与所述第二数据不相同的位数是否超过预设阈值的比较结果，其中，所述第一数据与所述第二数据具有相同的预设位宽；

缓冲模块，与所述第一数据线、所述比较模块、所述编码模块及所述第二数据线均电连接，用于在所述比较结果超过预设阈值的情况下，将所述第一数据的相反数据传输至所述第二数据线，并在所述比较结果未超过所述预设阈值的情况下，将所述第一数据传输至所述第二数据线；所述缓冲模块还用于将所述校验码数据传输至所述第二数据线；

第一读写转换单元，与所述第二数据线和第三数据线均电连接，用于在所述比较结果超过预设阈值的情况下，将传输至所述第二数据线上的所述第一数据的相反数据取反后再传输至所述第三数据线，并在所述比较结果未超过所述预设阈值的情况下，将传输至所述第二数据线上的所述第一数据传输至所述第三数据线；

第二读写转换单元，与所述第二数据线和所述第三数据线均电连接，用于将所述第二数据线上的所述校验码数据传输至所述第三数据线；

其中，所述缓冲模块与所述第一读写转换单元之间的传输路径具有第一长度，所述缓冲模块与所述第二读写转换单元之间的传输路径具有第二长度，所述第一长度不小于所述第二长度。

2.根据权利要求 1 所述的数据传输电路，其中，所述缓冲模块包括数据转换模块及数据总线缓冲模块；

所述数据转换模块与所述第一数据线、所述比较模块及所述数据总线缓冲模块均电连接，用于在所述比较结果超过预设阈值的情况下，将所述第一数据的相反数据传输至所述数据总线缓冲模块，并在所述比较结果未超过所述预设阈值的情况下，将所述第一数据传输至所述数据总线缓冲模块；

所述数据总线缓冲模块与所述编码模块、所述数据转换模块、所述比较模块及所述第二数据线均电连接，用于根据所述比较结果生成数据极性标识信号，以及还用于将所述第一数据或所述第一数据的相反数据传输至所述第二数据线。

3.根据权利要求 2 所述的数据传输电路，其中，所述预设阈值为所述预设位宽的一半；所述比较模块包括：

比较单元，用于对所述第一数据线上的第一数据和所述第二数据线上的第二数据进行逐

位比较，并输出每一位的比较状态数据；

状态识别单元，电连接所述比较单元及所述数据转换模块，用于对每一位的比较状态数据进行统计，并根据统计结果生成所述比较结果。

4.根据权利要求3所述的数据传输电路，其中，所述数据转换模块包括：

第一传输单元，电连接所述第一数据线、所述数据总线缓冲模块，以及通过第一反相单元与所述状态识别单元的输出端电连接，用于在所述比较结果未超过所述预设阈值的情况下，将所述第一数据线上的第一数据传输至所述数据总线缓冲模块；

第二传输单元，电连接所述数据总线缓冲模块、所述状态识别单元的输出端，以及通过第二反相单元与所述第一数据线电连接，用于在所述比较结果超过所述预设阈值的情况下，将所述第一数据的相反数据传输至所述数据总线缓冲模块。

5.根据权利要求2-4任一项所述的数据传输电路，其中，所述第一读写转换单元包括：

读写转换电路，与所述第二数据线和所述第三数据线均电连接，用于在所述比较结果超过预设阈值的情况下，将传输至所述第二数据线的所述第一数据的相反数据取反后再传输至所述第三数据线，并在所述比较结果未超过所述预设阈值的情况下，将传输至所述第二数据线的所述第一数据传输至所述第三数据线。

6.根据权利要求5所述的数据传输电路，其中，所述第二数据线包括全局数据线和互补全局数据线，所述全局数据线和所述互补全局数据线传输互为反相的信号；所述第三数据线包括本地数据线及互补本地数据线，所述本地数据线及所述互补本地数据线传输互为反相的信号；

所述将传输至所述第二数据线上的所述第一数据的相反数据取反后再传输至所述第三数据线包括：

将传输至全局数据线上的所述第一数据的相反数据取反后再传输至所述本地数据线；

所述将传输至所述第二数据线上的所述第一数据传输至所述第三数据线包括：

将传输至所述全局数据线上的所述第一数据传输至所述本地数据线。

7.根据权利要求6所述的数据传输电路，其中，所述读写转换电路包括：

写使能模块，用于根据所述数据极性标识信号和初始写使能信号生成写使能信号和写使能反信号；

写驱动电路，用于根据所述写使能信号、所述写使能反信号及传输至所述第二数据线上的所述第一数据或所述第一数据的相反数据生成第三数据，并将所述第三数据传输至所述第三数据线。

8.根据权利要求7所述的数据传输电路，其中，所述写使能模块包括：

第一反相器，被配置为：输入端电连接初始写使能信号，输出端输出第一写使能反信号；
第一或非门，被配置为：输入端电连接所述数据极性标识信号和所述第一反相器的输出端，输出端输出写使能信号；

第二反相器，被配置为：输入端电连接数据极性标识信号，输出端输出数据极性标识反信号；

第二或非门，被配置为：输入端电连接所述第二反相器的输出端和所述第一反相器的输出端，输出端输出写使能反信号。

9.根据权利要求 8 所述的数据传输电路，其中，所述写驱动电路包括：

第一开关单元，用于根据所述写使能信号电连接所述本地数据线和所述全局数据线；

第二开关单元，用于根据所述写使能反信号电连接所述本地数据线和所述互补全局数据线；

第三开关单元，用于根据所述写使能反信号电连接所述互补本地数据线和所述全局数据线；

第四开关单元，用于根据所述写使能信号电连接所述互补本地数据线和所述互补全局数据线。

10.根据权利要求 9 所述的数据传输电路，其中，所述读写转换电路还包括读驱动电路，所述读驱动电路包括：

第五开关单元，控制端电连接所述本地数据线，用于根据控制端信号电连接所述互补全局数据线和第一节点；

第六开关单元，用于根据读使能信号电连接所述第一节点和接地端；

第七开关单元，控制端电连接所述互补本地数据线，用于根据控制端信号电连接所述全局数据线和第二节点；

第八开关单元，用于根据读使能信号电连接所述第二节点和接地端。

11.根据权利要求 1-4 任一项所述的数据传输电路，还包括：

读单元，与所述第二数据线电连接，用于读取所述第二数据线上的所述第二数据和所述校验码数据；

修正模块，与所述第一数据线及所述读单元均电连接，用于接收所述第二数据线上的所述第二数据和所述校验码数据，并根据所述校验码数据对所述第二数据进行检错和/或纠错，生成修正后数据，以将所述修正后数据传输至所述第一数据线。

12.根据权利要求 1-4 任一项所述的数据传输电路，其中，所述编码模块包括 ECC 编码单元。

13.一种存储装置，包括：

权利要求 1-12 任一项所述的数据传输电路，用于存储并传输读操作或写操作的数据。

14.一种数据传输方法，包括：

根据第一数据线上的第一数据生成校验码数据；

将第一数据线上的第一数据和第二数据线上的第二数据进行比较，以输出所述第一数据与所述第二数据不相同的位数是否超过预设阈值的比较结果，其中，所述第一数据与所述第二数据具有相同的预设位宽；

控制缓冲模块在所述比较结果超过预设阈值的情况下，将所述第一数据的相反数据传输至所述第二数据线，并在所述比较结果未超过所述预设阈值的情况下，将所述第一数据传输至所述第二数据线；其中，所述缓冲模块还用于将所述校验码数据传输至所述第二数据线；

控制第一读写转换单元在所述比较结果超过预设阈值的情况下，将传输至所述第二数据线上的所述第一数据的相反数据取反后再传输至第三数据线，并在所述比较结果未超过所述预设阈值的情况下，将传输至所述第二数据线上的所述第一数据传输至所述第三数据线；并控制第二读写转换单元将所述第二数据线上的所述校验码数据传输至所述第三数据线；其中，所述缓冲模块与所述第一读写转换单元之间的传输路径具有第一长度，所述缓冲模块与所述第二读写转换单元之间的传输路径具有第二长度，所述第一长度不小于所述第二长度。

15.根据权利要求 14 所述的数据传输方法，其中，所述预设阈值为所述预设位宽的一半；所述方法还包括：

接收所述第二数据线上的所述第二数据和所述校验码数据，根据所述校验码数据对所述第二数据进行检错和/或纠错，生成修正后数据，并将所述修正后数据传输至所述第一数据线。

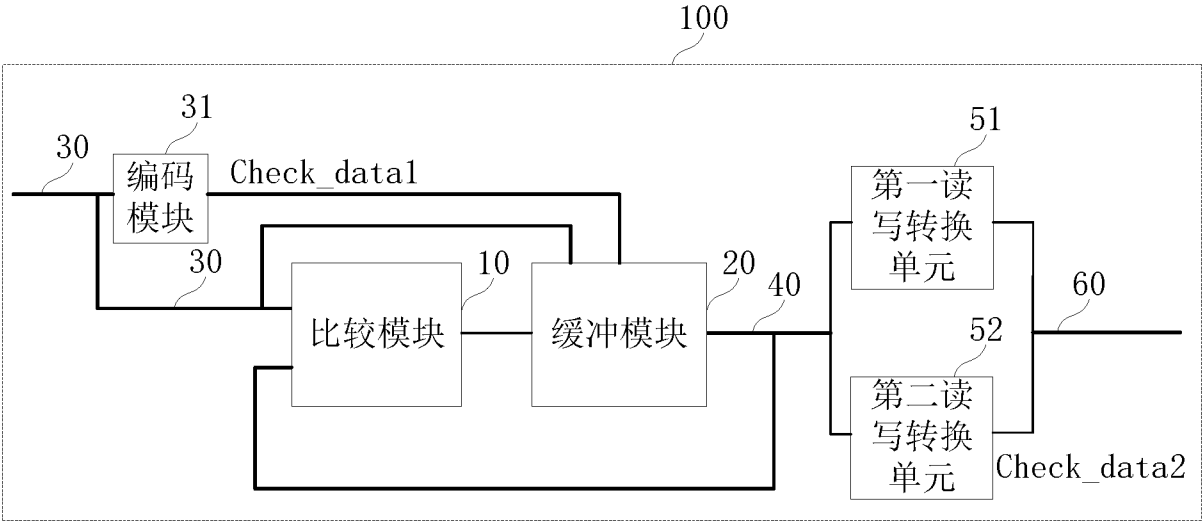


图 1

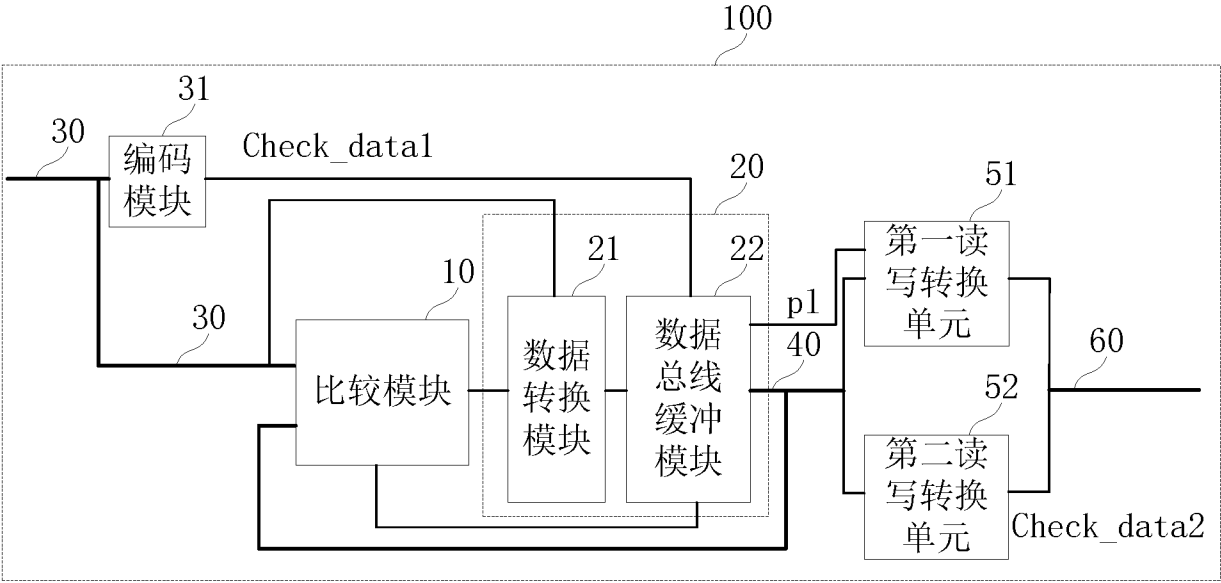


图 2

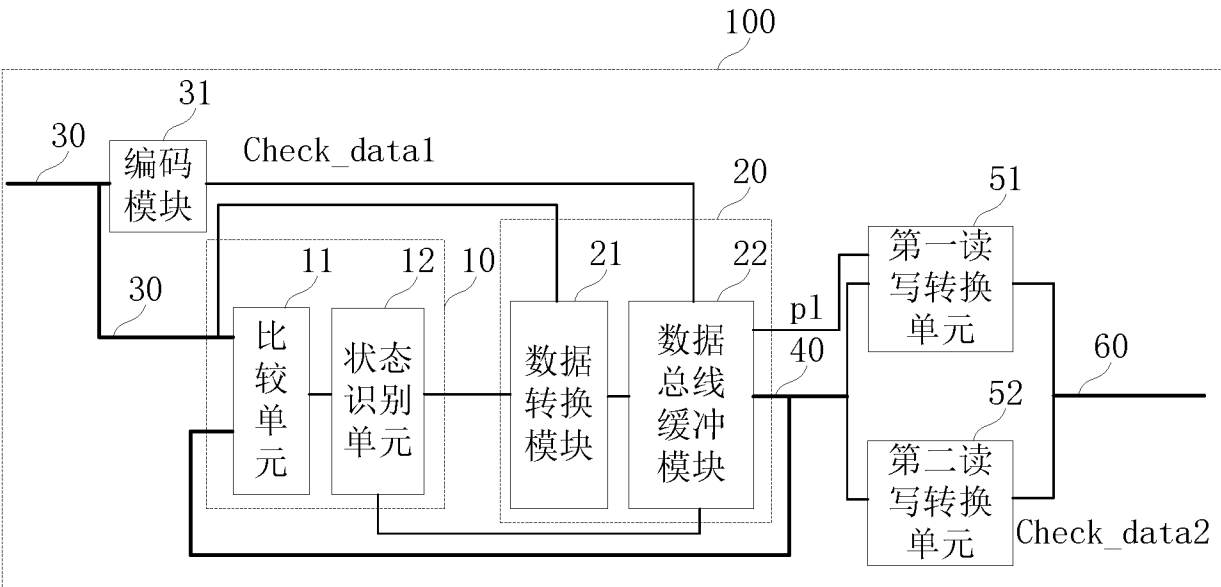


图 3

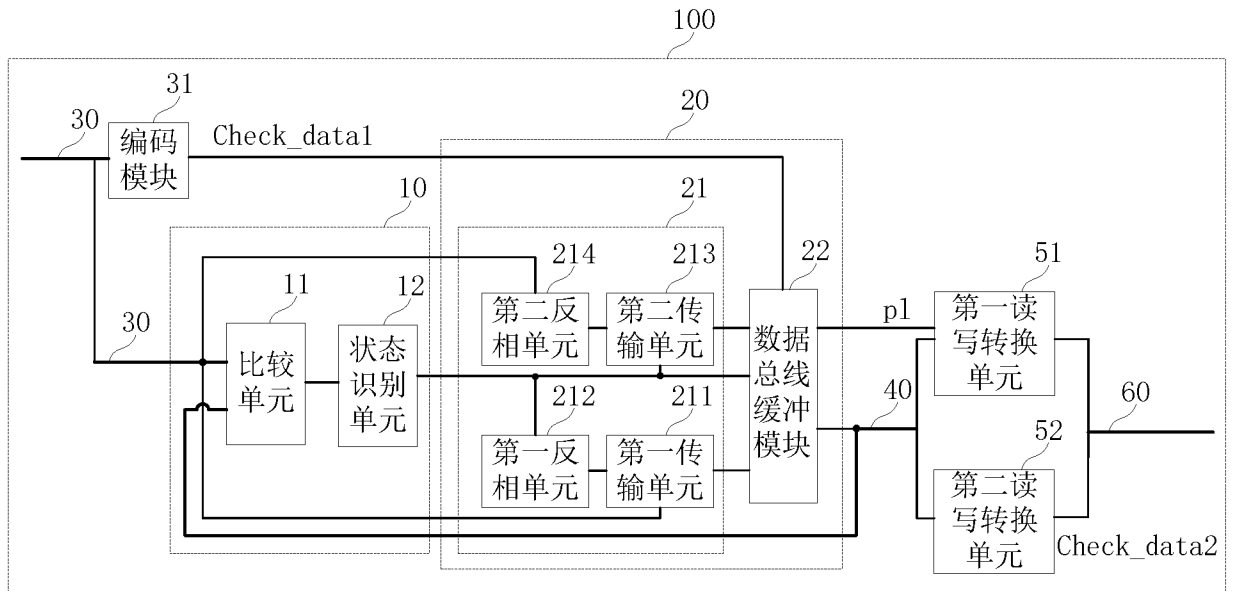


图 4a

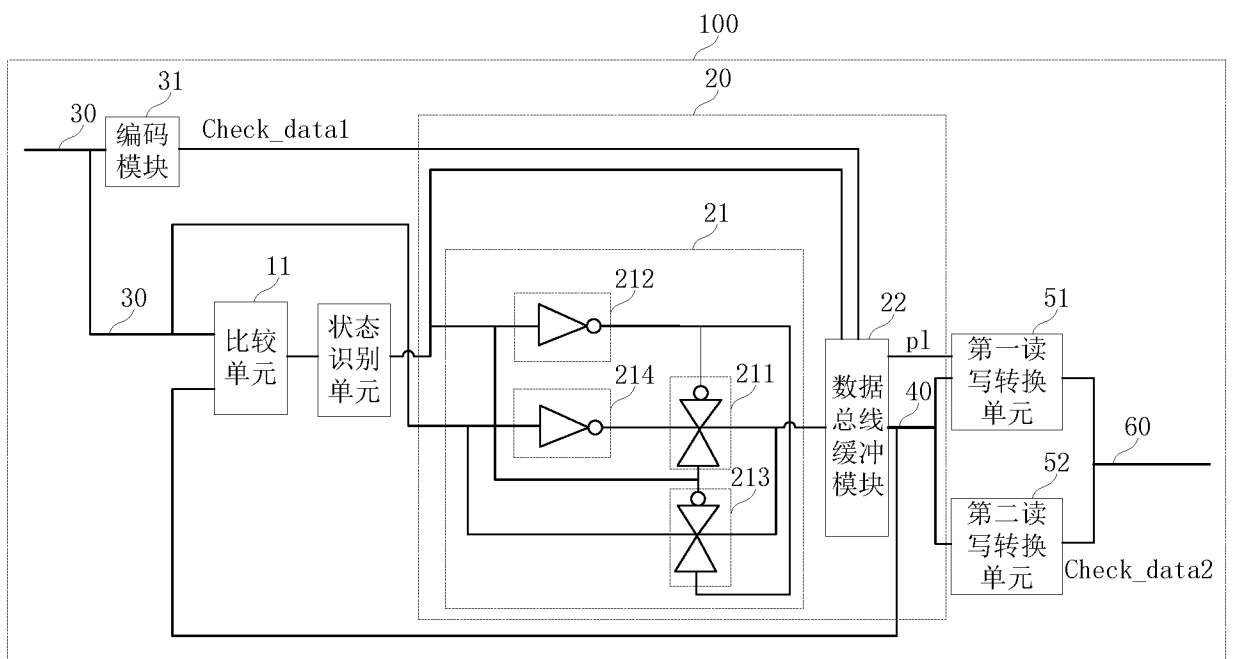


图 4b

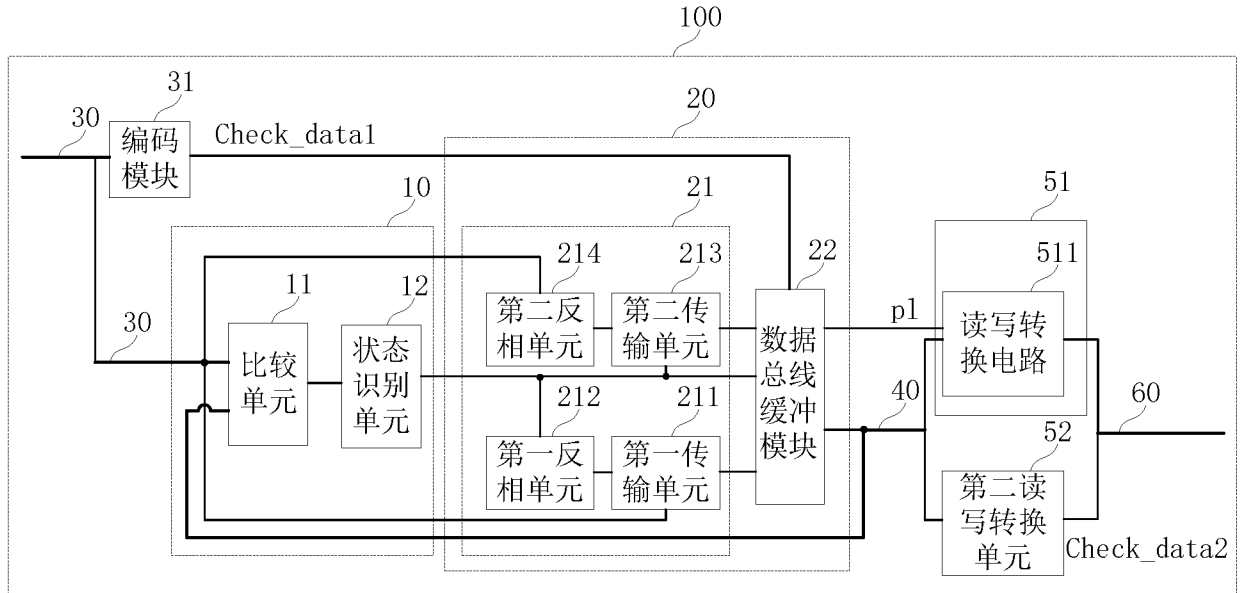


图 5

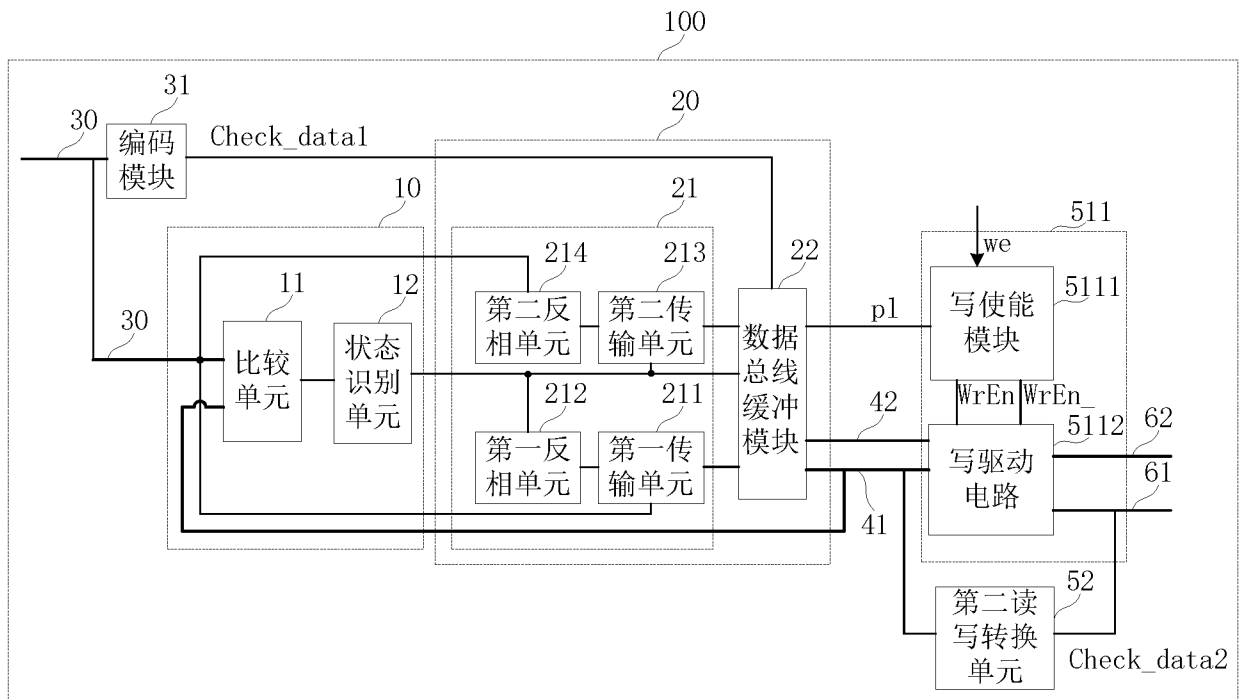


图 6

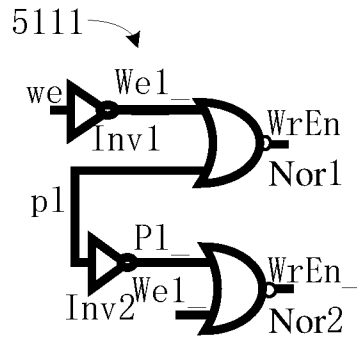


图 7

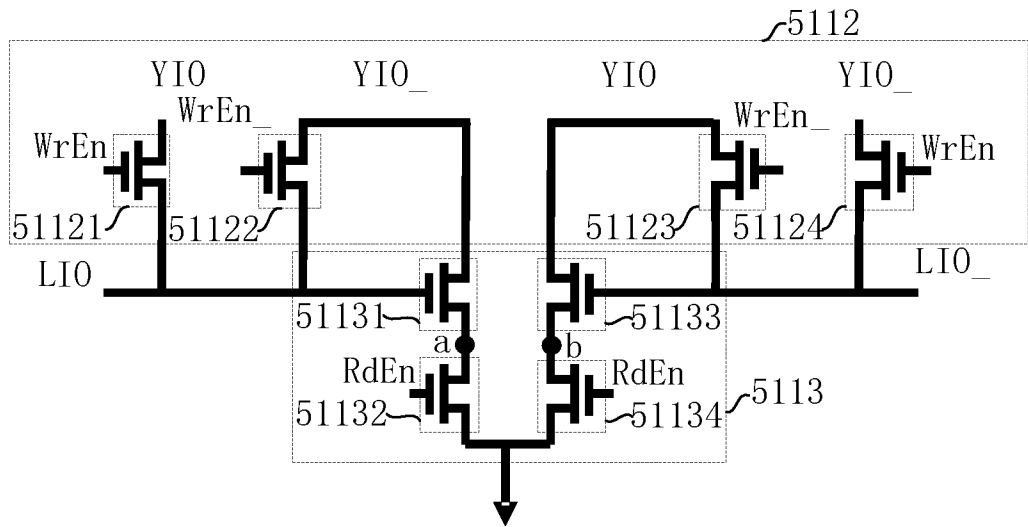


图 8

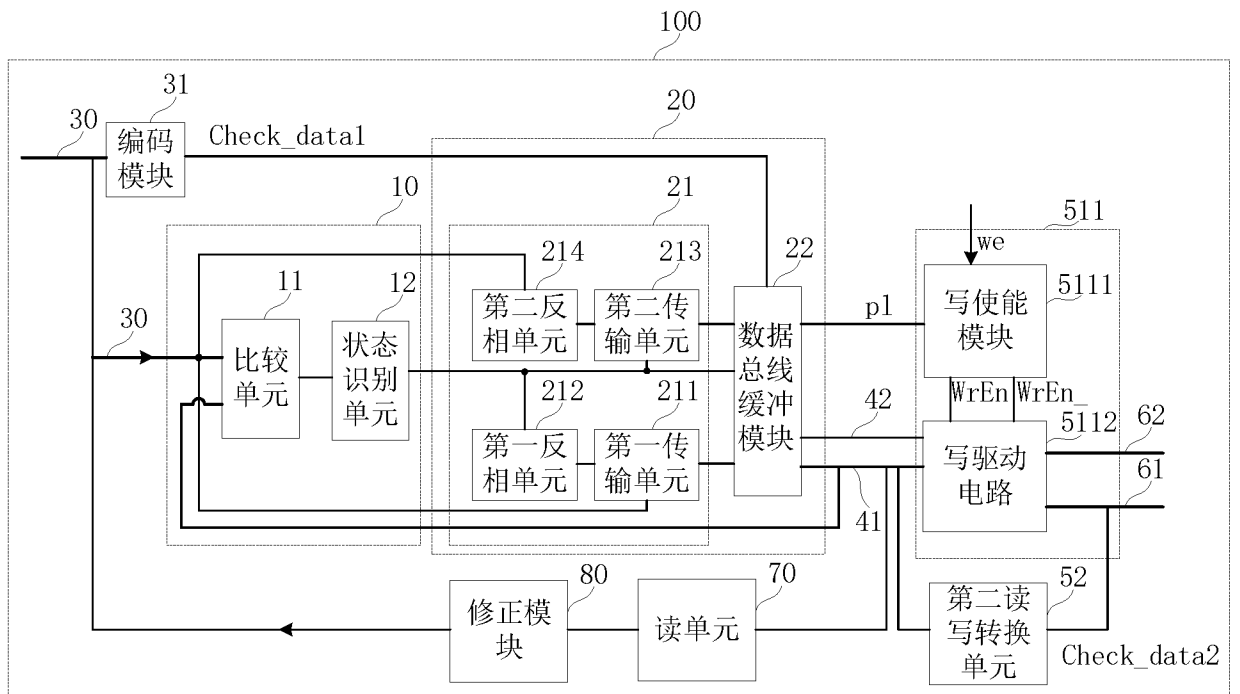


图 9

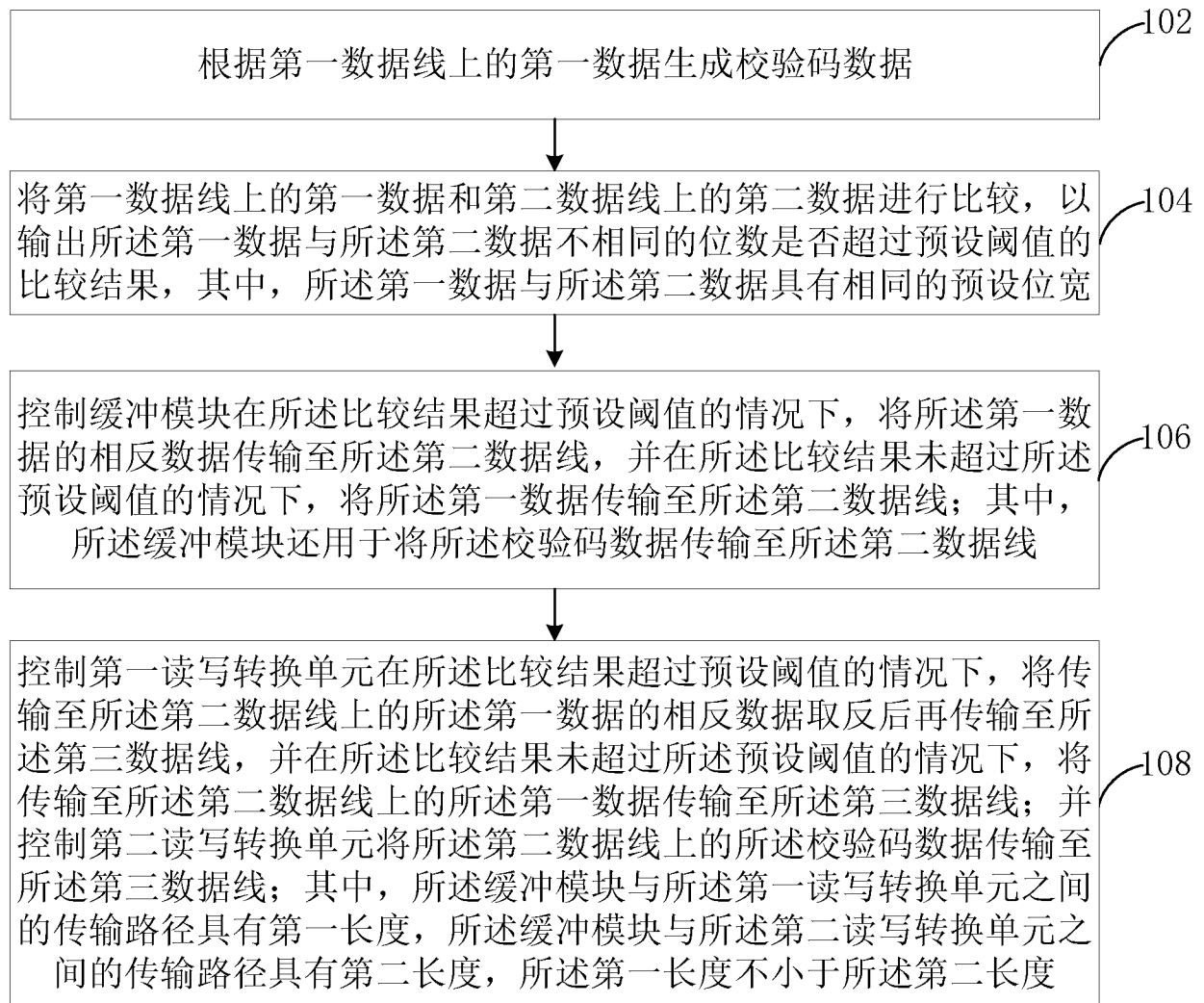


图 10

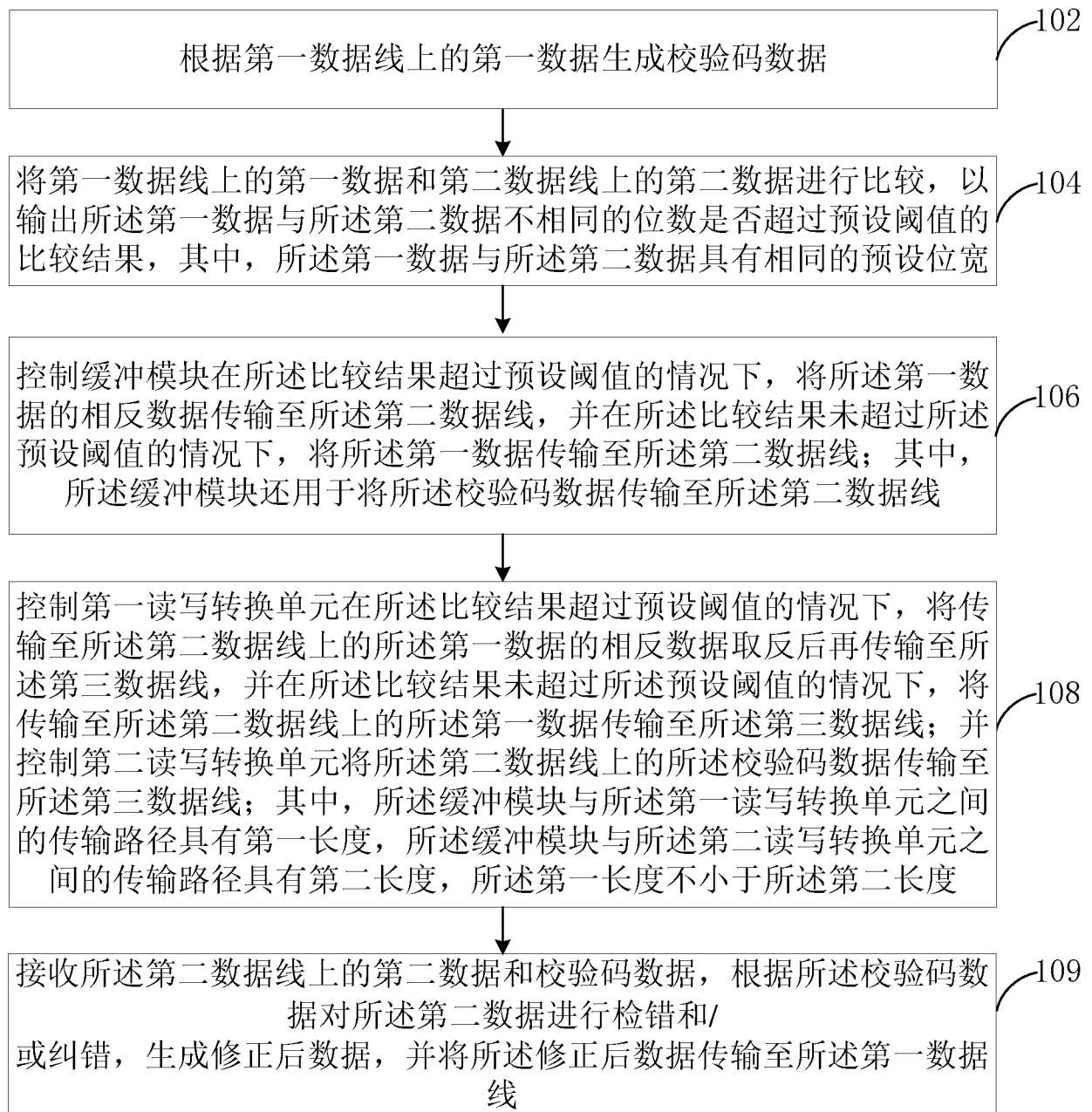


图 11

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2021/120528

A. CLASSIFICATION OF SUBJECT MATTER

G11C 7/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC, IEEE: 读写, 转换, 字线, 位, 比较, 取反, 不相同, 缓存, 相同, 缓冲, 匹配, 校验码, 数据, 翻转, 存储器, 数据线, 对比, read, write, conver+, word, data, bus, line, bit, compare+, take, back, flip+, buffer, memory, match, check, same

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 111951855 A (SILICON MOTION TECHNOLOGY CORP.) 17 November 2020 (2020-11-17) description, paragraphs [0039]-[0068]	1-15
A	CN 101667451 A (XIDIAN UNIVERSITY) 10 March 2010 (2010-03-10) entire document	1-15
A	CN 109036240 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 18 December 2018 (2018-12-18) entire document	1-15
A	CN 103780506 A (ZTE CORP.) 07 May 2014 (2014-05-07) entire document	1-15
A	US 2016225417 A1 (SK HYNIX INC.) 04 August 2016 (2016-08-04) entire document	1-15

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

14 December 2021

Date of mailing of the international search report

13 January 2022

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)

No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088, China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2021/120528

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	111951855	A	17 November 2020	CN	107403640	A	28 November 2017
				US	2017315867	A1	02 November 2017
				US	2019220353	A1	18 July 2019
				CN	107403646	A	28 November 2017
				TW	201812788	A	01 April 2018
CN	101667451	A	10 March 2010	None			
CN	109036240	A	18 December 2018	US	2020126465	A1	23 April 2020
				WO	2018223924	A1	13 December 2018
				EP	3637408	A1	15 April 2020
CN	103780506	A	07 May 2014	EP	2913963	A1	02 September 2015
				US	2015295859	A1	15 October 2015
				WO	2014063599	A1	01 May 2014
US	2016225417	A1	04 August 2016	CN	105845167	A	10 August 2016
				KR	20160094154	A	09 August 2016

国际检索报告

国际申请号

PCT/CN2021/120528

A. 主题的分类

G11C 7/10 (2006.01) i

按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献 (标明分类系统和分类号)

G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))

CNPAT, CNKI, WPI, EP0DOC, IEEE: 读写, 转换, 字线, 位, 比较, 取反, 不相同, 缓存, 相同, 缓冲, 匹配, 校验码, 数据, 翻转, 存储器, 数据线, 对比, read, write, conver+, word, data, bus, line, bit, compare+, take, back, flip+, buffer, memory, match, check, same

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
A	CN 111951855 A (慧荣科技股份有限公司) 2020年11月17日 (2020 - 11 - 17) 说明书第[0039]-[0068]段	1-15
A	CN 101667451 A (西安电子科技大学) 2010年3月10日 (2010 - 03 - 10) 全文	1-15
A	CN 109036240 A (京东方科技集团股份有限公司 等) 2018年12月18日 (2018 - 12 - 18) 全文	1-15
A	CN 103780506 A (中兴通讯股份有限公司) 2014年5月7日 (2014 - 05 - 07) 全文	1-15
A	US 2016225417 A1 (SK HYNIX INC.) 2016年8月4日 (2016 - 08 - 04) 全文	1-15

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2021年12月14日

国际检索报告邮寄日期

2022年1月13日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)

中国北京市海淀区蓟门桥西土城路6号 100088

传真号 (86-10)62019451

授权官员

张千

电话号码 86-(10)-53961316

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2021/120528

检索报告引用的专利文件				公布日 (年/月/日)		同族专利		公布日 (年/月/日)	
CN	111951855	A	2020年11月17日	CN	107403640	A	2017年11月28日		
				US	2017315867	A1	2017年11月2日		
				US	2019220353	A1	2019年7月18日		
				CN	107403646	A	2017年11月28日		
				TW	201812788	A	2018年4月1日		
CN	101667451	A	2010年3月10日	无					
CN	109036240	A	2018年12月18日	US	2020126465	A1	2020年4月23日		
				WO	2018223924	A1	2018年12月13日		
				EP	3637408	A1	2020年4月15日		
CN	103780506	A	2014年5月7日	EP	2913963	A1	2015年9月2日		
				US	2015295859	A1	2015年10月15日		
				WO	2014063599	A1	2014年5月1日		
US	2016225417	A1	2016年8月4日	CN	105845167	A	2016年8月10日		
				KR	20160094154	A	2016年8月9日		