

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4932209号
(P4932209)

(45) 発行日 平成24年5月16日(2012.5.16)

(24) 登録日 平成24年2月24日(2012.2.24)

(51) Int.Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 K
G09G 3/20 (2006.01)	G09G 3/20 642P
HO1L 51/50 (2006.01)	G09G 3/20 623B
	G09G 3/20 621M
	G09G 3/20 680G
請求項の数 18 (全 52 頁) 最終頁に続く	

(21) 出願番号	特願2005-291227 (P2005-291227)	(73) 特許権者	000153878
(22) 出願日	平成17年10月4日(2005.10.4)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2004-201159 (P2004-201159) の分割	(72) 発明者	山崎 舜平
原出願日	平成13年4月17日(2001.4.17)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2006-48079 (P2006-48079A)		半導体エネルギー研究所内
(43) 公開日	平成18年2月16日(2006.2.16)	(72) 発明者	小山 潤
審査請求日	平成20年3月5日(2008.3.5)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2000-117045 (P2000-117045)		半導体エネルギー研究所内
(32) 優先日	平成12年4月18日(2000.4.18)	(72) 発明者	納 光明
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2001-59511 (P2001-59511)		半導体エネルギー研究所内
(32) 優先日	平成13年3月5日(2001.3.5)	(72) 発明者	長田 麻衣
(33) 優先権主張国	日本国(JP)		神奈川県厚木市長谷398番地 株式会社
			半導体エネルギー研究所内
			最終頁に続く

(54) 【発明の名称】 発光装置及び電子機器

(57) 【特許請求の範囲】

【請求項1】

定電流源と、

入力された電位と等しい電位を出力する回路と、

二つの電極を有し、該二つの電極のうち一方の電極が前記定電流源の出力及び前記入力された電位と等しい電位を出力する回路の入力に電氣的に接続されるモニター用の第1の発光素子と、

二つの電極を有する第2の発光素子と、

薄膜トランジスタと、

を有し、

前記薄膜トランジスタのソースまたはドレインの一方が前記入力された電位と等しい電位を出力する回路の出力に電氣的に接続され、

前記薄膜トランジスタのソースまたはドレインの他方が前記第2の発光素子の二つの電極のうち一方と電氣的に接続され、

前記第1の発光素子の二つの電極のうち他方と、前記第2の発光素子の二つの電極のうち他方とは、同じ電位が与えられていることを特徴とする発光装置。

【請求項2】

定電流源と、

入力された電位と等しい電位を出力する回路と、

二つの電極を有し、該二つの電極のうち一方の電極が前記定電流源の出力及び前記入

力された電位と等しい電位を出力する回路の入力に電氣的に接続されるモニター用の第 1 の発光素子と、

二つの電極を有する第 2 の発光素子と、

薄膜トランジスタと、

を有し、

前記薄膜トランジスタのソースまたはドレインの一方に前記入力された電位と等しい電位を出力する回路の出力の電位が与えられ、

前記薄膜トランジスタのソースまたはドレインの他方が前記第 2 の発光素子の二つの電極のうち的一方と電氣的に接続され、

前記第 1 の発光素子の二つの電極のうちの方と、前記第 2 の発光素子の二つの電極のうちの方とは、同じ電位が与えられていることを特徴とする発光装置。

10

【請求項 3】

定電流源と、

入力された電位と等しい電位を出力する回路と、

二つの電極を有し、該二つの電極のうちの方の電極が前記定電流源の出力及び前記入力された電位と等しい電位を出力する回路の入力に電氣的に接続されるモニター用の第 1 の発光素子と、

二つの電極を有する第 2 の発光素子と、

薄膜トランジスタと、

電源供給線と、

を有し、

前記薄膜トランジスタのソースまたはドレインの一方は、前記電源供給線を介して前記入力された電位と等しい電位を出力する回路の出力に電氣的に接続され、

前記薄膜トランジスタのソースまたはドレインの他方が前記第 2 の発光素子の二つの電極のうちの方と電氣的に接続され、

前記第 1 の発光素子の二つの電極のうちの方と、前記第 2 の発光素子の二つの電極のうちの方とは、同じ電位が与えられていることを特徴とする発光装置。

20

【請求項 4】

定電流源と、

入力された電位と等しい電位を出力する回路と、

二つの電極を有し、該二つの電極のうちの方の電極が前記定電流源の出力及び前記入力された電位と等しい電位を出力する回路の入力に電氣的に接続されるモニター用の第 1 の発光素子と、

二つの電極を有する第 2 の発光素子と、

薄膜トランジスタと、

電源供給線と、

を有し、

前記薄膜トランジスタのソースまたはドレインの一方は、前記電源供給線を介して前記入力された電位と等しい電位を出力する回路の出力の電位が与えられ、

前記薄膜トランジスタのソースまたはドレインの他方が前記第 2 の発光素子の二つの電極のうちの方と電氣的に接続され、

前記第 1 の発光素子の二つの電極のうちの方と、前記第 2 の発光素子の二つの電極のうちの方とは、同じ電位が与えられていることを特徴とする発光装置。

30

40

【請求項 5】

定電流源と、

ボルテージフォロワ構成のバッファアンプと、

二つの電極を有し、該二つの電極のうちの方の電極が前記定電流源の出力及び前記バッファアンプの入力に電氣的に接続されるモニター用の第 1 の発光素子と、

二つの電極を有する第 2 の発光素子と、

薄膜トランジスタと、

50

を有し、

前記薄膜トランジスタのソースまたはドレインの一方が前記バッファアンプの出力に電氣的に接続され、

前記薄膜トランジスタのソースまたはドレインの他方が前記第 2 の発光素子の二つの電極のうち的一方と電氣的に接続され、

前記第 1 の発光素子の二つの電極のうちの方と、前記第 2 の発光素子の二つの電極のうちの方とは、同じ電位が与えられていることを特徴とする発光装置。

【請求項 6】

定電流源と、

ボルテージフォロワ構成のバッファアンプと、

二つの電極を有し、該二つの電極のうちの方の電極が前記定電流源の出力及び前記バッファアンプの入力に電氣的に接続されるモニター用の第 1 の発光素子と、

二つの電極を有する第 2 の発光素子と、

薄膜トランジスタと、

を有し、

前記薄膜トランジスタのソースまたはドレインの一方に前記バッファアンプの出力の電位が与えられ、

前記薄膜トランジスタのソースまたはドレインの他方が前記第 2 の発光素子の二つの電極のうちの方と電氣的に接続され、

前記第 1 の発光素子の二つの電極のうちの方と、前記第 2 の発光素子の二つの電極のうちの方とは、同じ電位が与えられていることを特徴とする発光装置。

【請求項 7】

定電流源と、

ボルテージフォロワ構成のバッファアンプと、

二つの電極を有し、該二つの電極のうちの方の電極が前記定電流源の出力及び前記バッファアンプの入力に電氣的に接続されるモニター用の第 1 の発光素子と、

二つの電極を有する第 2 の発光素子と、

薄膜トランジスタと、

電源供給線と、

を有し、

前記薄膜トランジスタのソースまたはドレインの一方は、前記電源供給線を介して前記バッファアンプの出力に電氣的に接続され、

前記薄膜トランジスタのソースまたはドレインの他方が前記第 2 の発光素子の二つの電極のうちの方と電氣的に接続され、

前記第 1 の発光素子の二つの電極のうちの方と、前記第 2 の発光素子の二つの電極のうちの方とは、同じ電位が与えられていることを特徴とする発光装置。

【請求項 8】

定電流源と、

ボルテージフォロワ構成のバッファアンプと、

二つの電極を有し、該二つの電極のうちの方の電極が前記定電流源の出力及び前記バッファアンプの入力に電氣的に接続されるモニター用の第 1 の発光素子と、

二つの電極を有する第 2 の発光素子と、

薄膜トランジスタと、

電源供給線と、

を有し、

前記薄膜トランジスタのソースまたはドレインの一方は、前記電源供給線を介して前記バッファアンプの出力の電位が与えられ、

前記薄膜トランジスタのソースまたはドレインの他方が前記第 2 の発光素子の二つの電極のうちの方と電氣的に接続され、

前記第 1 の発光素子の二つの電極のうちの方と、前記第 2 の発光素子の二つの電極の

10

20

30

40

50

うちの他方とは、同じ電位が与えられていることを特徴とする発光装置。

【請求項 9】

請求項 1 乃至 4 のいずれか一において、前記入力された電位と等しい電位を出力する回路は、ICチップに形成されていることを特徴とする発光装置。

【請求項 10】

請求項 1 乃至 4 のいずれか一において、前記入力された電位と等しい電位を出力する回路は、前記第 2 の発光素子が形成された基板と同じ基板上に形成されていることを特徴とする発光装置。

【請求項 11】

請求項 5 乃至 8 のいずれか一において、前記バッファアンプは、ICチップに形成されていることを特徴とする発光装置。

10

【請求項 12】

請求項 5 乃至 8 のいずれか一において、前記バッファアンプは、前記第 2 の発光素子が形成された基板と同じ基板上に形成されていることを特徴とする発光装置。

【請求項 13】

請求項 1 乃至 12 のいずれか一において、前記第 1 の発光素子の一方の電極及び前記第 2 の発光素子の一方の電極は陽極であることを特徴とする発光装置。

【請求項 14】

請求項 1 乃至 12 のいずれか一において、前記第 1 の発光素子の一方の電極及び前記第 2 の発光素子の一方の電極は陰極であることを特徴とする発光装置。

20

【請求項 15】

請求項 1 乃至 14 のいずれか一において、前記定電流源は、ICチップに形成されていることを特徴とする発光装置。

【請求項 16】

請求項 1 乃至 14 のいずれか一において、前記定電流源は、前記第 2 の発光素子が形成された基板と同じ基板上に形成されていることを特徴とする発光装置。

【請求項 17】

請求項 1 乃至 16 のいずれか一において、前記第 1 の発光素子は、前記第 2 の発光素子が形成された基板と同じ基板上に形成されていることを特徴とする発光装置。

30

【請求項 18】

請求項 1 乃至 17 のいずれか一に記載の発光装置を用いた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、基板上に形成された発光素子を、該基板とカバー材の間に封入した表示用パネルに関する。また、該表示用パネルにICを実装した表示用モジュールに関する。なお本明細書において、表示用パネル及び表示用モジュールを発光装置と総称する。本発明はさらに、該発光装置を用いた電子機器に関する。

【背景技術】

【0002】

40

近年、基板上にTFTを形成する技術が大幅に進歩し、アクティブマトリクス型表示装置への応用開発が進められている。特に、ポリシリコン膜を用いたTFTは、従来のアモルファスシリコン膜を用いたTFTよりも電界効果移動度（モビリティともいう）が高いので、高速動作が可能である。そのため、従来、基板外の駆動回路で行っていた画素の制御を、画素と同一の基板上に形成した駆動回路で行うことが可能となっている。

【0003】

このようなアクティブマトリクス型表示装置は、同一基板上に様々な回路や素子を作り込むことで製造コストの低減、表示装置の小型化、歩留まりの上昇、スループットの低減など、様々な利点が得られる。

50

【0004】

そしてさらに、自発光型素子として発光素子を有したアクティブマトリクス型の発光装置の研究が活発化している。発光装置は有機ELディスプレイ(OELD: Organic EL Display)又は有機ライトエミティングダイオード(OLED: Organic Light Emitting Diode)とも呼ばれている。

【0005】

発光装置は、液晶ディスプレイと異なり自発光型である。発光素子是一对の電極(陽極と陰極)間に、電場を加えることでルミネッセンスが発生する有機化合物を含む層(以下、有機化合物層と記す)が挟まれた構造となっているが、有機化合物層は通常、積層構造となっている。代表的には、コダック・イーストマン・カンパニーのTangらが提案した「正孔輸送層/発光層/電子輸送層」という積層構造が挙げられる。この構造は非常に発光効率が高く、現在、研究開発が進められている発光装置は殆どこの構造を採用している。

10

【0006】

有機化合物におけるルミネッセンスには、一重項励起状態から基底状態に戻る際の発光(蛍光)と三重項励起状態から基底状態に戻る際の発光(リン光)とがあるが、本発明の発光装置は、上述した発光のうちのいずれか一方の発光を用いても良いし、または両方の発光を用いても良い。

【0007】

また他にも、陽極上に正孔注入層/正孔輸送層/発光層/電子輸送層、または正孔注入層/正孔輸送層/発光層/電子輸送層/電子注入層の順に積層する構造でも良い。発光層に対して蛍光性色素等をドーピングしても良い。

20

【0008】

本明細書において陰極と陽極の間に設けられる全ての層を総称して有機化合物層と呼ぶ。よって上述した正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層等は、全て有機化合物層に含まれる。

【0009】

そして、上記構造でなる有機化合物層に一对の電極から所定の電圧をかけ、それにより発光層においてキャリアの再結合が起こって発光する。なお本明細書において発光素子が発光することを、発光素子が駆動すると呼ぶ。また、本明細書中では、陽極、有機化合物層及び陰極で形成される発光素子を発光素子と呼ぶ。

30

【発明の開示】

【発明が解決しようとする課題】

【0010】

発光装置はバックライトを用いる必要がないことから、液晶ディスプレイに比べて、ディスプレイ自身の厚さと重さを抑えることができる。そのため近年、発光装置は液晶ディスプレイに代わり、携帯情報端末(モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等)の表示部に用いられるようになって

40

【0011】

そして携帯情報端末の消費電力を抑えるために、表示部に用いる発光装置の消費電力を抑えることが望まれていた。

【0012】

また近年、テレビやラジオなどの放送局側のデジタル化に加え、家庭用の受信機やVTRなどもデジタル化が進んでいる。そして放送システムのデジタル化の次の段階は、放送電波のデジタル化、すなわちデジタル放送の実現であり、これに向けて盛んに研究開発が行われている。

【0013】

発光装置のデジタル駆動には時間階調表示がある。時間階調表示とは1フレーム期間中に発光素子が発光する時間を制御することで階調表示を行う駆動方法で

50

ある。

【0014】

発光装置をデジタル駆動で時間階調表示させた場合、表示する画像の階調数を高くすると、画素に入力される画像情報を有するデジタルのビデオ信号（デジタルビデオ信号）が書き換えられる回数が多くなる。そのため画素にデジタルビデオ信号を入力するための駆動回路群の消費電力が大きくなってしまい、発光装置の消費電力が大きくなる。

【0015】

また発光素子は自発光型であるため、表示する画像によって発光素子が1フレーム期間中に発光する期間が左右される。そのため発光装置の消費電力は、表示する画像によって左右される。

10

【0016】

またさらに発光素子に流れる電流の大きさは、温度によっても左右される。発光素子の電極間にかかる電圧が同じであっても、発光素子が有する温度特性によって、有機化合物層の温度が高くなれば高くなるほど、発光素子を流れる電流は大きくなる。よって発光装置を使用する環境温度が高ければ高いほど、発光装置の消費電力が大きくなり、発光素子の輝度も上昇してしまう。

【0017】

本発明は上述したことに鑑み、発光装置及び発光装置を表示部に用いる電子機器の消費電力を抑えることを課題とする。

20

【課題を解決するための手段】

【0018】

本発明の第1の構成は、発光装置において、モノクロの表示を行う場合、画素部に表示される画像によって画像の明暗を反転させることを特徴とする。

【0019】

上記構成によって、発光素子に流れる電流の大きさがある程度抑えることができ、発光装置の消費電力を抑えることができる。

【0020】

また本発明の第2の構成は、デジタル駆動の時分割階調表示を行う発光装置において、発光装置が有するソース信号線駆動回路に入力されたデジタルビデオ信号を、そのビット数を落としてから画素部に入力することを特徴とする。具体的には、最下位ビットのデジタルビデオ信号から順に切り捨てることによって、画素部に入力されるデジタルビデオ信号のビット数を落としてゆく。

30

【0021】

上記構成によって、画素に入力されるデジタルビデオ信号のビット数が少なくなるので、ソース信号線駆動回路及びゲート信号線駆動回路によってデジタルビデオ信号が画素に書き込まれる回数が少なくなる。そのためソース信号線駆動回路及びゲート信号線駆動回路の消費電力を抑えることができ、発光装置の消費電力も抑えることができる。

【0022】

40

また本発明の第3の構成では、発光装置に温度モニター用の発光素子を設ける。そして温度モニター用の発光素子の一方の電極を定電流源に接続する。そしてモニター用の発光素子の温度特性を用いて、画素の発光素子を流れる電流の大きさを一定に保つ。

【0023】

上記構成によって、有機化合物層の温度が変化しても画素の発光素子を流れる電流の大きさを一定に保つことができる。よって発光装置の環境温度が上昇しても、発光装置の消費電力が大きくなるのを抑えることができ、輝度も一定に保つことができる。

【0024】

50

本発明は上述した第1から第3の構成によって、発光装置及び該発光装置を用いた電子機器の消費電力を抑えることが可能である。なお本発明は、第1から第3の構成のいずれか1つを有していればよい。また第1から第3の構成のうちの複数の構成を有していても良いし、全てを有していても良い。

【0025】

以下に本発明の構成を示す。

【0026】

本発明によって、

複数の画素を有する表示装置であって、

前記複数の画素に入力されるデジタルビデオ信号の極性を反転することによって、前記複数の画素の輝度を変えることを特徴とする表示装置が提供される。

10

【0027】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記ソース信号線駆動回路は出力の極性を切り替える切り替え回路を有しており、

前記切り替え回路に入力されたデジタルビデオ信号は、前記切り替え回路に入力される切り替え信号によって極性が反転し、前記複数の画素に入力することを特徴とする表示装置が提供される。

20

【0028】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記複数の画素は発光素子をそれぞれ有しており、

前記ソース信号線駆動回路はシフトレジスタと、1つまたは複数のラッチと、切り替え回路とを有しており、

前記1つまたは複数のラッチから前記切り替え回路に入力されたデジタルビデオ信号は、前記切り替え回路に入力される切り替え信号によって極性が反転し、前記複数の画素に入力することを特徴とする表示装置が提供される。

30

【0029】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記複数の画素は発光素子をそれぞれ有しており、

前記ソース信号線駆動回路はシフトレジスタと、1つまたは複数のラッチと、切り替え回路とを有しており、

前記1つまたは複数のラッチから前記切り替え回路に入力されたデジタルビデオ信号は、前記切り替え回路に入力される切り替え信号によって極性が反転し、前記複数の画素に入力しており、

40

1フレーム期間中における全ての前記発光素子の発光する期間の長さの平均が、1フレーム期間中における全ての前記発光素子の発光する期間の長さの最大値の半分以下であることを特徴とする表示装置が提供される。

【0030】

前記切り替え回路はインバーターと、第1のアナログスイッチと、第2のアナログスイッチとを有しており、

前記切り替え回路に入力されたデジタルビデオ信号は、前記インバーターを介して前記第1のアナログスイッチの入力端子に入力し、

また前記1つまたは複数のラッチから出力されたデジタルビデオ信号は、前記第2のアナログスイッチの入力端子に入力し、

50

切り替え信号が前記第1のアナログスイッチの第1の制御入力端子及び前記第2のアナログスイッチの第2の制御入力端子から入力し、

前記切り替え信号の極性が反転した信号が前記第1のアナログスイッチの第2の制御入力端子及び前記第2のアナログスイッチの第1の制御入力端子から入力し、

前記第1のアナログスイッチ及び前記第2のアナログスイッチの出力端子から出力される信号が、前記切り替え回路から出力されることを特徴としていても良い。

【0031】

前記切り替え回路はインバーターと、第1のNANDと、第2のNANDと、NORとを有しており、

前記第1のNANDに、切り替え信号と、前記インバーターを介してデジタルビデオ信号とが入力され、

前記第2のNANDに、前記切り替え信号の極性を反転させた信号と、前記デジタルビデオ信号とが入力され、

前記第1のNANDから出力された信号と、前記第2のNANDから出力された信号とが前記NORに入力され、

前記NORから出力された信号が前記切り替え回路から出力されることを特徴としていても良い。

【0032】

本発明によって、

複数の画素とソース信号線駆動回路とを有する表示装置であって、

前記ソース信号線駆動回路に入力されるデジタルビデオ信号のうち、上位ビットのデジタルビデオ信号のみが前記複数の画素に入力されることを特徴とする表示装置が提供される。

【0033】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であって、

前記ソース信号線駆動回路は、シフトレジスタと、第1のラッチと、第2のラッチと、クロック信号制御回路とを有しており、

前記クロック信号制御回路を介してクロック信号が前記シフトレジスタに入力されることによって、前記シフトレジスタからタイミング信号が出力され、

前記タイミング信号によって前記第1のラッチにデジタルビデオ信号が入力されて保持され、

ラッチ信号によって、前記第1のラッチに保持されたデジタルビデオ信号が前記第2のラッチに入力されて保持され、

前記第2のラッチに入力されて保持されたデジタルビデオ信号は、前記複数の画素に入力され、

前記クロック信号制御回路は、一定の期間、前記クロック信号の代わりに、一定の固定電位を前記シフトレジスタに与えることで、前記第1のラッチに入力して保持するデジタルビデオ信号のビット数を減らしていることを特徴とする表示装置が提供される。

【0034】

前記クロック信号制御回路はNANDとインバーターとを有しており、

前記NANDにクロック信号と選択信号とが入力され、

前記NANDから出力された信号は前記インバーターを介して前記クロック信号制御回路から出力されることを特徴としていても良い。

【0035】

前記クロック信号制御回路は第1のアナログスイッチと、第2のアナログスイ

10

20

30

40

50

ッチと、インバーターとを有しており、

前記インバーターを介して、前記第1のアナログスイッチの第2の制御入力端子及び前記第2のアナログスイッチの第1の制御入力端子に選択信号が入力され、

前記第1のアナログスイッチの第1の制御入力端子及び前記第2のアナログスイッチの第2の制御入力端子に選択信号が入力され、

前記第1のアナログスイッチの入力端子にクロック信号が入力され、

前記第2のアナログスイッチの入力端子に固定電位が与えられ、

前記第1のアナログスイッチ及び前記第2のアナログスイッチの出力端子から出力された信号は、前記クロック信号制御回路から出力されることを特徴としていても良い。

10

【0036】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路と、を有する表示装置であって、

前記ソース信号線駆動回路は、シフトレジスタと、第1のラッチと、第2のラッチと、タイミング信号制御回路とを有しており、

前記シフトレジスタから出力されたタイミング信号が前記タイミング信号制御回路を介して前記第1のラッチに入力され、

前記第1のラッチに入力された前記タイミング信号によって、前記第1のラッチにデジタルビデオ信号が入力されて保持され、

20

ラッチ信号によって、前記第1のラッチに保持されたデジタルビデオ信号が前記第2のラッチに入力されて保持され、

前記第2のラッチに入力されて保持されたデジタルビデオ信号は、前記複数の画素に入力され、

前記タイミング信号制御回路は、一定の期間、前記シフトレジスタから出力された前記タイミング信号の代わりに、一定の固定電位を前記第1のラッチに与えることで、前記第1のラッチに入力して保持するデジタルビデオ信号のビット数を減らしていることを特徴とする表示装置が提供される。

【0037】

前記タイミング信号制御回路はNANDとインバーターとを有しており、

前記NANDにタイミング信号と選択信号とが入力され、

前記NANDから出力された信号は前記インバーターを介して前記タイミング信号制御回路から出力されることを特徴としていても良い。

30

【0038】

前記タイミング信号制御回路は第1のアナログスイッチと、第2のアナログスイッチと、インバーターとを有しており、

前記インバーターを介して、前記第1のアナログスイッチの第2の制御入力端子及び前記第2のアナログスイッチの第1の制御入力端子に選択信号が入力され、

40

前記第1のアナログスイッチの第1の制御入力端子及び前記第2のアナログスイッチの第2の制御入力端子に選択信号が入力され、

前記第1のアナログスイッチの入力端子にタイミング信号が入力され、

前記第2のアナログスイッチの入力端子に固定電位が与えられ、

前記第1のアナログスイッチ及び前記第2のアナログスイッチの出力端子から出力された信号は、前記タイミング信号制御回路から出力されることを特徴としていても良い。

【0039】

本発明によって、

複数の画素を有する画素部と、ソース信号線駆動回路とを有する表示装置であ

50

って、

前記ソース信号線駆動回路は、シフトレジスタと、第1のラッチと、第2のラッチと、スタートパルス信号制御回路とを有しており、

前記スタートパルス信号制御回路を介してスタートパルス信号が前記シフトレジスタに入力されることによって、前記シフトレジスタからタイミング信号が出力され、

前記タイミング信号によって前記第1のラッチにデジタルビデオ信号が入力されて保持され、

ラッチ信号によって、前記第1のラッチに保持されたデジタルビデオ信号が前記第2のラッチに入力されて保持され、

10

前記第2のラッチに入力されて保持されたデジタルビデオ信号は、前記複数の画素に入力され、

前記スタートパルス信号制御回路は、一定の期間、前記スタートパルス信号の代わりに、一定の固定電位を前記シフトレジスタに与えることで、前記第1のラッチに入力して保持するデジタルビデオ信号のビット数を減らしていることを特徴とする表示装置が提供される。

【0040】

前記スタートパルス信号制御回路はNANDとインバーターとを有しており、

前記NANDにスタートパルス信号と選択信号とが入力され、

前記NANDから出力された信号は前記インバーターを介して前記スタートパルス信号制御回路から出力されることを特徴としていても良い。

20

【0041】

前記スタートパルス信号制御回路は第1のアナログスイッチと、第2のアナログスイッチと、インバーターとを有しており、

前記インバーターを介して、前記第1のアナログスイッチの第2の制御入力端子及び前記第2のアナログスイッチの第1の制御入力端子に選択信号が入力され、

前記第1のアナログスイッチの第1の制御入力端子及び前記第2のアナログスイッチの第2の制御入力端子に選択信号が入力され、

前記第1のアナログスイッチの入力端子にスタートパルス信号が入力され、

前記第2のアナログスイッチの入力端子に固定電位が与えられ、

前記第1のアナログスイッチ及び前記第2のアナログスイッチの出力端子から出力された信号は、前記スタートパルス信号制御回路から出力されることを特徴としていても良い。

30

【0042】

本発明によって、

複数の発光素子を有する複数の画素と、モニター用発光素子とを有する表示装置であって、前記モニター用発光素子の温度特性を用いて前記複数の発光素子を流れる電流の大きさを一定に保つことを特徴とする表示装置が提供される。

【0043】

40

本発明によって、

複数の画素を有する画素部と、電源供給線と、バッファアンプと、モニター用発光素子と、定電流源とを有する表示装置であって、

前記複数の画素は薄膜トランジスタと発光素子をそれぞれ有しており、

前記モニター用発光素子及び前記発光素子は第1の電極と、第2の電極と、前記第1の電極と前記第2の電極との間に設けられた有機化合物層とをそれぞれ有しており、

前記モニター用発光素子の第1の電極と前記定電流源とは接続されており、

前記モニター用発光素子の第1の電極と前記バッファアンプの非反転入力端子が接続されており、

50

前記バッファアンプの出力端子は前記電源供給線に接続されており、
前記電源供給線の電位は前記薄膜トランジスタを介して前記発光素子の第1の電極に与えられていることを特徴とする表示装置が提供される。

【0044】

本発明によって、
複数の画素を有する画素部と、電源供給線と、バッファアンプと、モニター用発光素子と、定電流源と、加算回路とを有する表示装置であって、

前記複数の画素は薄膜トランジスタと発光素子をそれぞれ有しており、
前記モニター用発光素子及び前記発光素子は第1の電極と、第2の電極と、前記第1の電極と前記第2の電極との間に設けられた有機化合物層とをそれぞれ有しており、

10

前記モニター用発光素子の第1の電極と前記定電流源とは接続されており、
前記モニター用発光素子の第1の電極と前記バッファアンプの非反転入力端子が接続されており、

前記バッファアンプの出力端子は加算回路の入力端子に接続されており、
前記加算回路の出力端子は前記電源供給線に接続されており、
前記加算回路の入力端子と出力端子とは、常に一定の電位差を有しており、
前記電源供給線の電位は前記薄膜トランジスタを介して前記発光素子の第1の電極に与えられていることを特徴とする表示装置が提供される。

【0045】

20

本発明は、前記表示装置を用いることを特徴とするビデオカメラ、画像再生装置、ヘッドマウントディスプレイ、携帯電話または携帯情報端末であっても良い。

【発明の効果】

【0046】

本発明の第1の構成によって、発光素子に流れる電流の大きさをある程度抑えることができ、発光装置の消費電力を抑えることができる。また本発明の第2の構成によって、画素に入力されるデジタルビデオ信号のビット数が少なくなるので、ソース信号線駆動回路及びゲート信号線駆動回路によってデジタルビデオ信号が画素に書き込まれる回数が少なくなる。そのためソース信号線駆動回路及びゲート信号線駆動回路の消費電力を抑えることができ、発光装置の消費電力も抑えることができる。また本発明の第3の構成によって、有機化合物層の温度が変化しても発光素子に流れる電流の大きさを一定に保つことができる。よって発光装置の環境温度が上昇し、発光装置の消費電力が大きくなるのを抑えることができる。

30

【0047】

本発明は上述した第1から第3の構成によって、発光装置及び該発光装置を用いた電子機器の消費電力を抑えることが可能である。なお本発明は、第1から第3の構成のいずれか1つを有していればよい。また第1から第3の構成のうちの複数の構成を有していても良いし、全てを有していても良い。

40

【発明を実施するための最良の形態】

【0048】

(実施の形態1)

本発明の第1の構成について説明する。本発明の第1の構成を有する発光装置のブロック図を、図1に示す。

【0049】

101は画素部であり、複数の画素がマトリクス状に設けられている。102はソース信号線駆動回路であって、103はゲート信号線駆動回路である。

【0050】

ソース信号線駆動回路102はシフトレジスタ102-1、ラッチ(A)10

50

2 - 2、ラッチ (B) 1 0 2 - 3、切り替え回路 1 0 2 - 4 を有している。なお本発明のソース信号線駆動回路は、上述したものの他にレベルシフトやバッファ等を有していても良い。

【 0 0 5 1 】

また図示しないが、ゲート信号線駆動回路 1 0 3 はシフトレジスタ、バッファを有している。また場合によっては、シフトレジスタ、バッファの他にレベルシフトを有していても良い。ゲート信号線には、1ライン分の画素 T F T のゲート電極が接続されており、1ライン分全ての画素 T F T を同時に O N にしなくてはならないので、バッファは大きな電流を流すことが可能なものが用いられる。

【 0 0 5 2 】

ソース信号線駆動回路 1 0 2 において、シフトレジスタ 1 0 2 - 1 にクロック信号 (C L K) およびスタートパルス (S P) が入力される。シフトレジスタ 1 0 2 - 1 は、これらのクロック信号 (C L K) およびスタートパルス (S P) に基づきタイミング信号を順に発生させ、後段の回路へタイミング信号を順次供給する。

【 0 0 5 3 】

なお、シフトレジスタ 1 0 2 - 1 から出力されるタイミング信号をバッファ等 (図示せず) を通して後段の回路へタイミング信号を順次供給しても良い。シフトレジスタ 1 0 2 - 1 からのタイミング信号は、バッファ等によって緩衝増幅される。タイミング信号が供給される配線には、多くの回路あるいは素子が接続されているために負荷容量 (寄生容量) が大きい。この負荷容量が大きいために生ずるタイミング信号の立ち上がりまたは立ち下がりの " 鈍り " を防ぐために、このバッファが設けられる。

【 0 0 5 4 】

シフトレジスタ 1 0 2 - 1 から出力されたタイミング信号は、ラッチ (A) 1 0 2 - 2 に供給される。ラッチ (A) 1 0 2 - 2 は、n ビットのデジタルビデオ信号 (n bit digital video signals) を処理する複数のステージのラッチを有している。ラッチ (A) 1 0 2 - 2 は、前記タイミング信号が入力されると、ソース信号線駆動回路 1 0 2 の外部から供給される n ビットのデジタルビデオ信号を順次取り込み、保持する。

【 0 0 5 5 】

なお、ラッチ (A) 1 0 2 - 2 にデジタルビデオ信号を取り込む際に、ラッチ (A) 1 0 2 - 2 が有する複数のステージのラッチに、順にデジタルビデオ信号を入力しても良い。しかし本発明はこの構成に限定されない。ラッチ (A) 1 0 2 - 2 が有する複数のステージのラッチをいくつかのグループに分け、グループごとに並行して同時にデジタルビデオ信号を入力する、いわゆる分割駆動を行っても良い。なおこのときのグループの数を分割数と呼ぶ。例えば 4 つのステージごとにラッチをグループに分けた場合、4 分割で分割駆動するという。

【 0 0 5 6 】

ラッチ (A) 1 0 2 - 2 の全てのステージのラッチにデジタルビデオ信号の書き込みが一通り終了するまでの期間を、ライン期間と呼ぶ。すなわち、ラッチ (A) 1 0 2 - 2 中で一番左側のステージのラッチにデジタルビデオ信号の書き込みが開始される時点から、一番右側のステージのラッチにデジタルビデオ信号の書き込みが終了する時点までの時間間隔がライン期間である。実際には、上記ライン期間に水平帰線期間が加えられた期間をライン期間に含むことがある。

【 0 0 5 7 】

1 ライン期間が終了すると、ラッチ (B) 1 0 2 - 3 にラッチ信号 (Latch Signals) が供給される。この瞬間、ラッチ (A) 1 0 2 - 2 に書き込まれ保持されているデジタルビデオ信号は、ラッチ (B) 1 0 2 - 3 に一斉に送出され、ラッチ (B) 1 0 2 - 3 の全ステージのラッチに書き込まれ、保持される。

10

20

30

40

50

【 0 0 5 8 】

デジタルビデオ信号をラッチ (B) 1 0 2 - 3 に送出し終えたラッチ (A) 1 0 2 - 2 には、シフトレジスタ 1 0 2 - 1 からのタイミング信号に基づき、再びソース信号線駆動回路 1 0 2 の外部から供給されるデジタルビデオ信号の書き込みが順次行われる。

【 0 0 5 9 】

この 2 順目の 1 ライン期間中には、ラッチ (B) 1 0 2 - 2 に書き込まれ保持されているデジタルビデオ信号が、一斉に切り替え回路 1 0 2 - 4 に入力される。切り替え回路 1 0 2 - 4 は、切り替え信号 (Shift Signals) によって、ラッチ (B) 1 0 2 - 2 から入力されたデジタルビデオ信号の極性を反転させて、もしくは反転させずに出力する。

10

【 0 0 6 0 】

デジタルビデオ信号は「 0 」または「 1 」の情報を有しており、「 0 」と「 1 」のデジタルビデオ信号は、一方が Hi、一方が Lo の電圧を有する信号である。デジタルビデオ信号の極性を反転させるとは、「 0 」の情報を有するデジタルビデオ信号を「 1 」の情報を有するデジタルビデオ信号に変換し、「 1 」の情報を有するデジタルビデオ信号を「 0 」の情報を有するデジタルビデオ信号に変換することを意味する。

【 0 0 6 1 】

なお切り替え信号は、ラッチ (B) 1 0 2 - 2 から入力されたデジタルビデオ信号の極性を反転させるか、させないかを選択する信号である。1 フレーム期間中における全ての発光素子の発光する期間の長さの平均が、画素部 1 0 1 に全白を表示させたときの 1 フレーム期間中における発光素子の発光する期間の長さの半分よりも長くなったとき、切り替え信号によってデジタルビデオ信号の極性を反転させることで、消費電力を低減できる。逆に、1 フレーム期間中における全ての発光素子の発光する期間の長さの平均が、画素部 1 0 1 に全白を表示させたときの 1 フレーム期間中における発光素子の発光する期間の長さの半分よりも短くなったとき、切り替え信号によってデジタルビデオ信号の極性を反転させない方が消費電力を抑えることができる。

20

【 0 0 6 2 】

なお、切り替え信号によってデジタルビデオ信号の極性を反転させるかさせないかは、使用者が選択しても良いし、表示される画像によって自動的に選択されるようにしても良い。

30

【 0 0 6 3 】

切り替え回路 1 0 2 - 4 から出力されたデジタルビデオ信号は、ソース信号線に入力される。

【 0 0 6 4 】

一方、ゲート信号線駆動回路 1 0 3 において、シフトレジスタ (図示せず) からのゲート信号がバッファ (図示せず) に入力され、対応するゲート信号線 (走査線とも呼ぶ) に入力される。

40

【 0 0 6 5 】

ゲート信号線に入力されたゲート信号によって、ソース信号線に入力されたデジタルビデオ信号が画素に入力される。

【 0 0 6 6 】

なお本発明において、ソース信号線駆動回路 1 0 2 とゲート信号線駆動回路 1 0 3 は、画素部 1 0 1 と同じ基板上に形成されていても良いし、IC チップ上に形成して F P C や T A B 等を介して画素部 1 0 1 と接続されていても良い。

【 0 0 6 7 】

本実施の形態の上記構成によって、デジタル駆動の時分割階調表示を行う発光装置がモノクロの表示を行う場合、画素部に表示される画像によって画像の明暗

50

を反転させることができる。具体的には、1フレーム期間中における全ての発光素子の発光する期間の長さの平均が、画素部101に全白を表示させたときの1フレーム期間中における発光素子の発光する期間の長さの半分よりも長くなるような場合、画素部に表示される画像の明暗を反転させれば良い。逆に、1フレーム期間中における全ての発光素子の発光する期間の長さの平均が、画素部101に全白を表示させたときの1フレーム期間中における発光素子の発光する期間の長さの半分よりも短くなったときは、画素部に表示される画像の明暗を反転させない方がよい。

【0068】

なお、本実施の形態では、ソース信号線駆動回路の中に切り換え回路が含まれている構成を有しているが、切り換え回路はソース信号線駆動回路に含まれていなくても良い。

10

【0069】

また、本実施の形態ではデジタルビデオ信号を用いた場合についてのみ説明したが、本発明はデジタルビデオ信号だけではなく、アナログのビデオ信号にも適用することが可能である。

【0070】

よって、本発明の第1の構成によって発光素子に流れる電流の大きさをおある程度抑えることができ、発光装置の消費電力を抑えることができる。

【0071】

20

(実施の形態2)

次に、本発明の第2の構成について説明する。本発明の第2の構成を有する発光装置のブロック図を、図2に示す。なお図1で示したものと同一ものは、図1と同じ符号で示す。

【0072】

本実施の形態の発光装置は、クロック信号制御回路106によって、クロック信号(CLK)の代わりに、一定の電位をシフトレジスタ102-1に与えることを可能にした。

【0073】

具体的には、クロック信号制御回路106によって、一定の期間クロック信号の代わりに一定の電位(固定電位)をシフトレジスタ102-1に入力するようにした。上記構成により、1~mビット目(mは1からnまでの任意の整数)までの下位ビットのデジタルビデオ信号を、ラッチ(A)102-2に書き込むためのタイミング信号が、ラッチ(A)102-2に入力しないようにした。よってソース信号線駆動回路102の外部から入力されたデジタルビデオ信号nビットのうち、(m+1)ビット目からnビット目までの上位ビットのデジタルビデオ信号のみをラッチ(A)102-2に書き込むことができる。

30

【0074】

なお本実施の形態の発光装置は、図1とは異なり、ソース信号線駆動回路102が切り替え回路102-4を有していない。そのため、ラッチ(B)102-3に書き込まれて保持されているデジタルビデオ信号は、ラッチ(B)102-3に入力されるラッチ信号によってソース信号線に入力される。

40

【0075】

本実施の形態では、デジタル駆動の時分割階調表示を行う発光装置において、発光装置が有するソース信号線駆動回路に入力されたデジタルビデオ信号を、そのビット数を落としてから画素部に入力している。具体的には、最下位ビットのデジタルビデオ信号から順に切り捨てることによって、画素部に入力されるデジタルビデオ信号のビット数を落としてゆく。

【0076】

上記構成によって、画素に入力されるデジタルビデオ信号のビット数が少なく

50

なるので、ソース信号線駆動回路及びゲート信号線駆動回路によってデジタルビデオ信号が画素に書き込まれる回数が少なくなる。そのためソース信号線駆動回路及びゲート信号線駆動回路の消費電力を抑えることができ、発光装置の消費電力も抑えることができる。

【0077】

なお本実施の形態において、クロック信号制御回路106は、画素部101と同じ基板上に形成されていても良いし、ICチップ上に形成されていても良い。

【0078】

(実施の形態3)

次に、本発明の第2の構成の、実施の形態2とは異なる例について説明する。本発明の第2の構成を有する発光装置のブロック図を、図3に示す。なお図1で示したものと同一ものは、図1と同じ符号で示す。

10

【0079】

本実施の形態の発光装置は、タイミング信号制御回路107によって、シフトレジスタ102-1から出力されるタイミング信号の代わりに、一定の電位をラッチ(A)102-2に与えることができるようにした。

【0080】

具体的には、タイミング信号制御回路107によって、一定の期間シフトレジスタ102-1から出力されるタイミング信号の代わりに、一定の電位(固定電位)をラッチ(A)102-2に与えるようにした。上記構成により、1~mビット目(mは1からnまでの任意の整数)までの下位ビットのデジタルビデオ信号をラッチ(A)102-2に書き込むためのタイミング信号だけがラッチ(A)102-2に入力しないようにした。よってソース信号線駆動回路102の外部から入力されたデジタルビデオ信号nビットのうち、m+1ビット目からnビット目までの上位ビットのデジタルビデオ信号のみをラッチ(A)102-2に書き込むことができる。

20

【0081】

なお本実施の形態において固定電位は、ラッチ(A)102-2にデジタルビデオ信号が書き込まれないような電位であることが必要である。

【0082】

本実施の形態では、デジタル駆動の時分割階調表示を行う発光装置において、発光装置が有するソース信号線駆動回路に入力されたデジタルビデオ信号を、そのビット数を落としてから画素部に入力している。具体的には、最下位ビットのデジタルビデオ信号から順に切り捨てることによって、画素部に入力されるデジタルビデオ信号のビット数を落としてゆく。

30

【0083】

上記構成によって、画素に入力されるデジタルビデオ信号のビット数が少なくなるので、ソース信号線駆動回路及びゲート信号線駆動回路によってデジタルビデオ信号が画素に書き込まれる回数が少なくなる。そのためソース信号線駆動回路及びゲート信号線駆動回路の消費電力を抑えることができ、発光装置の消費電力も抑えることができる。

40

【0084】

なお本実施の形態において、タイミング信号制御回路107は、画素部101と同じ基板上に形成されていても良いし、ICチップ上に形成されていても良い。

【0085】

(実施の形態4)

次に、本発明の第2の構成の、実施の形態2及び3とは異なる例について説明する。本発明の第2の構成を有する発光装置のブロック図を、図4に示す。なお図1で示したものと同一ものは、図1と同じ符号で示す。

50

【 0 0 8 6 】

本実施の形態の発光装置は、スタートパルス信号制御回路 1 0 8 によって、スタートパルス信号 (S P) の代わりに、一定の電位をシフトレジスタ 1 0 2 - 1 に与えることができるようにした。

【 0 0 8 7 】

具体的には、1 ~ m ビット目 (m は 1 から n までの任意の整数) までの下位ビットのデジタルビデオ信号をラッチ (A) 1 0 2 - 2 に書き込むためのタイミング信号だけがラッチ (A) 1 0 2 - 2 に入力しないように、スタートパルス信号制御回路 1 0 8 によってスタートパルス信号の代わりに一定の電位 (固定電位) を一定の期間シフトレジスタ 1 0 2 - 1 に与えるようにした。よってソース信号線駆動回路 1 0 2 の外部から入力されたデジタルビデオ信号 n ビットのうち、(m + 1) ビット目から n ビット目までの上位ビットのデジタルビデオ信号のみをラッチ (A) 1 0 2 - 2 に書き込むことができる。

10

【 0 0 8 8 】

なお本実施の形態において固定電位は、シフトレジスタ 1 0 2 - 1 からタイミング信号が出力されないような電位であることが必要である。

【 0 0 8 9 】

本実施の形態では、デジタル駆動の時分割階調表示を行う発光装置において、発光装置が有するソース信号線駆動回路に入力されたデジタルビデオ信号を、そのビット数を落としてから画素部に入力している。具体的には、最下位ビットのデジタルビデオ信号から順に切り捨てることによって、画素部に入力されるデジタルビデオ信号のビット数を落としてゆく。

20

【 0 0 9 0 】

上記構成によって、画素に入力されるデジタルビデオ信号のビット数が少なくなるので、ソース信号線駆動回路及びゲート信号線駆動回路によってデジタルビデオ信号が画素に書き込まれる回数が少なくなる。そのためソース信号線駆動回路及びゲート信号線駆動回路の消費電力を抑えることができ、発光装置の消費電力も抑えることができる。

【 0 0 9 1 】

なお本実施の形態において、スタートパルス信号制御回路 1 0 8 は、画素部 1 0 1 と同じ基板上に形成されていても良いし、I C チップ上に形成されていても良い。

30

【 0 0 9 2 】

(実施の形態 5)

次に、本発明の第 3 の構成について図 5 を用いて説明する。5 0 1 は電源供給線を示している。なお本明細書において電源供給線は、ソース信号線に入力されるデジタルビデオ信号によって画素部の発光素子が有する画素電極に所定の電位を与えるための配線である。本明細書では電源供給線の電位を電源電位と呼ぶ。

【 0 0 9 3 】

5 0 2 はバッファアンプ (緩衝増幅器) であり、5 0 3 はモニター用発光素子、5 0 4 は定電流源である。モニター用発光素子 5 0 3 の一方の電極は定電流源 5 0 4 に接続されており、モニター用発光素子 5 0 3 には常に一定の電流が流れている。そして発光素子が有する有機化合物層の温度が変化すると、モニター用発光素子 5 0 3 を流れる電流の大きさが変化しないかわりに、定電流源 5 0 4 に接続されているモニター用発光素子 5 0 3 の電極の電位が変化する。

40

【 0 0 9 4 】

一方バッファアンプ 5 0 2 は 2 つの入力端子と 1 つの出力端子とを有しており、2 つの入力端子のうち一方は非反転入力端子 (+)、もう一方は反転入力端子 (-) である。モニター用発光素子 5 0 3 の一方の電極の電位は、バッファアンプ 5 0 2 の非反転入力端子に与えられる。

50

【0095】

バッファアンプ502は、定電流源504に接続されたモニター用発光素子503の画素電極の電位が、電源供給線501の配線容量等の負荷によって変化することを防ぐ回路である。よってバッファアンプ502の非反転入力端子に与えられた電位は、電源供給線501の配線容量等の負荷によって変化することなく出力端子から出力され、電源電位として電源供給線に与えられる。

【0096】

よって、環境温度の変化により、モニター用発光素子503または画素部の発光素子の有機化合物層の温度が変化しても、発光素子に一定の電流が流れるように電源電位が変化する。よって発光装置の環境温度が上昇しても、発光装置の消費電力が大きくなるのを抑えることができる。

10

【0097】

なお本実施の形態において、バッファアンプ502、モニター用発光素子503、定電流源504は、画素部と同じ基板上に形成されていても良いし、ICチップ上に形成されていても良い。またモニター用発光素子503は画素部の中に含まれていても良いし、画素部とは別個に設けても良い。

【0098】

本発明は上述した第1から第3の構成によって、発光装置及び該発光装置を用いた電子機器の消費電力を抑えることが可能である。なお本発明は、第1から第3の構成のいずれか1つを有していればよい。また第1から第3の構成のうちの複数の構成を有していても良いし、全てを有していても良い。

20

【0099】

本発明は上記3つの構成によって、発光装置の消費電力を抑えることが可能になる。

【0100】

以下に、本発明の実施例について説明する。

【実施例1】

【0101】

本実施例では、本発明の発光装置の画素部の構造とその駆動方法について説明する。

30

【0102】

本実施例の発光装置の画素部301の拡大図を図6に示す。ソース信号線(S1~Sx)、電源供給線(V1~Vx)、ゲート信号線(G1~Gy)が画素部301に設けられている。

【0103】

本実施例の場合、ソース信号線(S1~Sx)と、電源供給線(V1~Vx)と、ゲート信号線(G1~Gy)とを1つずつ備えた領域が画素304である。画素部301にはマトリクス状に複数の画素304が配置されることになる。

【0104】

画素304の拡大図を図7に示す。図7において、305はスイッチング用TFTである。スイッチング用TFT305のゲート電極は、ゲート信号線G(G1~Gx)に接続されている。スイッチング用TFT305のソース領域とドレイン領域は、一方がソース信号線S(S1~Sx)に、もう一方が電流制御用TFT306のゲート電極、各画素が有するコンデンサ308にそれぞれ接続されている。

40

【0105】

コンデンサ308はスイッチング用TFT305が非選択状態(オフ状態)にある時、電流制御用TFT306のゲート電圧(ゲート電極とソース領域間の電位差)を保持するために設けられている。なお本実施の形態ではコンデンサ308を設ける構成を示したが、本発明はこの構成に限定されず、コンデンサ308

50

を設けない構成にしても良い。

【0106】

また、電流制御用TFT306のソース領域とドレイン領域は、一方が電源供給線V(V1~Vx)に接続され、もう一方は発光素子307に接続される。電源供給線Vはコンデンサ308に接続されている。

【0107】

発光素子307は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる。陽極が電流制御用TFT306のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が電流制御用TFT306のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

10

【0108】

発光素子307の対向電極には対向電位が与えられている。また電源供給線Vは電源電位が与えられている。電源電位と対向電位は、本発明の発光装置に、外付けのIC等により設けられた電源によって与えられる。

【0109】

スイッチング用TFT305、電流制御用TFT306は、nチャネル型TFTでもpチャネル型TFTでもどちらでも用いることができる。ただし電流制御用TFT306のソース領域またはドレイン領域が発光素子307の陽極と接続されている場合、電流制御用TFT306はpチャネル型TFTであることが望ましい。また、電流制御用TFT306のソース領域またはドレイン領域が発光素子307の陰極と接続されている場合、電流制御用TFT306はnチャネル型TFTであることが望ましい。

20

【0110】

またスイッチング用TFT305、電流制御用TFT306は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【0111】

次に上述した構成を有する本発明の発光装置の駆動方法について、図8を用いて説明する。

30

【0112】

まず、電源供給線の電源電位は発光素子の対向電極の電位と同じになる。そしてゲート信号線G1に、ゲート信号線駆動回路からゲート信号が入力される。その結果、ゲート信号線G1に接続されている全ての画素(1ライン目の画素)のスイッチング用TFT305がオンの状態になる。

【0113】

そして同時に、ソース信号線(S1~Sx)にソース信号線駆動回路から、1ビット目のデジタルビデオ信号が入力される。デジタルビデオ信号はスイッチング用TFT305を介して電流制御用TFT306のゲート電極に入力される。

【0114】

40

次にG1へのゲート信号の入力が終了すると同時に、ゲート信号線G2に同様にゲート信号が入力される。そしてゲート信号線G2に接続されている全ての画素のスイッチング用TFT305がオンの状態になり、2ライン目の画素にソース信号線(S1~Sx)から1ビット目のデジタルビデオ信号が入力される。

【0115】

そして順に、全てのゲート信号線(G1~Gx)にゲート信号が入力されていく。全てのゲート信号線(G1~Gx)が選択され、全てのラインの画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間Ta1である。

【0116】

50

書込期間 T_{a1} が終了すると次に発光期間 T_{r1} になる。発光期間 T_{r1} では、電源供給線の電源電位は、電源電位が発光素子の画素電極に与えられたときに発光素子が発光する程度に、対向電極との間に電位差を有する電位になる。

【0117】

そして本実施例では、デジタルビデオ信号が「0」の情報を有していた場合、電流制御用 $TFT306$ はオフの状態となっている。よって発光素子 307 の画素電極には電源電位は与えられない。その結果、「0」の情報を有するデジタルビデオ信号が入力された画素が有する発光素子 307 は発光しない。

【0118】

逆に、「1」の情報を有していた場合、電流制御用 $TFT306$ はオンの状態となっている。よって発光素子 307 の画素電極には電源電位が与えられる。その結果、「1」の情報を有するデジタルビデオ信号が入力された画素が有する発光素子 307 は発光する。

10

【0119】

このように、表示期間 T_{r1} では発光素子 307 が発光、または非発光の状態になり、全ての画素は表示を行う。画素が表示を行っている期間を表示期間 T_r と呼ぶ。特に1ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間を T_{r1} と呼ぶ。図8では説明を簡便にするために、特に1ライン目の画素の表示期間についてのみ示す。全てのラインの表示期間が開始されるタイミングは同じである。

20

【0120】

表示期間 T_{r1} が終了すると書込期間 T_{a2} となり、電源供給線の電源電位は発光素子の対向電極の電位と同じになる。そして書込期間 T_{a1} の場合と同様に順に全てのゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼ぶ。

【0121】

書込期間 T_{a2} が終了すると表示期間 T_{r2} になり、電源供給線の電源電位は、電源電位が発光素子の画素電極に与えられたときに発光素子が発光する程度に、対向電極との間に電位差を有する電位になる。そして全ての画素が表示を行う。

30

【0122】

上述した動作は n ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、書込期間 T_a と表示期間 T_r とが繰り返し出現する。全ての表示期間 ($T_{r1} \sim T_{rn}$) が終了すると1つの画像を表示することができる。本発明の駆動方法において、1つの画像を表示する期間を1フレーム期間 (F) と呼ぶ。1フレーム期間が終了すると次のフレーム期間が開始される。そして再び書込期間 T_{a1} が出現し、上述した動作を繰り返す。

【0123】

通常発光装置では1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

40

【0124】

本実施例では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さ比は、 $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となるようにすることが必要である。この表示期間の組み合わせで 2^n 階調のうち所望の階調表示を行うことができる。

【0125】

1フレーム期間中に発光素子が発光した表示期間の長さの総和を求めることに

50

よって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を 100% とすると、 $Tr1$ と $Tr2$ において画素が発光した場合には 1% の輝度が表現でき、 $Tr3$ と $Tr5$ と $Tr8$ を選択した場合には 60% の輝度が表現できる。

【0126】

また表示期間 $Tr1 \sim Trn$ は、どのような順序で出現させても良い。例えば 1 フレーム期間中において、 $Tr1$ の次に $Tr3$ 、 $Tr5$ 、 $Tr2$ 、... という順序で表示期間を出現させることも可能である。

【0127】

なお本実施例では、電源供給線の電源電位の高さを書込期間と表示期間とで変化させていたが、本発明はこれに限定されない。電源電位が発光素子の画素電極に与えられたときに発光素子が発光する程度の電位差を、電源電位と対向電極の電位との間に常に有するようによしても良い。その場合、書込期間においても発光素子を発光させることが可能になる。よって、当該フレーム期間において画素が表示する階調は、1 フレーム期間中に発光素子が発光した書込期間と表示期間の長さの総和によって決まる。なおこの場合、各ビットのデジタルビデオ信号に対応する書込期間と表示期間の長さの和の比が、 $(Ta1 + Tr1) : (Ta2 + Tr2) : (Ta3 + Tr3) : \dots : (Tan - 1 + Tr(n - 1)) : (Tan + Trn) = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ となる必要がある。

10

20

【実施例2】

【0128】

本実施例では、本発明の発光装置の画素部の構造とその駆動方法について、実施例1とは異なる例について説明する。

【0129】

図9に本実施例の発光装置のブロック図の一例を示す。図9の発光装置は、基板上に形成されたTFTによって画素部901、画素部の周辺に配置されたソース信号側駆動回路902、書き込み用ゲート信号側駆動回路(第1ゲート信号線駆動回路)903a、消去用ゲート信号線駆動回路(第2ゲート信号線駆動回路)903bを有している。なお、本実施例で発光装置はソース信号側駆動回路を1つ有しているが、本実施例においてソース信号側駆動回路は2つあってもよい。

30

【0130】

ソース信号側駆動回路902は本発明の第1から第3の構成のうち、少なくとも1つを有している。

【0131】

なお本実施例において、ソース信号線駆動回路902と書き込み用ゲート信号側駆動回路903aと消去用ゲート信号線駆動回路903bとは、画素部901と同じ基板上に形成されていても良いし、ICチップ上に形成してFPC、TAB等のコネクタを介して画素部901と接続されていても良い。

40

【0132】

画素部901の拡大図を図10に示す。ソース信号線($S1 \sim Sx$)、電源供給線($V1 \sim Vx$)、書き込み用ゲート信号線(第1ゲート信号線)($Ga1 \sim Gay$)、消去用ゲート信号線(第2ゲート信号線)($Ge1 \sim Ge y$)が画素部901に設けられている。

【0133】

ソース信号線($S1 \sim Sx$)と、電源供給線($V1 \sim Vx$)と、書き込み用ゲート信号線($Ga1 \sim Gay$)と、消去用ゲート信号線($Ge1 \sim Ge y$)とをそれぞれ少なくとも1つ備えた領域が画素904である。画素部901にはマトリクス状に複数の画素904が配列されることになる。

50

【 0 1 3 4 】

画素 9 0 4 の拡大図を図 1 1 に示す。図 1 1 において、9 0 7 はスイッチング用 T F T である。スイッチング用 T F T 9 0 7 のゲート電極は、書き込み用ゲート信号線 G a (G a 1 ~ G a y) に接続されている。スイッチング用 T F T 9 0 7 のソース領域とドレイン領域は、一方がソース信号線 S (S 1 ~ S x) に、もう一方が電流制御用 T F T 9 0 8 のゲート電極、各画素が有するコンデンサ 9 1 2 及び消去用 T F T 9 0 9 のソース領域又はドレイン領域にそれぞれ接続されている。

【 0 1 3 5 】

コンデンサ 9 1 2 はスイッチング用 T F T 9 0 7 が非選択状態 (オフ状態) にある時、電流制御用 T F T 9 0 8 のゲート電圧を保持するために設けられている。なお本実施例ではコンデンサ 9 1 2 を設ける構成を示したが、本実施例はこの構成に限定されず、コンデンサ 9 1 2 を設けない構成にしても良い。

10

【 0 1 3 6 】

また、電流制御用 T F T 9 0 8 のソース領域とドレイン領域は、一方が電源供給線 V (V 1 ~ V x) に接続され、もう一方は発光素子 9 1 0 に接続される。電源供給線 V はコンデンサ 9 1 2 に接続されている。

【 0 1 3 7 】

また消去用 T F T 9 0 9 のソース領域とドレイン領域のうち、スイッチング用 T F T 9 0 7 のソース領域またはドレイン領域に接続されていない方は、電源供給線 V に接続されている。そして消去用 T F T 9 0 9 のゲート電極は、消去用ゲート信号線 G e に接続されている。

20

【 0 1 3 8 】

発光素子 9 1 0 は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる。陽極が電流制御用 T F T 9 0 8 のソース領域またはドレイン領域と接続している場合、陽極が画素電極、陰極が対向電極となる。逆に陰極が電流制御用 T F T 9 0 8 のソース領域またはドレイン領域と接続している場合、陰極が画素電極、陽極が対向電極となる。

【 0 1 3 9 】

発光素子 9 1 0 の対向電極 9 1 1 には対向電位が与えられている。また電源供給線 V は電源電位が与えられている。そして対向電位と電源電位の電位差は、電源電位が画素電極に与えられたときに発光素子が発光する程度の電位差に常に保たれている。電源電位と対向電位は、本発明の発光装置に、外付けの I C 等により設けられた電源によって与えられる。

30

【 0 1 4 0 】

現在の典型的な発光装置には、画素の発光する面積あたりの発光量が $200 \text{ cd} / \text{m}^2$ の場合、画素部の面積あたりの電流が数 mA / cm^2 程度必要となる。そのため特に画面サイズが大きくなると、I C に設けられた電源から与えられる電位の高さをスイッチで制御することが難しくなっていく。本実施例においては、電源電位と対向電位は常に一定に保たれており、I C に設けられた電源から与えられる電位の高さをスイッチで制御する必要がないので、より大きな画面サイズのパネルの実現に有用である。

40

【 0 1 4 1 】

スイッチング用 T F T 9 0 7 、電流制御用 T F T 9 0 8 、消去用 T F T 9 0 9 は、n チャネル型 T F T でも p チャネル型 T F T でもどちらでも用いることができる。ただし電流制御用 T F T 9 0 8 のソース領域またはドレイン領域が発光素子 9 1 0 の陽極と接続されている場合、電流制御用 T F T 9 0 8 は p チャネル型 T F T であることが望ましい。また、電流制御用 T F T 9 0 8 のソース領域またはドレイン領域が発光素子 9 1 0 の陰極と接続されている場合、電流制御用 T F T 9 0 8 は n チャネル型 T F T であることが望ましい。

50

【 0 1 4 2 】

またスイッチング用 T F T 9 0 7、電流制御用 T F T 9 0 8、消去用 T F T 9 0 9 は、シングルゲート構造ではなく、ダブルゲート構造、やトリプルゲート構造などのマルチゲート構造を有していても良い。

【 0 1 4 3 】

次に上述した構成を有する本発明の発光装置の駆動方法について、図 1 2 を用いて説明する。

【 0 1 4 4 】

はじめに書き込み用ゲート信号線駆動回路 9 0 3 a から書き込み用ゲート信号線 G a 1 に入力される書き込み用ゲート信号によって、書き込み用ゲート信号線 G a 1 に接続されている全ての画素（1ライン目の画素）のスイッチング用 T F T 9 0 7 がオンの状態になる。なお本明細書において信号線にゲート電極が接続された T F T が全てオンの状態になることを、該配線が選択されたと呼ぶ。よってこの場合、書き込み用ゲート信号線 G a 1 が選択されていることになる。

10

【 0 1 4 5 】

そして同時に、ソース信号線（S 1 ~ S x）にソース信号線駆動回路 9 0 2 から、1ビット目のデジタルビデオ信号が1ライン目の画素に入力される。具体的にはデジタルビデオ信号はスイッチング用 T F T 9 0 7 を介して電流制御用 T F T 9 0 8 のゲート電極に入力される。

【 0 1 4 6 】

本実施例では、デジタルビデオ信号が「0」の情報を持っていた場合、電流制御用 T F T 9 0 8 はオフの状態となる。よって発光素子 9 1 0 の画素電極には電源電位は与えられない。その結果、「0」の情報を持するデジタルビデオ信号が入力された画素が有する発光素子 9 1 0 は発光しない。

20

【 0 1 4 7 】

逆に、「1」の情報を持っていた場合、電流制御用 T F T 9 0 8 はオンの状態となる。よって発光素子 9 1 0 の画素電極には電源電位が与えられる。その結果、「1」の情報を持するデジタルビデオ信号が入力された画素が有する発光素子 9 1 0 は発光する。

【 0 1 4 8 】

このように、1ライン目の画素にデジタルビデオ信号が入力されると同時に、発光素子 9 1 0 が発光、または非発光の状態になり、1ライン目の画素は表示を行う。画素が表示を行っている期間を表示期間 T r と呼ぶ。特に1ビット目のデジタルビデオ信号が画素に入力されたことで開始する表示期間を T r 1 と呼ぶ。図 1 2 では説明を簡便にするために、特に1ライン目の画素の表示期間についてのみ示す。各ラインの表示期間が開始されるタイミングはそれぞれ時間差を有している。

30

【 0 1 4 9 】

次に G a 1 の選択が終了すると同時に、書き込み用ゲート信号線 G a 2 が書き込み用ゲート信号によって選択される。そして書き込み用ゲート信号線 G a 2 に接続されている全ての画素のスイッチング用 T F T 9 0 7 がオンの状態になり、2ライン目の画素にソース信号線（S 1 ~ S x）から1ビット目のデジタルビデオ信号が入力される。

40

【 0 1 5 0 】

そして順に、全ての書き込み用ゲート信号線（G a 1 ~ G a x）が選択されていく。全ての書き込み用ゲート信号線（G a 1 ~ G a x）が選択され、全てのラインの画素に1ビット目のデジタルビデオ信号が入力されるまでの期間が書き込み期間 T a 1 である。

【 0 1 5 1 】

一方、全てのラインの画素に1ビット目のデジタルビデオ信号が入力される前

50

、言い換えると書き込み期間 T_{a1} が終了する前に、画素への1ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線駆動回路 903b から入力される消去用ゲート信号によって、消去用ゲート信号線 G_{e1} の選択が行われる。

【0152】

消去用ゲート信号線 G_{e1} が選択されると、消去用ゲート信号線 G_{e1} に接続されている全ての画素（1ライン目の画素）の消去用 $TFT909$ がオンの状態になる。そして電源供給線（ $V_1 \sim V_x$ ）の電源電位が消去用 $TFT909$ を介して1ライン目の画素の電流制御用 $TFT908$ のゲート電極に与えられる。

【0153】

電源電位が電流制御用 $TFT908$ のゲート電極に与えられると、電流制御用 $TFT908$ はオフの状態となる。よって電源電位は発光素子 910 の画素電極に与えられなくなり、1ライン目の画素が有する発光素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。つまり、書き込み用ゲート信号線 G_{a1} が選択されたときから電流制御用 TFT のゲート電極が保持していたデジタルビデオ信号は、電流制御用 TFT のゲート電極に電源電位が与えられることで消去される。よって1ライン目の画素が表示を行わなくなる。

【0154】

画素が表示を行わない期間を非表示期間 T_d と呼ぶ。1ライン目の画素は、消去用ゲート信号線 G_{e1} に消去用ゲート信号が入力されると同時に表示期間 T_{r1} が終了し、非表示期間 T_{d1} となる。

【0155】

図12では説明を簡便にするために、特に1ライン目の画素の非表示期間についてのみ示す。表示期間と同様に、各ラインの非表示期間が開始されるタイミングはそれぞれ時間差を有している。

【0156】

そして G_{e1} の選択が終了すると同時に、消去用ゲート信号によって消去用ゲート信号線 G_{e2} が選択され、消去用ゲート信号線 G_{e2} に接続されている全ての画素（2ライン目の画素）の消去用 $TFT909$ がオンの状態になる。そして電源供給線（ $V_1 \sim V_x$ ）の電源電位が消去用 $TFT909$ を介して電流制御用 $TFT908$ のゲート電極に与えられる。電源電位が電流制御用 $TFT908$ のゲート電極に与えられると、電流制御用 $TFT908$ はオフの状態となる。よって電源電位は発光素子 910 の画素電極に与えられなくなる。その結果2ライン目の画素が有する発光素子は全て非発光の状態になり、2ライン目の画素が表示を行わなくなり、非表示の状態となる。

【0157】

そして順に、消去用ゲート信号によって全ての消去用ゲート信号線が選択されていく。全ての消去用ゲート信号線（ $G_{a1} \sim G_{ax}$ ）が選択され、全てのラインの画素が保持している1ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T_{e1} である。

【0158】

一方、全てのラインの画素が保持している1ビット目のデジタルビデオ信号が消去される前、言い換えると消去期間 T_{e1} が終了する前に、画素への1ビット目のデジタルビデオ信号の消去と並行して、再び書き込み用ゲート信号線 G_{a1} の選択が行われる。その結果、1ライン目の画素は再び表示を行うので、非表示期間 T_{d1} が終了して表示期間 T_{r2} となる。

【0159】

そして同様に、順に全ての書き込み用ゲート信号線が選択され、2ビット目のデジタルビデオ信号が全ての画素に入力される。全てのラインの画素に2ビット目のデジタルビデオ信号が入力し終わるまでの期間を、書き込み期間 T_{a2} と呼

10

20

30

40

50

ぶ。

【0160】

そして一方、全てのラインの画素に2ビット目のデジタルビデオ信号が入力される前、言い換えると書き込み期間 T_{a2} が終了する前に、画素への2ビット目のデジタルビデオ信号の入力と並行して、消去用ゲート信号線 G_{e2} の選択が行われる。よって1ライン目の画素が有する発光素子は全て非発光の状態になり、1ライン目の画素が表示を行わなくなる。よって1ライン目の画素において表示期間 T_{r2} は終了し、非表示期間 T_{d2} となる。

【0161】

そして順に、全ての消去用ゲート信号線が選択される。全ての消去用ゲート信号線 ($G_{a1} \sim G_{ax}$) が選択され、全てのラインの画素が保持している2ビット目のデジタルビデオ信号が消去されるまでの期間が消去期間 T_{e2} である。

10

【0162】

上述した動作は m ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われ、表示期間 T_r と非表示期間 T_d とが繰り返し出現する。表示期間 T_{r1} は、書き込み期間 T_{a1} が開始されてから消去期間 T_{e1} が開始されるまでの期間である。また非表示期間 T_{d1} は、消去期間 T_{e1} が開始されてから表示期間 T_{r2} が開始されるまでの期間である。そして表示期間 T_{r2} 、 T_{r3} 、...、 $T_{r(m-1)}$ と非表示期間 T_{d2} 、 T_{d3} 、...、 $T_{d(m-1)}$ も、表示期間 T_{r1} と非表示期間 T_{d1} と同様に、それぞれ書き込み期間 T_{a1} 、 T_{a2} 、...、 T_{am} と消去期間 T_{e1} 、 T_{e2} 、...、 $T_{e(m-1)}$ とによって、その期間が定められる。

20

【0163】

そして m ビット目のデジタルビデオ信号が1ライン目の画素に入力された後は、消去用ゲート信号線 G_{e1} は選択されない。説明を簡便にするために、本実施例では $m = n - 2$ の場合を例にとって説明するが、本発明はこれに限定されないのは言うまでもない。本発明において m は、2 から n までの値を任意に選択することが可能である。

【0164】

($n - 2$) ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、1ライン目の画素は表示期間 $T_{r(n-2)}$ となり表示を行う。そして次のビットのデジタルビデオ信号が入力されるまで、($n - 2$) ビット目のデジタルビデオ信号は画素に保持される。

30

【0165】

そして次に ($n - 1$) ビット目のデジタルビデオ信号が1ライン目の画素に入力されると、画素に保持されていた ($n - 2$) ビット目のデジタルビデオ信号は、($n - 1$) ビット目のデジタルビデオ信号に書き換えられる。そして1ライン目の画素は表示期間 $T_{r(n-1)}$ となり、表示を行う。($n - 2$) ビット目のデジタルビデオ信号は、次のビットのデジタルビデオ信号が入力されるまで画素に保持される。

40

【0166】

上述した動作を n ビット目のデジタルビデオ信号が画素に入力されるまで繰り返し行われる。表示期間 $T_{r(n-2)}$ は、書き込み期間 $T_{a(n-2)}$ が開始されてから、書き込み期間 $T_{a(n-1)}$ が開始されるまでの期間である。そして表示期間 ($T_{r(n-1)}$ 、 T_{rn}) も表示期間 $T_{r(n-2)}$ と同様に、書き込み期間 T_a によって、その期間が定められる。

【0167】

なお本実施例では、全ての書き込み期間の長さの和が1フレーム期間よりも短く、なおかつ表示期間の長さを $T_{r1} : T_{r2} : T_{r3} : \dots : T_{r(n-1)} : T_{rn} = 2^0 : 2^1 : 2^2 : \dots : 2^{(n-2)} : 2^{(n-1)}$ とすることが必要である。この

50

表示期間の組み合わせで2ⁿ階調のうち所望の階調表示を行うことができる。

【0168】

全ての表示期間($T_{r1} \sim T_{rn}$)が終了すると、1つの画像を表示することができる。本発明の駆動方法において、1つの画像を表示する期間を1フレーム期間(F)と呼ぶ。

【0169】

そして1フレーム期間終了後は、再び1ビット目のデジタルビデオ信号が画素に入力され、1ライン目の画素が再び表示期間 T_{r1} となる。そして再び上述した動作を繰り返す。

【0170】

通常10の発光装置では1秒間に60以上のフレーム期間を設けることが好ましい。1秒間に表示される画像の数が60より少なくなると、視覚的に画像のちらつきが目立ち始めることがある。

【0171】

1フレーム期間中に発光素子が発光した表示期間の長さの総和を求めることによって、当該フレーム期間におけるその画素の表示した階調がきまる。例えば、 $n = 8$ のとき、全部の表示期間で画素が発光した場合の輝度を100%とすると、 T_{r1} と T_{r2} において画素が発光した場合には1%の輝度が表現でき、 T_{r3} と T_{r5} と T_{r8} を選択した場合には60%の輝度が表現できる。

【0172】

m ビット目のデジタルビデオ信号が画素に書き込まれる書き込み期間 T_{am} は、表示期間 T_{rm} の長さよりも短いことが肝要である。よってビット数 m の値は、1~ n のうち、書き込み期間 T_{am} が表示期間 T_{rm} の長さよりも短くなるような値であることが必要である。20

【0173】

また表示期間($T_{r1} \sim T_{rn}$)は、どのような順序で出現させても良い。例えば1フレーム期間中において、 T_{r1} の次に T_{r4} 、 T_{r3} 、 T_{r2} 、...という順序で表示期間を出現させることも可能である。ただし、消去期間($T_{e1} \sim T_{en}$)が互いに重ならない順序の方がより好ましい。30

【0174】

なお本実施例においては、表示期間 T_r と書き込み期間 T_a とが一部重なっている。言い換えると書き込み期間においても画素を表示させることが可能である。そのため、1フレーム期間における表示期間の長さの総和の割合(デューティ比)が、書き込み期間の長さによってのみ決定されない。30

【実施例3】

【0175】

本実施例では、実施の形態1で示した発光装置が有するソース信号線駆動回路の詳しい構成について説明する。図13に本実施例のソース信号線駆動回路の回路図を示す。なお図1で示したものと同一のものは、同じ符号で示す。40

【0176】

102-1はシフトレジスタであり、クロック信号(CLK)、クロック信号の極性が反転した信号($CLKB$)、スタートパルス信号(SP)、双方向切り替え信号(SL/R)が、図に示した配線からそれぞれ入力されている。

【0177】

102-2はラッチ(A)であり、102-3はラッチ(B)である。なお本実施例では、1組のラッチ(A)102-2と1組のラッチ(B)102-3が、4本のソース信号線に対応している。しかし本実施例において、1組のラッチ(A)102-2と1組のラッチ(B)102-3が対応しているソース信号線の数はこれに限定されない。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。50

【 0 1 7 8 】

またソース信号線駆動回路の外部から入力されるデジタルビデオ信号（DV）は、図に示した配線からラッチ（A）102-2に入力される。ラッチ信号S_{__}LAT、S_{__}LATの極性が反転した信号S_{__}LATbはそれぞれ図に示した配線からラッチ（B）102-3に入力される。

【 0 1 7 9 】

ラッチ（A）102-2の詳しい構成について、ラッチ（A）102-2の一部801を例にとって説明する。ラッチ（A）102-2の一部801は2つのクロックインバータと2つのインバータを有している。

【 0 1 8 0 】

ラッチ（A）102-2の一部801の上面図を図14に示す。831a、831bはそれぞれ、ラッチ（A）102-2の一部801が有するインバータの1つを形成するTFTの活性層であり、836は該インバータの1つを形成するTFTの共通のゲート電極である。また832a、832bはそれぞれ、ラッチ（A）102-2の一部801が有するもう1つのインバータを形成するTFTの活性層であり、837a、837bは活性層832a、832b上にそれぞれ設けられたゲート電極である。なおゲート電極837a、837bは電氣的に接続されている。

【 0 1 8 1 】

833a、833bはそれぞれ、ラッチ（A）102-2の一部801が有するクロックインバータの1つを形成するTFTの活性層である。活性層833a上にはゲート電極838a、838bが設けられており、ダブルゲート構造となっている。また活性層833b上にはゲート電極838b、839が設けられており、ダブルゲート構造となっている。

【 0 1 8 2 】

834a、834bはそれぞれ、ラッチ（A）102-2の一部801が有するもう1つのクロックインバータを形成するTFTの活性層である。活性層834a上にはゲート電極839、840が設けられており、ダブルゲート構造となっている。また活性層834b上にはゲート電極840、841が設けられており、ダブルゲート構造となっている。

【 0 1 8 3 】

また102-4は切り替え回路である。図15（A）と図15（B）に本実施例の切り替え回路の回路図を示す。

【 0 1 8 4 】

図15（A）に示す本実施例の切り替え回路102-4は、インバータ851と、第1のアナログスイッチ852と、第2のアナログスイッチ853とを有している。また図に示す配線から切り替え信号SSと切り替え信号の極性を反転させた信号SSBが入力される。

【 0 1 8 5 】

第1及び第2のアナログスイッチ852、853の等価回路図を図16に示す。第1及び第2のアナログスイッチ852、853はnチャンネル型TFTとpチャンネル型TFTとを有している。第1の制御入力端子（Vin）または第2の制御入力端子（Vina）から入力される信号によって入力端子（IN）から入力される信号がサンプリングされ、出力端子（OUT）から出力される。

【 0 1 8 6 】

ラッチ（B）102-3からのデジタルビデオ信号は、インバータ851を介して第1のアナログスイッチ852に入力端子（IN）から入力する。また同時に、ラッチ（B）102-3からのデジタルビデオ信号は第2のアナログスイッチ853に入力端子（IN）から入力する。

【 0 1 8 7 】

そして切り替え信号 $S S$ と切り替え信号の極性を反転させた信号 $S S B$ とが、第1のアナログスイッチ 852 と第2のアナログスイッチ 853 に、第1の制御入力端子 (V_{in}) または第2の制御入力端子 (V_{inb}) からそれぞれ入力される。この切り替え信号 $S S$ によってデジタルビデオ信号がサンプリングされ、第1のアナログスイッチ 852 と第2のアナログスイッチ 853 の出力端子 ($O U T$) からサンプリングされたデジタルビデオ信号が出力される。

【0188】

切り替え回路 102 - 4 に入力されたデジタルビデオ信号は、そのまま、もしくはその極性を反転させられて、切り替え回路 102 - 4 から出力される。切り替え回路 102 - 4 においてデジタルビデオ信号の極性が反転するかしないかは、切り替え信号 $S S$ によって選択される。

10

【0189】

図15(B)に示す本実施例の切り替え回路 102 - 4 は、インバーター 861 と、第1の $N A N D$ 862 と、第2の $N A N D$ 863 と、 $N O R$ 864 とを有している。また図に示す配線から切り替え信号 $S S$ と切り替え信号の極性を反転させた信号 $S S B$ が入力される。

【0190】

ラッチ (B) 102 - 3 からのデジタルビデオ信号は、インバーター 861 を介してする。そして同時に切り替え信号 $S S$ の極性を反転させた信号 $S S B$ も第1の $N A N D$ 862 に入力される。

20

【0191】

またデジタルビデオ信号がインバーター 861 を介して第1の $N A N D$ 862 に入力されると同時に、デジタルビデオ信号が第2の $N A N D$ 863 に入力される。そして同時に切り替え信号 $S S$ も第2の $N A N D$ 863 に入力される。

【0192】

第1及び第2の $N A N D$ 862、863 から出力された信号は、同時に $N O R$ 864 に入力される。 $N O R$ 864 から出力された信号はソース信号線に入力する。

【0193】

切り替え回路 102 - 4 に入力されたデジタルビデオ信号は、そのまま、もしくはその極性を反転させられて、切り替え回路 102 - 4 から出力される。切り替え回路 102 - 4 においてデジタルビデオ信号の極性が反転するかしないかは、切り替え信号 $S S$ によって選択される。

30

【0194】

なお切り替え回路は図15に示した構成に限定されない。入力したデジタルビデオ信号を、そのまま、もしくはその極性を反転させて出力することができるなら、切り替え回路はどのような構成を有していても良い。

【0195】

なお本実施例は、実施例1または2と自由に組み合わせて実施することが可能である。

40

【実施例4】

【0196】

本実施例では、実施の形態2で示した発光装置が有するソース信号線駆動回路の詳しい構成について説明する。図17に本実施例のソース信号線駆動回路の回路図を示す。なお図1で示したものと同一のものは、同じ符号で示す。

【0197】

102 - 1 はシフトレジスタであり、クロック信号 ($C L K$)、クロック信号の極性が反転した信号 ($C L K B$)、スタートパルス信号 ($S P$)、双方向切り替え信号 ($S L / R$) が、図に示した配線からそれぞれ入力されている。

【0198】

50

102-2はラッチ(A)であり、102-3はラッチ(B)である。なお本実施例では、1組のラッチ(A)102-2と1組のラッチ(B)102-3が、4本のソース信号線に対応している。しかし本実施例において、1組のラッチ(A)102-2と1組のラッチ(B)102-3が対応しているソース信号線の数にはこれに限定されない。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

【0199】

またソース信号線駆動回路の外部から入力されるデジタルビデオ信号(DV)は、図に示した配線からラッチ(A)102-2に入力される。ラッチ信号S_{__}LAT、S_{__}LATの極性が反転した信号S_{__}LATbはそれぞれ図に示した配線からラッチ(B)102-3に入力される。

10

【0200】

ラッチ(A)102-2の詳しい構成については、図14に示したものと同一であるため、ここでは省略する。

【0201】

106はクロック信号制御回路であり、一定の期間クロック信号(CLK)の代わりに、一定の電位(固定電位)をシフトレジスタ102-1に与えることができる。

【0202】

具体的には、1~mビット目までの下位ビットのデジタルビデオ信号をラッチ(A)102-2に書き込むためのタイミング信号だけがラッチ(A)102-2に入力しないように、一定の期間クロック信号制御回路106によってクロック信号の代わりに、一定の電位(固定電位)をシフトレジスタ102-1に入力させるようにした。よってソース信号線駆動回路の外部から入力されたデジタルビデオ信号nビットのうち、(m+1)ビット目からnビット目までの上位ビットのデジタルビデオ信号のみをラッチ(A)102-2に書き込むことができる。

20

【0203】

図18(A)(B)に本実施例のクロック信号制御回路106の詳しい回路図を示す。

30

【0204】

図18(A)に示す本実施例のクロック信号制御回路106は、NAND1801と、インバーター1802を有している。また図に示す配線から選択信号が入力される。

【0205】

ソース信号線駆動回路の外部から入力されるクロック信号は入力端子(IN)からNAND1801に入力される。また同時に選択信号もNAND1801に入力される。そしてNAND1801から出力された信号は、インバーター1802によってその極性が反転されて出力端子(OUT)から出力され、シフトレジスタ102-1に入力される。

40

【0206】

選択信号によって、シフトレジスタ102-1にクロック信号が入力されるか、一定の電位(固定電位)が与えられるかが選択される。

【0207】

図18(B)に示す本実施例のクロック信号制御回路106は、第1のアナログスイッチ1811と、第2のアナログスイッチ1812と、インバーター1813とを有している。また図に示す配線から選択信号が入力される。

【0208】

第1及び第2のアナログスイッチ1811、1812の等価回路図は図16に示したものと同一である。第1及び第2のアナログスイッチ1811、1812

50

はnチャンネル型T F Tとpチャンネル型T F Tとを有している。第1の制御入力端子(V i n)または第2の制御入力端子(V i n b)から入力される信号によって入力端子(I N)から入力される信号がサンプリングされ、出力端子(O U T)から出力される。

【0209】

選択信号が第1及び第2のアナログスイッチ1811、1812に第1の制御入力端子(V i n)から入力され、同時にインバータ1813によってその極性が反転された選択信号が第1及び第2のアナログスイッチ1811、1812に第2の制御入力端子(V i n b)から入力される。またさらに同時に、ソース信号線駆動回路の外部から入力されるクロック信号C L Kは、第1のアナログスイッチ1811に入力端子(I N)から入力する。第2のアナログスイッチ1812に入力端子(I N)から一定の電位(固定電位)が与えられている。

10

【0210】

第1及び第2のアナログスイッチ1811、1812の出力端子(O U T)から出力される信号は、共にクロック信号制御回路106の出力端子(O U T)から出力される。

【0211】

選択信号によって、シフトレジスタ102-1にクロック信号が入力されるか、一定の電位(固定電位)が与えられるかが選択される。

20

【0212】

なおクロック信号制御回路は図18に示した構成に限定されない。

【0213】

なお本実施例は、実施例1~3と自由に組み合わせて実施することが可能である。

【実施例5】

【0214】

本実施例では、実施の形態3で示した発光装置が有するソース信号線駆動回路の詳しい構成について説明する。図19に本実施例のソース信号線駆動回路の回路図を示す。なお図1で示したものと同一のものは、同じ符号で示す。

【0215】

102-1はシフトレジスタであり、クロック信号(C L K)、クロック信号の極性が反転した信号(C L K B)、スタートパルス信号(S P)、双方向切り替え信号(S L / R)が、図に示した配線からそれぞれ入力されている。

30

【0216】

102-2はラッチ(A)であり、102-3はラッチ(B)である。なお本実施例では、1組のラッチ(A)102-2と1組のラッチ(B)102-3が、4本のソース信号線に対応している。しかし本実施例において、1組のラッチ(A)102-2と1組のラッチ(B)102-3が対応しているソース信号線の数はこれに限定されない。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

40

【0217】

またソース信号線駆動回路の外部から入力されるデジタルビデオ信号(D V)は、図に示した配線からラッチ(A)102-2に入力される。ラッチ信号S __ L A T、S __ L A Tの極性が反転した信号S __ L A T bはそれぞれ図に示した配線からラッチ(B)102-3に入力される。

【0218】

ラッチ(A)102-2の詳しい構成については、図14に示したものと同一であるため、ここでは省略する。

【0219】

107は、タイミング信号制御回路であり、一定の期間タイミング信号の代わ

50

りに、一定の電位（固定電位）をラッチ（A）102-2に与えることができる。

【0220】

具体的には、1～mビット目までの下位ビットのデジタルビデオ信号をラッチ（A）102-2に書き込むためのタイミング信号だけがラッチ（A）102-2に入力しないように、一定の期間タイミング信号制御回路107によってシフトレジスタ102-1から出力されるタイミング信号の代わりに、一定の電位（固定電位）をラッチ（A）102-2に与えるようにした。よってソース信号線駆動回路102の外部から入力されたデジタルビデオ信号nビットのうち、（m+1）ビット目からnビット目までの上位ビットのデジタルビデオ信号のみをラッチ（A）102-2に書き込むことができる。

10

【0221】

なお本実施例のタイミング信号制御回路107の構成は、図18（A）（B）に示したものと同じであるので、タイミング信号制御回路107の構成についての詳しい説明は実施例4を参照する。ただし本実施例では、図18（A）（B）に示した回路の入力端子（IN）にシフトレジスタ102-1からのタイミング信号が入力される。そして図18（A）（B）に示した回路の出力端子（OUT）から出力される信号は、ラッチ（A）102-2に入力される。そして選択信号によって、ラッチ（A）102-2にタイミング信号が入力されるか、一定の電位（固定電位）が与えられるかが選択される。

20

【0222】

なおタイミング信号制御回路は図18に示した構成に限定されない。

【0223】

なお本実施例は、実施例1～3と自由に組み合わせて実施することが可能である。

【実施例6】

【0224】

本実施例では、実施の形態4で示した発光装置が有するソース信号線駆動回路の詳しい構成について説明する。図20に本実施例のソース信号線駆動回路の回路図を示す。なお図1で示したものと同一のものは、同じ符号で示す。

30

【0225】

102-1はシフトレジスタであり、クロック信号（CLK）、クロック信号の極性が反転した信号（CLKB）、スタートパルス信号（SP）、双方向切り替え信号（SL/R）が、図に示した配線からそれぞれ入力されている。

【0226】

102-2はラッチ（A）であり、102-3はラッチ（B）である。なお本実施例では、1組のラッチ（A）102-2と1組のラッチ（B）102-3が、4本のソース信号線に対応している。しかし本実施例において、1組のラッチ（A）102-2と1組のラッチ（B）102-3が対応しているソース信号線の数はこれに限定されない。また本実施例では信号が有する電圧の振幅の幅を変えるレベルシフトを設けなかったが、設計者が適宜設けるようにしても良い。

40

【0227】

またソース信号線駆動回路の外部から入力されるデジタルビデオ信号（DV）は、図に示した配線からラッチ（A）102-2に入力される。ラッチ信号S_{__}LAT、S_{__}LATの極性が反転した信号S_{__}LATbはそれぞれ図に示した配線からラッチ（B）102-3に入力される。

【0228】

ラッチ（A）102-2の詳しい構成については、図14に示したものと同一であるため、ここでは省略する。

【0229】

50

108は、スタートパルス信号制御回路であり、一定の期間スタートパルス信号(SP)の代わりに、一定の電位(固定電位)をシフトレジスタ102-1に与えることができる。

【0230】

具体的には、1~mビット目までの下位ビットのデジタルビデオ信号をラッチ(A)102-2に書き込むためのタイミング信号だけがラッチ(A)102-2に入力しないように、一定の期間スタートパルス信号制御回路108によってスタートパルス信号の代わりに一定の電位(固定電位)をシフトレジスタ102-1に与えるようにした。よってソース信号線駆動回路102の外部から入力されたデジタルビデオ信号nビットのうち、(m+1)ビット目からnビット目までの上位ビットのデジタルビデオ信号のみをラッチ(A)102-2に書き込むことができる。

10

【0231】

なお本実施例のスタートパルス信号制御回路108の構成は、図18(A)(B)に示したものと同一であるので、スタートパルス信号制御回路108の構成についての詳しい説明は実施例4を参照する。ただし本実施例では、図18(A)(B)に示した回路の入力端子(IN)にスタートパルス信号が入力される。そして図18(A)(B)に示した回路の出力端子(OUT)から出力される信号は、シフトレジスタ102-1に入力される。そして選択信号によって、シフトレジスタ102-1にスタートパルス信号が入力されるか、一定の電位(固定電位)が与えられるかが選択される。

20

【0232】

なおタイミング信号制御回路は図18に示した構成に限定されない。

【0233】

なお本実施例は、実施例1~3と自由に組み合わせて実施することが可能である。

【実施例7】

【0234】

本実施例では、本発明の第3の構成の、実施の形態5で示した構成とは異なる例について、図21を用いて説明する。なお図21において、なお図5で示したものと同一のものは同じ符号で示す。

30

【0235】

501は電源供給線であり、502はバッファアンプ(緩衝増幅器)、503はモニター用発光素子、504は定電流源、505は加算回路である。モニター用発光素子503の一方の電極は定電流源504に接続されており、モニター用発光素子503には常に一定の電流が流れている。そして発光素子が有する有機化合物層の温度が変化すると、モニター用発光素子503を流れる電流の大きさが変化しないかわりに、定電流源504に接続されているモニター用発光素子503の電極の電位が変化する。

【0236】

40

一方バッファアンプ502は2つの入力端子と1つの出力端子とを有しており、2つの入力端子のうち一方は非反転入力端子(+)、もう一方は反転入力端子(-)である。モニター用発光素子503の一方の電極の電位は、バッファアンプ502の非反転入力端子に与えられる。

【0237】

バッファアンプは、定電流源504に接続されたモニター用発光素子503の電極の電位が、電源供給線501の配線容量等の負荷によって変化するのを防ぐ回路である。よってバッファアンプ502の非反転入力端子に与えられた電位は、電源供給線501や加算回路505の配線容量等の負荷によって変化することなく出力端子から出力され、加算回路505に与えられる。

50

【 0 2 3 8 】

加算回路 5 0 5 に与えられたバッファアンプ 5 0 2 の出力端子の電位は、ある一定の電位差が加えられるか差し引かれるかした後、電源電位として電源供給線 5 0 1 に与えられる。

【 0 2 3 9 】

図 2 2 に本実施例の加算回路の詳しい回路図を示す。加算回路 5 0 5 は第 1 の抵抗 5 2 1 と、第 2 の抵抗 5 2 2 と、加算回路用電源 5 2 5 と、非反転増幅回路 5 2 0 とを有している。非反転増幅回路 5 2 0 は第 3 の抵抗 5 2 3 と、第 4 の抵抗 5 2 4 と、非反転増幅回路用電源 5 2 6 と、アンプ 5 2 7 とを有している。

【 0 2 4 0 】

第 1 の抵抗 5 2 1 の一方の端子は加算回路の入力端子 (I N) である。そして、第 1 の抵抗 5 2 1 のもう一方の端子は第 2 の抵抗 5 2 2 の一方の端子に接続されている。第 2 の抵抗 5 2 2 のもう一方の端子は加算回路用電源 5 2 5 に接続されている。第 1 の抵抗 5 2 1 と第 2 の抵抗 5 2 2 の間からの出力は、非反転増幅回路 5 2 0 のアンプ 5 2 7 の非反転入力端子 (+) に入力される。

【 0 2 4 1 】

第 3 の抵抗 5 2 3 の一方の端子はアンプ 5 2 7 の出力端子に、第 3 の抵抗 5 2 3 のもう一方の端子はアンプ 5 2 7 の反転入力端子に接続されている。第 3 の抵抗 5 2 3 とアンプ 5 2 7 の反転入力端子との間からの出力は第 4 の抵抗 5 2 4 の一方の端子に入力されている。第 4 の抵抗 5 2 4 のもう一方の端子は非反転増幅回路用電源 5 2 6 と接続されている。第 3 の抵抗 5 2 3 とアンプ 5 2 7 の出力端子との間からの出力は加算回路 5 0 5 の出力端子 (O U T) から出力される。

【 0 2 4 2 】

上記構成によって、環境温度の変化により、モニター用発光素子 5 0 3 または画素部の発光素子の有機化合物層の温度が変化しても、発光素子に一定の電流が流れるように電源電位が変化する。よって発光装置の環境温度が上昇しても、発光装置の消費電力が大きくなるのを抑えることができ、かつ発光素子の輝度を一定に保つことができる。そしてなおかつ加算回路 5 0 5 を設けることで、電源供給線 5 0 1 の電位を、モニター用発光素子 5 0 3 の定電流源 5 0 4 に接続されている電極の電位と同じにする必要がなくなる。よってバッファアンプ 5 0 2、モニター用発光素子 5 0 3、定電流源 5 0 4 に流れる電流の大きさを抑えることができ、その結果、消費電力を抑えることができる。

【 0 2 4 3 】

なお加算回路 5 0 5 は図 2 2 に示した構成に限定されない。

【 0 2 4 4 】

また本実施例は、実施例 1 ~ 6 と自由に組み合わせて実施することが可能である。

【 実施例 8 】

【 0 2 4 5 】

本実施例では、同一基板上に画素部と、画素部の周辺の駆動回路の T F T (n チャネル型 T F T 及び p チャネル型 T F T) を同時に作製する方法について詳細に説明する。

【 0 2 4 6 】

まず、図 2 3 (A) に示すように、コーニング社の # 7 0 5 9 ガラスや # 1 7 3 7 ガラスなどに代表されるバリウムホウケイ酸ガラス、アルミノホウケイ酸ガラスなどのガラス、または石英基板から成る基板 4 0 0 上に酸化シリコン膜、窒化シリコン膜または酸化窒化シリコン膜などの絶縁膜から成る下地膜 4 0 1 を形成する。例えば、プラズマ C V D 法で $S i H_4$ 、 $N H_3$ 、 $N_2 O$ から作製される酸化窒化シリコン膜を 1 0 ~ 2 0 0 nm (好ましくは 5 0 ~ 1 0 0 nm) 形成し、同様に $S i H_4$ 、 $N_2 O$ から作製される酸化窒化水素化シリコン膜を 5 0 ~ 2 0 0 nm

10

20

30

40

50

(好ましくは100～150nm)の厚さに積層形成する。なお図23(A)では下地膜を1つの層で示した。本実施例では下地膜401を2層構造として示したが、前記絶縁膜の単層膜または2層以上積層させた構造として形成しても良い。

【0247】

半導体層402～405は、非晶質構造を有する半導体膜をレーザー結晶化法や公知の熱結晶化法を用いて作製した結晶質半導体膜で形成する。この半導体層402～405の厚さは25～80nm(好ましくは30～60nm)の厚さで形成する。結晶質半導体膜の材料に限定はないが、好ましくはシリコンまたはシリコンゲルマニウム(SiGe)合金などで形成すると良い。

【0248】

公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法、触媒金属を用いた結晶化法がある。

【0249】

レーザー結晶化法で結晶質半導体膜を作製するには、パルス発振型または連続発光型のエキシマレーザーやYAGレーザー、YVO₄レーザーを用いる。これらのレーザーを用いる場合には、レーザー発振器から放射されたレーザー光を光学系で線状に集光し半導体膜に照射する方法を用いると良い。結晶化の条件は実施者が適宜選択するものであるが、エキシマレーザーを用いる場合はパルス発振周波数300Hzとし、レーザーエネルギー密度を100～400mJ/cm²(代表的には200～300mJ/cm²)とする。また、YAGレーザーを用いる場合にはその第2高調波を用いパルス発振周波数30～300kHzとし、レーザーエネルギー密度を300～600mJ/cm²(代表的には350～500mJ/cm²)とすると良い。そして幅100～1000μm、例えば400μmで線状に集光したレーザー光を基板全面に渡って照射し、この時の線状レーザー光の重ね合わせ率(オーバーラップ率)を50～90%として行う。

【0250】

次いで、半導体層402～405を覆うゲート絶縁膜406を形成する。ゲート絶縁膜406はプラズマCVD法またはスパッタ法を用い、厚さを40～150nmとしてシリコンを含む絶縁膜で形成する。本実施例では、120nmの厚さで酸化窒化シリコン膜で形成する。勿論、ゲート絶縁膜406はこのような酸化窒化シリコン膜に限定されるものでなく、他のシリコンを含む絶縁膜を単層または積層構造として用いても良い。例えば、酸化シリコン膜を用いる場合には、プラズマCVD法でTEOS(Tetraethyl Orthosilicate)とO₂とを混合し、反応圧力40Pa、基板温度300～400とし、高周波(13.56MHz)電力密度0.5～0.8W/cm²で放電させて形成することができる。このようにして作製される酸化シリコン膜は、その後400～500の熱アニールによりゲート絶縁膜として良好な特性を得ることができる。

【0251】

そして、ゲート絶縁膜406上にゲート電極を形成するための第1の導電膜407と第2の導電膜408とを形成する。本実施例では、第1の導電膜407をTaで50～100nmの厚さに形成し、第2の導電膜408をWで100～300nmの厚さに形成する。

【0252】

Ta膜はスパッタ法で形成し、TaのターゲットをArでスパッタする。この場合、Arに適量のXeやKrを加えると、Ta膜の内部応力を緩和して膜の剥離を防止することができる。また、相のTa膜の抵抗率は20μcm程度でありゲート電極に使用することができるが、相のTa膜の抵抗率は180μcm程度でありゲート電極とするには不向きである。相のTa膜を形成するために、Taの相に近い結晶構造をもつ窒化タンタルを10～50nm程度の厚さで

10

20

30

40

50

T aの下地に形成しておくこと相のT a膜を容易に得ることができる。

【0253】

W膜を形成する場合には、Wをターゲットとしたスパッタ法で形成する。その他に6フッ化タングステン(WF₆)を用いる熱CVD法で形成することもできる。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μcm以下にすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることができるが、W膜中に酸素などの不純物元素が多い場合には結晶化が阻害され高抵抗化する。このことより、スパッタ法による場合、純度99.99%または99.9999%のWターゲットを用い、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μcmを実現することができる。

10

【0254】

なお、本実施例では、第1の導電膜407をT a、第2の導電膜408をWとしたが、特に限定されず、いずれもT a、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料若しくは化合物材料で形成してもよい。また、リン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜を用いてもよい。本実施例以外の他の組み合わせの一例は、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をWとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をAlとする組み合わせ、第1の導電膜を窒化タンタル(TaN)で形成し、第2の導電膜をCuとする組み合わせで形成することが好ましい。(図23(B))

20

【0255】

次に、レジストによるマスク409~412を形成し、電極及び配線を形成するための第1のエッチング処理を行う。本実施例ではICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF₄とCl₂を混合し、1Paの圧力でコイル型の電極に500WのRF(13.56MHz)電力を投入してプラズマを生成して行う。基板側(試料ステージ)にも100WのRF(13.56MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF₄とCl₂を混合した場合にはW膜及びT a膜とも同程度にエッチングされる。

30

【0256】

なお図23(C)では図示しなかったが、上記エッチング条件では、レジストによるマスクの形状を適したものとすることにより、基板側に印加するバイアス電圧の効果により第1の導電層及び第2の導電層の端部がテーパ形状となる。テーパ部の角度は15~45°となる。ゲート絶縁膜上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。W膜に対する酸化窒化シリコン膜の選択比は2~4(代表的には3)であるので、オーバーエッチング処理により、酸化窒化シリコン膜が露出した面は20~50nm程度エッチングされることになる。また図23(C)では図示しなかったが、ゲート絶縁膜406は、上記エッチングによって第1の形状の導電層414~417で覆われない領域が20~50nm程度エッチングされ薄くなった。

40

【0257】

こうして、第1のエッチング処理により第1の導電層と第2の導電層から成る第1の形状の導電層414~417(第1の導電層414a~417aと第2の導電層414b~417b)を形成する。

【0258】

次に、図23(D)に示すように第2のエッチング処理を行う。同様にICPエッチング法を用い、エッチングガスにCF₄とCl₂とO₂を混合して、1Paの圧力でコイル型の電極に500WのRF電力(13.56MHz)を供給し、プラズマを生

50

成して行う。基板側（試料ステージ）には50WのRF（13.56MHz）電力を投入し、第1のエッチング処理に比べ低い自己バイアス電圧を印加する。このような条件によりW膜を異方性エッチングし、かつ、それより遅いエッチング速度で第1の導電層であるTaを異方性エッチングして第2の形状の導電層419～422（第1の導電層419a～422aと第2の導電層419b～422b）を形成する。また図23（D）では図示しなかったが、ゲート絶縁膜406は、上記エッチングによって第2の形状の導電層419～422で覆われない領域がさらに20～50nm程度エッチングされ薄くなった。

【0259】

W膜やTa膜の CF_4 と Cl_2 の混合ガスによるエッチング反応は、生成されるラジカルまたはイオン種と反応生成物の蒸気圧から推測することができる。WとTaのフッ化物と塩化物の蒸気圧を比較すると、Wのフッ化物である WF_6 が極端に高く、その他の WCl_5 、 TaF_5 、 $TaCl_5$ は同程度である。従って、 CF_4 と Cl_2 の混合ガスではW膜及びTa膜共にエッチングされる。しかし、この混合ガスに適量の O_2 を添加すると CF_4 と O_2 が反応してCOとFになり、フラジカルまたはFイオンが多量に発生する。その結果、フッ化物の蒸気圧が高いW膜のエッチング速度が増大する。一方、TaはFが増大しても相対的にエッチング速度の増加は少ない。また、TaはWに比較して酸化されやすいので、 O_2 を添加することでTaの表面が酸化される。Taの酸化物はフッ素や塩素と反応しないためさらにTa膜のエッチング速度は低下する。従って、W膜とTa膜とのエッチング速度に差を作ることが可能となりW膜のエッチング速度をTa膜よりも大きくすることが可能となる。

【0260】

そして、マスク409a～マスク412aを除去し、図24（A）に示すように第1のドーピング処理を行い、n型を付与する不純物元素を添加する。例えば、加速電圧を70～120keVとし、 $1 \times 10^{13}/cm^2$ のドーズ量で行う。ドーピングは、第2の形状の導電層419～422を不純物元素に対するマスクとして用い、第2の導電層419a～422aの下側の領域にも不純物元素が添加されるようにドーピングする。こうして、第2の導電層419a～422aと重なる第1の不純物領域425～428と、第1の不純物領域よりも不純物の濃度が高い第2の不純物領域429～432とが形成される。なお本実施例ではマスク409a～412aを除去してからn型を付与する不純物元素を添加したが、本発明はこれに限定されない。図24（A）の工程においてn型を付与する不純物元素を添加してからマスク409a～マスク412aを除去しても良い。

【0261】

次に第2の導電層421a、421bを覆うように半導体層404上にレジストからなるマスク433を形成する。マスク433はゲート絶縁膜406を間に挟んで第2の不純物領域431と一部重なっている。そして第2のドーピング処理を行いn型を付与する不純物元素を添加する。この場合、第1のドーピング処理よりもドーズ量を上げて低い加速電圧の条件としてn型を付与する不純物元素をドーピングする。（図24（B））ドーピングの方法はイオンドープ法若しくはイオン注入法で行えば良い。イオンドープ法の条件はドーズ量を $1 \times 10^{13} \sim 5 \times 10^{14} atoms/cm^2$ とし、加速電圧を60～100keVとして行う。n型を付与する不純物元素として15族に属する元素、典型的にはリン（P）または砒素（As）を用いるが、ここではリン（P）を用いる。この場合、第2の形状の導電層419～422がn型を付与する不純物元素に対するマスクとなり、自己整合的にソース領域434～437、ドレイン領域438～441、Lov領域442～445が形成される。またマスク433によってLoFF領域446が形成される。ソース領域434～437、ドレイン領域438～441には $1 \times 10^{20} \sim 1 \times 10^{21} atomic/cm^3$ の濃度範囲でn型を付与する不純物元素を添加す

10

20

30

40

50

る。

【0262】

本実施例はマスク433のサイズを制御することで、Loff領域446の長さを自由に設定することが可能である。

【0263】

なお本明細書において、ゲート絶縁膜を介してゲート電極と重なるLDD領域をLov領域と呼ぶ。またゲート絶縁膜を介してゲート電極と重ならないLDD領域をLoff領域と呼ぶ。

【0264】

n型を付与する不純物元素は、Loff領域で $1 \times 10^{17} \sim 1 \times 10^{19}$ atoms/cm³の濃度となるようにし、Lov領域で $1 \times 10^{16} \sim 1 \times 10^{18}$ atoms/cm³の濃度となるようにする。

10

【0265】

なお図24(B)において、上述したような条件でn型を付与する不純物元素をドーピングする前または後に、半導体層404上にマスク433を形成した状態で加速電圧を70~120keVとしn型を付与する不純物元素をドーピングしても良い。上記工程によって、スイッチング用TFETのLoff領域となる部分446のn型を付与する不純物元素の濃度を抑えつつ、駆動回路に用いられるTFETのLov領域となる部分442、443のn型を付与する不純物元素の濃度を高めることができる。スイッチング用TFETのLoff領域となる部分446のn型を付与する不純物元素の濃度を抑えることで、スイッチング用TFETのオフ電流を提言することが可能である。また駆動回路に用いられるnチャネル型TFETのLov領域となる部分443のn型を付与する不純物元素の濃度を高めることで、ホットキャリア効果による、ドレイン近傍の高電界によって発生したホットキャリアが劣化現象を引き起こすのを防ぐことができる。

20

【0266】

そして、マスク453を除去した後、図24(C)に示すように、pチャネル型TFETを形成する半導体層402、405に一導電型とは逆の導電型のソース領域447、448と、ドレイン領域449、450と、Lov領域451、452を形成する。第2の形状を有する導電層419、422を不純物元素に対するマスクとして用い、自己整合的に不純物領域を形成する。このとき、nチャネル型TFETを形成する半導体層402、403はレジストマスク453で全面を被覆しておく。ソース領域447、448及びドレイン領域449、450と、Lov領域451、452とにはそれぞれ異なる濃度でリンが添加されているが、ジボラン(B₂H₆)を用いたイオンドーブ法で形成し、そのいずれの領域においても不純物濃度を $2 \times 10^{20} \sim 2 \times 10^{21}$ atoms/cm³となるようにする。

30

【0267】

以上までの工程でそれぞれの半導体層402~405に不純物領域(ソース領域、ドレイン領域、Lov領域、Loff領域)が形成される。半導体層と重なる第2の導電層419~422がゲート電極として機能する。

40

【0268】

こうして導電型の制御を目的として、それぞれの半導体層に添加された不純物元素を活性化する工程を行う。この工程はファーネスアニール炉を用いる熱アニール法で行う。その他に、レーザーアニール法、またはラピッドサーマルアニール法(RTA法)を適用することができる。熱アニール法では酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400~700、代表的には500~600で行うものであり、本実施例では500で4時間の熱処理を行う。ただし、419~422に用いた配線材料が熱に弱い場合には、配線等を保護するため層間絶縁膜(シリコンを主成分とする)を形成した後で活性化を行うことが好ましい。

50

【0269】

さらに、3～100%の水素を含む雰囲気中で、300～450 で1～12時間の熱処理を行い、半導体層を水素化する工程を行う。この工程は熱的に励起された水素により半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0270】

次いで、第1の層間絶縁膜455は酸化窒化シリコン膜から100～200nmの厚さで形成する。（図25（A））その上に有機絶縁物材料から成る第2の層間絶縁膜458を形成する。

10

【0271】

そして、ゲート絶縁膜406、第1の層間絶縁膜455、第2の層間絶縁膜458にコンタクトホールを形成し、該コンタクトホールを介して、ソース領域447、435、436、448と接するようにソース配線459～462を形成した。また同様に、ドレイン領域449、439、440、450と接するドレイン配線463～465を形成する（図25（B））。

【0272】

なお、ゲート絶縁膜406、第1の層間絶縁膜455、第2の層間絶縁膜458がSiO₂膜またはSiON膜の場合、CF₄とO₂とを用いたドライエッチングでコンタクトホールを形成するのが好ましい。またゲート絶縁膜406、第1の層間絶縁膜455、第2の層間絶縁膜458が有機樹脂膜の場合、CHF₃を用いたドライエッチング、またはBHF（緩衝フッ酸：HF + NH₄F）でコンタクトホールを形成するのが好ましい。またゲート絶縁膜406、第1の層間絶縁膜455、第2の層間絶縁膜458が異なる材料で形成されている場合、膜ごとにエッチングの方法及び用いるエッチャントやエッチングガスの種類を変えることが好ましいが、エッチングの方法及び用いるエッチャントやエッチングガスを全て同じにしてコンタクトホールを形成しても良い。

20

【0273】

次に、有機樹脂からなる第3層間絶縁膜467を形成する。有機樹脂としてはポリイミド、ポリアミド、アクリル、BCB（ベンゾシクロブテン）等を使用することができる。特に、第3層間絶縁膜467は平坦化の意味合いが強いので、平坦性に優れたアクリルが好ましい。本実施例ではTFTによって形成される段差を十分に平坦化しうる膜厚でアクリル膜を形成する。好ましくは1～5μm（さらに好ましくは2～4μm）とすれば良い。

30

【0274】

次に第3層間絶縁膜467に、ドレイン配線465に達するコンタクトホールを形成し、画素電極468を形成する。本実施例では酸化インジウム・スズ（ITO）膜を110nmの厚さに形成し、パターニングを行って画素電極468を形成する。また、酸化インジウムに2～20%の酸化亜鉛（ZnO）を混合した透明導電膜を用いても良い。この画素電極468が発光素子の陽極となる。（図25（C））

40

【0275】

次に、樹脂材料でなる第1バンク469及び第2バンク470を形成する。第1バンク469及び第2バンク470は後に形成される有機化合物層及び陰極を隣り合う画素間で分離するために設けられる。よって第1バンク469よりも第2バンク470の方が横に張り出している構成にすることが望ましい。なお第1バンク469と第2バンク470とを合わせた厚さは1～2μm程度であることが好ましいが、後に形成される有機化合物層及び陰極を隣り合う画素間で分離することができるならこの厚さに限らない。また第1バンク469及び第2バンク470は絶縁膜で形成されることが必要であり、例えば酸化物、樹脂等で形成す

50

ることが可能である。そして第1バンク469と第2バンク470は互いに同じ材料で形成されていても、異なる材料で形成されていてもどちらでも良い。第1バンク469及び第2バンク470は画素と画素との間にストライプ状に形成される。第1バンク469及び第2バンク470はソース配線(ソース信号線)上に沿って形成しても良いし、ゲート配線(ゲート信号線)上に沿って形成しても良い。なお第1バンク469及び第2バンク470を樹脂に顔料等を混ぜたもので形成しても良い。(図26(A))

【0276】

次に、有機化合物層471及び陰極(MgAg電極)472を、真空蒸着法を用いて大気解放しないで連続形成する。なお、有機化合物層471の膜厚は800~200nm(典型的には100~120nm)、陰極472の厚さは180~300nm(典型的には200~250nm)とすれば良い。なお、本実施例では一画素しか図示されていないが、このとき同時に赤色に発光する有機化合物層、緑色に発光する有機化合物層及び青色に発光する有機化合物層が形成される。なおバンク470上に有機化合物層と陰極を形成する材料が一部積層されるが、本明細書ではこれらを有機化合物層471と陰極472に含めない。

10

【0277】

この工程では、赤色に対応する画素、緑色に対応する画素及び青色に対応する画素に対して順次有機化合物層471及び陰極472を形成する。但し、有機化合物層471は溶液に対する耐性に乏しいためフォトリソグラフィ技術を用いずに各色個別に形成しなくてはならない。そこでメタルマスクを用いて所望の画素以外を隠し、必要箇所だけ選択的に有機化合物層471及び陰極472を形成するのが好ましい。

20

【0278】

即ち、まず赤色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて赤色発光の有機化合物層を選択的に形成する。次いで、緑色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて緑色発光の有機化合物層を選択的に形成する。次いで、同様に青色に対応する画素以外を全て隠すマスクをセットし、そのマスクを用いて青色発光の有機化合物層を選択的に形成する。なお、ここでは全て異なるマスクを用いるように記載しているが、同じマスクを使いまわしても構わない。また、全画素に有機化合物層及び陰極を形成するまで真空を破らずに処理することが好ましい。

30

【0279】

なお、本実施例では有機化合物層471を発光層のみからなる単層構造とするが、有機化合物層は発光層の他に正孔輸送層、正孔注入層、電子輸送層、電子注入層等を有していても構わない。このように組み合わせは既に様々な例が報告されており、そのいずれの構成を用いても構わない。有機化合物層471としては公知の材料を用いることができる。公知の材料としては、発光素子の駆動電圧を考慮すると有機材料を用いるのが好ましい。

【0280】

次に陰極472を形成する。本実施例では発光素子の陰極としてMgAg電極を用いた例を示すが、公知の他の材料を用いることが可能である。

40

【0281】

こうして図26(B)に示すような構造のアクティブマトリクス基板が完成する。なお、第1バンク469と第2バンク470を形成した後、陰極472を形成するまでの工程をマルチチャンバー方式(またはインライン方式)の薄膜形成装置を用いて、大気解放せずに連続的に処理することは有効である。

【0282】

本実施例において、スイッチング用TFT501の半導体層は、ソース領域504、ドレイン領域505、Loff領域506、Lov領域507、チャンネル

50

形成領域508を含んでいる。LoFF領域506はゲート絶縁膜406を介してゲート電極421と重ならないように設けられている。またLov領域507はゲート絶縁膜406を介してゲート電極421と重なるように設けられている。このような構造はオフ電流を低減する上で非常に効果的である。

【0283】

また、本実施例ではスイッチング用TF T501はシングルゲート構造としているが、本発明ではスイッチング用TF Tはダブルゲート構造やその他のマルチゲート構造を有していても良い。ダブルゲート構造とすることで実質的に二つのTF Tが直列された構造となり、オフ電流をさらに低減することができるという利点がある。

10

【0284】

また本実施例ではスイッチング用TF T501はnチャネル型TF Tであるが、pチャネル型TF Tであってもかまわない。

【0285】

電流制御用TF T502の半導体層は、ソース領域510、ドレイン領域511、Lov領域512、チャネル形成領域513を含んでいる。Lov領域512はゲート絶縁膜406を介してゲート電極422と重なるように設けられている。なお本実施例において電流制御用TF T502はLoFF領域を有していないが、LoFF領域を有する構成にしても良い。

【0286】

20

また本実施例では電流制御用TF T502はpチャネル型TF Tであるが、nチャネル型TF Tであってもかまわない。

【0287】

なお、本実施例のアクティブマトリクス基板は、画素部だけでなく駆動回路部にも最適な構造のTF Tを配置することにより、非常に高い信頼性を示し、動作特性も向上しうる。

【0288】

まず、極力動作速度を落とさないようにホットキャリア注入を低減させる構造を有するTF Tを、駆動回路部を形成するCMOS回路のnチャネル型TF T503として用いる。なお、ここでいう駆動回路としては、シフトレジスタ、バッファ、レベルシフタ、サンプリング回路(サンプル及びホールド回路)などが含まれる。デジタル駆動を行う場合には、D/Aコンバータなどの信号変換回路も含まれ得る。

30

【0289】

本実施例の場合、CMOS回路のnチャネル型TF T503の半導体層は、ソース領域521、ドレイン領域522、Lov領域523及びチャネル形成領域524を含んでいる。

【0290】

また本実施例の場合、CMOS回路のpチャネル型TF T504の半導体層は、ソース領域531、ドレイン領域532、Lov領域533及びチャネル形成領域534を含んでいる。

40

【0291】

なお、実際には図26(B)まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム(ラミネートフィルム、紫外線硬化樹脂フィルム等)や透光性のシーリング材でパッケージング(封入)することが好ましい。その際、シーリング材の内部を不活性雰囲気にしたり、内部に吸湿性材料(例えば酸化バリウム)を配置したりすると発光素子の信頼性が向上する。

【0292】

また、パッケージング等の処理により気密性を高めたら、基板上に形成された素子又は回路から引き回された端子と外部信号端子とを接続するためのコネクタ

50

ー（フレキシブルプリントサーキット：FPC）を取り付けて製品として完成する。このような出荷できるまでした状態を本明細書中では発光装置という。

【0293】

上述したように本実施例の作製行程では、ゲート電極のチャネル長方向の長さ（以下単にゲート電極の幅と呼ぶ）が異なっているため、ゲート電極をマスクとしてイオン注入を行うことにより、ゲート電極の厚さが異なることによるイオンの侵入深さの違いを利用して、第1のゲート電極の下に位置する半導体層中のイオン濃度を、第1のゲート電極の下に位置しない半導体層中のイオン濃度より低くすることが可能である。

【0294】

またマスクを用いてLoFF領域を形成するために、エッチングで制御しなくてはならないのはLoV領域の幅のみであり、LoFF領域とLoV領域の位置の制御が容易である。

【0295】

なお本実施例では有機化合物層から発せられる光が基板側に向いている例について説明したが、本発明はこれに限定されず、有機化合物層から発せられる光が基板の上に向いているような構成であっても良い。この場合発光素子の陰極が画素電極となり、電流制御用TFTはnチャネル型TFTであることが望ましい。

【0296】

なお本実施例では画素がスイッチング用TFTと電流制御用TFTの2つのTFTを有している場合について説明した。しかし本実施例はこれに限定されない。画素が3つ以上TFTを有している場合でも、本実施例を適用することは可能である。

【0297】

本発明の発光装置の作製方法は、本実施例において示した作製方法に限定されることはなく、他のあらゆる作製方法を用いることが可能である。

【0298】

また本実施例は、実施例1～7と自由に組み合わせて実施することが可能である。

【実施例9】

【0299】

本発明を実施して形成された発光装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電子機器の表示部に用いることができる。例えば、TV放送等を大画面で鑑賞するには対角30インチ以上（典型的には40インチ以上）の発光装置を筐体に組み込んだ表示装置の表示部として本発明の発光装置を用いるとよい。本発明の発光装置は様々な電子機器の表示部として用いることができる。

【0300】

その様な本発明の電子機器としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはデジタルビデオディスク（DVD）等の記録媒体を再生し、その画像を表示するディスプレイを備えた装置）などが挙げられる。特に、斜め方向から見ることの多い携帯情報端末は視野角の広さが重要視されるため、発光装置を用いることが望ましい。それら電子機器の具体例を図27、図28に示す。

【0301】

図27（A）は携帯情報端末であり、2701は表示用パネル、2702は操作パネルである。表示用パネル2701と操作パネル2702とは接続部2

10

20

30

40

50

703において接続されている。そして接続部2703における、表示用パネル2701の表示部2704が設けられている面と操作用パネル2702の操作キー2706が設けられている面との角度は、任意に変えることができる。

【0302】

表示用パネル2701は表示部2704を有している。また図27(A)に示した携帯情報端末は電話としての機能を有しており、表示用パネル2701は音声出力部2705を有しており、音声は音声出力部2705から出力される。そして本発明の発光装置は表示部2704に用いられている。

【0303】

操作用パネル2702は操作キー2706、電源スイッチ2707、音声入力部2708、CCD受光部2709を有している。なお図27(A)では操作キー2706と電源スイッチ2707とを別個に設けたが、操作キー2706の中に電源スイッチ2707が含まれる構成にしても良い。

10

【0304】

音声入力部2707において、音声が入力される。CCD受光部2709において入力された画像が電子データとして携帯情報端末に取り込まれる。

【0305】

なお図27(A)では表示用パネル2701が音声出力部2705を有し、操作用パネルが音声入力部2708を有しているが、本実施例はこの構成に限定されない。表示用パネル2701が音声入力部2708を有し、操作用パネルが音声出力部2705を有していても良い。また音声出力部2705と音声入力部2708とが共に表示用パネル2701に設けられていても良いし、音声出力部2705と音声入力部2708とが共に操作用パネル2702に設けられていても良い。

20

【0306】

なお図27(A)では携帯情報端末はアンテナを有していないが、必要に応じてアンテナを設けても良い。

【0307】

図27(B)は携帯電話であり、本体2601、音声出力部2602、音声入力部2603、表示部2604、操作スイッチ2605、アンテナ2606を含む。本発明の発光装置は表示部2604に用いることができる。なお、表示部2604は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

30

【0308】

本発明の発光装置は消費電力を抑えることが可能なので、携帯型の電子機器において特に有効である。

【0309】

図28(A)は発光装置を有する表示装置であり、筐体2001、支持台2002、表示部2003等を含む。本発明の発光装置は表示部2003に用いることができる。発光装置は自発光型であるためバックライトが必要なく、液晶表示装置よりも薄い表示部とすることができる。

40

【0310】

図28(B)はビデオカメラであり、本体2101、表示部2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106等を含む。本発明の発光装置は表示部2102に用いることができる。

【0311】

図28(C)は頭部取り付け型の電子機器の一部(右片側)であり、本体2201、信号ケーブル2202、頭部固定バンド2203、スクリーン部2204、光学系2205、表示部2206等を含む。本発明の発光装置は表示部2206に用いることができる。

50

【0312】

図28(D)は記録媒体を備えた画像再生装置(具体的にはDVD再生装置)であり、本体2301、記録媒体(DVD等)2302、操作スイッチ2303、表示部(a)2304、表示部(b)2305等を含む。表示部(a)2304は主として画像情報を表示し、表示部(b)2305は主として文字情報を表示するが、本発明の発光装置はこれら表示部(a)、(b)2304、2305に用いることができる。なお、記録媒体を備えた画像再生装置には家庭用ゲーム機器なども含まれる。

【0313】

図28(E)はゴーグル型ディスプレイ(ヘッドマウントディスプレイ)であり、本体2401、表示部2402、アーム部2403を含む。本発明の発光装置は表示部2402に用いることができる。

10

【0314】

図28(F)はパーソナルコンピュータであり、本体2501、筐体2502、表示部2503、キーボード2504等を含む。本発明の発光装置は表示部2503に用いることができる。

【0315】

なお、将来的に有機材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

20

【0316】

また、上記電子機器はインターネットやCATV(ケーブルテレビ)などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。有機材料の応答速度は非常に高いため、発光装置は動画表示に好ましい。

【0317】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話や音響再生装置のような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

30

【0318】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。また本実施例は、実施例1~8と自由に組み合わせて実施することが可能である。

【実施例10】

【0319】

本実施例では、本発明の第3の構成のより具体的な構成と、温度による輝度の変化を実測値に基づいて説明する。

【0320】

図29(A)に、本実施例の発光装置が有する、モニター用発光素子の接続の様子を示す。701は電源供給線、702はバッファアンプ、703はモニター用発光素子、704は定電流源、705は画素部の発光素子の1つを示している。

40

【0321】

なお、図29では、画素部の駆動用TFTがオンの状態にある場合を示しており、駆動用TFTは図示しておらず、画素部の発光素子705の画素電極と、電源供給線701とを直接接続している。

【0322】

また、図29(A)では、画素部の発光素子705の陽極を画素電極として用

50

いているが、本実施例はこの構成に限定されない。陰極を画素電極として用いても良い。

【0323】

本実施例の定電流源704は、アンプと、可変抵抗と、バイポーラトランジスタを有している。V1とV2は所定の電圧の印加を意味しており、アノードに印加される電圧 $V2 < V1$ の関係を満たしている。なお、アノードに印加される電圧と、V2と、V1の関係は、画素電極に陽極を用いるか陰極を用いるかで変わってくる。発光素子に順バイアスの電流が流れるように、アノードに印加される電圧と、V2と、V1の関係を適宜設定する。また、定電流源704は、図29(A)に示した構成に限定されず、公知の定電流源を用いることができる。

10

【0324】

定電流源704の出力端子は、モニター用発光素子703の画素電極に接続されている。なお画素部の発光素子705において陽極を画素電極として用いている場合、モニター用発光素子703においても陽極を画素電極として用いる。逆に、画素部の発光素子705において陰極を画素電極として用いている場合、モニター用発光素子703においても陰極を画素電極として用いる。図29(A)では、モニター用発光素子703において、陽極を画素電極として用いる。

【0325】

定電流源704の出力端子が、モニター用発光素子703の画素電極に接続されることで、モニター用発光素子703に電流が流れる場合、その値は常に一定に保たれることになる。また、そして発光素子が有する有機化合物層の温度が変化すると、モニター用発光素子703を流れる電流の大きさが変化しないかわりに、定電流源704に接続されているモニター用発光素子703の画素電極の電位が変化する。

20

【0326】

一方バッファアンプ702は2つの入力端子と1つの出力端子とを有しており、2つの入力端子のうち一方は非反転入力端子(+)、もう一方は反転入力端子(-)である。モニター用発光素子703の画素電極の電位は、バッファアンプ702の非反転入力端子に与えられる。

【0327】

バッファアンプ702は、定電流源704に接続されたモニター用発光素子703の画素電極の電位が、電源供給線701の配線容量等の負荷によって変化するのを防ぐ回路である。よってバッファアンプ702の非反転入力端子に与えられた電位は、電源供給線701の配線容量等の負荷によって変化することなく出力端子から出力され、画素部の発光素子705の画素電極に与えられる。よって、モニター用発光素子703に流れる電流と、画素部の発光素子705に流れる電流は等しくなる。

30

【0328】

そして、環境温度の変化により、モニター用発光素子703または画素部の発光素子705の有機化合物層の温度が変化しても、各発光素子に一定の電流が流れるようになる。よって発光装置の環境温度が上昇しても、発光装置の消費電力が大きくなるのを抑えることができる。

40

【0329】

図29(A)に示した構成を有する発光装置が有する、画素部の発光素子705の、温度による輝度の変化の測定値を図29(B)に示す。なお、補正ありのグラフが本発明の発光装置の測定値であり、補正なしのグラフは、本発明の第3の構成を有さない発光装置の測定値である。

【0330】

図29(A)から明らかのように、補正なしのグラフでは温度の上昇と共に輝度が高くなっている。しかし補正ありのグラフでは、温度が上昇しても輝度がほ

50

ば一定に保たれている。電流と輝度は比例関係にあるので、本発明の発光装置では、温度が上昇しても電流を一定に保つことができ、消費電力を抑えることができることがわかる。

【0331】

また、発光素子は、有機発光層の劣化により輝度の低下が引き起こされるが、同じ程度劣化していても、陰極と陽極の間に流れる電流を一定に保っていたほうが、陰極と陽極の間にかかる電圧を一定に保っているよりも、輝度の低下が小さい。よって本発明の発光装置は発光素子に流れる電流を一定に保つことが可能であるので、劣化による輝度の低下を抑えることができるといえる。

【0332】

本実施例は、実施例1～9の構成と、自由に組み合わせて実施することが可能である。

【図面の簡単な説明】

【0333】

【図1】本発明の発光装置のブロック図。

【図2】本発明の発光装置のブロック図。

【図3】本発明の発光装置のブロック図。

【図4】本発明の発光装置のブロック図。

【図5】本発明の発光装置の電源供給線とモニター用発光素子の接続の様子を示す図。

【図6】本発明の発光装置の画素部を示す図。

【図7】本発明の発光装置の画素の拡大図。

【図8】本発明の発光装置の駆動方法を示す図。

【図9】本発明の発光装置のブロック図。

【図10】本発明の発光装置の画素部を示す図。

【図11】本発明の発光装置の画素の拡大図。

【図12】本発明の発光装置の駆動方法を示す図。

【図13】本発明の発光装置のソース信号線駆動回路の回路図。

【図14】ラッチ(A)の一部の上面図。

【図15】切り換え回路の回路図。

【図16】アナログスイッチの等価回路図。

【図17】本発明の発光装置のソース信号線駆動回路の回路図。

【図18】クロック信号制御回路、タイミング信号制御回路、スタートパルス信号制御回路の回路図。

【図19】本発明の発光装置のソース信号線駆動回路の回路図。

【図20】本発明の発光装置のソース信号線駆動回路の回路図。

【図21】本発明の発光装置の電源供給線とモニター用発光素子の接続の様子を示す図。

【図22】加算回路の回路図。

【図23】発光装置の作製方法を示す図。

【図24】発光装置の作製方法を示す図。

【図25】発光装置の作製方法を示す図。

【図26】発光装置の作製方法を示す図。

【図27】本発明の発光装置を用いた電子機器の図。

【図28】本発明の発光装置を用いた電子機器の図。

【図29】本発明の発光装置の電源供給線とモニター用発光素子の接続の様子を示す図と、発光素子の温度による輝度の特性を示すグラフ。

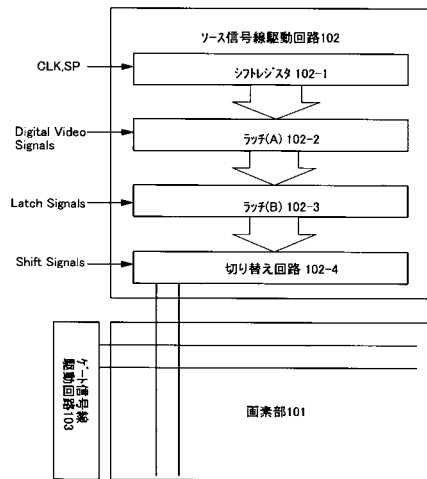
10

20

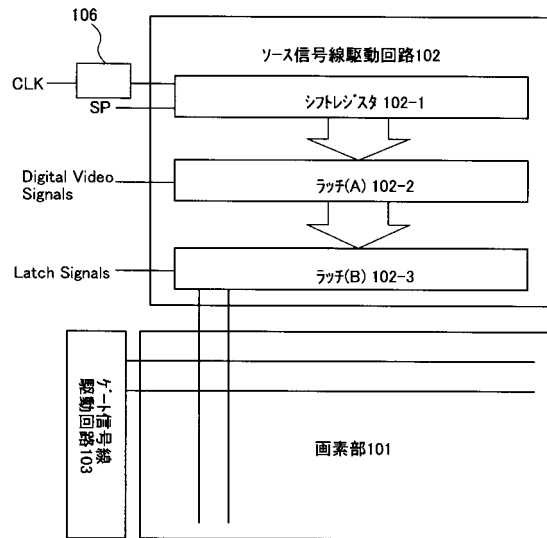
30

40

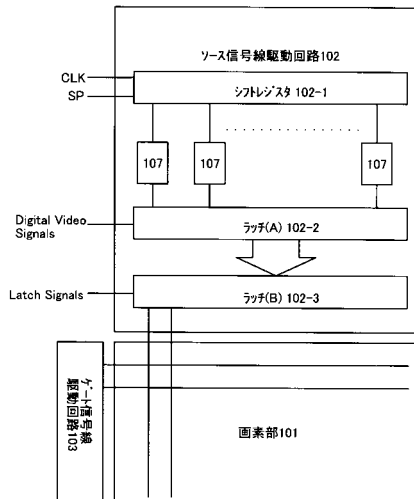
【図1】



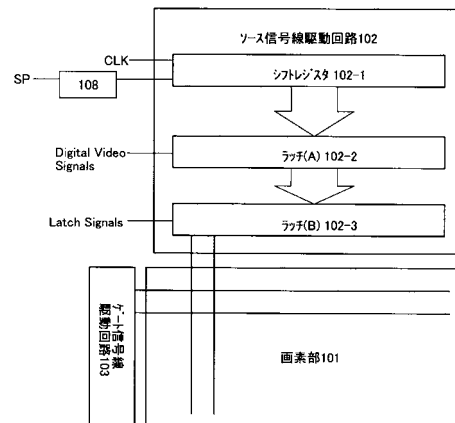
【図2】



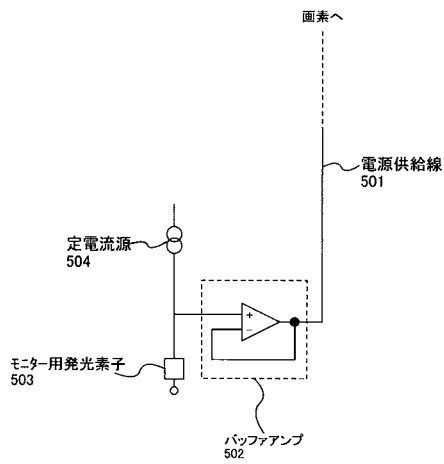
【図3】



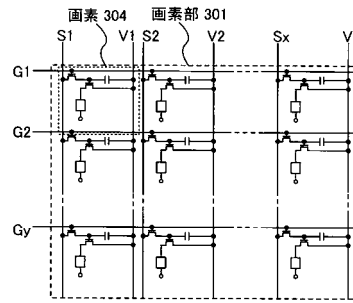
【図4】



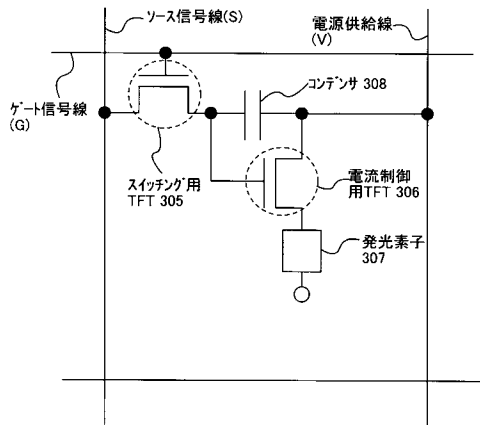
【図5】



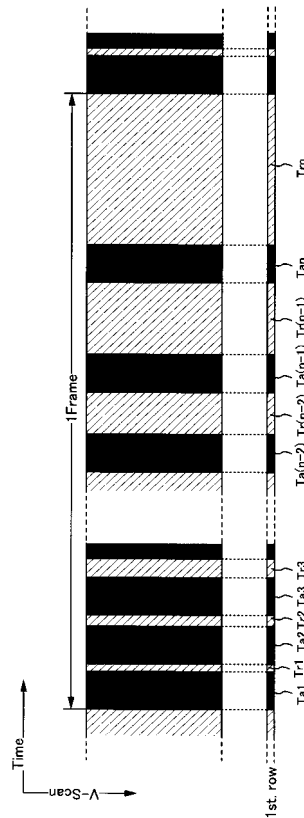
【図6】



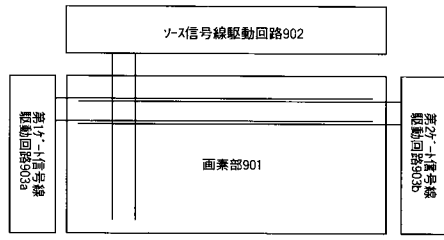
【図7】



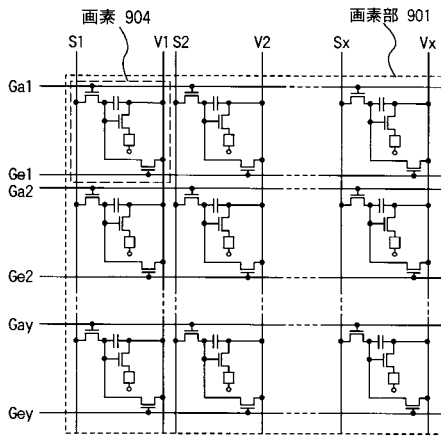
【図8】



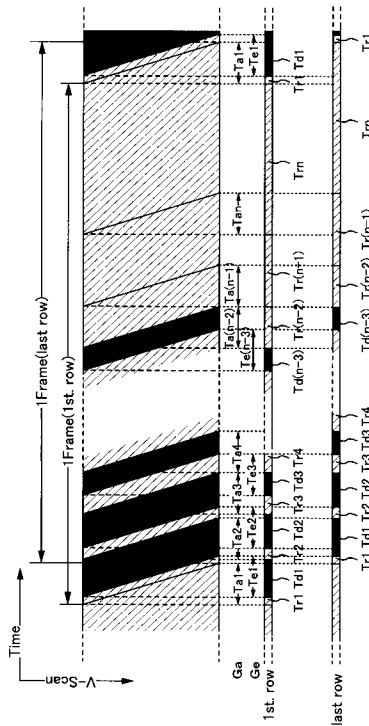
【図9】



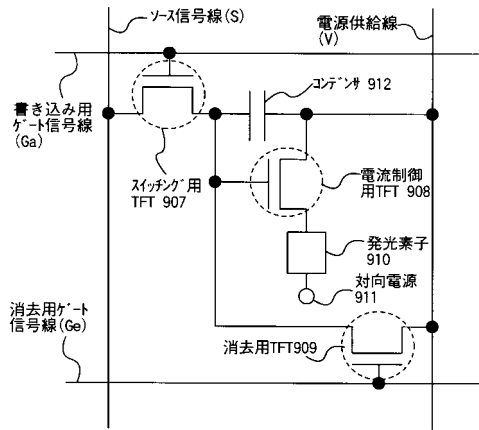
【図10】



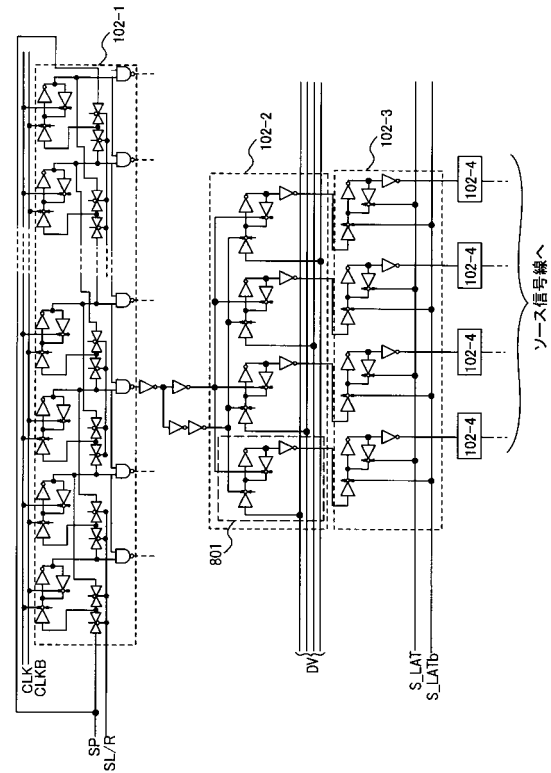
【図12】



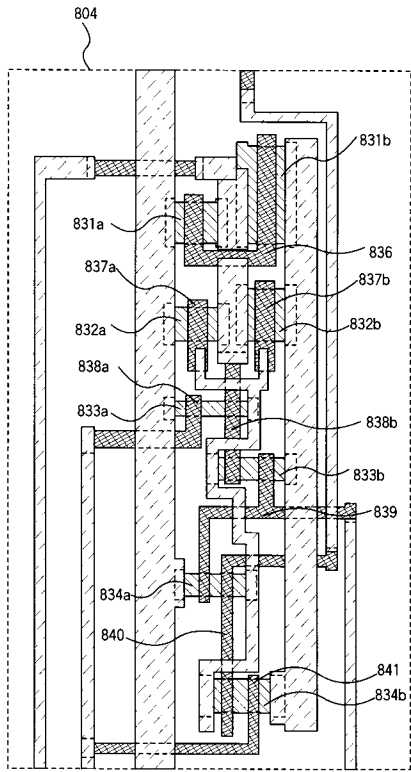
【図11】



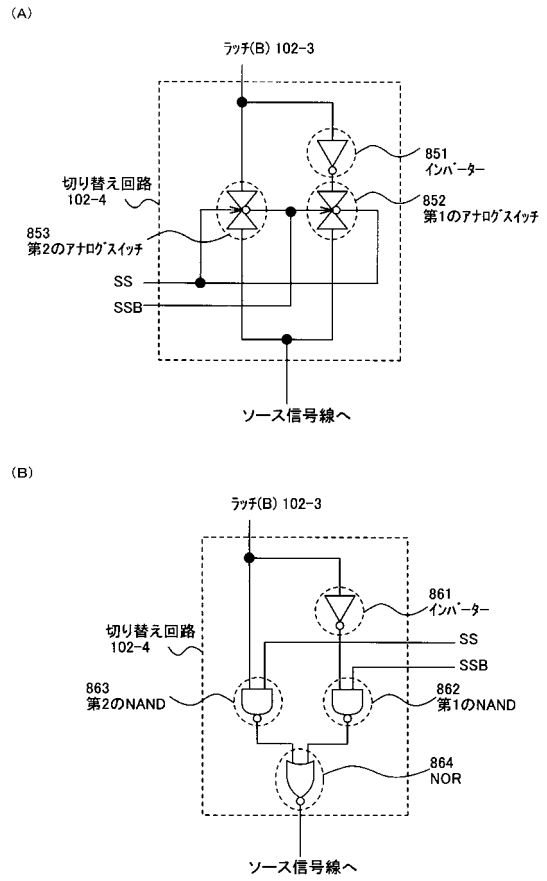
【図13】



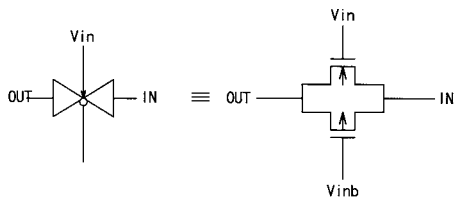
【図14】



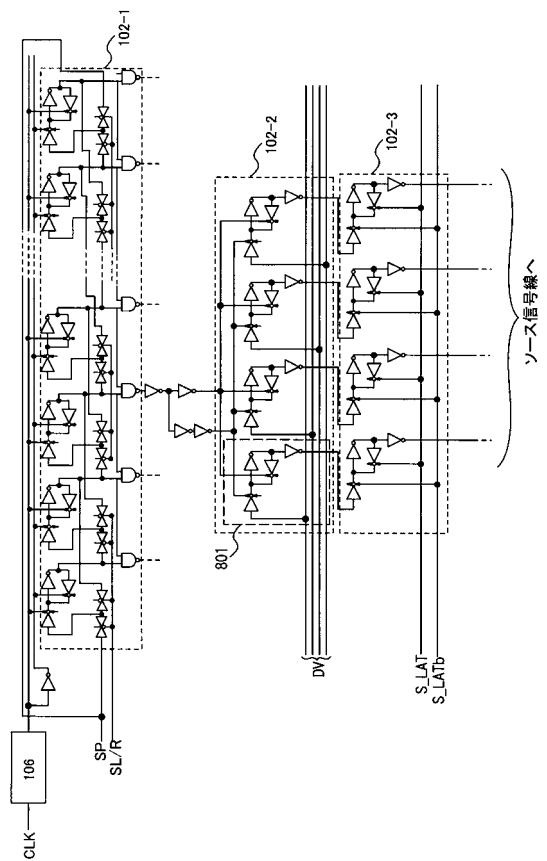
【図15】



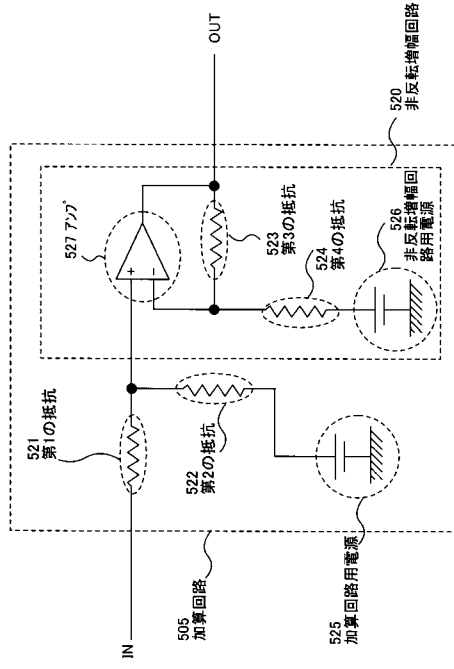
【図16】



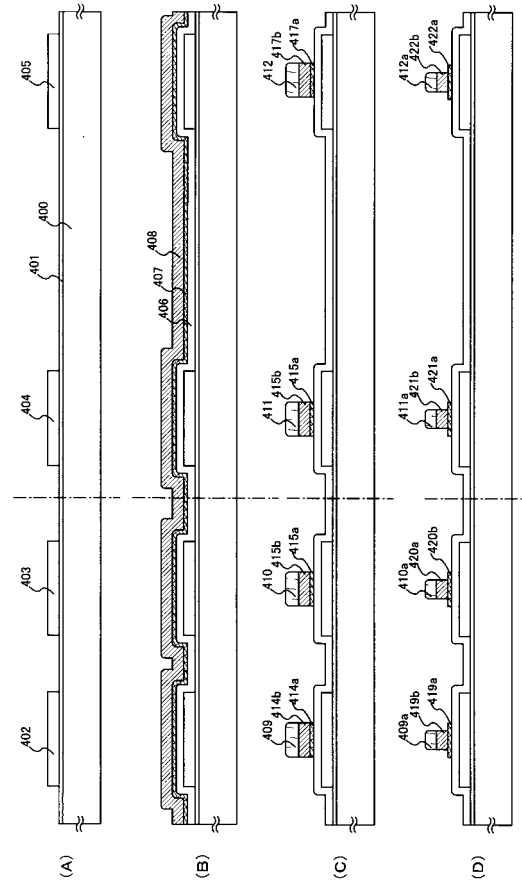
【図17】



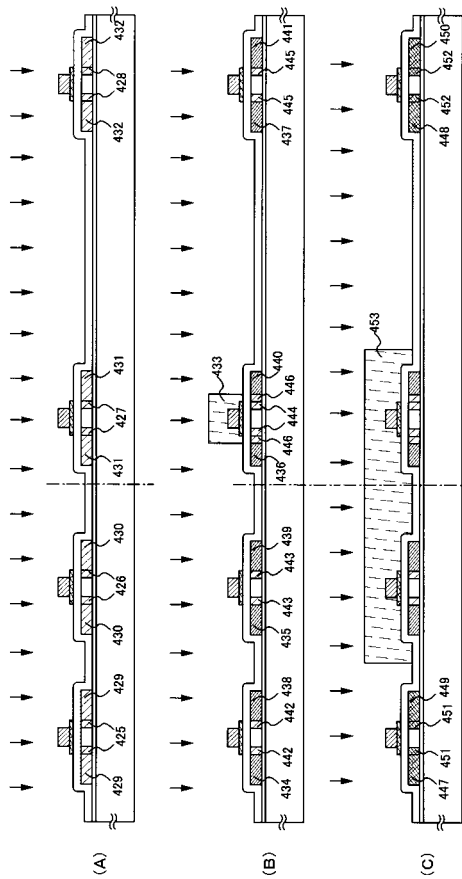
【図22】



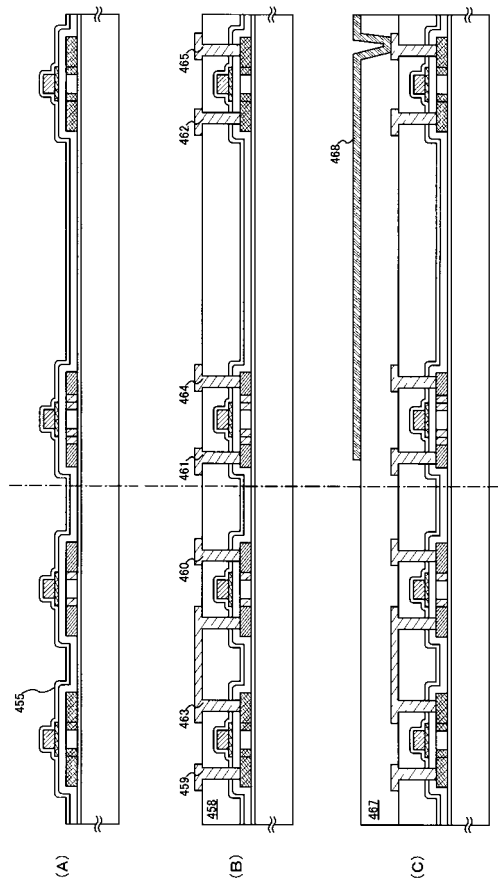
【図23】



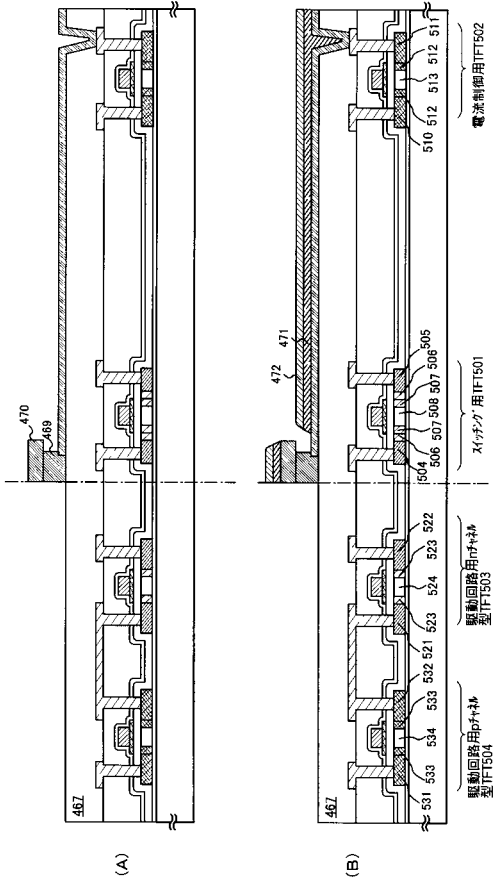
【図24】



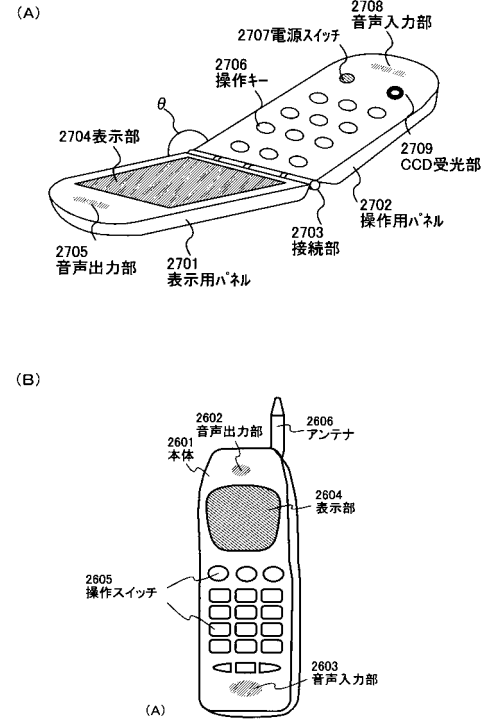
【図25】



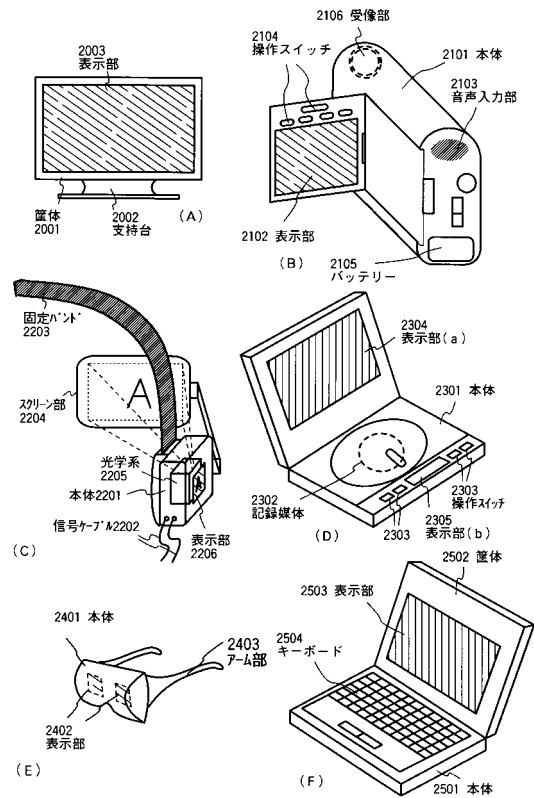
【図26】



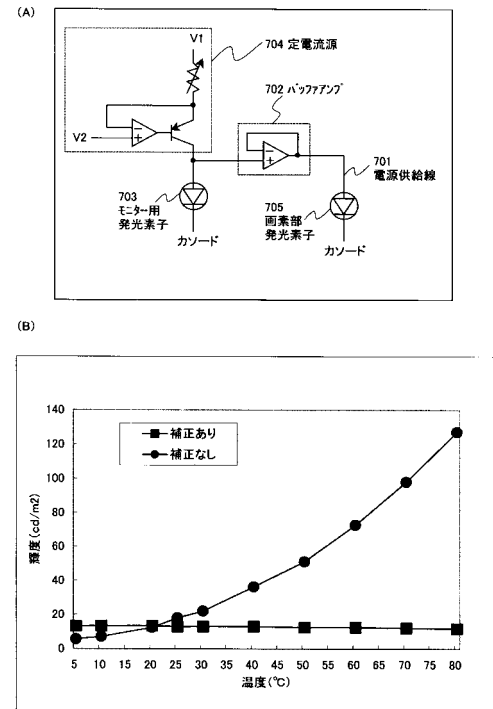
【図27】



【図28】



【図29】



フロントページの続き

(51)Int.Cl.

F I

G 0 9 G	3/30	J
G 0 9 G	3/20	6 1 1 A
G 0 9 G	3/20	6 4 2 C
H 0 5 B	33/14	A

審査官 西島 篤宏

(56)参考文献 特開平 1 1 - 2 7 2 2 2 3 (J P , A)
特開平 1 1 - 2 7 3 8 5 6 (J P , A)
特開平 0 5 - 0 9 4 1 5 1 (J P , A)
国際公開第 0 1 / 0 2 7 9 1 0 (W O , A 1)

(58)調査した分野(Int.Cl. , D B名)

G 0 9 G 3 / 0 0 - 3 / 3 8
H 0 1 L 5 1 / 5 0