(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3587919号
(P3587919)
(45)発行日　平成16年11月10日(2004.11.10)　(24)登録日　平成16年8月20日(2004.8.20)

(51)Int.Cl.[7]		F I		
H01L	21/3065	H01L	21/302	C
C23F	4/00	C23F	4/00	A
H05H	1/46	H05H	1/46	B

請求項の数 1　(全 15 頁)

(21)出願番号　特願平7-337100
(22)出願日　平成7年12月25日(1995.12.25)
(65)公開番号　特開平9-181049
(43)公開日　平成9年7月11日(1997.7.11)
審査請求日　平成14年7月5日(2002.7.5)

(73)特許権者　503121103
株式会社ルネサステクノロジ
東京都千代田区丸の内二丁目４番１号
(74)代理人　100080001
弁理士　筒井　大和
(72)発明者　漆谷　博史
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　伊東　儀一
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内
(72)発明者　吉田　正通
東京都小平市上水本町５丁目２０番１号
株式会社日立製作所　半導体事業部内

最終頁に続く

(54)【発明の名称】半導体装置の製造方法

(57)【特許請求の範囲】
【請求項１】
半導体ウェハにフォトレジスト膜を塗布して、前記フォトレジスト膜に所望のパターンを形成した前記半導体ウェハを、試料台に静電吸着法により搭載し、
前記試料台と対向して設けられた絶縁性リング部材によって前記半導体ウェハ上に塗布された前記フォトレジスト膜の表面外周部を、前記半導体ウェハの表面の外周端部から中心内方に向かって３～４ｍｍの範囲の幅で、およびプラズマの通過を阻止可能な微小空隙0.９ｍｍ以下を保持して、非接触で覆い、
前記絶縁性リング部材によってさらに前記半導体ウェハの側面を覆って、前記側面からのプラズマの侵入も阻止し、
前記絶縁性リング部材によって覆われない前記半導体ウェハの表面領域をプラズマを用いてドライエッチング処理を行うことを特徴とする半導体装置の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、半導体製造技術に関し、特に、プラズマを用いる半導体装置の製造方法に関する。
【０００２】
【従来の技術】
以下に説明する技術は、本発明を研究、開発するに際し、本発明者によって検討されたも

のであり、その概要は次のとおりである。
【０００３】
プラズマを用いて半導体ウェハに処理を行うエッチング装置としては、互いに対向する一対の電極を備えたエッチング装置が知られている。
【０００４】
ここで、前記エッチング装置は、一方の電極（試料台）上に半導体ウェハを載置し、これに対向する他方の電極から処理ガスを噴流させると共に、前記２つの電極間に高周波電圧を印加して処理ガスをプラズマ化し、半導体ウェハを加工するものである。
【０００５】
なお、エッチング処理については、エッチング処理時あるいはエッチング処理後の異物発生を防止する技術の研究開発が進められている。
【０００６】
また、プラズマを用いたエッチング装置における半導体ウェハの固定（支持）方法については、クランプ方式と静電チャック方式とが知られている。
【０００７】
まず、クランプ方式のエッチング装置は、エッチング処理時にクランプによって半導体ウェハを直接押えるため、クランプが接触する半導体ウェハの表面外周部の被処理膜（フォトレジスト膜など）を除去する必要がある。
【０００８】
これに伴い、クランプの端部と半導体ウェハの表面外周部の被処理膜との間に空隙部が形成され、その状態でエッチングが行われるため、プラズマが前記空隙部に入り込むこともあり、その結果、半導体ウェハのクランプ近傍に形成された被処理膜が不均一にエッチングされる。
【０００９】
一方、静電チャック方式のエッチング装置では、半導体ウェハを支持する際に、クランプを用いないため、半導体ウェハの側面にプラズマが回り込み、半導体ウェハの側面もしくは裏面に付着した被処理膜がエッチングされる。
【００１０】
さらに、クランプを用いた静電チャック方式のマイクロ波エッチング装置もあり、この場合、クランプ近傍の半導体ウェハの表面に形成された被処理膜、さらに、半導体ウェハの側面または裏面に付着した被処理膜が不均一にエッチングされる。
【００１１】
なお、エッチング装置において異物の発生を防止する技術としては、例えば、特開昭５７－１４５３２１号公報に開示されている。
【００１２】
【発明が解決しようとする課題】
ところが、前記した技術においては、半導体ウェハの表面、側面または裏面に形成されたポリシリコンなどの被処理膜がエッチング処理時に不均一にエッチングされ、さらに、前記被処理膜が酸化膜のウェットエッチング時にリフトオフされ、異物となって半導体ウェハの表面に再付着する。
【００１３】
したがって、半導体ウェハの表面に異物が付着することにより、半導体ウェハの歩留りを低下させるという問題が発生する。
【００１４】
本発明の目的は、半導体ウェハの歩留りを向上させる半導体装置の製造方法を提供することにある。
【００１５】
本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。
【００１６】

【課題を解決するための手段】
本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、以下のとおりである。
【００１７】
すなわち、本発明による半導体装置の製造方法は、半導体ウェハにフォトレジスト膜を塗布して、前記フォトレジスト膜に所望のパターンを形成した前記半導体ウェハを、試料台に静電吸着法により搭載し、前記試料台と対向して設けられた絶縁性リング部材によって前記半導体ウェハ上に塗布された前記フォトレジスト膜の表面外周部を、前記半導体ウェハの表面の外周端部から中心内方に向かって３～４ｍｍの範囲の幅で、およびプラズマの通過を阻止可能な微小空隙0.９ｍｍ以下を保持して、非接触で覆い、前記絶縁性リング部材によってさらに前記半導体ウェハの側面を覆って、前記側面からのプラズマの侵入も阻止し、前記絶縁性リング部材によって覆われない前記半導体ウェハの表面領域をプラズマを用いてドライエッチング処理を行うものである。
【００２０】
これにより、絶縁性リング部材近傍に形成された被処理膜や、半導体ウェハの側面あるいは裏面に付着した被処理膜のエッチングを防止することができる。
【００２１】
その結果、半導体ウェハ上の被処理膜の膜剥がれを防止することができ、異物の発生を防止することができる。
【００２３】
【発明の実施の形態】
以下、本発明の実施の形態を図面に基づいて詳細に説明する。
【００２４】
図１は本発明によるエッチング装置の構造の実施の形態の一例を示す部分断面図、図２は本発明のエッチング装置に設けられた絶縁性リング部材の構造の一例を示す図であり、（ａ）は平面図、（ｂ）は拡大部分断面図、図３～図１４は本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図、図１５は本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示すプロセスフローである。
【００２５】
なお、本実施の形態によるエッチング装置は、プラズマ１２を用いて半導体ウェハ１にエッチング処理を行うものであり、その一例として、互いに対向する一対の電極を備えたエッチング装置について説明する。
【００２６】
前記エッチング装置の構成は、外部１８と遮断されかつ内部４ａに真空雰囲気を形成可能な真空処理容器４と、真空処理容器４の内部４ａの排気を行う真空ポンプなどの真空排気手段７と、真空処理容器４の内部４ａに処理ガス１３を供給するガス供給手段５と、半導体ウェハ１を支持しかつ電極である試料台２と、試料台２と一対を成しかつ真空処理容器４の内部４ａにプラズマ１２を発生させるプラズマ発生手段である対向電極６と、試料台２に支持された半導体ウェハ１の表面外周部１ｄを覆いかつ試料台２と対向して設けられた絶縁性リング部材３とからなり、エッチング処理時に、半導体ウェハ１の表面外周部１ｄのフォトレジスト膜３４と絶縁性リング部材３との間にプラズマ１２の半導体ウェハ１の側面１ａへのまわり込みを阻止可能な微小空隙１４を形成し、半導体ウェハ１の表面外周部１ｄが絶縁性リング部材３によって非接触で覆われてエッチング処理されるものである。
【００２７】
なお、真空処理容器４の内部４ａには、ガス供給手段５によって処理ガス１３（例えば、Ａｒ、CF_4　、CHF_3　など）が対向電極６を介して供給され、それと共に、真空排気手段７によって真空排気が行われることにより、数Ｔｏｒｒ以下の圧力に制御される。
【００２８】

さらに、高周波電源８によって対向電極６と試料台２との間に、例えば、４００ＫＨｚ、１３００Ｗの高周波電圧を印加してプラズマ１２を発生させ、半導体ウェハ１のエッチングを行う。

【００２９】

なお、エッチング中、半導体ウェハ１の冷却は、冷却手段９から試料台２内につながる冷媒通路９ａに所定の液体（または気体）を流すことによって、試料台２を介して行う。

【００３０】

また、試料台２における半導体ウェハ１の吸着は、静電吸着方式によるものであり、リフトピン１０に半導体ウェハ１を載置し、リフトピン１０が取り付けられているリフトピンベース１０ａ、およびリフトピンベース１０ａを保持しているロッド１０ｂをそれぞれ介して、エアシリンダ１１によってリフトピン１０を降下させて行う。

【００３１】

さらに、半導体ウェハ１の試料台２からの取り外しは、前記の逆、つまりエアシリンダ１１によってリフトピン１０を上昇させ、半導体ウェハ１を押し上げて行う。

【００３２】

また、真空処理容器４の内部４ａへの半導体ウェハ１の搬入出は、ゲートバルブ１７を介して行う。

【００３３】

ここで、本実施の形態による絶縁性リング部材３は、半導体ウェハ１の表面外周部１ｄをその全周に渡って非接触で覆うものであり、半導体ウェハ１を試料台２に搭載した際に、半導体ウェハ１の表面外周部１ｄのフォトレジスト膜３４と絶縁性リング部材３との間にプラズマ１２の半導体ウェハ１の側面１ａへのまわり込みを阻止可能な微小空隙１４を形成して覆う。

【００３４】

なお、微小空隙１４は、例えば、０．９ｍｍ程度のものである。

【００３５】

さらに、絶縁性リング部材３は、石英、セラミック、フッ素樹脂などの絶縁性の材料によって形成され、試料台２の昇降運動を案内する試料台ガイド部材１５に、止め金３ａおよび支柱３ｂを介して取り付けられている。

【００３６】

また、本実施の形態による絶縁性リング部材３は、半導体ウェハ１を試料台２に搭載した際に、半導体ウェハ１の表面１ｂの外周端部１ｅから中心内方１６に向かって３～４ｍｍの範囲の表面外周部１ｄを覆うものであり、かつ、オリエンテーションフラットタイプの半導体ウェハ１に対応したものである。

【００３７】

ただし、絶縁性リング部材３が覆う範囲は、前記３～４ｍｍの範囲に限らず、それよりも狭い範囲または広い範囲を覆っていてもよい。

【００３８】

次に、本実施の形態によるエッチング方法について説明する。

【００３９】

なお、本実施の形態では、図３～図１２に示すように、１６Ｍ－ＤＲＡＭ（Ｄｙｎａｍｉｃ　Ｒａｎｄｏｍ　Ａｃｃｅｓｓ　Ｍｅｍｏｒｙ）の製造プロセスの場合について、図１～図１５を用いて説明する。

【００４０】

ここで、図１５に示すフローは、１６Ｍ－ＤＲＡＭの製造工程を示すものである。

【００４１】

まず、容量（キャパシタ）形成に際し、図３に示すように、ベース基板４７上に素子形成領域であるウェル部４８およびチャネルストッパ４９が形成され、かつウェル部４８に酸化膜２０とゲート電極２１が形成された半導体ウェハ１を準備する。

【００４２】

続いて、図３，図１５に示すように、半導体ウェハ１の表面１ｂ全体に酸化膜２２を塗布し、ゲート電極２１および酸化膜２０をSiO_2　などの酸化膜２２によって覆う酸化膜形成２３を行う。

【００４３】

さらに、図４，図１５に示すように、酸化膜２２上にポリシリコンなどからなる１層目の導体膜２４を形成（堆積）する導体膜形成２５を行う。

【００４４】

その後、図５，図１５に示すように、導体膜２４上に、再びSiO_2　などの酸化膜２６を形成する酸化膜形成２７を行う。

【００４５】

続いて、図６に示すように、酸化膜２６上に、パターニングされたフォトレジスト膜２８を塗布し、さらに、エッチングによって、酸化膜２２，２６（図３、図５参照）および導体膜２４（図４参照）を除去し、接続孔であるコンタクトホール２９を形成する。

【００４６】

すなわち、コンタクトホール形成３０を行う。

【００４７】

続いて、図６に示したフォトレジスト膜２８を除去した後、図７，図１５に示すように、酸化膜２６およびコンタクトホール２９上にポリシリコンなどからなる２層目の導体膜３１を形成（堆積）する導体膜形成３３を行う。

【００４８】

その後、図８に示すように、導体膜３１上に、パターニングされたフォトレジスト膜３４を塗布する（準備する）。

【００４９】

この時、半導体ウェハ１の表面１ｂに対して、予め、乾燥などの前処理を行っておく。

【００５０】

さらに、半導体ウェハ１の表面１ｂにフォトレジスト膜３４を塗布した際に半導体ウェハ１の側面１ａまたは裏面１ｃもしくはその両面に付着したフォトレジスト膜３４を除去する。

【００５１】

ここで、フォトレジスト膜３４を除去する際に、フォトレジスト膜３４の除去とともに、図２（ｂ）に示すように、半導体ウェハ１の表面１ｂの外周端部１ｅから中心内方１６に向かって１～２ｍｍの範囲の表面外周部１ｄに形成されたフォトレジスト膜３４を除去する。

【００５２】

つまり、半導体ウェハ１の表面１ｂの外周端部１ｅから中心内方１６に向かって１～２ｍｍの範囲のフォトレジスト膜３４を除去し、それ以外のフォトレジスト膜３４をそのまま残す。

【００５３】

ただし、フォトレジスト膜３４の除去範囲は、前記１～２ｍｍの範囲に限らず、それよりも狭い範囲または広い範囲を除去してもよい。

【００５４】

その後、半導体ウェハ１をエッチング処理が行われる本実施の形態によるエッチング装置の試料台２に搭載し、さらに、図１または図２（ｂ）に示すように、試料台２と対向して設けられた絶縁性リング部材３によって半導体ウェハ１の表面外周部１ｄを覆う。

【００５５】

ここで、半導体ウェハ１の表面外周部１ｄを絶縁性リング部材３によって覆う際に、半導体ウェハ１の表面１ｂの外周端部１ｅから中心内方１６に向かって３～４ｍｍの範囲の表面外周部１ｄを非接触で覆う。

【００５６】

この時、半導体ウェハ１の表面外周部１ｄのフォトレジスト膜３４と絶縁性リング部材３

とをオーバーラップさせ、さらに、フォトレジスト膜３４と絶縁性リング部材３との間にプラズマ１２の半導体ウェハ１の側面１ａおよび裏面１ｃへのまわり込みを阻止可能な０．９ｍｍ程度の微小空隙１４を形成することにより、半導体ウェハ１の表面外周部１ｄのフォトレジスト膜３４を絶縁性リング部材３によって非接触で覆うものである。

【００５７】

なお、フォトレジスト膜３４と絶縁性リング部材３とがオーバーラップしていれば（半導体ウェハ１をその上方から眺めた時にフォトレジスト膜３４と絶縁性リング部材３とが重なっていれば）、フォトレジスト膜３４の除去範囲と絶縁性リング部材３の覆う範囲は、それぞれ前記１～２ｍｍ、前記３～４ｍｍ以外の範囲であってもよい。

【００５８】

続いて、本実施の形態によるエッチング装置を用いて、図８，図１３および図１５に示すように、所定のフォトレジスト膜３４および所定の導体膜３１のエッチング処理３５を行う。

【００５９】

すなわち、半導体ウェハ１の表面外周部１ｄを絶縁性リング部材３によって非接触で覆って、フォトレジスト膜３４および導体膜３１のエッチング処理３５を行い、所定のフォトレジスト膜３４および所定の導体膜３１を除去する。

【００６０】

この時、図１３に示すように、プラズマ１２の半導体ウェハ１の側面１ａおよび裏面１ｃへのまわり込みを防止することができる。

【００６１】

その後、図９，図１５に示すように、ウェットエッチングなどによって酸化膜２６（図８参照）を除去するウェットエッチング処理３６を行う。

【００６２】

さらに、図１０，図１５に示すように、酸化膜２２上の所定の導体膜２４を除去するエッチング処理３７を行う。

【００６３】

この時、前記同様、図１，図２および図１４に示す本実施の形態のエッチング装置を用いることにより、プラズマ１２の半導体ウェハ１の側面１ａへのまわり込みを防止することができる。

【００６４】

その後、図１１，図１５に示すように、酸化膜２２、導体膜２４および導体膜３１の露出部に窒化珪素（Si_3N_4）などからなる積層形の容量絶縁膜３８を形成する絶縁膜形成３９を行い、さらに、容量絶縁膜３８を酸化する絶縁膜酸化４０を行う。

【００６５】

続いて、図１２，図１５に示すように、容量絶縁膜３８上に、３層目の導体膜４１を形成（堆積）する導体膜形成４２を行う。

【００６６】

これにより、容量であるフィン形キャパシタ４３を形成することができる。

【００６７】

本実施の形態によるエッチング方法および装置によれば、以下のような作用効果が得られる。

【００６８】

すなわち、試料台２に支持された半導体ウェハ１の表面外周部１ｄを覆う絶縁性リング部材３を有し、エッチング処理３５，３７を行う際に、半導体ウェハ１の表面外周部１ｄと絶縁性リング部材３との間にプラズマ１２の半導体ウェハ１の側面１ａへのまわり込みを阻止可能な微小空隙１４を形成し、半導体ウェハ１の表面外周部１ｄを絶縁性リング部材３によって非接触で覆ってエッチング処理３５，３７を行うことにより、プラズマ１２の半導体ウェハ１の側面１ａあるいは裏面１ｃへの回り込みを防止することができる。

【００６９】

さらに、非接触で半導体ウェハ１の表面外周部１ｄを覆うため、絶縁性リング部材３の近傍に形成されたフォトレジスト膜２８，３４や、半導体ウェハ１の側面１ａあるいは裏面１ｃに付着したフォトレジスト膜２８，３４のエッチングを防止することができる。

【００７０】

これにより、半導体ウェハ１上のフォトレジスト膜２８，３４の膜剥がれを防止することができ、異物の発生を防止することができる。

【００７１】

その結果、半導体ウェハ１の歩留りを向上させることができる（歩留りを１０％程度向上させることができる）。

【００７２】

また、半導体ウェハ１の側面１ａまたは裏面１ｃもしくはその両面に付着したフォトレジスト膜２８，３４を除去する際に、フォトレジスト膜２８，３４の除去とともに、半導体ウェハ１の表面１ｂの外周端部１ｅから中心内方１６に向かって１～２ｍｍの範囲の表面外周部１ｄに形成されたフォトレジスト膜２８，３４を除去し（それ以外の箇所のフォトレジスト膜２８，３４は残す）、この状態で半導体ウェハ１の表面１ｂの外周端部１ｅから中心内方１６に向かって３～４ｍｍの範囲の表面外周部１ｄを絶縁性リング部材３によって覆ってエッチング処理３５，３７を行うことにより、半導体ウェハ１の表面外周部１ｄと絶縁性リング部材３とが微小空隙１４を介して重なり合うため、プラズマ１２の回り込みを阻止することができる。

【００７３】

これにより、ドライエッチング時に、製品パターン以外のエッチングを防止することができ、酸化膜のウェットエッチングを行ってもポリシリコンなどの導体膜２４，３１の膜剥がれを防止することができる。

【００７４】

その結果、前記膜剥がれによる異物の半導体ウェハ１への再付着を防止することができるため、半導体ウェハ１の歩留りを向上させることができる。

【００７５】

以上、本発明者によってなされた発明を発明の実施の形態に基づき具体的に説明したが、本発明は前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

【００７６】

例えば、前記実施の形態で説明した絶縁性リング部材は、試料台の昇降運動を案内する試料台ガイド部材に取り付けられているものであるが、前記絶縁性リング部材は、図１６～図１８に示す他の実施の形態のエッチング装置のように、前記試料台ガイド部材以外の部材に取り付けられていてもよい。

【００７７】

ここで、図１６に示すエッチング装置においては、絶縁性リング部材３が真空処理容器４の内壁４ｂに取り付けられている。

【００７８】

また、図１７に示すエッチング装置においては、絶縁性リング部材３が対向電極６に取り付けられている。

【００７９】

さらに、図１８に示すエッチング装置においては、絶縁性リング部材３が可動（昇降）自在に支持されており、昇降手段４４によって絶縁性リング部材３を所望の位置（高さ）で固定することができる。

【００８０】

この場合、絶縁性リング部材３を半導体ウェハ１から離して固定することにより、半導体ウェハ１の側面１ａや裏面１ｃなどにプラズマ１２をまわり込ませることができ、その結果、半導体ウェハ１の側面１ａや裏面１ｃをエッチングすることも可能になる。

【００８１】

なお、図１６～図１８のエッチング装置においても、前記実施の形態によるエッチング装置と同様の作用効果が得られることは言うまでもない。

【００８２】

また、前記実施の形態によるエッチング装置は、電極である試料台と一対を成す対向電極を備えるものであったが、前記エッチング装置は、図１９に示すようなマイクロ波エッチング装置であってもよい。

【００８３】

すなわち、図１９に示すマイクロ波エッチング装置は、プラズマ発生手段であるマグネトロン４５からマイクロ波４６を発振し、マイクロ波４６を真空処理容器４に照射することにより、真空処理容器４の内部４ａにプラズマ１２を発生させるものであり、このプラズマ１２を用いて半導体ウェハ１にエッチングを行うものである。なお、コイル５０は、プラズマ１２の発生位置などを調節するものである。

【００８４】

このマイクロ波エッチング装置においても、前記実施の形態の絶縁性リング部材３と同様の絶縁性リング部材３を用いることにより、前記実施の形態によるエッチング装置と同様の作用効果を得ることができる。

【００８５】

また、前記実施の形態または前記他の実施の形態によるエッチング装置に設置された絶縁性リング部材は、オリエンテーションフラットタイプの半導体ウェハであっても、ノッチタイプの半導体ウェハであってもどちらにでも適用可能なものである。

【００８６】

【発明の効果】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【００８７】

（１）．半導体ウェハの表面外周部を覆う絶縁性リング部材を有し、エッチング処理時に、半導体ウェハの表面外周部のフォトレジスト膜と絶縁性リング部材との間に微小空隙を形成し、半導体ウェハの表面外周部を絶縁性リング部材によって非接触で覆ってエッチング処理することにより、プラズマの半導体ウェハの側面あるいは裏面への回り込みを防止することができる。これにより、半導体ウェハ上の被処理膜の膜剥がれを防止することができ、異物の発生を防止することができる。その結果、半導体ウェハの歩留りを向上させることができる。

【００８８】

（２）．半導体ウェハの側面または裏面もしくはその両面に付着したフォトレジスト膜を除去する際に、半導体ウェハの表面の外周端部から中心内方に向かって１～２ｍｍの範囲の表面外周部に形成されたフォトレジスト膜を除去し、この状態で半導体ウェハの表面の外周端部から中心内方に向かって３～４ｍｍの範囲の表面外周部を絶縁性リング部材によって覆ってエッチング処理を行うことにより、ドライエッチング時に、製品パターン以外のエッチングを防止することができる。その結果、膜剥がれによる異物の半導体ウェハへの再付着を防止することができるため、半導体ウェハの歩留りを向上させることができる。

【図面の簡単な説明】

【図１】本発明によるエッチング装置の構造の実施の形態の一例を示す部分断面図である。

【図２】本発明のエッチング装置に設けられた絶縁性リング部材の構造の一例を示す図であり、（ａ）は平面図、（ｂ）は拡大部分断面図である。

【図３】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

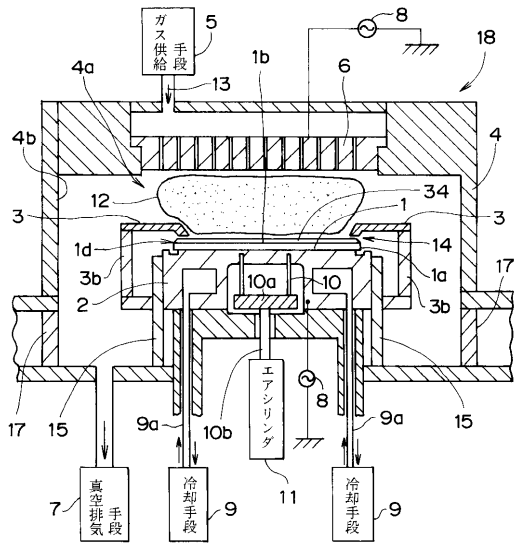
【図４】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。

【図５】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。
【図６】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。
【図７】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。
【図８】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。
【図９】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。
【図１０】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。
【図１１】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。
【図１２】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。
【図１３】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。
【図１４】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示す部分断面図である。
【図１５】本発明のエッチング装置を用いたプロセス形成におけるウェハ処理の実施の形態の一例を示すプロセスフローである。
【図１６】本発明の他の実施の形態であるエッチング装置の構造の一例を示す部分断面図である。
【図１７】本発明の他の実施の形態であるエッチング装置の構造の一例を示す部分断面図である。
【図１８】本発明の他の実施の形態であるエッチング装置の構造の一例を示す部分断面図である。
【図１９】本発明の他の実施の形態であるエッチング装置の構造の一例を示す部分断面図である。
【符号の説明】
１　半導体ウェハ
１ａ　側面
１ｂ　表面
１ｃ　裏面
１ｄ　表面外周部
１ｅ　外周端部
２　試料台
３　絶縁性リング部材
３ａ　止め金
３ｂ　支柱
４　真空処理容器
４ａ　内部
４ｂ　内壁
５　ガス供給手段
６　対向電極（プラズマ発生手段）
７　真空排気手段
８　高周波電源
９　冷却手段
９ａ　冷媒通路

１０　リフトピン
１０ａ　リフトピンベース
１０ｂ　ロッド
１１　エアシリンダ
１２　プラズマ
１３　処理ガス
１４　微小空隙
１５　試料台ガイド部材
１６　中心内方
１７　ゲートバルブ
１８　外部
２０　酸化膜
２１　ゲート電極
２２　酸化膜
２３　酸化膜形成
２４　導体膜
２５　導体膜形成
２６　酸化膜
２７　酸化膜形成
２８　フォトレジスト膜
２９　コンタクトホール
３０　コンタクトホール形成
３１　導体膜
３３　導体膜形成
３４　フォトレジスト膜
３５　エッチング処理
３６　ウェットエッチング処理
３７　エッチング処理
３８　容量絶縁膜
３９　絶縁膜形成
４０　絶縁膜酸化
４１　導体膜
４２　導体膜形成
４３　フィン形キャパシタ
４４　昇降手段
４５　マグネトロン（プラズマ発生手段）
４６　マイクロ波
４７　ベース基板
４８　ウェル部
４９　チャネルストッパ
５０　コイル

【図１】

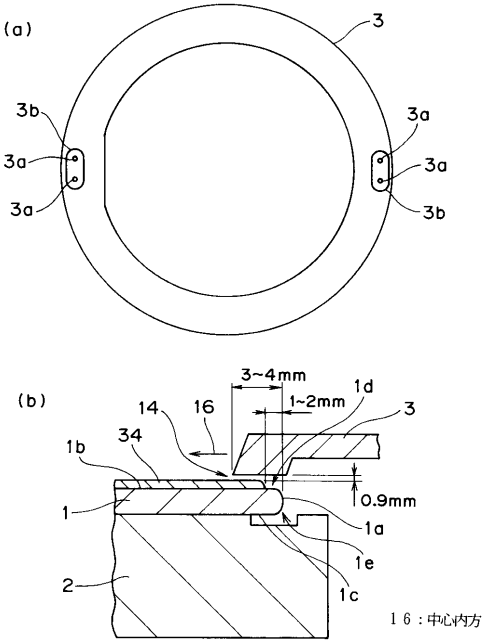
図　1



1：半導体ウェハ　3：絶縁性リング部材　13：処理ガス
1a：側面　4：真空処理容器　14：微小空隙
1b：表面　4a：内部　18：外部
1d：表面外周部　6：対向電極（プラズマ発生手段）　34：フォトレジスト膜
2：試料台　12：プラズマ

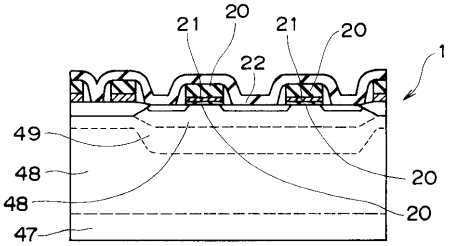
【図２】

図　2



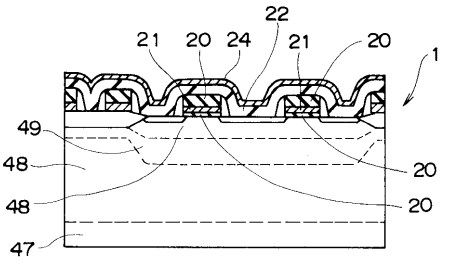
【図３】

図　3



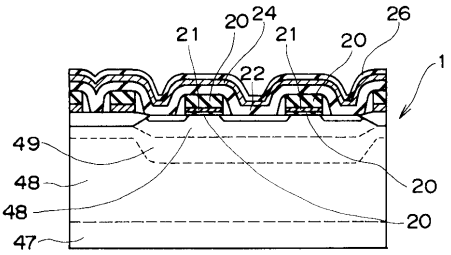
【図４】

図　4



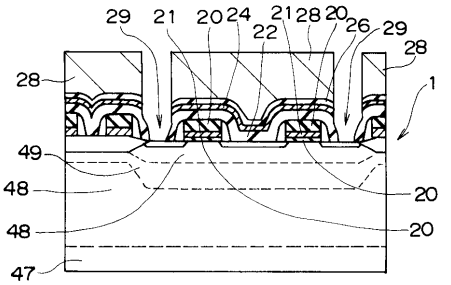
【図５】

図　5



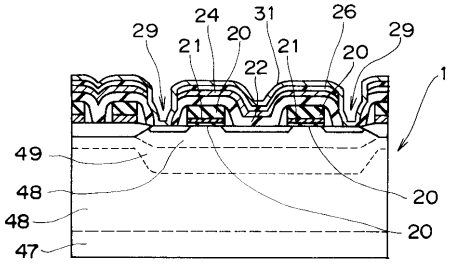
【図６】

図　6



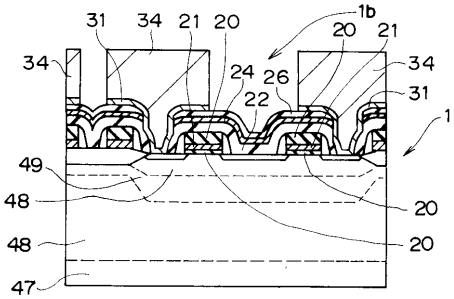
【図７】

図 7



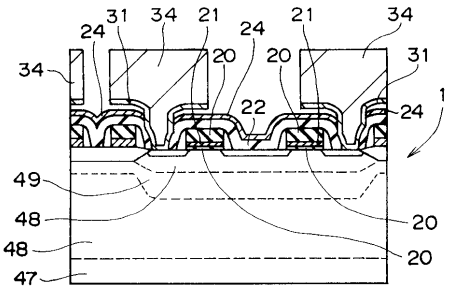
【図８】

図 8



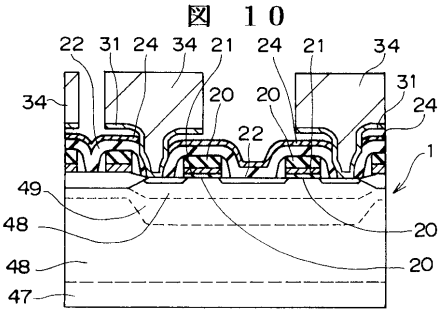
【図９】

図 9



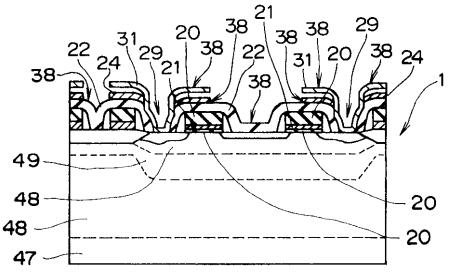
【図１０】

図 10



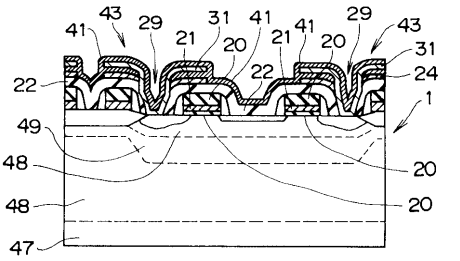
【図１１】

図 11



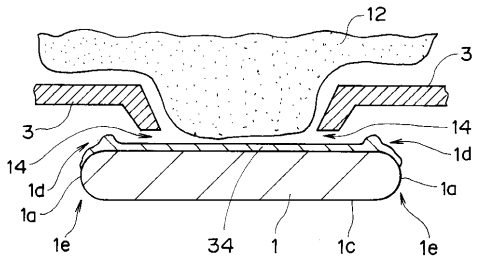
【図１２】

図 12



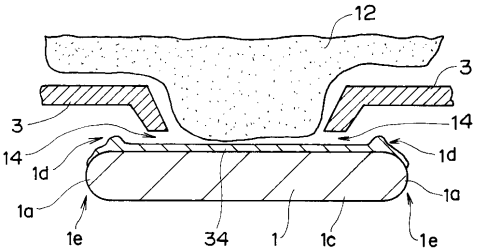
【図１３】

図 13



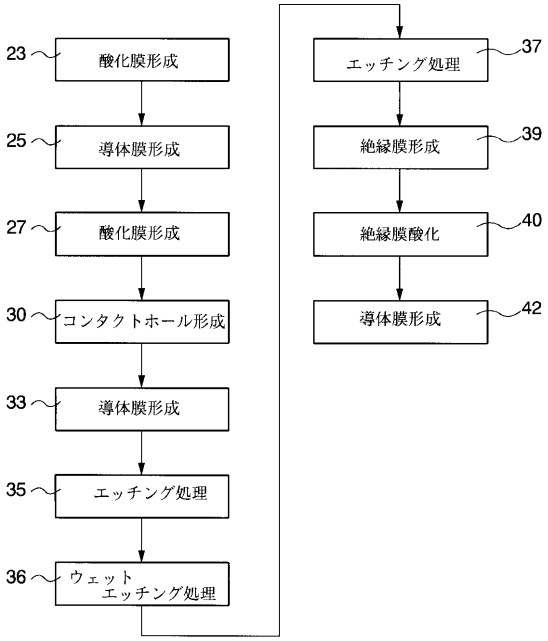
【図１４】

図 14



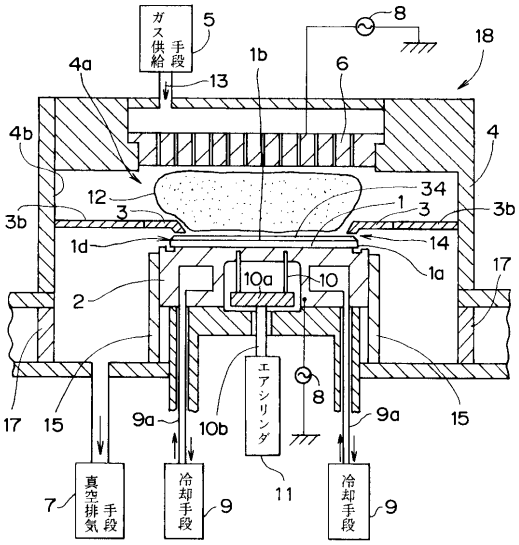
【図１５】

図 15



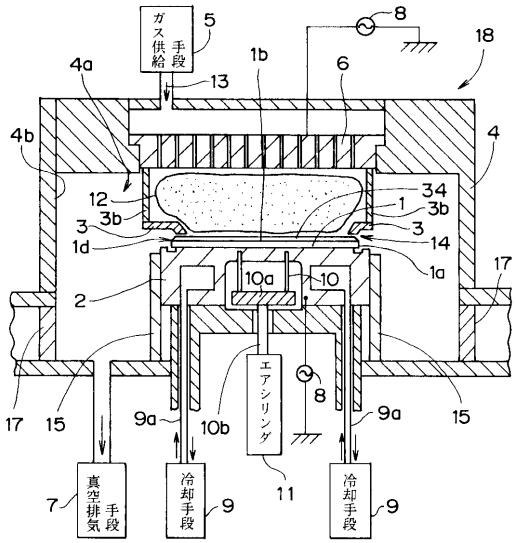
【図１６】

図 16



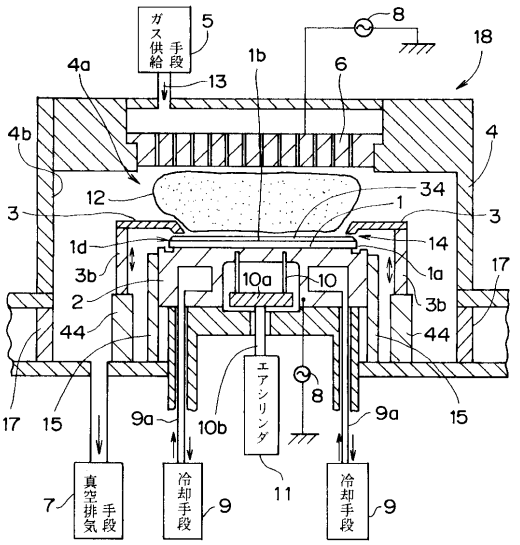
【図１７】

図 17



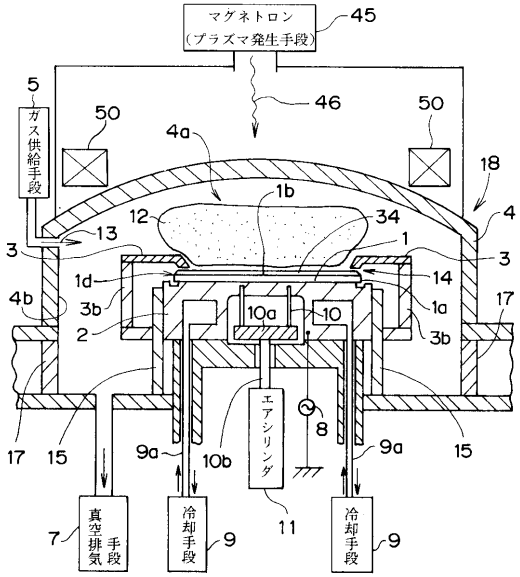
【図１８】

図 18



【図１９】

図 19


マグネトロン
(プラズマ発生手段)
45
46
5
ガス供給手段
50
50
4a
18
1b
12
34
4
13
1
3
3
1d
14
4b
3b
10a
10
1a
17
2
3b
17
15
9a
10b
エアシリンダ
8
9a
15
7
真空排気手段
冷却手段
9
11
冷却手段
9

フロントページの続き

(72)発明者　鈴木　敬史
東京都小平市上水本町５丁目２０番１号　株式会社日立製作所　半導体事業部内

審査官　関　和郎

(56)参考文献　特開平０３－０２２４２２（ＪＰ，Ａ）
特開昭５２－１３０２８８（ＪＰ，Ａ）
特開平０７－１５３８２２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 21/3065