(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2012-160968
(P2012-160968A)
(43)公開日　平成24年8月23日(2012.8.23)

(51)Int.Cl.		F I		テーマコード（参考）
H03M 1/80	(2006.01)	H03M 1/80		5J022

審査請求 未請求　請求項の数 8　ＯＬ　（全 16 頁）

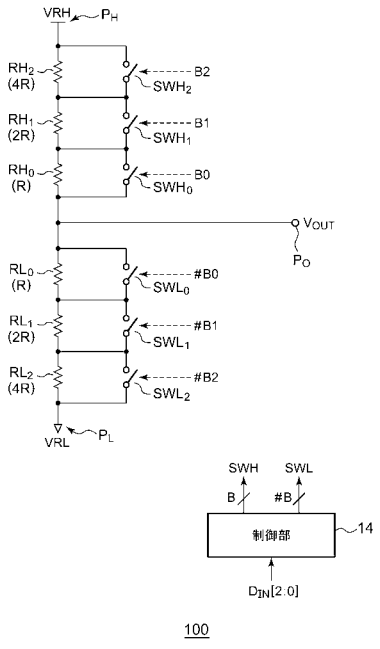
(21)出願番号　特願2011-20086(P2011-20086)
(22)出願日　平成23年2月1日(2011.2.1)

(71)出願人　390005175
株式会社アドバンテスト
東京都練馬区旭町１丁目３２番１号
(74)代理人　100105924
弁理士　森下　賢樹
(74)代理人　100109047
弁理士　村田　雄祐
(74)代理人　100109081
弁理士　三木　友由
(74)代理人　100133215
弁理士　真家　大樹
(72)発明者　澤田　健一
東京都練馬区旭町１丁目３２番１号　株式会社アドバンテスト内

最終頁に続く

(54)【発明の名称】デジタル／アナログ変換器

(57)【要約】
【課題】Ｄ／Ａコンバータの回路面積を削減する。
【解決手段】Ｎ個の上側抵抗ＲＨおよびＮ個の下側抵抗ＲＬはそれぞれ、デジタル入力コードD_{IN}の各ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされている。Ｎ個の上側スイッチＳＷＨは、それぞれが対応する上側抵抗ＲＨと並列に設けられ、かつそれぞれのオン、オフが対応するビットに応じて制御される。Ｎ個の下側スイッチＳＷＬは、それぞれが対応する下側抵抗ＲＬと並列に設けられ、かつそれぞれのオン、オフが対応するビットの論理反転に応じて制御される。
【選択図】図２



【特許請求の範囲】
【請求項１】
Ｎビット（Ｎは自然数）のデジタル入力コードを、それに応じたアナログ出力電圧に変換するＤ／Ａコンバータであって、
上側基準電圧が印加される上側端子と、
下側基準電圧が印加される下側端子と、
前記アナログ出力電圧を出力するための出力端子と、
それぞれが前記デジタル入力コードの各ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、前記上側端子と前記出力端子の間に直列に設けられたＮ個の上側抵抗と、
それぞれが前記デジタル入力コードの各ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、前記下側端子と前記出力端子の間に直列に設けられたＮ個の下側抵抗と、
それぞれが前記デジタル入力コードの各ビットに対応付けられ、それぞれが対応する前記上側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットに応じて制御されるＮ個の上側スイッチと、
それぞれが前記デジタル入力コードの各ビットに対応付けられ、それぞれが対応する前記下側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットの論理反転に応じて制御されるＮ個の下側スイッチと、
を備えることを特徴とするＤ／Ａコンバータ。
【請求項２】
Ｎビット（Ｎは自然数）のデジタル入力コードを、それに応じたアナログ出力電圧に変換するＤ／Ａコンバータであって、
上側基準電圧が印加される上側端子と、
下側基準電圧が印加される下側端子と、
前記アナログ出力電圧を出力するための出力端子と、
前記デジタル入力コードの最上位ビットに対応付けられ、その抵抗値が前記最上位ビットに応じて実質的にバイナリで重み付けされているセンター抵抗と、
それぞれが前記デジタル入力コードの上位第２ビットから最下位ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、前記上側端子と前記センター抵抗の一端の間に直列に設けられた（Ｎ－１）個の上側抵抗と、
それぞれが前記デジタル入力コードの上位第２ビットから最下位ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、前記下側端子と前記センター抵抗の他端の間に直列に設けられた（Ｎ－１）個の下側抵抗と、
前記センター抵抗の前記一端と前記出力端子の間に設けられ、そのオン、オフが前記最上位ビットに応じて制御される上側センタースイッチと、
前記センター抵抗の前記他端と前記出力端子の間に設けられ、そのオン、オフが前記最上位ビットの論理反転に応じて制御される下側センタースイッチと、
それぞれが前記デジタル入力コードの上位第２ビットから最下位ビットに対応付けられ、それぞれが対応する前記上側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットに応じて制御される（Ｎ－１）個の上側スイッチと、
それぞれが前記デジタル入力コードの上位第２ビットから最下位ビットに対応付けられ、それぞれが対応する前記下側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットの論理反転に応じて制御される（Ｎ－１）個の下側スイッチと、
を備えることを特徴とするＤ／Ａコンバータ。
【請求項３】
Ｎビット（Ｎは自然数）のデジタル入力コードを、それに応じたアナログ出力電圧に変換するＤ／Ａコンバータであって、

上側基準電圧が印加される上側端子と、
下側基準電圧が印加される下側端子と、
前記アナログ出力電圧を出力するための出力端子と、
前記デジタル入力コードの最下位ビットに対応付けられ、その抵抗値が前記最下位ビットに応じて実質的にバイナリで重み付けされているセンター抵抗と、
それぞれが前記デジタル入力コードの最上位ビットから下位第２ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、前記上側端子と前記センター抵抗の一端の間に直列に設けられた（Ｎ－１）個の上側抵抗と、
それぞれが前記デジタル入力コードの最上位ビットから下位第２ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、前記下側端子と前記センター抵抗の他端の間に直列に設けられた（Ｎ－１）個の下側抵抗と、
前記センター抵抗の前記一端と前記出力端子の間に設けられ、そのオン、オフが前記最下位ビットに応じて制御される上側センタースイッチと、
前記センター抵抗の前記他端と前記出力端子の間に設けられ、そのオン、オフが前記最下位ビットの論理反転に応じて制御される下側センタースイッチと、
それぞれが前記デジタル入力コードの最上位ビットから下位第２ビットに対応付けられ、それぞれが対応する前記上側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットに応じて制御される（Ｎ－１）個の上側スイッチと、
それぞれが前記デジタル入力コードの最上位ビットから下位第２ビットに対応付けられ、それぞれが対応する前記下側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットの論理反転に応じて制御される（Ｎ－１）個の下側スイッチと、
を備えることを特徴とするＤ／Ａコンバータ。
【請求項４】
前記上側端子と上側抵抗のストリングの一端の間に設けられた第１遮断スイッチをさらに備えることを特徴とする請求項１から３のいずれかに記載のＤ／Ａコンバータ。
【請求項５】
前記下側端子と下側抵抗のストリングの一端の間に設けられた第２遮断スイッチをさらに備えることを特徴とする請求項１から４のいずれかに記載のＤ／Ａコンバータ。
【請求項６】
少なくともひとつのビットに関して、そのビットに対応する前記上側抵抗と直列に設けられ、そのオン、オフ状態が、そのビットの論理反転に応じて制御される上側直列スイッチをさらに備えることを特徴とする請求項１から５のいずれかに記載のＤ／Ａコンバータ。
【請求項７】
少なくともひとつのビットに関して、そのビットに対応する前記下側抵抗と直列に設けられ、そのオン、オフ状態が、そのビットに応じて制御される下側直列スイッチをさらに備えることを特徴とする請求項１から６のいずれかに記載のＤ／Ａコンバータ。
【請求項８】
下位第ｉビットに対応する上側抵抗の抵抗値をR_i（ｉは$1 \leqq i \leqq N$）と書くとき、
$R_i < R_{i-1} \times 2$
が成り立つことを特徴とする請求項１から７のいずれかに記載のＤ／Ａコンバータ。
【発明の詳細な説明】
【技術分野】
【０００１】
本発明は、Ｄ／Ａコンバータに関する。
【背景技術】
【０００２】
デジタル信号処理とアナログ信号処理のインタフェースとして、Ｄ／Ａコンバータ（デ

ジタル／アナログ変換器）が利用される。図１は、抵抗ストリング型の３ビットＤ／Ａコンバータの構成を示す回路図である。Ｄ／Ａコンバータ１００ｒは、直列に接続された複数の抵抗Ｒを含む抵抗ストリング１０と、スイッチ回路１２を備える。抵抗ストリング１０の両端には、高低２つの基準電圧ＶＲＨ、ＶＲＬが印加される。スイッチ回路１２は、隣接する抵抗Ｒの接続点（タップ）ごとに生ずる電圧のうち、デジタル入力コードD_{IN}（Ｂ２：Ｂ０）に応じたひとつを選択する。

【０００３】

スイッチ回路１２は、複数のタップに対してトーナメント形式で接続される複数の２対１スイッチ（セレクタ）ＳＷを含む。このＤ／Ａコンバータ１００ｒでは、抵抗Ｒおよびスイッチ ＳＷの個数はそれぞれ、入力デジタルコードD_{IN}のビット数Ｎ（Ｎは自然数）を用いて、2^N-1で与えられる。したがって、Ｄ／Ａコンバータのビット数Ｎが増加すると、抵抗Ｒおよびスイッチ ＳＷの個数が指数関数的に増大し、回路面積が大きくなる。

【０００４】

抵抗ストリング型Ｄ／Ａコンバータの回路面積を低減するために、いくつかの回路形式が提案されている（たとえば特許文献１参照）。しかしながら特許文献１に記載の技術であっても、回路面積はビット数Ｎに応じて指数関数的に増加する。

【０００５】

抵抗ストリング型以外のたとえばＲ－２Ｒラダー型Ｄ／Ａコンバータを用いれば回路面積は削減できるが、消費電力が大きくなるという別の問題が生ずる。

【先行技術文献】

【特許文献】

【０００６】

【特許文献１】米国特許第４，９１８，４４８号明細書

【発明の概要】

【発明が解決しようとする課題】

【０００７】

本発明はかかる状況においてなされたものであり、そのある態様の例示的な目的のひとつは、Ｄ／Ａコンバータの回路面積の削減にある。

【課題を解決するための手段】

【０００８】

本発明のある態様は、Ｎビット（Ｎは自然数）のデジタル入力コードを、それに応じたアナログ出力電圧に変換するＤ／Ａコンバータに関する。このＤ／Ａコンバータは、上側基準電圧が印加される上側端子と、下側基準電圧が印加される下側端子と、アナログ出力電圧を出力するための出力端子と、それぞれがデジタル入力コードの各ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、上側端子と出力端子の間に直列に設けられたＮ個の上側抵抗と、それぞれがデジタル入力コードの各ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、下側端子と出力端子の間に直列に設けられたＮ個の下側抵抗と、それぞれがデジタル入力コードの各ビットに対応付けられ、それぞれが対応する上側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットに応じて制御されるＮ個の上側スイッチと、それぞれがデジタル入力コードの各ビットに対応付けられ、それぞれが対応する下側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットの論理反転に応じて制御されるＮ個の下側スイッチと、を備える。

【０００９】

この態様によると、ビット数Ｎが増加しても、上側、下側スイッチの個数が指数関数的に増大しないため、従来に比べて回路面積を削減できる。

【００１０】

本発明の別の態様もまた、Ｄ／Ａコンバータである。このＤ／Ａコンバータは、上側基準電圧が印加される上側端子と、下側基準電圧が印加される下側端子と、アナログ出力電圧を出力するための出力端子と、デジタル入力コードの最上位ビットに対応付けられ、そ

の抵抗値が最上位ビットに応じて実質的にバイナリで重み付けされているセンター抵抗と、それぞれがデジタル入力コードの上位第２ビットから最下位ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、上側端子とセンター抵抗の一端の間に直列に設けられた（Ｎ－１）個の上側抵抗と、それぞれがデジタル入力コードの上位第２ビットから最下位ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、下側端子とセンター抵抗の他端の間に直列に設けられた（Ｎ－１）個の下側抵抗と、センター抵抗の一端と出力端子の間に設けられ、そのオン、オフが最上位ビットに応じて制御される上側センタースイッチと、センター抵抗の他端と出力端子の間に設けられ、そのオン、オフが最上位ビットの論理反転に応じて制御される下側センタースイッチと、それぞれがデジタル入力コードの上位第２ビットから最下位ビットに対応付けられ、それぞれが対応する上側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットに応じて制御される（Ｎ－１）個の上側スイッチと、それぞれがデジタル入力コードの上位第２ビットから最下位ビットに対応付けられ、それぞれが対応する下側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットの論理反転に応じて制御される（Ｎ－１）個の下側スイッチと、を備える。

【００１１】

この態様によると、ビット数Ｎが増加しても、上側、下側スイッチの個数が指数関数的に増大しないため、従来に比べて回路面積を削減できる。また、最上位ビットに対応する抵抗がひとつで足りるため、さらに回路面積を削減できる。

【００１２】

本発明のさらに別の態様もまた、Ｄ／Ａコンバータである。このＤ／Ａコンバータは、上側基準電圧が印加される上側端子と、下側基準電圧が印加される下側端子と、アナログ出力電圧を出力するための出力端子と、デジタル入力コードの最下位ビットに対応付けられ、その抵抗値が最下位ビットに応じて実質的にバイナリで重み付けされているセンター抵抗と、それぞれがデジタル入力コードの最上位ビットから下位第２ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、上側端子とセンター抵抗の一端の間に直列に設けられた（Ｎ－１）個の上側抵抗と、それぞれがデジタル入力コードの最上位ビットから下位第２ビットに対応付けられ、それぞれの抵抗値が対応するビットに応じて実質的にバイナリで重み付けされており、下側端子とセンター抵抗の他端の間に直列に設けられた（Ｎ－１）個の下側抵抗と、センター抵抗の一端と出力端子の間に設けられ、そのオン、オフが最下位ビットに応じて制御される上側センタースイッチと、センター抵抗の他端と出力端子の間に設けられ、そのオン、オフが最下位ビットの論理反転に応じて制御される下側センタースイッチと、それぞれがデジタル入力コードの最上位ビットから下位第２ビットに対応付けられ、それぞれが対応する上側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットに応じて制御される（Ｎ－１）個の上側スイッチと、それぞれがデジタル入力コードの最上位ビットから下位第２ビットに対応付けられ、それぞれが対応する下側抵抗と並列に設けられ、かつそれぞれのオン、オフが対応するビットの論理反転に応じて制御される（Ｎ－１）個の下側スイッチと、を備える。

【００１３】

これらの態様によると、ビット数Ｎが増加しても、上側、下側スイッチの個数が指数関数的に増大しないため、従来に比べて回路面積を削減できる。また、上側スイッチ、下側スイッチそれぞれのオン抵抗は、対応する上側抵抗、下側抵抗に比べて十分に小さくなければならないところ、最も抵抗値が小さい最下位ビットに対応する抵抗をセンター抵抗に選ぶことにより、上側スイッチ、下側スイッチの全体の面積を小さくできる。

【００１４】

ある態様のＤ／Ａコンバータは、上側端子と上側抵抗のストリングの一端の間に設けられた第１遮断スイッチ、下側端子と下側抵抗のストリングの一端の間に設けられた第２遮断スイッチの少なくとも一方をさらに備えてもよい。

遮断スイッチをオフすれば消費電力を低減できる。

【００１５】

ある態様のＤ／Ａコンバータは、少なくともひとつのビットに関して、そのビットに対応する上側抵抗と直列に設けられ、そのオン、オフ状態が、そのビットの論理反転に応じて制御される上側直列スイッチをさらに備えてもよい。

またある態様のＤ／Ａコンバータは、少なくともひとつのビットに関して、そのビットに対応する下側抵抗と直列に設けられ、そのオン、オフ状態が、そのビットに応じて制御される下側直列スイッチをさらに備えてもよい。

これらの場合、上側もしくは下側直列スイッチによって、対応する上側もしくは下側スイッチのオン抵抗のばらつき、変動をキャンセルでき、Ｄ／Ａコンバータの精度、温度特性を改善できる。

【００１６】

ある態様において、下位第ｉビットに対応する上側抵抗の抵抗値をR_i（ｉは$1 \leqq i \leqq N$）と書くとき、$R_i < R_{i-1} \times 2$が成り立ってもよい。

この場合、デジタル入力コードに応じて、出力電圧は折り返しながら増大する。出力電圧をある一定値に固定すればよい用途においては、必要な出力電圧が得るために必要な入力デジタルコードを探索すればよい。この場合に、出力電圧の折り返しが存在すると、探索を確実に行うことができる。

【００１７】

なお、以上の構成要素の任意の組み合わせや本発明の構成要素や表現を、方法、装置などの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【００１８】

本発明のある態様によれば、Ｄ／Ａコンバータの回路面積を削減できる。

【図面の簡単な説明】

【００１９】

【図１】抵抗ストリング型の３ビットＤ／Ａコンバータの構成を示す回路図である。

【図２】第１の実施の形態に係るＤ／Ａコンバータの構成を示す回路図である。

【図３】図３（ａ）、（ｂ）は、Ｄ／Ａコンバータのデジタル入力コードと出力電圧の関係を示す図である。

【図４】折り返しを有するＤ／Ａコンバータの入出力特性の一例を示す図である。

【図５】図１のＤ／Ａコンバータのキャリブレーション方法を示すフローチャートである。

【図６】探索区間、右側区間、左側区間、測定される出力電圧の関係を示す図である。

【図７】第２の実施の形態に係るＤ／Ａコンバータの構成を示す回路図である。

【図８】第３の実施の形態に係るＤ／Ａコンバータの構成を示す回路図である。

【図９】第１の変形例に係るＤ／Ａコンバータの構成を示す回路図である。

【図１０】第２の変形例に係るＤ／Ａコンバータの構成の一部を示す回路図である。

【発明を実施するための形態】

【００２０】

以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

【００２１】

本明細書において、「部材Ａが、部材Ｂと接続された状態」とは、部材Ａと部材Ｂが物理的に直接的に接続される場合や、部材Ａと部材Ｂが、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。同様に、「部材Ｃが、部材Ａと

部材Ｂの間に設けられた状態」とは、部材Ａと部材Ｃ、あるいは部材Ｂと部材Ｃが直接的に接続される場合のほか、それらの電気的な接続状態に実質的な影響を及ぼさない、あるいはそれらの結合により奏される機能や効果を損なわせない、その他の部材を介して間接的に接続される場合も含む。

【００２２】

（第１の実施の形態）

図２は、第１の実施の形態に係るＤ／Ａコンバータ１００の構成を示す回路図である。Ｄ／Ａコンバータ１００は、Ｎビット（Ｎは自然数）のデジタル入力コードD_{IN}［Ｎ－１：０］を、それに応じたアナログ出力電圧V_{OUT}に変換する。

Ｄ／Ａコンバータ１００は、上側端子P_H、下側端子P_L、出力端子P_O、Ｎ個の上側抵抗ＲＨ、Ｎ個の下側抵抗ＲＬ、Ｎ個の上側スイッチＳＷＨ、Ｎ個の下側スイッチＳＷＬを備える。図２では、Ｎ＝３の場合が示される。デジタル入力コードD_{IN}［Ｎ－１：０］の各ビットを、上位ビットから順にＢ（Ｎ－１）、Ｂ（Ｎ－２）、・・・、Ｂ１、Ｂ０と記す。また、「＃」は論理反転を示す。

【００２３】

上側端子P_Hには、上側基準電圧ＶＲＨが印加され、下側端子P_Lには下側基準電圧ＶＲＬが印加される。出力端子P_Oからは、デジタル入力コードD_{IN}に応じたアナログ出力電圧V_{OUT}が出力される。

【００２４】

Ｎ個の上側抵抗RH_{N-1}～RH_0は、上側端子P_Hと出力端子P_Oの間に直列に設けられ、抵抗ストリングの上側を形成する。上側抵抗RH_{N-1}～RH_0はそれぞれ、デジタル入力コードD_{IN}の各ビットＢＮ－１～Ｂ０に対応付けられ、それぞれの抵抗値が対応するビット（桁）に応じて実質的にバイナリで重み付けされている。すなわち、下位第ｉビット（１≦ｉ≦Ｎ）に対応する上側抵抗RH_{i-1}の抵抗値R_{i-1}は、ある単位抵抗値Ｒを用いて式（１）を満たすように規定される。

$$R_{i-1}=2^{i-1}\times R \quad \cdots (1)$$

上側の抵抗ストリング内の抵抗の順番は特に限定されない。

【００２５】

Ｎ個の下側抵抗RL_{N-1}～RL_0は、下側端子P_Lと出力端子P_Oの間に直列に設けられ、抵抗ストリングの下側を形成する。また下側抵抗RL_{N-1}～RL_0はそれぞれ、デジタル入力コードD_{IN}の各ビットＢＮ－１～Ｂ０に対応付けられ、それぞれの抵抗値が対応するビット（桁）に応じて実質的にバイナリで重み付けされている。すなわち、下位第ｉビットに対応する下側抵抗RL_{i-1}の抵抗値R_{i-1}も、式（１）を満たすように規定される。下側の抵抗ストリング内の抵抗の順番も特に限定されない。

【００２６】

Ｎ個の上側スイッチSWH_{N-1}～RL_0はそれぞれ、デジタル入力コードD_{IN}の各ビットＢＮ－１～Ｂ０に対応付けられ、それぞれが対応する上側抵抗RH_{N-1}～RH_0と並列に設けられる。

【００２７】

Ｎ個の下側スイッチSWL_{N-1}～SWL_0はそれぞれ、デジタル入力コードD_{IN}の各ビットＢＮ－１～Ｂ０に対応付けられ、それぞれが対応する下側抵抗RL_{N-1}～RL_0と並列に設けられる。

【００２８】

制御部（デコーダ）１４は、デジタル入力コードD_{IN}の各ビットに応じて、上側スイッチＳＷＨおよび下側スイッチＳＷＬのオン、オフ状態を制御する。制御部１４は、下位第ｉビットに対応する上側スイッチSWH_{i-1}を、対応するビットB_{i-1}に応じて、具体的には値が１のときオン、０のときオフする。また制御部１４は、下位第ｉビットに対応する下側スイッチSWL_{i-1}を、対応するビットB_{i-1}が０のときオン、１のときオフする。つまり下側スイッチSWL_{i-1}は、対応するビットB_{i-1}の論理反転（$\#B_{i-1}$）に応じて制御される。

【００２９】
以上がＤ／Ａコンバータ１００の構成である。続いてその動作を説明する。
同じビットに対応する下側スイッチSWL_{i-1}と上側スイッチSWH_{i-1}に注目すると、それらは相補的にオンする。そしてオンしたスイッチＳＷＨ、ＳＷＬと並列な抵抗ＲＨ、ＲＬはスイッチによってバイパスされる。スイッチＳＷＨ、ＳＷＬのオン抵抗が実質的にゼロ、オフ抵抗が実質的に無限大とみなすことができる理想状態を考えると、出力電圧V_{OUT}は、式（２）で与えられる。C_{IN}は、デジタル入力コードD_{IN}を１０進数で表した値である。

$$V_{OUT}=(VRH-VRL)\cdot C_{IN}/(2^{N}-1)+VRL \quad \cdots(2)$$

したがって実施の形態に係るＤ／Ａコンバータ１００によれば、デジタル入力コードD_{IN}に対して線形に変化する出力電圧V_{OUT}を生成することができる。このＤ／Ａコンバータ１００を、抵抗値がバイナリで重み付けされていることから、「２進重み付けストリング（Binary Weighted Resistor String）Ｄ／Ａコンバータ」と称する。

【００３０】
Ｄ／Ａコンバータ１００の回路面積を検討する。Ｄ／Ａコンバータ１００の面積は、スイッチの個数に依存し、スイッチの個数は、デジタル入力コードD_{IN}のビット数Ｎの２倍である。したがって、スイッチの個数がビット数Ｎに対して指数関数的に増加するＤ／Ａコンバータに比べて、回路面積を削減することができる。回路面積の削減の効果は、ビット数Ｎが増加するほど顕著となる。

【００３１】
また消費電力について検討する。Ｄ／Ａコンバータ１００において、上側端子ＰＨと下側端子ＰＬの間の抵抗ストリングの抵抗は、$(2^{N}-1)\times R$となる。したがって、消費電力は、従来のＤ／Ａコンバータと同程度の低消費電力が実現でき、Ｒ－２Ｒラダー型Ｄ／Ａコンバータに比べて有利である。

【００３２】
つまり、実施の形態に係るＤ／Ａコンバータ１００は、回路面積の削減と低消費電力を両立できる。またＤ／Ａコンバータ１００は、その構成から、ＣＭＯＳ（Complementary Metal Oxide Semiconductor）プロセスでのインプリメントに適しているという利点もある。

【００３３】
現実的な回路においては、下位第ｉ＋１ビットと下位第ｉビットの抵抗値を比較したときに、理想状態では、$R_i=2\cdot R_{i-1}$が成り立ち、デジタル入力コードD_{IN}と出力電圧V_{OUT}は１対１で対応付けることができる。ところが上側抵抗ＲＨ、下側抵抗ＲＬの抵抗値は、プロセスばらつきなどによって、式（１）の関係式から逸脱する。図３（ａ）、（ｂ）は、Ｄ／Ａコンバータのデジタル入力コードD_{IN}と出力電圧V_{OUT}の関係を示す図である。あるビットにおいて、関係式（３）が成り立つとき、図３（ａ）に示すように、出力電圧V_{OUT}に「とび」が発生し、Ｄ／Ａコンバータ１００が生成できない出力電圧の範囲が発生してしまう。

$$R_i>2\cdot R_{i-1} \quad \cdots(3)$$

【００３４】
そこで、抵抗値のばらつきが顕著な場合には、ばらつきを考慮して式（４）が成り立つように設計するとよい。

$$R_i<2\cdot R_{i-1} \quad \cdots(4)$$

図３（ｂ）は、式（４）が成り立つときのＤ／Ａコンバータの入出力特性であり、出力電圧V_{OUT}に折り返しが発生する。折り返しが発生する部分については、ある出力電圧V_{OUT}を生成することができるデジタル入力コードD_{IN}が複数存在することを意味する。そこで制御部１４によってデジタル入力コードD_{IN}を中間コードD_{INT}に変換し、中間コードD_{INT}にもとづいて上側スイッチＳＷＨ、下側スイッチＳＷＬを制御すればよい。なお、抵抗値R_iが小さいと、下位ビットの分解能が粗くなり、出力電圧V_{OUT}の折り返しが大きくなる。したがって、抵抗値R_iは、式（４）が成り立つ範囲におい

てなるべく大きくすることが望ましい。

【００３５】

また出力電圧V_{OUT}のとび、折り返しには、上側抵抗ＲＨ、下側抵抗ＲＬの抵抗値のみでなく、スイッチＳＷＨ、ＳＷＬのオン抵抗も影響する。ｉ番目のスイッチのオン抵抗をRon_iと書くとき、式（５）が成り立つように設計することが好ましい。

$$Ron_{i-1} < Ron_i / 2 \quad \cdots (5)$$

【００３６】

ある出力電圧V_{OUT}を生成するために必要な中間コードD_{INT}は、以下のように探索することができる。この探索をキャリブレーションと呼ぶ。

【００３７】

図４は、関係式（４）を満たすように構成されたＤ／Ａコンバータ１００の入出力特性の一例を示す図であり、ＶＲＨ＝１．２Ｖ，ＶＲＬ＝０Ｖ、Ｎ＝１３ビットである。

【００３８】

図５は、図１のＤ／Ａコンバータ１００のキャリブレーション方法を示すフローチャートである。フローチャートは、あるひとつの出力電圧V_{OUT}に対応する中間コードD_{INT}を探索する処理を示す。

【００３９】

まず、目標となる出力電圧（目標電圧）V_{REF}が設定される（Ｓ１００）。そして、全コード範囲を探索区間にセットする（Ｓ１０２）。その後、中間コードD_{INT}の最上位ビットD_{INT}［Ｎ－１］から、最下位ビットD_{INT}［０］に向けて探索処理を繰り返す。つまり変数ｉを、Ｎから１に向けて１ずつデクリメントしながら、D_{INT}［ｉ－１］を順に決定していく（Ｓ１０４）。

【００４０】

まず、現在の探索区間を、その中央において、左側区間と右側区間に分割する（Ｓ１０６）。そして、左側区間の最小コードを与えたときの出力電圧V_{OUT}Ａ、左側区間の最大コードを与えたときの出力電圧V_{OUT}Ｂ、右側区間の最小コードを与えたときの出力電圧V_{OUT}Ｃ、右側区間の最大コードを与えたときの出力電圧V_{OUT}Ｄを測定する（Ｓ１０８）。図６は、探索区間、右側区間、左側区間、測定される出力電圧の関係を示す図である。

【００４１】

図５に戻る。目標電圧V_{REF}が左側区間のみに存在する場合（Ｓ１１０のＹ）、D_{INT}［ｉ－１］＝０が決定され（Ｓ１１２）、左側区間が次の探索区間に設定される。目標電圧V_{REF}が右側区間のみに存在する場合（Ｓ１１０のＮ、Ｓ１２０のＹ）、D_{INT}［ｉ－１］＝１が決定され（Ｓ１２２）、右側区間が次の探索区間に設定される（Ｓ１２４）。

【００４２】

目標電圧V_{REF}が、右側区間と左側区間の両方に存在する場合（Ｓ１２０のＮ）、目標電圧V_{REF}が測定された電圧V_{OUT}ＢよりもV_{OUT}Ｃのいずれに近いかが判定される（Ｓ１３０）。そして、目標電圧V_{REF}電圧V_{OUT}Ｃに近いとき（Ｓ１３０のＹ）、D_{INT}［ｉ－１］＝０が決定され（Ｓ１１２）、左側区間が次の探索区間に設定される。目標電圧V_{REF}が電圧V_{OUT}Ｂに近いとき（Ｓ１３０のＮ）、D_{INT}［ｉ－１］＝１が決定され（Ｓ１２２）、右側区間が次の探索区間に設定される（Ｓ１２４）。

【００４３】

これらの処理により、中間コードのビットD_{INT}［ｉ－１］と、次の探索区間が決定される。そして処理Ｓ１０４に戻り、変数ｉがデクリメントされ、次のビットが決定される。

【００４４】

以上の処理により、中間コードD_{INT}の各ビットが最上位ビットから最下位ビットに向けて順に決定することができる。

なお処理Ｓ１３０を省略し、目標電圧V_{REF}が右側区間、左側区間の両方に存在する

場合、処理Ｓ１１２、Ｓ１１４に進むか、処理Ｓ１２２、Ｓ１２４に進むかを、あらかじめ定めておいてもよい。

【００４５】

このように、出力電圧V_{OUT}に折り返しが存在するようにＤ／Ａコンバータ１００を設計することにより、上述のキャリブレーションによって、任意の出力電圧V_{OUT}を与える中間コードD_{INT}を決定することができる。そして、Ｄ／Ａコンバータ１００を使用する際には、必要な出力電圧V_{OUT}を与える中間コードD_{INT}を、デジタル入力コードD_{IN}としてＤ／Ａコンバータ１００に与えればよい。あるいは、デジタル入力コードD_{IN}と中間コードD_{INT}の対応関係をテーブルに格納しておき、デジタル入力コードD_{IN}に応じた中間コードD_{INT}を生成して、スイッチを制御してもよい。

【００４６】

なお、最下位ビット付近において折り返しが存在すると、Ｄ／Ａコンバータの分解能を無駄に損なうことになりかねない。そこで、少なくとも最下位ビットについては、折り返しが存在しないように、抵抗値を決定するとよい。この場合、Ｓ１０４のループにおいて、ｉ＝２、１の繰り返しを省略し、中間コードD_{INT}の最下位ビットD_{INT}［０］については、基準電圧V_{REF}が、測定された電圧V_{OUT}Ａ～V_{OUT}Ｄのうち、いずれに一番近いかに応じて決定してもよい。

【００４７】

（第２の実施の形態）

図７は、第２の実施の形態に係るＤ／Ａコンバータ１００ａの構成を示す回路図である。図７のＤ／Ａコンバータ１００ａは、図２のＤ／Ａコンバータ１００のデジタル入力コードD_{IN}の最上位ビットＢＮ－１に対応する上側抵抗RH_{N-1}、下側抵抗RL_{N-1}および上側スイッチSWH_{N-1}、SWL_{N-1}に代えてセンター抵抗RC_{N-1}、センタースイッチSWH_{N-1}、SWL_{N-1}を備える。

【００４８】

センター抵抗RC_{N-1}は、最上位ビットD_{IN}［Ｎ－１］に割り当てられ、その抵抗値は、$2^{N-1}\times R$で与えられる。

【００４９】

上側端子P_Hとセンター抵抗RC_{N-1}の一端の間には、直列に接続された（Ｎ－１）個の上側抵抗RH_{N-2}～RH_0が設けられる。各上側抵抗RH_{N-2}～RH_0は、デジタル入力コードD_{IN}の上位第２ビットから最下位ビットに対応付けられ、それぞれの抵抗値は、対応するビット（桁）に応じて実質的にバイナリで重み付けされている。

【００５０】

下側端子P_Lとセンター抵抗RC_{N-1}の他端の間には、直列に設けられた（Ｎ－１）個の下側抵抗RL_{N-2}～RL_0が設けられる。各下側抵抗RL_{N-2}～RL_0は、デジタル入力コードD_{IN}の上位第２ビットから最下位ビットに対応付けられ、それぞれの抵抗値は、対応するビット（桁）に応じて実質的にバイナリで重み付けされている。

【００５１】

上側センタースイッチSWH_{N-1}は、センター抵抗RC_{N-1}の一端と出力端子P_Oの間に設けられ、下側センタースイッチSWL_{N-1}は、センター抵抗RC_{N-1}の他端と出力端子P_Oの間に設けられる。

【００５２】

上側センタースイッチSWH_{N-1}のオン、オフは、最上位ビットD_{IN}［Ｎ－１］（ＢＮ－１）に応じて制御され、下側センタースイッチSWL_{N-1}のオン、オフは、最上位ビットD_{IN}［Ｎ－１］の論理反転（＃ＢＮ－１）に応じて制御される。

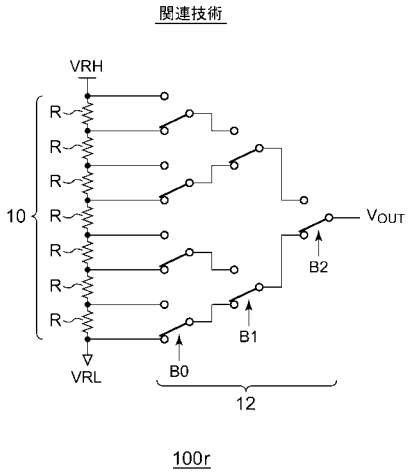
【００５３】

図７のＤ／Ａコンバータ１００ａによれば、図２の構成に比べて、最上位ビットに割り当てられる抵抗を削減できる。最上位ビットに割り当てられる抵抗は、最も抵抗値が高いため、これを削減することにより、Ｄ／Ａコンバータ１００ａの面積をさらに低減できる。

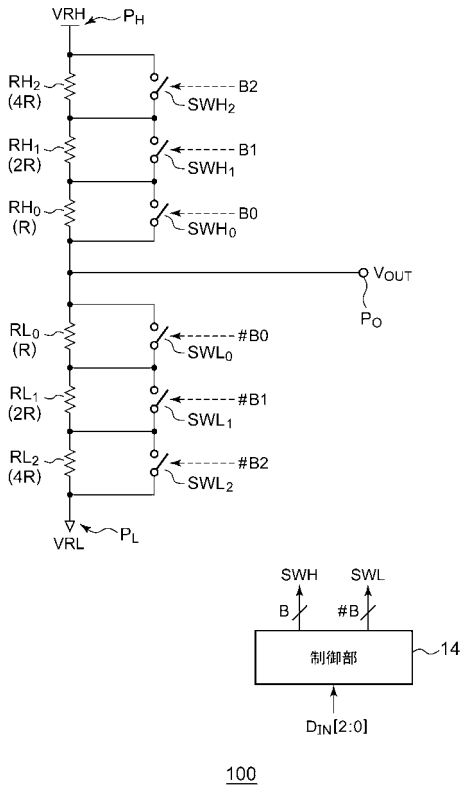
【００５４】
（第３の実施の形態）
図８は、第３の実施の形態に係るＤ／Ａコンバータ１００ｂの構成を示す回路図である。図８のＤ／Ａコンバータ１００ｂは、図２のＤ／Ａコンバータ１００のデジタル入力コードＤ$_{IN}$の最下位ビットＢ０に対応する上側抵抗ＲＨ$_{0}$、下側抵抗ＲＬ$_{0}$および上側スイッチＳＷＨ$_{0}$、ＳＷＬ$_{0}$に代えてセンター抵抗ＲＣ$_{0}$、センタースイッチＳＷＨ$_{0}$、ＳＷＬ$_{0}$を備える。
【００５５】
センター抵抗ＲＣ$_{0}$は、最下位ビットＤ$_{IN}$［０］に割り当てられ、その抵抗値はＲで与えられる。
【００５６】
上側端子Ｐ$_{H}$とセンター抵抗ＲＣ$_{0}$の一端の間には、直列に接続された（Ｎ－１）個の上側抵抗ＲＨ$_{N-1}$～ＲＨ$_{1}$が設けられる。各上側抵抗ＲＨ$_{N-1}$～ＲＨ$_{1}$は、デジタル入力コードＤ$_{IN}$の最上位ビットから下位第２ビットに対応付けられ、それぞれの抵抗値は、対応するビット（桁）に応じて実質的にバイナリで重み付けされている。
【００５７】
下側端子Ｐ$_{L}$とセンター抵抗ＲＣ$_{0}$の他端の間には、直列に設けられた（Ｎ－１）個の下側抵抗ＲＬ$_{N-1}$～ＲＬ$_{1}$が設けられる。各下側抵抗ＲＬ$_{N-1}$～ＲＬ$_{1}$は、デジタル入力コードＤ$_{IN}$の最上位ビットから下位第２ビットに対応付けられ、それぞれの抵抗値は、対応するビット（桁）に応じて実質的にバイナリで重み付けされている。
【００５８】
上側センタースイッチＳＷＨ$_{0}$は、センター抵抗ＲＣ$_{0}$の一端と出力端子Ｐ$_{O}$の間に設けられ、下側センタースイッチＳＷＬ$_{0}$は、センター抵抗ＲＣ$_{0}$の他端と出力端子Ｐ$_{O}$の間に設けられる。
【００５９】
上側センタースイッチＳＷＨ$_{0}$のオン、オフは、最下位ビットＤ$_{IN}$［０］（Ｂ０）に応じて制御され、下側センタースイッチＳＷＬ$_{0}$のオン、オフは、最下位ビットＤ$_{IN}$［０］の論理反転（＃Ｂ０）に応じて制御される。
【００６０】
図８のＤ／Ａコンバータ１００ｂによれば、図２の構成に比べて、最下位ビットに割り当てられる抵抗を削減できる。また、スイッチＳＷＨ$_{i}$、ＳＷＬ$_{i}$（ｉ≠０）のオン抵抗は、それらと並列な抵抗ＲＨ$_{i}$、ＲＬ$_{i}$に比べて十分に低いことが要求される。一方、センタースイッチＳＷＨ$_{0}$、ＳＷＬ$_{0}$のオン抵抗は、センター抵抗ＲＣ$_{0}$の抵抗値にかかわらずに決めることができる。そこで、センター抵抗ＲＣ$_{0}$を、最下位ビットに割り当てることにより、全スイッチの面積の合計を、図２あるいは図７の面積よりも小さくすることができ、ひいてはＤ／Ａコンバータ全体の面積を削減できる。
【００６１】
図７のＤ／Ａコンバータ１００ａと図８のＤ／Ａコンバータ１００ｂのいずれの面積が小さくなるかについては、Ｄ／Ａコンバータ１００を製造するプロセスや、ビット数Ｎなどによりケースバイケースであるため、設計者は最上位ビットと最下位ビットのいずれをセンター抵抗に割り当てるべきかを適宜選択すればよい。
【００６２】
以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。
【００６３】
（第１の変形例）
図９は、第１の変形例に係るＤ／Ａコンバータ１００ｃの構成を示す回路図である。図９のＤ／Ａコンバータ１００ｃは、図７のＤ／Ａコンバータ１００ａに加えて、第１遮断

スイッチＳＷＨ$_{PD}$、第２遮断スイッチＳＷＬ$_{PD}$を備える。
第１遮断スイッチＳＷＨ$_{PD}$は、上側端子Ｐ$_{H}$と上側抵抗のストリングの一端の間に設けられ、第２遮断スイッチＳＷＬ$_{PD}$は、下側端子Ｐ$_{L}$と下側抵抗のストリングの一端の間に設けられる。
【００６４】
制御部１４ｃは、Ｄ／Ａコンバータ１００ｃの非動作状態において、遮断スイッチＳＷＨ$_{PD}$、ＳＷＬ$_{PD}$をオフする。
【００６５】
この変形例によれば、不使用時において、上側端子Ｐ$_{H}$から下側端子Ｐ$_{L}$に流れる電流を遮断することができるため、待機消費電力を低減できる。待機状態において、出力端子をハイインピーダンスとする場合には、２つの遮断スイッチＳＷＨ$_{PD}$、ＳＷＬ$_{PD}$を両方オフすればよく、待機状態において出力電圧Ｖ$_{OUT}$をハイレベルとしたい場合には、ＳＷＨ$_{PD}$をオン、ＳＷＬ$_{PD}$をオフすればよく、待機状態において出力電圧Ｖ$_{OUT}$をローレベルとしたい場合には、ＳＷＨ$_{PD}$をオフ、ＳＷＬ$_{PD}$をオンすればよい。
【００６６】
なお、遮断スイッチＳＷＨ$_{PD}$、ＳＷＬ$_{PD}$はいずれか一方のみを設けてもよい。また、遮断スイッチＳＷＨ$_{PD}$、ＳＷＬ$_{PD}$は図２あるいは図８あるいはその他の変形例とも組み合わせることができる。
【００６７】
（第２の変形例）
図１０は、第２の変形例に係るＤ／Ａコンバータ１００ｄの構成の一部を示す回路図である。第２の変形例は、図２、図７、図８あるいはその他の変形例と組み合わせが可能である。
Ｄ／Ａコンバータ１００ｄは、上側直列スイッチＳＷＨＲ$_{i}$、下側直列スイッチＳＷＬＲ$_{i}$をさらに備える。上側直列スイッチＳＷＨＲ$_{i}$は、少なくともひとつのビットに関して設けられ、そのビットＢｉに対応する上側抵抗ＲＨｉと直列に設けられ、そのオン、オフ状態が、そのビットの論理反転＃Ｂｉに応じて制御される。
下側直列スイッチＳＷＬＲ$_{i}$は、少なくともひとつのビットに関して設けられ、そのビットに対応する下側抵抗ＲＬ$_{i}$と直列に設けられ、そのオン、オフ状態が、そのビットＢｉに応じて制御される。
【００６８】
直列スイッチＳＷＨＲ$_{i}$、ＳＷＬＲ$_{i}$を設けることにより、Ｄ／Ａコンバータのデジタル入力コードＤ$_{IN}$の値にかかわらず、常にスイッチＳＷＨＲ$_{i}$、ＳＷＬＲ$_{i}$のオン抵抗が直列に挿入された状態になるため、スイッチＳＷＨ$_{i}$、ＳＷＬ$_{i}$のオン抵抗値の変動による影響を抑制でき、Ｄ／Ａコンバータの精度、温度特性を改善できる。
【００６９】
実施の形態にもとづき本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。
【符号の説明】
【００７０】
１００…Ｄ／Ａコンバータ、１４…制御部、ＲＨ…上側抵抗、ＲＬ…下側抵抗、ＳＷＨ…上側スイッチ、ＳＷＬ…下側スイッチ、Ｐ$_{O}$…出力端子、Ｐ$_{H}$…上側端子、Ｐ$_{L}$…下側端子。

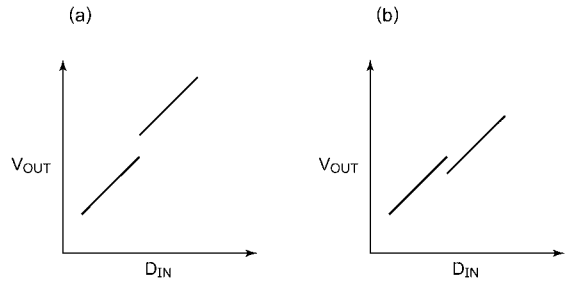
【図１】


関連技術
VRH
R
R
R
R
R
R
R
10
VRL
B0
B1
B2
VOUT
12
100r

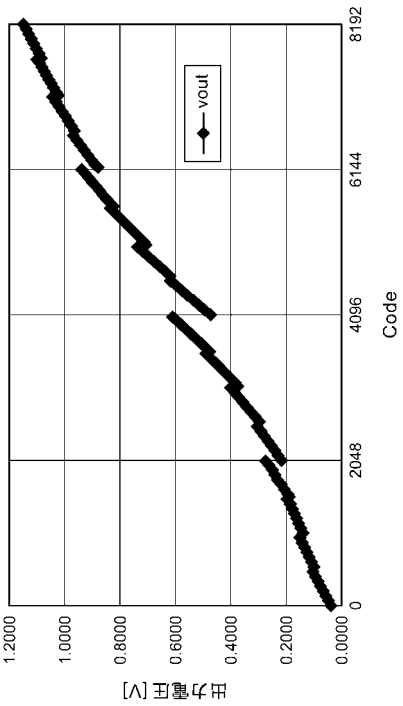
【図２】


VRH
PH
RH2
(4R)
SWH2
B2
RH1
(2R)
SWH1
B1
RH0
(R)
SWH0
B0
VOUT
PO
RL0
(R)
SWL0
#B0
RL1
(2R)
SWL1
#B1
RL2
(4R)
SWL2
#B2
VRL
PL
SWH
SWL
B
#B
制御部
14
DIN[2:0]
100

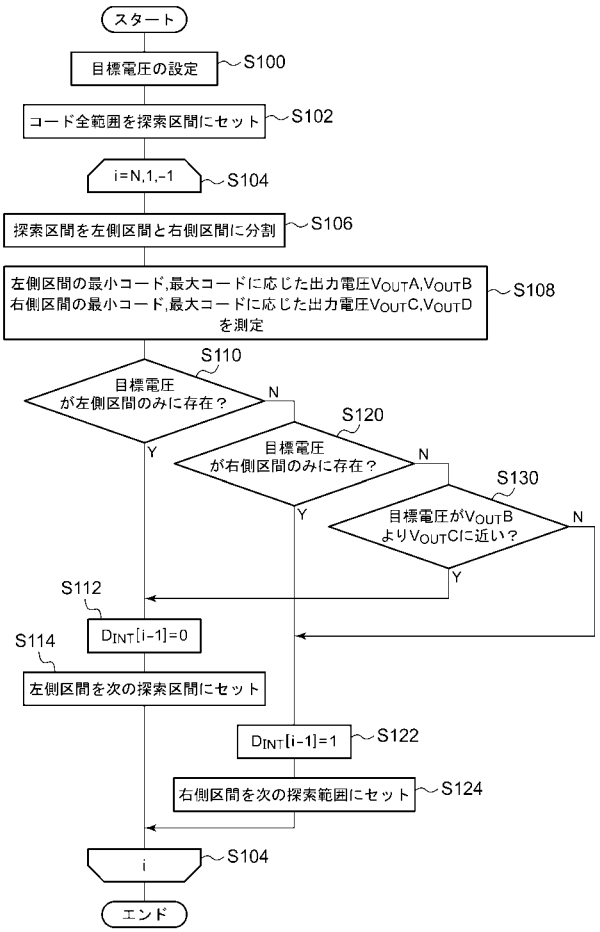
【図３】


(a)
VOUT
DIN
(b)
VOUT
DIN

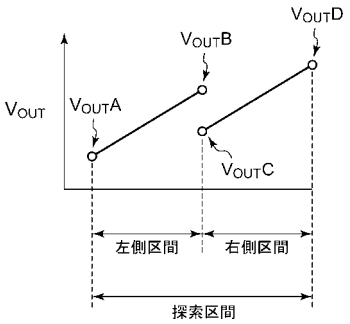
【図４】


vout
8192
6144
4096
2048
0
Code
1.2000
1.0000
0.8000
0.6000
0.4000
0.2000
0.0000
出力電圧[V]

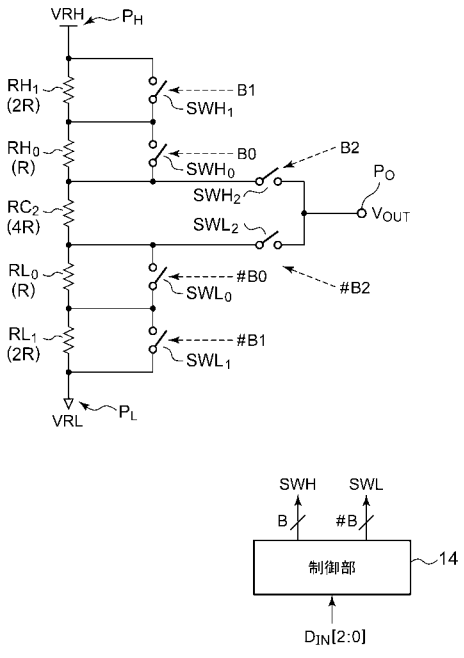
【図５】



【図６】

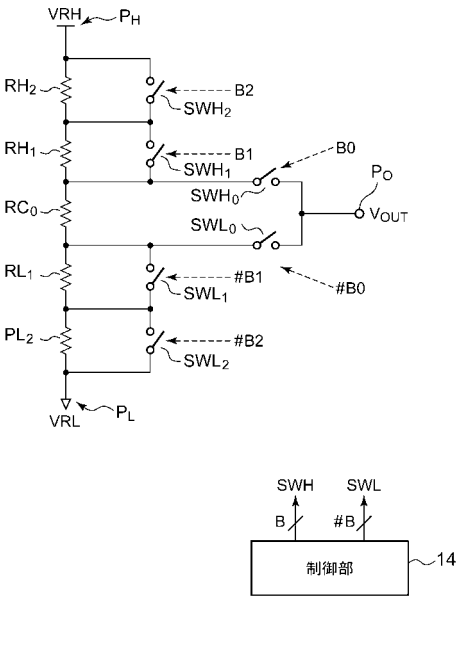


【図７】



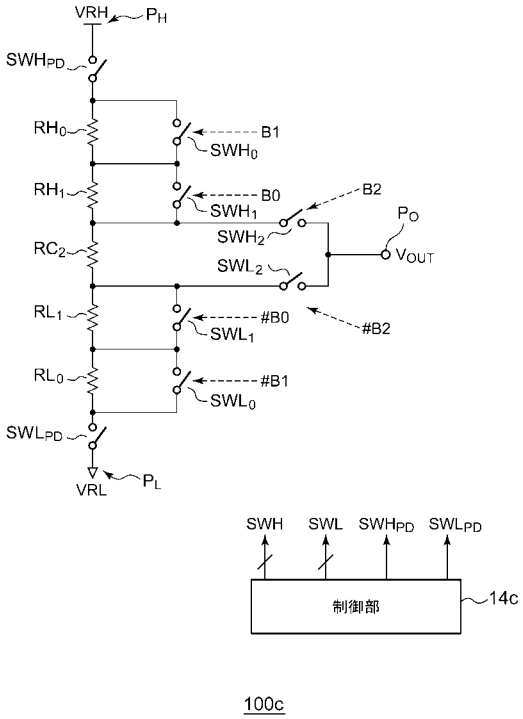
100a

【図８】



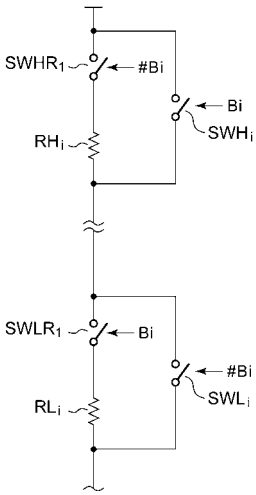
100b

【図９】



100c

【図１０】



100d

フロントページの続き

(72)発明者　小島　昭二
東京都練馬区旭町１丁目３２番１号　株式会社アドバンテスト内

Ｆターム(参考) 5J022 AB04　BA06　CF07