

公告本

申. 8. 5

| | |
|------|-------------|
| 申請日期 | 1999. 8. 5 |
| 案 號 | 88113383 |
| 類 別 | 4016 = 7/10 |

A4
C4

432678

(以上各欄由本局填註)

發明型 專利說明書

| | | | | | | | | | | | | |
|--------------------------------------|---------------|---|-------------------------|-------------------------|------------------------|--------------------|--------------------------|------------------------|----------------------------|-------------------------------|-------------------------|--------------------------------------|
| 一、發明 名稱 | 中 文 | 半導體積體電路裝置及其製造方法 | | | | | | | | | | |
| | 英 文 | "半導體集積回路裝置およびその製造方法" | | | | | | | | | | |
| 二、發明 人 | 姓 名 | <table border="0"> <tr> <td>1. 池田 修二</td> <td>2. 兒島 雅之</td> </tr> <tr> <td>3. 木村 光行</td> <td>4. 石橋 孝一郎</td> </tr> <tr> <td>5. 吉田 安子</td> <td>6. 塩澤 健治</td> </tr> <tr> <td>7. 中川 典夫</td> <td>8. 島崎 靖久</td> </tr> <tr> <td>9. 長田 健一</td> <td>10. 内山 邦男</td> </tr> </table> | 1. 池田 修二 | 2. 兒島 雅之 | 3. 木村 光行 | 4. 石橋 孝一郎 | 5. 吉田 安子 | 6. 塩澤 健治 | 7. 中川 典夫 | 8. 島崎 靖久 | 9. 長田 健一 | 10. 内山 邦男 |
| | 1. 池田 修二 | 2. 兒島 雅之 | | | | | | | | | | |
| 3. 木村 光行 | 4. 石橋 孝一郎 | | | | | | | | | | | |
| 5. 吉田 安子 | 6. 塩澤 健治 | | | | | | | | | | | |
| 7. 中川 典夫 | 8. 島崎 靖久 | | | | | | | | | | | |
| 9. 長田 健一 | 10. 内山 邦男 | | | | | | | | | | | |
| | 國 籍 | 1-8. 均日本 | | | | | | | | | | |
| | 住、居所 | <table border="0"> <tr> <td>1. 日本國東京都小金井市貫井北町3-30-8</td> </tr> <tr> <td>2. 日本國東京都國分寺市日吉町2-29-31</td> </tr> <tr> <td>3. 日本國東京都國分寺市本多3-11-11</td> </tr> <tr> <td>4. 日本國埼玉縣蕨市南町3-7-6</td> </tr> <tr> <td>5. 日本國埼玉縣狹山市入間川2-3-3-701</td> </tr> <tr> <td>6. 日本國埼玉縣日高市武蔵台7-14-16</td> </tr> <tr> <td>7. 日本國東京都練馬區關町南2-20-10-403</td> </tr> <tr> <td>8. 日本國東京都立川市若葉町1-3-17若葉克帕402號</td> </tr> <tr> <td>9. 日本國東京都國分寺市西總 窪 窪窪寮13</td> </tr> <tr> <td>10. 日本國東京都小平市小川町1-445-1 公園公寓小平1-1106</td> </tr> </table> | 1. 日本國東京都小金井市貫井北町3-30-8 | 2. 日本國東京都國分寺市日吉町2-29-31 | 3. 日本國東京都國分寺市本多3-11-11 | 4. 日本國埼玉縣蕨市南町3-7-6 | 5. 日本國埼玉縣狹山市入間川2-3-3-701 | 6. 日本國埼玉縣日高市武蔵台7-14-16 | 7. 日本國東京都練馬區關町南2-20-10-403 | 8. 日本國東京都立川市若葉町1-3-17若葉克帕402號 | 9. 日本國東京都國分寺市西總 窪 窪窪寮13 | 10. 日本國東京都小平市小川町1-445-1 公園公寓小平1-1106 |
| 1. 日本國東京都小金井市貫井北町3-30-8 | | | | | | | | | | | | |
| 2. 日本國東京都國分寺市日吉町2-29-31 | | | | | | | | | | | | |
| 3. 日本國東京都國分寺市本多3-11-11 | | | | | | | | | | | | |
| 4. 日本國埼玉縣蕨市南町3-7-6 | | | | | | | | | | | | |
| 5. 日本國埼玉縣狹山市入間川2-3-3-701 | | | | | | | | | | | | |
| 6. 日本國埼玉縣日高市武蔵台7-14-16 | | | | | | | | | | | | |
| 7. 日本國東京都練馬區關町南2-20-10-403 | | | | | | | | | | | | |
| 8. 日本國東京都立川市若葉町1-3-17若葉克帕402號 | | | | | | | | | | | | |
| 9. 日本國東京都國分寺市西總 窪 窪窪寮13 | | | | | | | | | | | | |
| 10. 日本國東京都小平市小川町1-445-1 公園公寓小平1-1106 | | | | | | | | | | | | |
| 三、申請人 | 姓 名 (名稱) | 日商日立製作所股份有限公司 | | | | | | | | | | |
| | 國 籍 | 日本 | | | | | | | | | | |
| | 住、居所 (事務所) | 日本國東京都千代田區神田駿河台四丁目6番地 | | | | | | | | | | |
| | 代 表 人 姓 名 | 庄山 悦彦 | | | | | | | | | | |

裝

訂

線

經濟部智慧財產局員工消費合作社印製

432678

(由本局填寫)

| |
|--------|
| 承辦人代碼： |
| 大類： |
| IPC分類： |

A6
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: , 有 無主張優先權
 日本 1998年08月11日 特願平10-226663 有 無主張優先權

有關微生物已寄存於: , 寄存日期: , 寄存號碼:

(請先開讀背面之注意事項再填寫本頁各欄)

裝 訂 線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

[發明所屬之技術領域]

本發明係關於一種半導體積體電路裝置及其製造方法，尤其是關於一種適用於具有靜態隨機存取記憶體(SRAM: Static Random Access Memory)和邏輯電路的半導體積體電路裝置及有效的技術者。

[習知之技術]

SRAM係使用正反器電路作為記憶體元件，且使其雙穩定狀態之各個對應於資訊之"1"、"0"並將之記憶的記憶體，其由於與動態隨機存取記憶體(DRAM: Dynamic Random Access Memory)不同且不需要更新(refresh)動作所以具有容易使用之特徵。此正反器電路，係由二個反相器電路所構成，其一方反相器電路之輸出係電氣連接在另一方反相器電路之輸入上，而其另一方反相器電路之輸出係電氣連接在一方反相器電路之輸入上。各反相器電路，係具有有助於資訊記憶的驅動用電晶體、和對該驅動用電晶體供給電源電壓的負載元件。又，此正反器電路，係形成挾持於一對資料線間而配置，且該正反器電路和各個資料線之間介有傳輸用電晶體，用以電氣連接或電氣切離正反器電路和資料線的構造。

然而，此SRAM之記憶單元，可依上述記憶單元中之負載元件的差異，分成高電阻負載型和互補型金屬-絕緣體-半導體(CMIS: Complimentary Metal Insulator Semiconductor)型之二種類。高電阻負載型，係在負載元件中使用複晶矽電阻。此情況，在該電阻之佔有面積為很

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(2)

小之方面，由於可將該電阻重疊設在驅動用電晶體等之上層上，所以可將記憶單元區域之整體面積設在最小而可輕易大容量化。另一方面，CMIS型，係因在負載元件上使用p通道型MOS·FET，故其消耗電力最小。又，CMIS型之情況亦可具有縮小記憶單元區域之整體面積，且在構成驅動用電晶體之n通道型MOS·FET的上層，設有二層複晶矽層，而依該複晶矽層構成負載元件用之p通道型MOS·FET之所謂的薄膜電晶體(TFT: Thin Film Transistor)構造。

另外，關於具有SRAM之半導體積體電路裝置，例如有記載於日本專利特開平8-167655號公報中，其係揭示一種不會使製造步驟變得複雜，而可將具高性能之邏輯電路和高集成之全CMOS型記憶單元陣列集成在同一晶片上，其中邏輯電路係由表面通道型之n通道MOSFET和p通道MOSFET所構成，而記憶單元則直接連接該n通道MOSFET和p通道MOSFET之間極以作為同一導電性的構造。

又，在國際公開編號WO 97/38444中，係揭示調整SRAM傳輸電晶體之臨限電壓的技術。

[發明所欲解決之問題]

然而，在具有上述SRAM半導體積體電路裝置技術中，本發明人發現以下的問題。

亦即，在具有SRAM半導體積體電路裝置中，隨著高速化或低消耗電力化或是元件之高集成化，當不充分考慮在構成其記憶單元的元件、及除此以外的元件中發生分別有必要設定臨限電壓，而只考慮製造上之容易性而製造該半

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(3)

導體積體電路裝置時，就會有在記憶體電路中發生習知未被顯然存在化之動作不良的問題。例如在將SRAM和邏輯電路設在同一半導體基板上的半導體積體電路裝置中，邏輯電路及SRAM周邊電路(以下，稱為邏輯電路等)之高速化或該半導體積體電路裝置整體之低消耗電力或元件之高集成化已日漸發展。在謀求該邏輯電路等的高速化方面，雖可進行降低其臨限電壓之動作，但是若不考慮邏輯電路等之高速化或半導體積體電路裝置之低消耗電力化已顯著發展之情況，而只考慮製造上之容易性等之觀點，且在同一步驟時設定邏輯電路等和記憶體電路之臨限電壓的話，則雖可謀求邏輯電路等之動作速度的提高，但是在記憶體電路中記憶單元之雜訊界限(noise margin)會降低，且依本發明人之研究結果發現，即使習知在同一步驟時設定邏輯電路等和記憶體電路之臨限電壓，也會發生未被顯然存在化的記憶體電路之動作不良之情形。

本發明之目的，係在於提供一種可提高具有SRAM之半導體積體電路裝置之記憶體之動作界限的技術。

又，本發明之另一目的，係在於提供一種可減低具有SRAM之半導體積體電路裝置之消耗電力的技術。

再者，本發明之另一目的，係在於提供一種可提高具有SRAM之半導體積體電路裝置之寫入界限的技術。

本發明之前述暨其他的目的和新的特徵，從本說明書之記載及附圖中即可明白。

本案中所揭示之發明之中，若簡單說明其代表性之發明

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(4)

的概要，則如以下所述。

本發明之半導體積體電路裝置，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，而其乃將前述複數個第一場效電晶體之中之至少一個場效電晶體的臨限電壓，比前述第二場效電晶體之臨限電壓還相對提高者。

又，本發明之半導體積體電路之製造方法，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，而其乃具有將前述複數個第一場效電晶體之中之至少一個第一場效電晶體的臨限電壓，比前述第二場效電晶體之臨限電壓還相對提高，以在前述半導體基板中選擇性地將第一雜質導入於前述至少一個第一場效電晶體之形成區域內的雜質導入步驟者。

又，本發明之半導體積體電路之製造方法，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，而其乃具有將前述複數個第一場效電晶體之中之至少一個第一場效電晶體的臨限電壓，比前述第二場效電晶體之臨限電壓還相對提高，以在前述半導體基板中選擇性地將氮導入於前述第二場效電晶體之形成區域內之後，在前述半導體基板上形成閘極絕緣膜的步驟者。

[圖式之簡單說明]

圖1為用以說明本發明之一實施形態之半導體積體電路裝

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(5)

置之電路方塊構成的說明圖。

圖2為圖1之半導體積體電路裝置之SRAM中之記憶單元的電路圖。

圖3為圖1之半導體積體電路裝置之SRAM之記憶單元區域中的主要部位平面圖。

圖4為圖1之半導體積體電路裝置之SRAM之記憶單元區域中之圖3之上層的主要部位平面圖。

圖5為圖1之半導體積體電路裝置之製造步驟中的主要部位截面圖。

圖6為連續圖1之半導體積體電路裝置之圖5之製造步驟中的主要部位平面圖。

圖7為連續圖1之半導體積體電路裝置之圖6之製造步驟中之SRAM之記憶單元區域的主要部位平面圖。

圖8為連續圖1之半導體積體電路裝置之圖7之製造步驟中的主要部位截面圖。

圖9為連續圖1之半導體積體電路裝置之圖8之製造步驟中的主要部位截面圖。

圖10為連續圖1之半導體積體電路裝置之圖9之製造步驟中的主要部位截面圖。

圖11為連續圖1之半導體積體電路裝置之圖10之製造步驟中的主要部位截面圖。

圖12為連續圖1之半導體積體電路裝置之圖11之製造步驟中的主要部位截面圖。

圖13為連續圖1之半導體積體電路裝置之圖12之製造步

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(6)

驟中的主要部位截面圖。

圖14為連續圖1之半導體積體電路裝置之圖13之製造步驟中的主要部位截面圖。

圖15為連續圖1之半導體積體電路裝置之圖14之製造步驟中的主要部位截面圖。

圖16為連續圖1之半導體積體電路裝置之圖15之製造步驟中的主要部位截面圖。

圖17為連續圖1之半導體積體電路裝置之圖16之製造步驟中的主要部位截面圖。

圖18為圖1之半導體積體電路裝置之SNM特性的說明圖。

圖19為說明圖1之半導體積體電路裝置之效果且本發明人為了比較而檢討之技術之SNM的說明圖。

圖20顯示圖1之半導體積體電路裝置之SRAM中之驅動用場效電晶體之臨限電壓和SNM之關係的圖表。

圖21為本發明之另一實施形態之半導體積體電路裝置之製造步驟中之SRAM之記憶單元的主要部位平面圖。

圖22為本發明之更另一實施形態之半導體積體電路裝置之製造步驟中之SRAM之記憶單元的主要部位平面圖。

圖23為本發明之另一實施形態之半導體積體電路裝置之製造步驟中的主要部位平面圖。

圖24為連續圖23之半導體積體電路裝置之製造步驟中的主要部位截面圖。

圖25為連續圖24之半導體積體電路裝置之製造步驟中的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

主要部位截面圖。

圖26為說明SRAM之SNM特性用的圖表。

圖27為本發明人所檢討之半導體積體電路裝置之SNM特性用的圖表。

圖28顯示構成本發明人所檢討之半導體積體電路裝置之SRAM的傳輸用場效電晶體之汲極電流和負載電阻用場效電晶體之汲極電流之關係的圖表。

圖29示構成本發明人所檢討之半導體積體電路裝置之SRAM的傳輸用場效電晶體之汲極電流和負載電阻用場效電晶體之汲極電流之關係的圖表。

[發明之實施形態]

以下，係根據圖式詳細說明本發明之實施形態(另外，在說明實施形態用的全圖中具有同一功能者附上同一元件編號，而其重覆之說明則省略)。

(實施形態1)

圖1至圖4為說明本發明之半導體積體電路裝置之構造用的說明圖；圖5至圖17為說明圖1之半導體積體電路裝置之製造方法用的半導體積體電路裝置之製造步驟中的主要部位截面圖；圖18為說明本實施形態之效果用的說明圖；圖19為說明本實施形態之效果且為本發明人所檢討之技術的說明圖；圖20為說明本實施形態之效果用的說明圖。

另外，在本技術思想中，所謂臨限電壓(以下，記為 V_{th})很高，係指因如通道寬度等的尺寸上之差異而會意識性地使 V_{th} 上升至 V_{th} 之上升程度以上之意。又，在本技術思想

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(8)

中， V_{th} 係稱為在每1單位通道寬度(例如每一 $1\mu m$ 寬度)上流入 $1.0\mu A$ 之電流時的閘極電壓。

本發明之技術思想，係在將構成SRAM(靜態隨機存取記憶體)之MIS·FET(金絕半場效電晶體)、和除此以外之MIS·FET設在同一半導體基板上的半導體積體電路裝置中，分別在構成SRAM之MIS·FET、和除此以外之MIS·FET上各自設定 V_{th} 者。此係本發明人依以下之檢討結果所得者。例如圖1所示，會隨著將SRAM和如微處理器(CPU)之邏輯電路等設在同一半導體基板上的半導體積體電路裝置之動作速度的高速化、低消耗電力化(亦即，低電源電壓化)或是元件之高集成化，而在SRAM之記憶單元中發生隨機位元(random bit)不良。本發明人，在調查其原因之結果，發現該不良之主要原因，係一種其記憶單元之動作界限很少的不良模式。然後，在更進一步調查其原因之結果，發現隨著該半導體積體電路裝置之動作速度的高速化或低電源電壓化或是元件之高集成化，而會發生至今仍未明顯化的問題。

亦即，在上述半導體積體電路裝置中，為謀求其邏輯電路等的高速化，通常雖係進行其 V_{th} 之降低，但是當未考慮邏輯電路等之高速化或半導體積體電路裝置之低消耗電力化或是元件之高集成化已顯著在發展著，而只考慮製造上之容易性等的觀點將邏輯電路等和記憶體電路之 V_{th} 設定在同一步驟時，記憶單元區域之MIS·FET之 V_{th} 也會降低，且以往即使將邏輯電路等和記憶體電路之 V_{th} 設定在

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(9)

同一步驟時，也會發生未明顯化之上述記憶體中的動作不良。

尤其是，爲了謀求元件之高集成化，而採用溝型之埋設隔離構造以取代依矽之局部氧化(Local Oxidation of Silicon)法所形成之隔離構造(Shallow Trench Isolation：淺溝渠隔離)的情況時，MIS·FET雖顯示逆窄型通道特性且 V_{th} 變低，但是當不考慮此而如上述般只考慮製造上之容易性等以將邏輯電路等和記憶體電路之 V_{th} 設定在同一步驟時，也會發生至今未明顯化之上述記憶體中的動作不良。

圖26係顯示記憶單元之動作穩定性的波形，例如繪製6 MIS·FET型SRAM中之記憶單元之一方節點的施加電壓對另一方節點的電壓，且使之重疊的波形(轉移曲線)。此曲線之重疊部分係顯示對雜訊的界限，並將該重疊部份之長度(45度方向之最長部分)設爲靜態雜訊界限(Static Noise Margin；稱爲SNM)。然後，雖顯示該重疊部分越大(亦即，SNM越大)記憶體就越穩定動作，但是如上述地將邏輯電路等和記憶體電路之 V_{th} 設定在同一步驟時的情況，尤其是，記憶單元之驅動用MIS·FET之 V_{th} 變得與邏輯電路等中之 V_{th} 同程度低時，就會如圖27所示，SNM會變小，記憶體動作會變得不穩定。

又，圖28及圖29，係顯示測定記憶單元之傳輸用MIS·FET及負載電阻用MIS·FET之汲極電流之結果的圖表。從該等圖中可明白，在傳輸用MIS·FET中即使 V_{th} 過高或過低也會發生讀出不良，而在負載電阻用MIS·FET中 V_{th} 過

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(10)

低時會發生讀出不良。亦即，本發明人發現，並非只有記憶單元之驅動用MIS·FET，就連傳輸用MIS·FET或負載電阻用MIS·FET也是依動作環境或動作條件等與邏輯電路等之MIS·FET之 V_{th} 來分別設定較佳。

其次，以將如此之本發明的技術思想，適用於例如具有快取記憶體用之SRAM之微處理器的情況為例，來說明本實施形態之半導體積體電路裝置的構造。

圖1係顯示設在本實施形態之半導體晶片IC內的主要電路方塊圖。亦即，在半導體晶片IC上，例如設有輸出入電路I/O、如微處理器(CPU)之邏輯電路2A~2C、快取記憶體用之SRAM、鎖相迴路PLL(Phase Locked Loop)及時鐘脈衝產生電路CPG(Clock Pulse Generator)等。另外，此半導體積體電路裝置之高電位側的電源電壓，例如為2.5V以下。又，構成此半導體積體電路裝置的MIS·FET之最小的閘極長度，例如為 $0.25\mu\text{m}$ 左右。又，要求高速性的MIS·FET之 V_{th} ，例如為0.25V以下。

在此SRAM之記憶單元區域中，配置有複數個例如圖2所示之6 MIS·FET(金絕半場效電晶體)型之記憶單元MC。此記憶單元MC，係配置在一對互補性之資料線DL1，DL2(DL)、和字線WL之交叉部近旁上，具有一對驅動用MIS·FET Qd1，Qd2(Qd；第一場效電晶體)；一對負載電阻用MIS·FET QL1，QL2(QL；第一場效電晶體)；以及一對傳輸用MIS·FET Qt1，Qt2(Qt；第一場效電晶體)。另外，一對互補性之資料線DL1，DL2，係傳送互為反轉

五、發明說明(11)

的信號。

上述一對驅動用 MIS·FETQd1, Qd2 及一對負載電阻用 MIS·FETQL1, QL2, 係構成正反器電路。此正反器電路, 係用以記憶 1 位元之資訊("1"或"0")的記憶元件, 其一端(負載電阻用 MIS·FETQL1, QL2 側)係與高電位側之電源 Vdd 作電氣連接, 而另一端(驅動用 MIS·FETQd1, Qd2 側)係與接地側之電源 GND 作電氣連接。另外, 高電位側之電源 Vdd 的電壓, 例如為 1.8V 左右, 而接地側之電源 GND 的電壓, 例如為 0V。

又, 一對傳輸用 MIS·FETQt1, Qt2, 係將正反器電路對資料線 DL1, DL2 作電氣連接或切離用的開關元件, 且分別介於正反器電路之輸出入端子(儲存節點 N1, N2)和資料線 DL1, DL2 之間。另外, 一對傳輸用 MIS·FETQt1, Qt2 之閘極電壓, 係與字線 WL 作電氣連接。

其次, 將此記憶單元區域之主要部位平面圖顯示在圖 3 及圖 4 中。另外, 圖 4 之平面雖係顯示與圖 3 相同的平面位置, 但是其截面則顯示比圖 3 之層還上層的第一層配線及其上層的第二層配線。

半導體基板 3, 係由例如 p 型之矽(Si)單晶體所構成。在半導體基板 3 上, 形成有後述之 p 井及 n 井。又, 在半導體基板 3 之主面上形成有隔離部 4。由此隔離部 4 所包圍的活性區域上, 形成有傳輸用 MIS·FETQt、驅動用 MIS·FETQd 及負載電阻用 MIS·FETQL。此中, 傳輸用 MIS·FETQt 及驅動用 MIS·FETQd, 例如係由 n 通道型之 MIS·

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(12)

FET所構成，負載電阻用MIS·FETQL例如係由p通道型之MIS·FET所構成。另外，圖3中之nMIS係顯示n通道型MIS·FET之形成區域，而pMIS係顯示p通道型MIS·FET之形成區域。本實施形態中，該等驅動用MIS·FETQd、傳輸用MIS·FETQt及負載電阻用MIS·FETQL之設計上的通道寬度，係小於用以構成邏輯電路或SRAM週邊電路之MIS·FET(第二場效電晶體)之設計上的通道寬度。另外，所謂設計上，係指包含誤差之意。

傳輸用MIS·FETQt係具有n型半導體區域5及閘極6gt，驅動用MIS·FETQd係具有n型半導體區域5及閘極6gd，而負載電阻用MIS·FETQL係具有p型半導體區域7及閘極6gL。

n型半導體區域5，係形成傳輸用MIS·FETQt及驅動用MIS·FETQd之源·汲極的區域，在上述p井上，例如係導入磷(P)或砷(As)而形成者。此n型半導體區域5之一方係形成傳輸用MIS·FETQt及驅動用MIS·FETQd之共有的區域，且具有作為電氣連接雙方之MIS·FET的配線之功能。傳輸用MIS·FETQt之n型半導體區域5的另一方，係透過資料線用之連接孔8A與資料線DL(參照圖4)作電氣連接。此資料線DL，係由例如鋁或鋁-矽-銅合金等所製成，且形成第二配線層上。又，傳輸用MIS·FETQt和驅動用MIS·FETQd之共有的n型半導體區域5，係透過連接孔8B，與成對之另一驅動用MIS·FETQd及負載電阻用MIS·FETQL之閘極6gd，6gL相連接，且與第一層配線

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(13)

9L(參照圖4)作電氣連接。此第一層配線9L,例如係由鋁或鋁-矽-銅合金等所製成,且透過連接孔8C與負載電阻用MIS·FETQL之一方之p型半導體區域作電氣連接。進而,驅動用MIS·FETQd之n型半導體區域5的另一方,係透過連接孔8D而與低電位側之電源GND(參照圖2)用的第一層配線9LG(參照圖4)作電氣連接。又,負載電阻用MIS·FETQL之另一方的p型半導體區域7,係透過連接孔8E而與高電位側之電源Vdd(參照圖2)用的第一層配線9LV(參照圖4)作電氣連接。

傳輸用MIS·FETQt之閘極6gt,係由字線WL之一部份所構成,且由延伸於圖3之橫方向之平面帶狀的圖案所形成。又,驅動用MIS·FETQd及負載電阻用MIS·FETQL之閘極6gd,6gL係形成於一體的閘極圖案之一部份上。此閘極圖案之一部分,係對聯繫閘極6gd,6gL彼此之間的閘極圖案部分延伸於斜方向,且整體形成平面Y字狀。該閘極圖案之斜方延伸部之端部係透過上述連接孔8B而與n型半導體區域5及第一層配線9L作電氣連接,且具有作為配線的功能。然後,一個記憶單元MC,係具有鄰接圖3之橫方向的二個閘極圖案。該等閘極6gt,6gd,6gL,係形成於後述之閘極絕緣膜上,例如係由低電阻複晶矽之單體膜、在低電阻複晶矽膜上設置如鎢矽化物等的矽化物層之層合膜或是在低電阻複晶矽膜上藉以氮化鈦或碳化鎢而設置如鎢等的金屬膜之層合膜所構成。

其次,依圖5至圖17說明本實施形態之半導體積體電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(14)

裝置之製造方法的一例。另外，圖中之I/O·NMIS係指輸出入電路形成用之n通道型MIS·FET的形成區域，I/O·PMIS係指輸出入電路形成用之p通道型MIS·FET的形成區域，邏輯NMIS係指邏輯電路用之n通道型MIS·FET的形成區域，及邏輯PMIS係指邏輯電路用之p通道型MIS·FET的形成區域。又，在圖5至圖17之記憶單元區域中例示有驅動用MIS·FET及負載電阻用MIS·FET之形成區域。

首先，如圖5所示，例如在800°C左右下濕式氧化電阻係數為10Ωcm左右的半導體基板(此階段為半導體晶圓)3，且於其表面形成膜厚為10nm左右之較薄的氧化矽膜10之後，於其上以CVD(化學氣相沉積)法堆積膜厚200nm左右之氮化矽膜11。氧化矽膜10，係在後段之步驟中燒結(sintering)埋設在元件隔離溝之內部的氧化矽膜時，為了緩和加在半導體基板3上的應力而形成者。氮化矽膜11由於具有難以被氧化的性質，所以可當作用以防止其下部(活性區域)之基板表面氧化的罩幕(mask)來利用。

接著，藉由以光蝕刻膜為罩幕而乾式蝕刻氮化矽膜11、氧化矽膜10及半導體基板3，以在元件隔離區域之半導體基板3上形成深度300~400nm左右的隔離溝4a。對於形成隔離溝4a，亦可以光蝕刻膜為罩幕而乾式蝕刻氮化矽膜11，其次在除去光蝕刻膜之後，以被圖案化氮化矽膜為罩幕而乾式蝕刻氧化矽膜10及半導體基板3。

其次，在本實施形態中，為了將用以構成SRAM之記憶單元的驅動用MIS·FET、傳輸用MIS·FET及負載電阻用

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明 (15)

MIS·FET之 V_{th} ，比SRAM週邊電路或邏輯電路之預定的MIS·FET之 V_{th} ，還相對性且意識性地提高而進行以下處理(以下，稱為第一處理)。

首先，在除去隔離溝形成用之光阻膜之後，為了相對性且意識性地提高驅動用MIS·FET及傳輸用MIS·FET之 V_{th} ，而如圖6所示，在半導體基板3上形成露出驅動用MIS·FET Q_d 及傳輸用MIS·FET Q_t 之形成區域，且覆蓋除此以外之區域的光阻圖案12。另外，圖6係顯示與圖3相同的記憶單元區域。在此圖6之階段中元件等雖未形成，但是為了容易理解光阻圖案12A之形成位置關係而圖示之。又，在圖6中為了容易看到圖式而在光阻圖案12A上附加剖面線。又，光阻圖案12A之圖案形狀，並非被限定於此，例如亦可形成露出驅動用MIS·FET Q_d 及傳輸用MIS·FET Q_t 之形成區域、和形成於半導體基板3上之n通道型MIS·FET，尤其是控制源·汲極間之漏電流所需要的MIS·FET之形成區域，且覆蓋除此以外之區域的圖案形狀。

接著，以光阻圖案12A為罩幕，例如將二氟化硼(BF_2)離子佈植於半導體基板3上。此時的條件，雖非被限定於此，但是例如為如下所示。亦即，離子佈植能量為40keV左右，劑量為 $1 \times 10^{12}/cm^2$ 左右，離子佈植角度為10度左右。加入離子佈植角度的理由，係因藉由也將雜質離子導入於隔離溝4a之側面，以使 V_{th} 在活性區域整體中上升之故。另外，所謂離子佈植角度，係指雜質離子對半導體基

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(16)

板3之主要的入射角度。

其次，在除去光阻圖案12A之後，爲了相對性及意識性地提高負載電阻用MIS·FETQL之 V_{th} ，而如圖7所示，在半導體基板3上形成露出負載電阻用MIS·FETQL之形成區域，且覆蓋除此以外之區域的光阻圖案12B。另外，圖7也顯示與圖3相同的記憶單元區域，在此階段中元件等雖未形成，但是爲了容易理解光阻圖案12B之形成位置關係而圖示之。又，在圖7中也爲了容易看到圖式而在光阻圖案12B上附加剖面線。又，光阻圖案12B之圖案形狀，並非被限定於此，例如亦可形成露出負載電阻用MIS·FETQL之形成區域、和形成於半導體基板3上之p通道型MIS·FET之，尤其是控制源·汲極間之漏電流所需要的MIS·FET之形成區域，且覆蓋除此以外之區域的圖案形狀。

接著，以光阻圖案12B爲罩幕，例如將磷(P)離子佈植於半導體基板3中。此時的條件，雖非被限定於此，但是亦可與相對性且意識性地提高上述驅動用MIS·FETQd之 V_{th} 的雜質導入條件相同。之後，除去光阻圖案12B。

另外，使上述驅動用MIS·FETQd等中之 V_{th} 上升的雜質導入步驟、和使負載電阻用MIS·FETQL中之 V_{th} 上升的雜質導入步驟之順序亦可爲相反。

藉由施行如此的一系列處理，就可相對性且意識性地使驅動用MIS·FETQd、傳輸用MIS·FETQt及負載電阻用MIS·FETQL之 V_{th} 上升。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(17)

在進行如此的第一處理之後，爲了利用前述蝕刻法除去在隔離溝4a之內壁所生的損傷(damage)層，而在1000°C左右下乾式氧化半導體基板3以在隔離溝4a之內部形成膜厚30nm左右之較薄的氧化矽膜。接著，如圖8所示，在半導體基板3上堆積膜厚400nm左右之氧化矽膜13之後，藉由濕式半導體基板3，進行用以改善埋設於隔離溝4a內之氧化矽膜13之膜質的燒結(sintering)。此氧化矽膜13，係利用使用於原始氣體(source gas)中的電漿CVD法來堆積例如臭氧(O₃)和四乙氧基矽甲烷(TEOS)。

其次，在該氧化矽膜13之上部利用CVD法堆積膜厚200nm左右之氮化矽膜之後，藉由以光阻膜爲罩幕而乾式蝕刻氮化矽膜，就可如例如記憶單元和週邊電路之境界部般，只在相對寬之面積的隔離溝4a之上部留下氮化矽膜14，殘留在隔離溝4a之上部的氮化矽膜14，係在下一個步驟中利用化學式機械研磨(CMP)法研磨氧化矽膜13以使之平坦化時，爲了防止相對寬之面積的隔離溝4a內部的氧化矽膜13比相對窄之面積的隔離溝4a內部的氧化矽膜13還被加深研磨的現象(膨出；dishing)而形成者。

接著，在除去氮化膜14之圖案化用之光阻膜之後，利用以氮化膜11、14作爲阻擋膜來使用的CMP法來研磨氧化矽膜13，並藉由殘留在隔離溝4a之內部以形成隔離部4。在本實施形態中，隔離部4之構造由於係採用溝型之隔離構造所以通常雖會因逆窄型通道特性而使構成記憶單元的MIS·FET之V_{th}降低，但是上述第一處理由於係施行相對

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

性且意識性地使構成如後述之記憶單元的MIS·FET之 V_{th} 提昇的處理，所以也不會發生如此的問題。

之後，除去氮化矽膜11、14，並對半導體基板3施行前氧化處理，以將厚度10nm左右之閘極絕緣膜形成於半導體基板3上。之後，如圖9所示，在半導體基板3之主面上，形成露出埋設區域，且覆蓋除此以外之區域的光阻圖案12C之後，爲了在半導體基板3上形成n型埋設區域15，而以該光阻圖案12C爲罩幕，例如將磷離子佈植於半導體基板3中。另外，在此階段中由於未將雜質之活性化等用的熱處理施行於半導體基板3中，所以n型埋設區域15雖未被形成，但是爲了容易理解說明起見而圖示之。

其次，在除去該光阻圖案12C之後，在半導體基板3之主面上，形成露出全區域中之n井區域，且覆蓋除此以外之區域的光阻圖案。接著，以該光阻圖案爲罩幕，在半導體基板3上，例如離子佈植磷。在此，各自分別進行至少形成n井16NW用的上述雜質導入步驟、和設定記憶單元區域以外之n型16NW中所形成的MIS·FET之 V_{th} 用的上述雜質導入步驟之二種雜質導入步驟。之後，除去該光阻圖案。

其次，如圖10所示，在半導體基板3之主面上，形成露出全區域中之p井區域，且覆蓋除此以外之區域的光阻圖案12D。接著，以該光阻圖案12D爲罩幕，在半導體基板3上，例如離子佈植硼或二氟化硼。在此，各自分別進行至少形成p井16PW用的上述雜質導入步驟、和設定記憶單

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
後

五、發明說明(19)

元區域以外之p型16PW中所形成的MIS·FET之Vth用的上述雜質導入步驟之二種雜質導入步驟。之後，除去該光阻圖案12D。

在此，在進行上述井等之雜質導入步驟之後，亦可爲了將上述驅動用MIS·FET、傳輸用MIS·FET及負載電阻用MIS·FET之Vth，比SRAM週邊電路或邏輯電路之預定的MIS·FET之Vth還相對性且意識性地提高，而進行以下之處理(以下，稱爲第二處理)，以取代上述第一處理。

首先，爲了相對性及意識性地提高驅動用MIS·FET及傳輸用MIS·FET之Vth，而形成如上述圖6所示的光阻圖案12A(或其變形例之光阻圖案)。另外，在此階段中雖未形成元件等，但是爲了容易解光阻圖案12A之形成位置關係而予以圖示。

接著，以該光阻圖案12A爲罩幕(mask)，例如將二氟化硼(BF₂)離子佈植於半導體基板3中。此時的條件，雖非被特別限定，但是例如爲如下所示。亦即，離子佈植能量爲60keV左右，劑量爲 $3 \times 10^{12}/\text{cm}^2$ 左右，離子佈植角度爲90度(亦即，於半導體基板3之主面呈垂直)左右。

其次，在除去光阻圖案12A之後，爲了相對性及意識性地提高負載電阻用MIS·FETQL之Vth，而形成如上述圖7的光阻圖案12B(或其變形例)。另外，在此階段雖未形成元件等，但是爲了容易理解光阻圖案12B之形成位置關係而予以圖示。

接著，以光阻圖案12B爲罩幕(mask)，例如將磷(P)離子

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

地

五、發明說明(20)

佈植於半導體基板3中。此時的條件，雖非被特別限定，但是離子佈植能量，例如除了為40keV左右之外，其餘可與使此第二處理中之上述驅動用MIS·FETQt等之Vth上升的雜質導入條件相同。

另外，此情況，使上述驅動用MIS·FETQd等中之Vth上升的雜質導入步驟、和使負載電阻用MIS·FETQL中之Vth上升的雜質導入步驟之順序亦可為相反。

藉由施行如此的一系列處理，就可相對性且意識性地使驅動用MIS·FETQd、傳輸用MIS·FETQt負載電阻用MIS·FETQL之Vth上升。

在進行如此的第二處理之後，係藉由對半導體基板3施行熱處理，進行導入於半導體基板3之雜質的活性化等，以在半導體基板3上形成n井16NW、p井16PW及n型埋設區域15。

接著，雖移行至閘極絕緣膜之形成步驟上，但是在本實施形態中，係先進行該閘極絕緣膜之形成步驟，以將上述驅動用MIS·FET、傳輸用MIS·FET及負載電阻用MIS·FET之Vth，比SRAM週邊電路或邏輯電路之預定的MIS·FET之Vth還相對性且意識性地提高，亦可進行以下之處理以替代上述第一處理或第二處理(以下，稱為第三處理)。

首先，在半導體基板3上形成光阻圖案，該光阻圖案係在週邊電路區域及邏輯電路區域中露出被要求動作速度之高速化的MIS·FET之形成區域，且在記憶單元區域之全區

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(21)

域、週邊電路區域及邏輯電路區域中覆蓋被要求抑制源·汲極間之漏電流的MIS·FET之形成區域者。

接著，以該光阻圖案為罩幕，例如將氮(N)離子佈植於半導體基板3中。此時的條件，雖非被特別限定，但是例如為如下所示。亦即，離子佈植能量為5keV左右，劑量為 $4 \times 10^{14}/\text{cm}^2$ 左右，離子佈植角度為90度左右。

藉此，就可相對性且意識性地提高記憶單元區域中之驅動用MIS·FET、傳輸用MIS·FET及負載電阻用MIS·FET之 V_{th} 。此係因如下之理由，亦即，係因在閘極絕緣膜中含有氮時MIS·FET之 V_{th} 會降低所致。又，在導入氮之區域中使閘極絕緣膜氮化且增加耐氧化性的結果，由於比未導入氮之區域的閘極絕緣膜還薄，所以從此方面來看，具有形成於導入氮之區域中的閘極絕緣膜之MIS·FET，可比形成於未導入氮之區域中的閘極絕緣膜之MIS·FET還相對性地降低 V_{th} 。

又，在導入氮之區域中，於閘極絕緣膜和半導體基板3之界面上使氮偏析(segregation)的結果，也可獲得可提高閘極絕緣膜之可靠性的效果。此係因當閘極絕緣膜變薄時，起因於與半導體基板3之熱膨脹係數差而在閘極絕緣膜和半導體基板3之接觸界面中所發生的變形就會明顯化，且會導致熱載體之發生，此雖為眾人所週知，但是在與半導體基板3之界面中所偏析的氮會緩和此變形所致。另外，在記憶單元區域中，由於難以發生熱載體之問題，所以即使不對記憶單元區域導入氮亦不會特別發生不良情

五、發明說明(22)

形。

另外，在本實施形態中，雖係就進行上述第三處理以置換上述第一處理或第二處理之情況加以說明，但是並非被限定於此，亦可就此第三處理，組合第一處理和第二處理來進行。

在進行如此之第三處理之後，例如移行至如下之閘極絕緣膜之形成步驟中。

首先，施行用以形成半導體基板3中所形成之高耐壓MIS·FET之閘極絕緣膜的氧化處理，且在半導體基板3之主面上，形成例如厚度9nm以上之相對最厚的閘極絕緣膜。接著，在該閘極絕緣膜上，形成覆蓋高耐壓MIS·FET之形成區域，且露出除此以外之區域的光阻圖案之後，除去由該光阻圖案露出之較厚的閘極絕緣膜，並更進一步除去該光阻圖案。

之後，通常雖是移行至高耐壓MIS·FET以外之MIS·FET中之閘極絕緣膜的形成步驟中，但是在本實施形態中，係將上述驅動用MIS·FET、傳輸用MIS·FET及負載電阻用MIS·FET之 V_{th} ，比SRAM週邊電路或邏輯電路之預定的MIS·FET之 V_{th} 相對性且意識性地提高，且亦可加上上述之第一處理、第二處理或第三處理，而進行以下之處理(以下稱為第四處理)。

首先，施行用以形成被要求抑制構成記憶單元之MIS·FET及源·汲極間之漏電流之MIS·FET之閘極絕緣膜的氧化處理，且在半導體基板3之主面上，形成例如厚度5nm

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(23)

左右之相對中等程度之厚度的閘極絕緣膜。此閘極絕緣膜之厚度，係在週邊電路區域及邏輯電路區域中，變得比形成於被要求動作速度高速化之MIS·FET之形成區域之閘極絕緣膜的厚度還要厚。藉此，就可相對性且意識性地提高構成記憶單元之MIS·FET及被要求抑制上述漏電流之MIS·FET中的 V_{th} 。

接著，在該中等程度之厚度的閘極絕緣膜上，形成覆蓋在記憶單元區域之全區域、週邊電路區域及邏輯電路區域中被要求抑制漏電流之MIS·FET的形成區域，且露出除此以外之區域的光阻圖案之後，除去由該光阻圖案露出之中等程度之厚度的閘極絕緣膜，並更進一步除去該光阻圖案。

之後，對半導體基板3，施行用以形成被要求高速動作之MIS·FET之閘極絕緣膜的氧化處理，且在半導體基板3之主面上，形成例如厚度比5nm薄之相對最薄的閘極絕緣膜。

其次，如圖11所示，以可覆蓋如上述所形成之閘極氧化膜17及隔離部4之上面的方式，在半導體基板3上利用CVD法等形成閘極形成用的導體膜18。此導體膜18，例如係由低電阻複晶矽之單體膜、及在低電阻複晶矽上被著鎢矽化物而成的層合膜或在低電阻複晶矽上介以氮化鎢或氮化鈦等的障壁金屬膜而被著如鎢等之金屬膜的層合膜等所構成。另外，上述障壁金屬膜，係發揮防止高溫熱處理時鎢膜和複晶矽膜因起反應而在兩者之界面形成高電阻之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂
線

五、發明說明(24)

矽化物層的障壁層功能。

接著，在將露出記憶單元區域及除此以外之區域中之n通道型MIS·FET的形成區域，且覆蓋除此以外之光阻圖案12E形成於導體膜18上之後，將之當作罩幕而在導體膜18上例如離子佈植磷。之後，在除去光阻圖案12E之後，在導體膜18上，利用CVD法等被著例如由氧化矽或氮化矽所製成的帽蓋(cap)用絕緣膜。

其次，以光阻圖案為罩幕而利用乾式蝕刻法等將帽蓋(cap)用絕緣膜圖案化之後，除去該光阻圖案，且以被圖案化之帽蓋用絕緣膜為罩幕以將導體膜18圖案化，進而除去帽蓋用絕緣膜19以形成圖12所示之閘極6g。又，藉由利用一次之光蝕刻技術及乾式蝕刻技術將帽蓋用絕緣膜及導體膜18圖案化，亦可形成閘極6g(6gd, 6gL)及帽蓋用絕緣膜。此情況會在閘極6g上殘留帽蓋用絕緣膜。此閘極6g之中最小的閘極長度，係以可抑制MIS·FET之短通道效應，且可將Vth確保於一定值以上之容許範圍內的最小尺寸(例如0.24 μ m)所設定者。

其次，如圖13所示，以光阻圖案為罩幕而在p井16PW上，例如離子佈植磷(P)，而在閘極6g之兩側的p井16PW上形成n⁻型之半導體區域5a。另外，在此階段由於沒有施行活性化等的熱處理，所以雖然n⁻型之半導體區域5a未被形成，但是為了易於理解說明起見而圖示之。

接著，在除去該光阻圖案之後，以新形成之光阻圖案12F為罩幕，在n井16NW上，例如離子佈植硼(B)，而在閘

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

號

五、發明說明(25)

極6g之兩側的n井16NW上形成p⁻型之半導體區域7a。另外，在此階段由於沒有施行活性化等的熱處理，所以雖然p⁻型半導體區域7a未被形成，但是為了易於理解說明起見而圖示之。

其次，在除去光阻圖案12F之後，施行導入於半導體基板3之雜質之活性化等的熱處理之後，如圖14所示，在半導體基板3上利用CVD法堆積膜厚50nm左右之氮化矽膜之後，藉由異方性蝕刻該氮化膜，以在閘極6g之側壁上形成側壁間隔件19。此蝕刻，係為了將閘極絕緣膜17或埋設在隔離膜4內的氧化矽膜之刮量減至最少，而使用如加大氧化矽膜對氮化矽膜之蝕刻率的蝕刻氣體來進行。又，為了在閘極6g上形成由氮化矽膜所製成的帽蓋用絕緣膜時也將其刮量減至最少，而將過蝕刻量留下必要量的最小限。

其次，以光阻圖案為罩幕，在p井16PW上，例如離子佈植砷(As)以形成n通道型MIS·FET之n⁺型半導體區域5b。另外，在此階段由於沒有施行活性化等的熱處理，所以雖然n⁺型半導體區域5b未被形成，但是為了易於理解說明起見而圖示之。又，圖3等所示之n型的半導體區域5，係由n⁻型半導體區域5a和n⁺型半導體區域5b所構成。

接著，在除去該光阻圖案之後，以新形成之光阻圖案12G為罩幕，在n井16NW上，例如離子佈植硼(B)，而以形成p通道型MIS·FET之p⁺型之半導體區域7b。另外，在此階段由於沒有施行活性化等的熱處理，所以雖然p⁻型之

(請先閱讀背面之注意事項再填寫本頁)

裝
訂

五、發明說明(26)

半導體區域7b未被形成，但是為了易於理解說明起見而圖示之。又，圖3等所示之p型的半導體區域7，係由p⁻型半導體區域7a和p⁺型半導體區域7b所構成。

之後，在除去光阻圖案12G之後，藉由對半導體基板3上施行雜質活性化之熱處理，就可形成p通道型MIS·FETQp、QL及n通道型MIS·FETQn、Qd。

其次，在半導體基板3上，利用濺鍍法等被著例如氮化鈦(TiN)或鈷(Co)等的導體膜之後，藉由施行熱處理，如圖15所示，在該導體膜和半導體基板3及閘極6g之接觸界面形成矽化物層20。接著，在蝕刻除去未被矽化物化的導體膜之後，再次施行熱處理。

其次，在半導體基板3上，利用CVD法等被著例如由氮化矽膜等所製成的絕緣膜21a之後，於其上，利用CVD法被著例如由含磷矽酸鹽玻璃PSG(Phospho Silicate Glass)等所製成的絕緣膜21b，更進一步在其上，被著例如由氧化矽所製成的絕緣膜21c。接著，利用CMP法將該絕緣膜21c之上面平坦化之後，於絕緣膜21a~21c之一部分上將連接孔8予以穿孔。之後，在半導體基板3上，從底層依序被著例如鈦、氮化鈦及鎢之後，藉由利用CMP法將之回蝕刻，以在連接孔8內埋設形成導體膜22。

其次，在半導體基板3上，從底層依序被著例如鈦、鋁、或鋁合金、鈦及氮化鈦之後，藉由利用光蝕刻技術及乾式蝕刻技術將之圖案化，以形成第一層配線9L。接著，如圖17所示，與上述第一層配線9L同樣地形成第二

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

人

五、發明說明(27)

層配線23L及第三層配線24L。另外，元件編號21d、21e，係表示例如由氧化矽所製成的絕緣膜。從此以後，應用通常的半導體積體電路裝置之製造方法，以製造內建有快取記憶體用的SRAM之微處理器。

其次，依圖18至圖20說明本實施形態之效果。

圖18係顯示如本實施形態相對性且意識性地使構成SRAM之記憶單元之MIS·FET之 V_{th} 上升時的轉移曲線，圖19係顯示不使該 V_{th} 上升的轉移曲線。又，圖20係顯示對於驅動用MIS·FET之 V_{th} 的SNM。

如藉由比較圖18及圖19之轉移曲線即可明白般，若依據本實施形態的話，就可大幅提高SNM。尤其是，如圖18至圖20可明白般，當施行使驅動用MIS·FET Q_d 之 V_{th} 上升的第一處理或第二處理時，可明白SNM會急速變大，且可充分確保記憶單元之動作界限(margin)。

如此若依據本實施形態1的話，則可獲得以下之效果。

(1).在SRAM內建型之微處理器中，藉由相對性且意識性地使構成SRAM之記憶單元之驅動用MIS·FET、傳輸用MIS·FET及負載電阻用MIS·FET之 V_{th} 上升，就可邊實現該微處理器之動作速度的提昇、電源電壓之降低(亦即，消耗電力之減低)及採用溝型之隔離構造以使元件集成度之提昇，而邊可提高SRAM之SNM。

(2).可減低SRAM內建型之微處理器中之記憶體的讀出不良或寫入不良之發生率。

(3).藉由上述(1)、(2)，就可提高既小型、高功能且以低

五、發明說明(28)

消耗電力即可進行高速動作之SRAM內建型之微處理器的動作可靠性。

(實施形態2)

圖21係本發明之另一實施形態之半導體積體電路裝置之製造步驟中的主要部位平面圖。

在前述實施形態1中，雖係就相對性且意識性地使構成SRAM之記憶單元之所有的MIS·FET之 V_{th} 上升的情況加以說明，但是並非被限定於此，亦可相對性且意識性地使SRAM之記憶單元之預定的MIS·FET之 V_{th} 上升。

本實施形態2係說明此者，例如在想相對性且意識性地使傳輸用MIS·FET之 V_{th} 上升的情況，在進行前述實施形態1中所說明之前述第一處理或第二處理時，只要如圖21所示，將露出傳輸用MIS·FET之形成區域，且覆蓋除此以外之區域的光阻圖案12A2形成於半導體基板3上，即可取代圖6所示之光阻圖案12A。另外，圖21係顯示與圖3或圖6等相同的記憶單元區域者，與上述之說明同樣，為了容易理解光阻圖案12A2之形成位置關係而也圖示元件等。又，在圖21中也是為了容易看到圖式而在光阻圖案12A2上附加剖面線。再者，光阻圖案12A2之圖案形狀，並非被限定於此，例如亦可形成露出傳輸用MIS·FET Q_t 之形成區域、和形成於半導體基板3上之n通道型MIS·FET，尤其是控制源·汲極間之漏電流所需要的MIS·FET之形成區域，且覆蓋除此以外之區域的圖案形狀。

在如此之本實施形態2中，特別可邊實現SRAM內建型之

(請先閱讀背面之注意事項再填寫本頁)

訂

五、發明說明(29)

微處理器之動作速度的提昇、電源電壓之降低(亦即，消耗電力之減低)及元件集成度的提昇，而邊可減低記憶體之讀出不良的發生率。因而，可提高既小型、高功能且以消耗電力即可進行高速動作之SRAM內建型之微處理器的動作可靠性。

(實施形態3)

圖22係本發明之另一實施形態之半導體積體電路裝置之製造步驟中的主要部位平面圖。

在本實施形態3中，係想相對性且意識性地使驅動用MIS·FET之 V_{th} 上升的情況，此情況，在進行前述實施形態1中所說明之前述第一處理或第二處理時，只要如圖22所示，將露出驅動用MIS·FET之形成區域，且覆蓋除此以外之區域的光阻圖案12A3形成於半導體基板3上，即可取代光阻圖案12A(參照圖6)。另外，圖22亦顯示與圖3或圖6等相同的記憶單元區域者，與上述之說明同樣，為了容易理解光阻圖案12A3之形成位置關係而也圖示元件等。又，在圖22中也是為了容易看到圖式而在光阻圖案12A3上附加剖面線。再者，光阻圖案12A3之圖案形狀，並非被限定於此，例如亦可形成露出驅動用MIS·FET Qd之形成區域、和形成於半導體基板3之n通道型MIS·FET，尤其是控制源·汲極間之漏電流所需要的MIS·FET之形成區域，且覆蓋除此以外之區域的圖案形狀。

在本實施形態3中，特別可邊實現SRAM內建型之微處理器之動作速度的提昇、電源電壓之降低(亦即，消耗電力

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

收

五、發明說明(30)

之減低)及元件集成度的提昇，而邊可減低記憶體之讀出不良的發生率。因而，可提高以低消耗電力即可進高速動作之SRAM內建型之微處理器的動作可靠性。

(實施形態4)

圖23至圖25係本發明之另一實施形態之半導體積體電路裝置之製造步驟中的主要部位截面圖。

本實施形態4係說明在前述實施形態1中所說明之第三處理的變形例。亦即，在前述第三處理中，雖係就將氮以離子佈植法導入於半導體基板內的情況加以說明，但是在本實施形態4中，係藉由在熱處理雰圍氣中混入氮氣以在閘極絕緣膜和半導體基板之接觸界面上偏析氮者，其具體的方法係如下所示。

首先，如圖23所示，在半導體基板3之主面上，利用通常的閘極氧化處理來形成由例如氧化矽所製成的閘極絕緣膜17之後，在半導體基板3之主面上，形成覆蓋記憶單元區域，且露出除此以外之區的光阻圖案12H，並以此為蝕刻罩幕，除去由此露出的閘極絕緣膜17。

接著，除去光阻圖案12H，如圖24所示，且只在記憶單元區域上留下閘極絕緣膜17。之後，藉由例如在氧化氮(NO)或是次氧化氮(N₂O)雰圍氣中對半導體基板3施行閘極氧化處理，以形成如圖25所示之閘極絕緣膜17(17a, 17b)。藉此，在閘極絕緣膜17和半導體基板3之界面上偏析氮(氧氮化處理)。

然而，在此情況，由於係以記憶單元區域之閘極絕緣膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

地

五、發明說明 (31)

17a，較厚於除此以外之區域的閘極絕緣膜17b，所以較薄側的閘極絕緣膜17b中之氮濃度，會相對高於較厚側的閘極絕緣膜17a中之氮濃度。結果，形成於記憶單元區域中的MIS·FET之 V_{th} ，可相對性且意識性地高於形成除此以外之區域上的MIS·FET之 V_{th} 。在此之後，由於與前述實施形態1相同所以省略其說明。

若依據如此的本實施形態4的話，則可獲得與前述實施形態1相同的效果。

以上，雖係根據實施形態具體說明依本發明人所完成的發明，但是本發明並非被限定於前述實施形態，只要在未脫離其要旨的範圍內其當然可作各種的變更。

例如半導體晶圓並非被限定於矽單晶體之單體膜而亦可作各種變更，例如亦可使用在矽單晶體之半導體基板之表面上形成較薄(例如 $1\mu\text{m}$ 以下)之磊晶層的磊晶晶圓或在絕緣層上設置元件形成用之半導體層的SOI(Silicon On Insulator)晶圓。

以上之說明中雖係就將本發明人所完成的發明適用於內建有作為其背景之利用領域中之SRAM記憶單元的微處理器的情況加以說明，但是並非被限定於此，例如亦可適用於SRAM單體的半導體積體電路裝置等中。又，在前述實施形態中，雖係就採用6 MIS·FET型之SRAM單元的情況加以說明，但是並非被限定於此，例如亦可採用在負載電阻元件使用複晶矽電阻之高電阻負載型的SRAM單元或驅動用MIS·FET之上層設置二層的複晶矽層，且依該複晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

14

五、發明說明(32)

矽層以構成負載電阻元件用之p通道型MIS·FET，即所謂的TFT構造之SRAM單元。又，亦可適用於在半導體基板上設置用以構成SRAM或其他電路之MIS·FET及雙載子電晶體的半導體裝置中。

依本案所揭示之發明中，若簡單說明依其代表性發明所得的效果的話，則如以下所示。

(1).若依據本發明，則可邊實現SRAM內建型之微處理器之動作速度的提昇及電源電壓之降低(亦即，消耗電力之減低)，而邊可提高SRAM之靜態雜訊界限(SNM)。

(2).若依據本發明，則可減低SRAM內建型之微處理器中之記憶體的讀出不良或寫入不良之發生率。

(3).藉由上述(1)、(2)，則可提高以低消耗電力即可進行高速動作之SRAM內建型之微處理器的動作可靠性。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

位

四、中文發明摘要(發明之名稱：半導體積體電路裝置及其製造方法)

本發明之解決手段係在於：導入一設定驅動用 MIS · FETQd、傳輸用 MIS · FETQt 及負載電阻用 MIS · FETQL 之 Vth 用的雜質導入步驟，以區別於將構成 SRAM 之記憶單元的驅動用 MIS · FETQd、傳輸用 MIS · FETQt 及負載電阻用 MIS · FETQL 之 Vth，相對性且意識性地比 SRAM 周邊電路或邏輯電路之預定的 MIS · FET 之 Vth 還高，且設定其預定之 MIS · FET 之 Vth 用的雜質導入步驟。

日文發明摘要(發明之名稱：“半導體集積回路裝置およびその製造方法”)

SRAM のメモリセルを構成する駆動用 MIS · FETQd、転送用 MIS · FETQt および負荷抵抗用 MIS · FETQL の Vth を SRAM 周辺回路や論理回路の所定の MIS · FET の Vth よりも相対的かつ意識的に高くすべく、その所定の MIS · FET の Vth を設定するための不純物導入工程とは別に、駆動用 MIS · FETQd、転送用 MIS · FETQt および負荷抵抗用 MIS · FETQL の Vth を設定するための不純物導入工程を導入した。

432678

六、申請專利範圍

1. 一種半導體積體電路裝置，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其中：

前述複數個第一場效電晶體之中之至少一個場效電晶體的臨限電壓，相對地高於前述第二場效電晶體之臨限電壓。

2. 一種半導體積體電路裝置，係將構成SRAM之記憶單元的驅動用場效電晶體、傳輸用場效電晶體及負載用場效電晶體、和除此以外之場效電晶體設在半導體基板上，其中：

前述驅動用場效電晶體、傳輸用場效電晶體及負載用場效電晶體之中之任二個或全部的臨限電壓，相對地高於前述以外之場效電晶體的臨限電壓。

3. 一種半導體積體電路裝置，係將構成SRAM之記憶單元的驅動用場效電晶體、和除此以外之場效電晶體設在半導體基板上，其中：

前述驅動用場效電晶體的臨限電壓，相對地高於前述以外之場效電晶體的臨限電壓。

4. 一種半導體積體電路裝置，係將構成SRAM之記憶單元的傳輸用場效電晶體、和除此以外之場效電晶體設在半導體基板上，其中：

在前述傳輸用場效電晶體之間極絕緣膜設計上的膜厚、和前述以外之場效電晶體之間極絕緣膜設計上的膜厚設為相同的狀態下，前述傳輸用場效電晶體的臨限

(請先閱讀背面之注意事項再填寫本頁)

訂

煩請委員明示
修正本有無變更實質內容是否准予修正。
89年10月16日所提之

經濟部中央標準局員工消費合作社印製

六、申請專利範圍

電壓，相對地高於前述以外之場效電晶體的臨限電壓。

5. 一種半導體積體電路裝置，係將構成SRAM之記憶單元的負載用場效電晶體、和除此以外之場效電晶體設在半導體基板上，其中：

前述負載用場效電晶體的臨限電壓，相對地高於前述以外之場效電晶體的臨限電壓。

6. 如申請專利範圍第1項之半導體積體電路裝置，其動作速度為100MHz以上者。
7. 如申請專利範圍第1項之半導體積體電路裝置，其中設在前述半導體基板上的隔離部為溝型構造者。
8. 如申請專利範圍第1項之半導體積體電路裝置，其中前述至少一個第一場效電晶體之設計上的通道寬度，小於前述第二場效電晶體之設計上的最小通道寬度者。
9. 一種半導體積體電路裝置之製造方法，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其包含：
雜質導入步驟，其係為了使前述複數個第一場效電晶體之中之至少一個第一場效電晶體的臨限電壓相對地高於前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第一雜質導入於前述至少一個第一場效電晶體之形成區域內者。
10. 一種半導體積體電路裝置之製造方法，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

紉

六、申請專利範圍

二場效電晶體設在半導體基板上，其包含：

(a)在前述半導體基板中形成溝的步驟：

(b)雜質導入步驟，在前述(a)步驟之後，為了使前述複數個第一場效電晶體之中之至少一個場效電晶體的臨限電壓相對地高於前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第一雜質導入於前述至少一個第一場效電晶體之形成區域內者；

(c)在前述(b)步驟之後，藉由將絕緣膜埋設在前述溝內以形成隔離部的步驟；及

(d)雜質導入步驟，在前述(c)步驟之後，為了設定前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第二雜質導入於同一導電型場效電晶體之形成區域內者。

11. 一種半導體積體電路裝置之製造方法，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其包含：

(a)在前述半導體基板中形成溝的步驟：

(b)在前述溝之形成步驟之後，藉由將絕緣膜埋設在前述溝內以形成隔離部的步驟；

(c)雜質導入步驟，在前述(b)步驟之後，為了使前述複數個第一場效電晶體之中之至少一個場效電晶體的臨限電壓相對地高於前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第一雜質導入於前述至少一個第一場效電晶體之形成區域內者；及

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

編

六、申請專利範圍

(d)雜質導入步驟，在前述(b)步驟之後，為了設定前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第二雜質導入於同一導電型場效電晶體之形成區域內者。

12. 如申請專利範圍第9項之半導體積體電路裝置之製造方法，其中前述至少一個第一場效電晶體，為驅動用場效電晶體者。

13. 一種半導體積體電路裝置之製造方法，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其中：

前述複數個第一場效電晶體之中之至少一個第一場效電晶體的臨限電壓，相對地高於前述第二場效電晶體之臨限電壓，且包含以下之步驟：

(a)在前述半導體基板上形成閘極絕緣膜的步驟；

(b)在前述(a)步驟後之半導體基板上，形成覆蓋前述第一場效電晶體之形成區域，且露出除此以外之區域的光阻圖案(photoresist pattern)之後，以此作為罩幕而除去從此處露出的閘極絕緣膜之步驟；及

(c)在前述(b)步驟之後，在除去前述光阻圖案之後，藉由對前述半導體基板施行氧化處理，以在前述第一場效電晶體之形成區域上，形成比前述第二場效電晶體之形成區域中所形成之閘極絕緣膜還厚的閘極絕緣膜之步驟。

14. 一種半導體積體電路裝置之製造方法，係將構成SRAM

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

之記憶單元的第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其中：

前述複數個第一場效電晶體之中之至少一個第一場效電晶體的臨限電壓，相對地高於前述第二場效電晶體之臨限電壓，且包含以下之步驟：

(a)在前述半導體基板中選擇性地將第一雜質導入於前述至少一個第一場效電晶體之形成區域內的雜質導入步驟；及

(b)在前述半導體基板中前述至少一個第一場效電晶體之形成區域內，形成比前述第二場效電晶體之形成區域中所形成之閘極絕緣膜還厚的閘極絕緣膜之步驟。

15. 一種半導體積體電路裝置之製造方法，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其包含：

(a)在前述半導體基板中形成溝的步驟；

(b)雜質導入步驟，在前述(a)步驟之後，為了使前述複數個第一場效電晶體之中之至少一個場效電晶體的臨限電壓相對地高於前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第一雜質導入於前述至少一個第一場效電晶體之形成區域內者；

(c)在前述(b)步驟之後，藉由將絕緣膜埋設在前述溝內以形成隔離部的步驟；

(d)雜質導入步驟，在前述(c)步驟之後，為了設定前

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第二雜質導入於同一導電型場效電晶體之形成區域內者；

(e)在前述(d)步驟後之半導體基板上形成閘極絕緣膜的步驟；

(f)在前述(e)步驟後之半導體基板上，形成覆蓋前述第一場效電晶體之形成區域，且露出除此以外之區域的光阻圖案之後，以此作為罩幕而除去從此處露出的閘極絕緣膜之步驟；及

(g)在前述(f)步驟之後，在除去前述光阻圖案之後，藉由對前述半導體基板施行氧化處理，以在前述第一場效電晶體之形成區域上，形成比前述第二場效電晶體之形成區域中所形成之閘極絕緣膜還厚的閘極絕緣膜之步驟。

16. 一種半導體積體電路裝置之製造方法，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其包含：

(a)在前述半導體基板中形成溝的步驟；

(b)在前述溝之形成步驟之後，藉由將絕緣膜埋設在前述溝內以形成隔離部的步驟；

(c)雜質導入步驟，在前述(b)步驟之後，為了使前述複數個第一場效電晶體之中之至少一個第一場效電晶體之中之至少一個場效電晶體的臨限電壓相對地高於前述第二場效電晶體之臨限電壓還，而在前述半導體

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

基板中選擇性地將第一雜質導入於前述至少一個第一場效電晶體之形成區域內者；

(d)雜質導入步驟，在前述(b)步驟之後，為了設定前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第二雜質導入於同一導電型場效電晶體之形成區域內者；

(e)在前述(d)步驟後之半導體基板上形成閘極絕緣膜的步驟；

(f)在前述(e)步驟後之半導體基板上，形成覆蓋前述第一場效電晶體之形成區域，且露出除此以外之區域的光阻圖案之後，以此作為罩幕而除去從此處露出的閘極絕緣膜之步驟；及

(g)在前述(f)步驟之後，在除去前述光阻圖案之後，藉由對前述半導體基板施行氧化處理，以在前述第一場效電晶體之形成區域上，形成比前述第二場效電晶體之形成區域中所形成之閘極絕緣膜還厚的閘極絕緣膜之步驟。

17. 一種半導體積體電路裝置之製造方法，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其包含：

形成閘極絕緣膜的步驟，其係為了使前述複數個第一場效電晶體之中之至少一個第一場效電晶體的臨限電壓相對地高於前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將氮導入於前述第二場效電晶

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

體之形成區域內之後，在前述半導體基板上形成閘極絕緣膜者。

18. 一種半導體積體電路裝置之製造方法，係將構成SRAM之記憶單元的第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其中：

前述複數個第一場效電晶體之中至少一個第一場效電晶體的臨限電壓，相對地高於前述第二場效電晶體之臨限電壓，且包含有以下之步驟：

(a) 在前述半導體基板中選擇性地將第一雜質導入於前述至少一個第一場效電晶體之形成區域內的雜質導入步驟；及

(b) 在前述半導體基板中選擇性地將氮導入於前述第二場效電晶體之形成區域內之後，在前述半導體基板上形成閘極絕緣膜的步驟。

19. 一種半導體積體電路裝置之製造方法，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其包含：

(a) 在前述半導體基板中形成溝的步驟；

(b) 雜質導入步驟，其係在前述(a)步驟之後，為了使前述複數個第一場效電晶體之中之至少一個場效電晶體的臨限電壓相對地高於前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第一雜質導入於前述至少一個第一場效電晶體之形成區域內者；

(c) 在前述(b)步驟之後，藉由將絕緣膜埋設在前述溝

(請先閱讀背面之注意事項再填寫本頁)

表

訂

六、申請專利範圍

內以形成隔離部的步驟；

(d)雜質導入步驟，在前述(c)步驟之後，為了設定前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第二雜質導入於同一導電型場效電晶體之形成區域內者；及

(e)在前述(d)步驟之後，在前述半導體基板中選擇性地將氮導入於前述第二場效電晶體之形成區域內之後，在前述半導體基板上形成閘極絕緣膜的步驟。

20. 一種半導體積體電路裝置之製造方法，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其包含：

(a)在前述半導體基板中形成溝的步驟；

(b)在前述溝之形成步驟之後，藉由將絕緣膜埋設在前述溝內以形成隔離部的步驟；

(c)雜質導入步驟，在前述(b)步驟之後，為了使前述複數個第一場效電晶體之中之至少一個場效電晶體的臨限電壓相對地高於前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第一雜質導入於前述至少一個第一場效電晶體之形成區域內者；

(d)雜質導入步驟，在前述(b)步驟之後，為了設定前述第二場效電晶體之臨限電壓，而在前述半導體基板中選擇性地將第二雜質導入於同一導電型場效電晶體之形成區域內者；及

(e)在前述(d)步驟之後，在前述半導體基板中選擇性

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

六、申請專利範圍

地將氮導入於前述第二場效電晶體之形成區域內之後，在前述半導體基板上形成閘極絕緣膜的步驟。

(請先閱讀背面之注意事項再填寫本頁)

表

訂

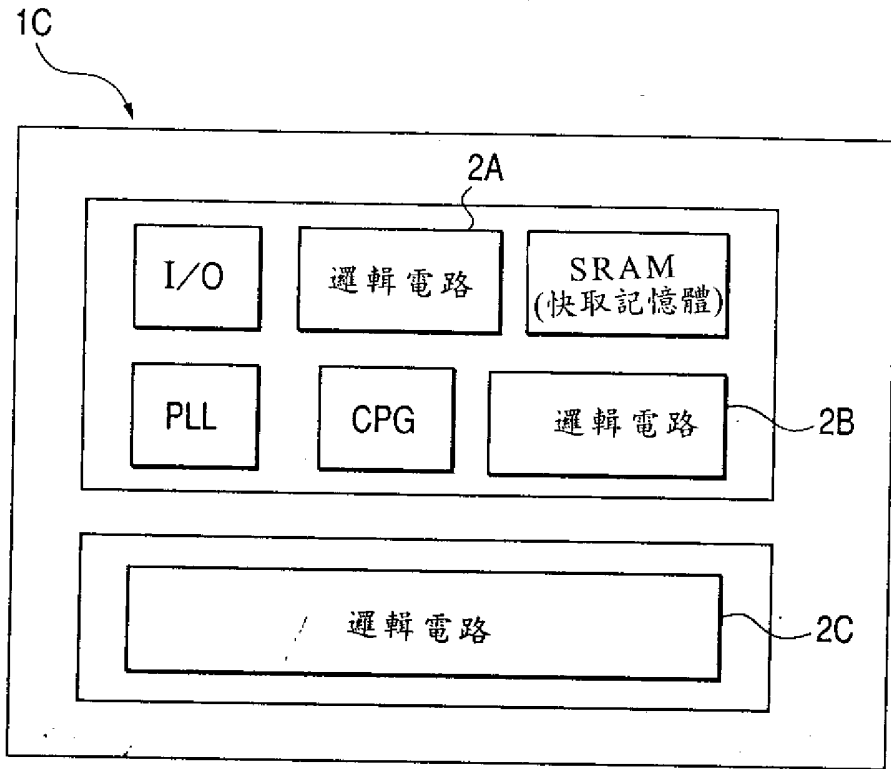


圖 1

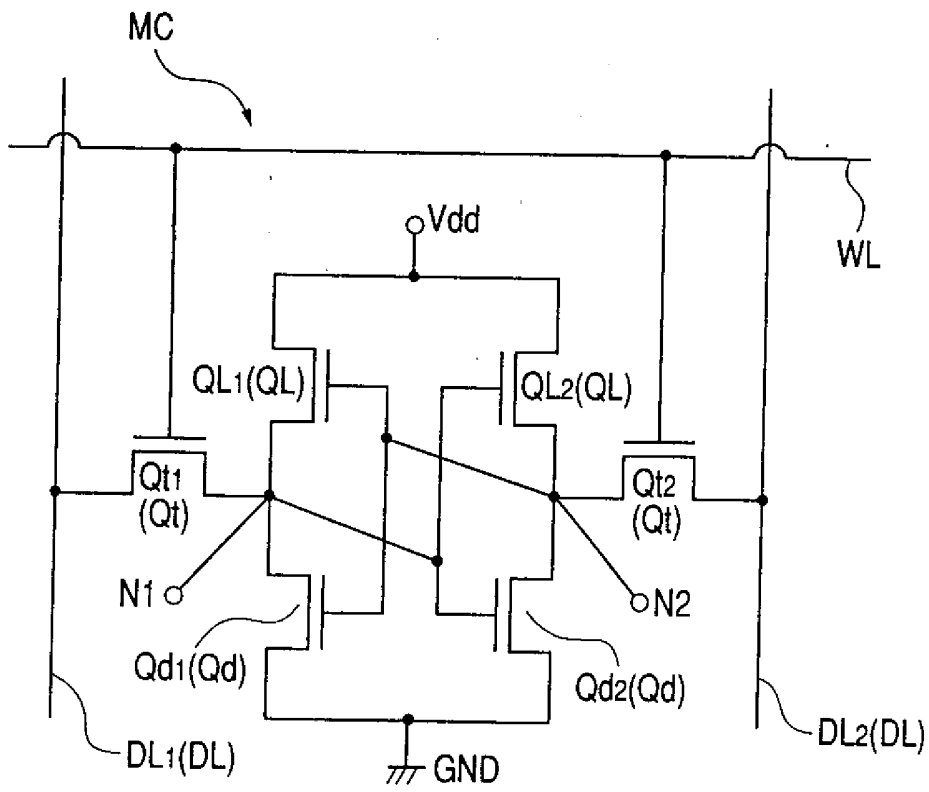


圖 2

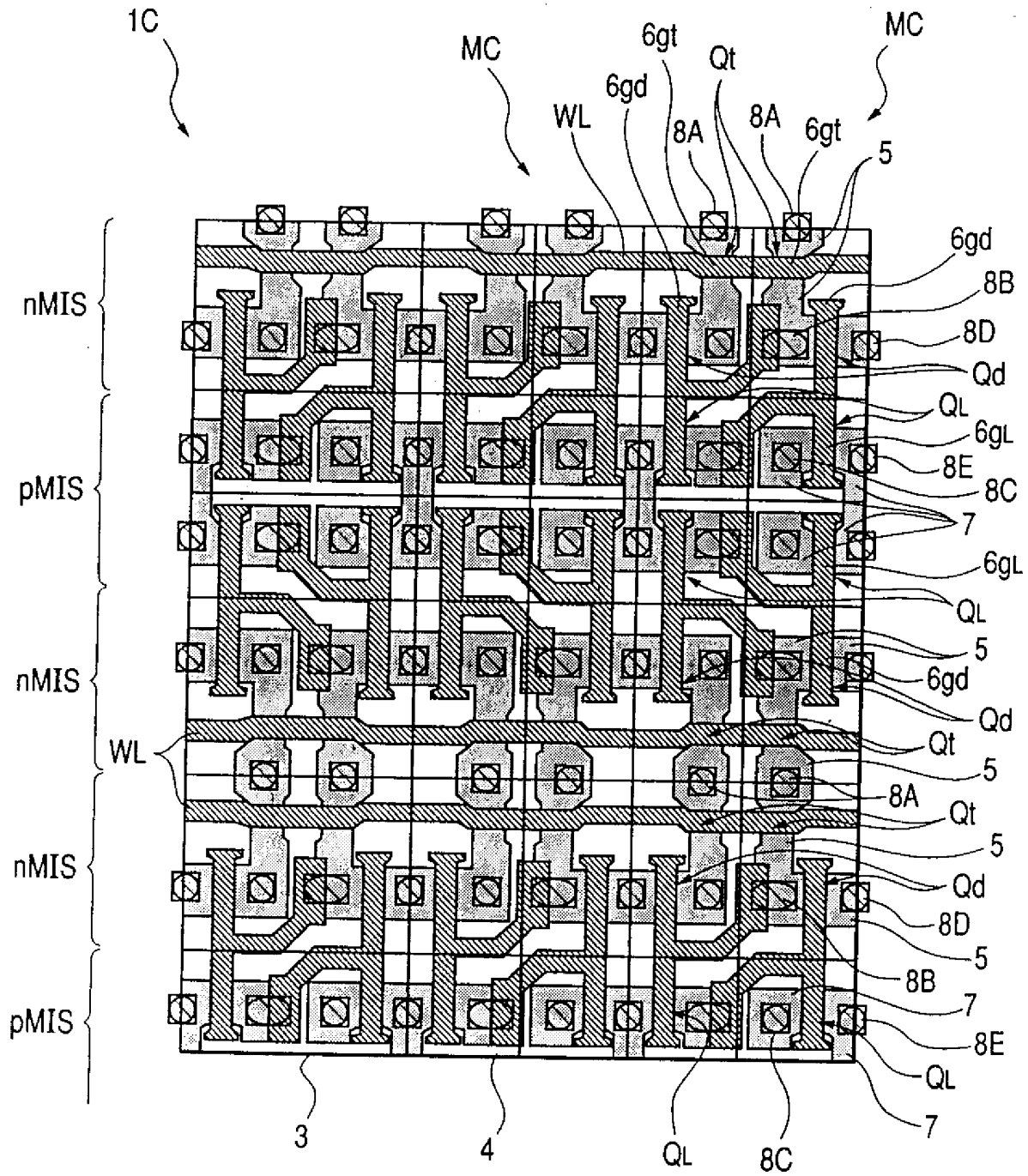


圖 3

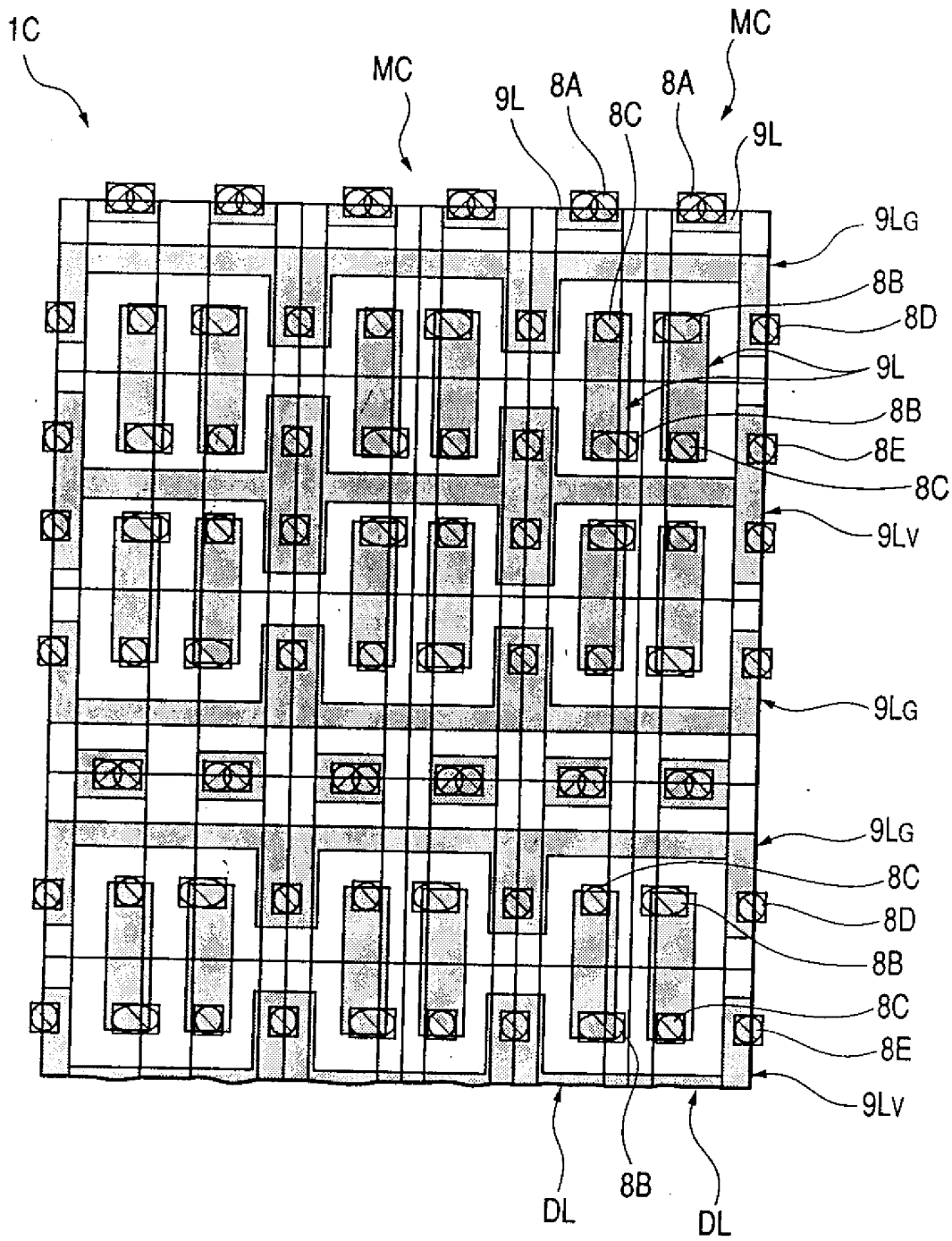


圖 4

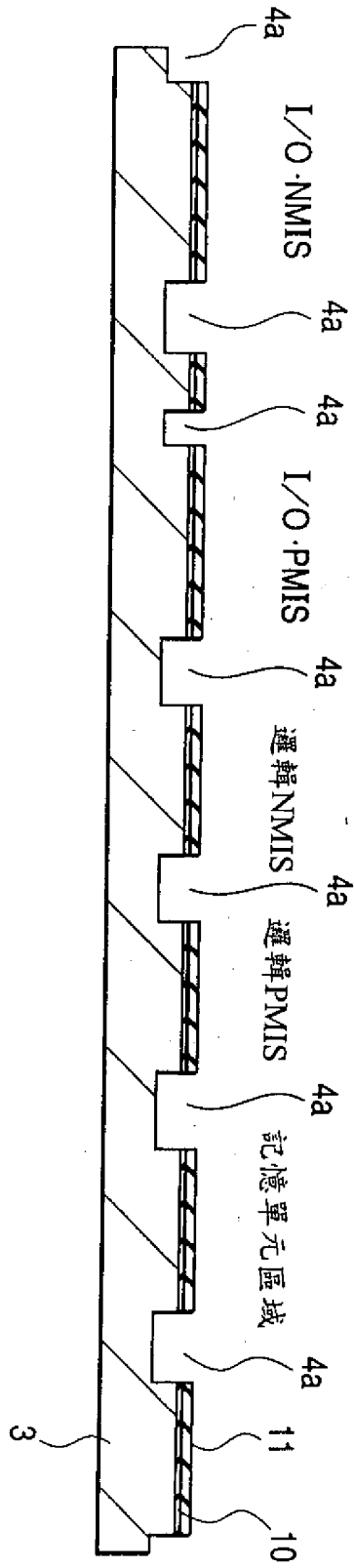


圖 5

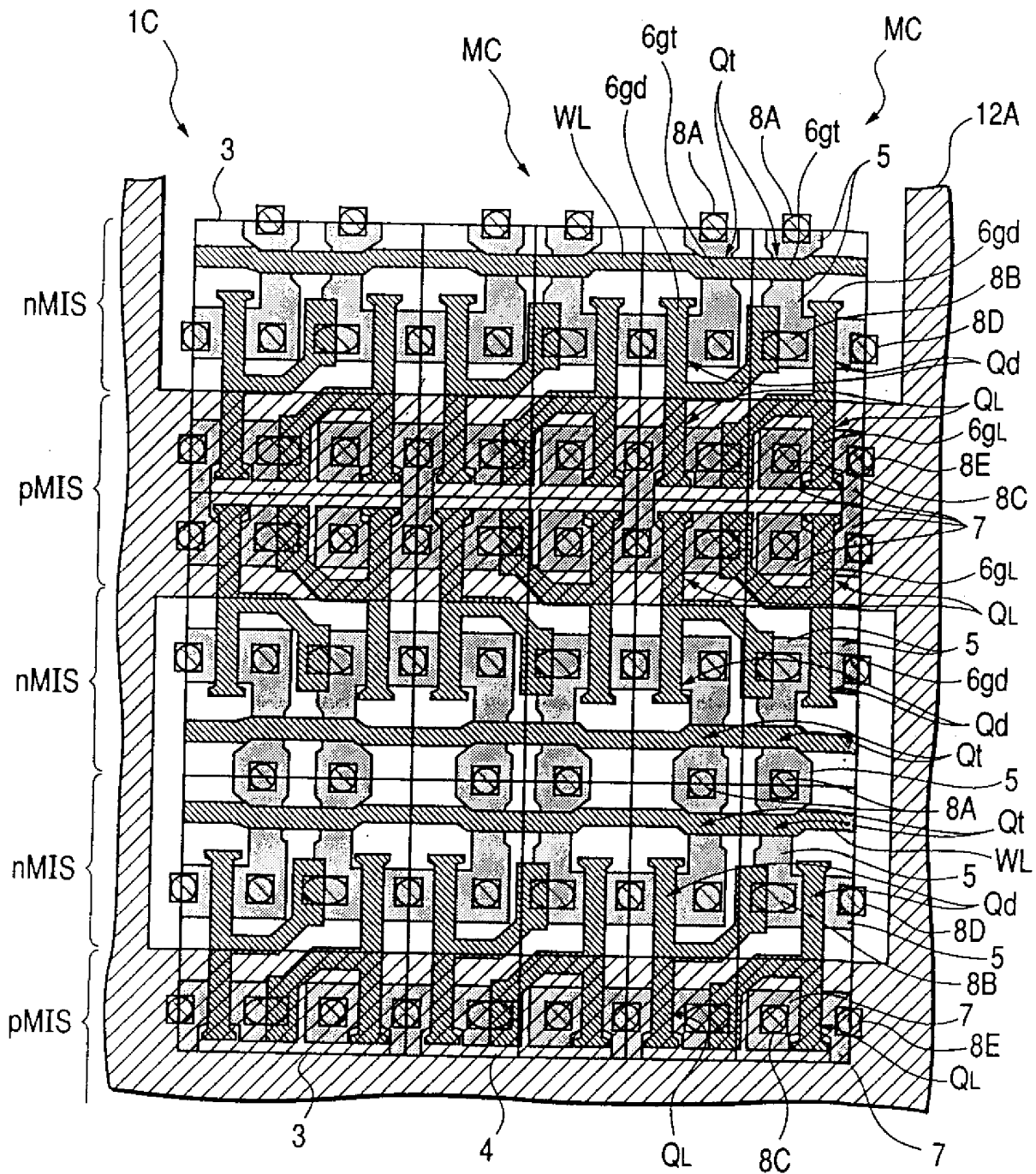


圖 6

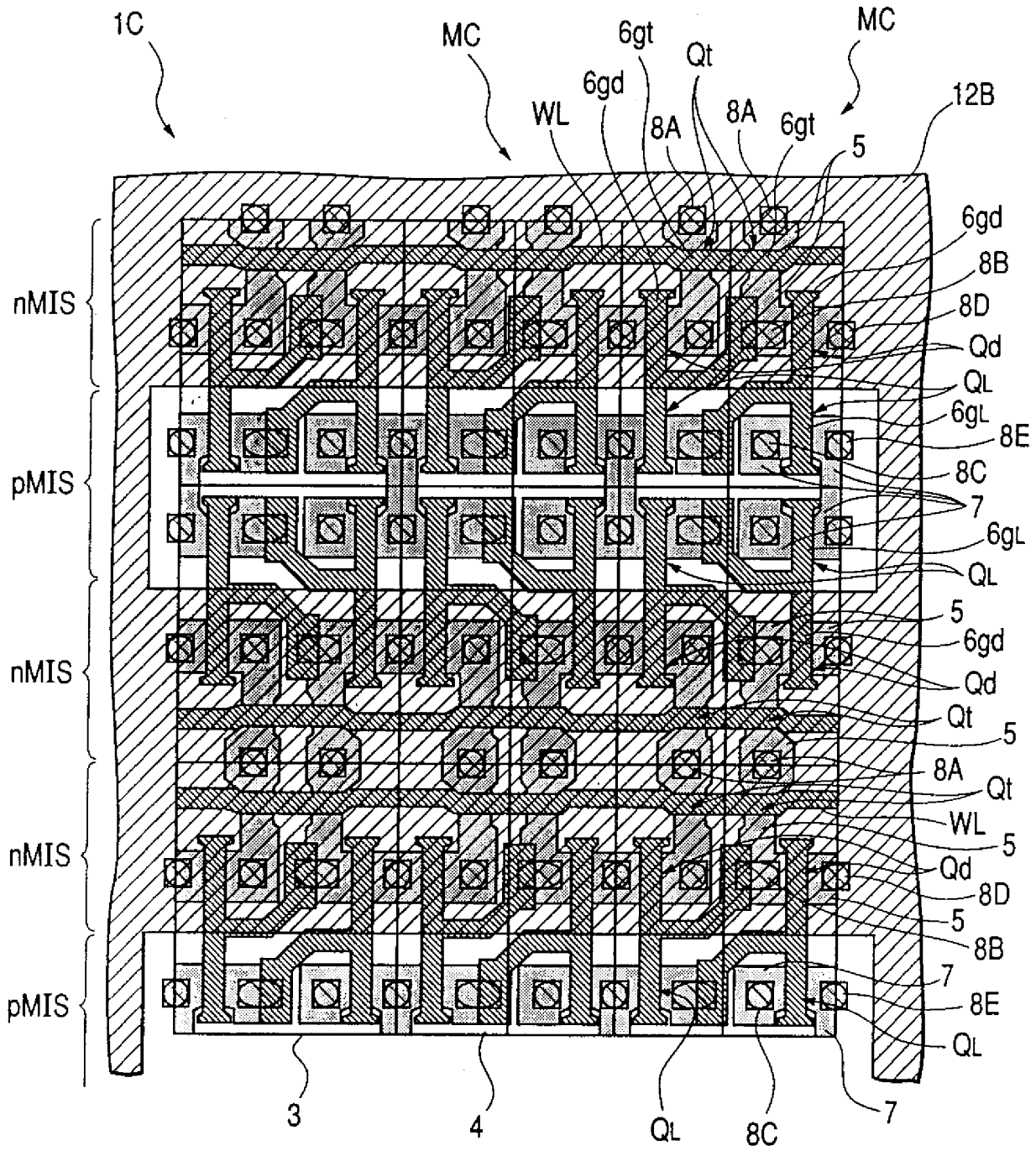


圖 7

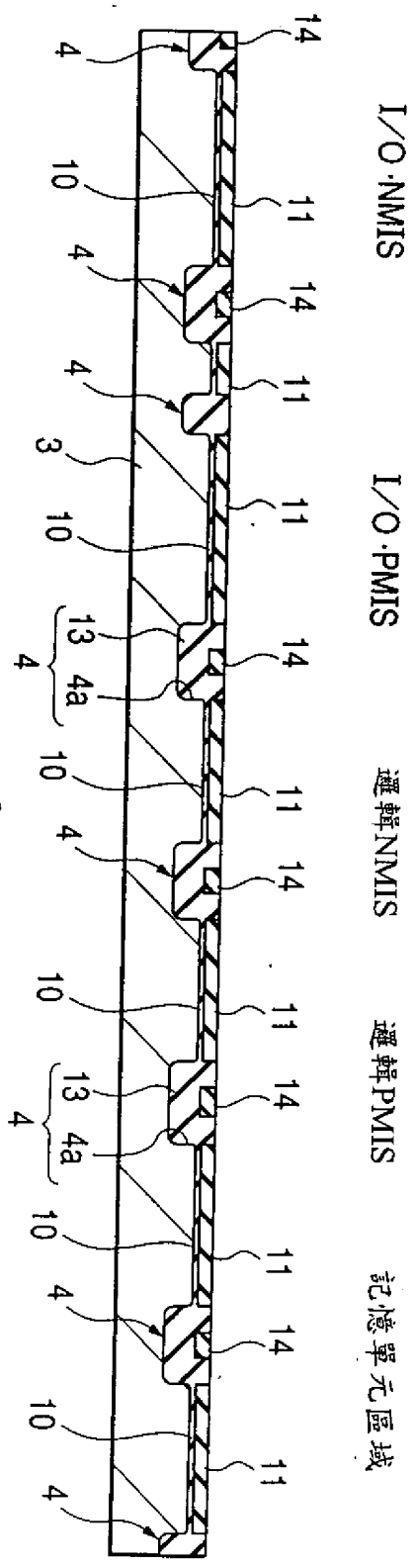


圖 8

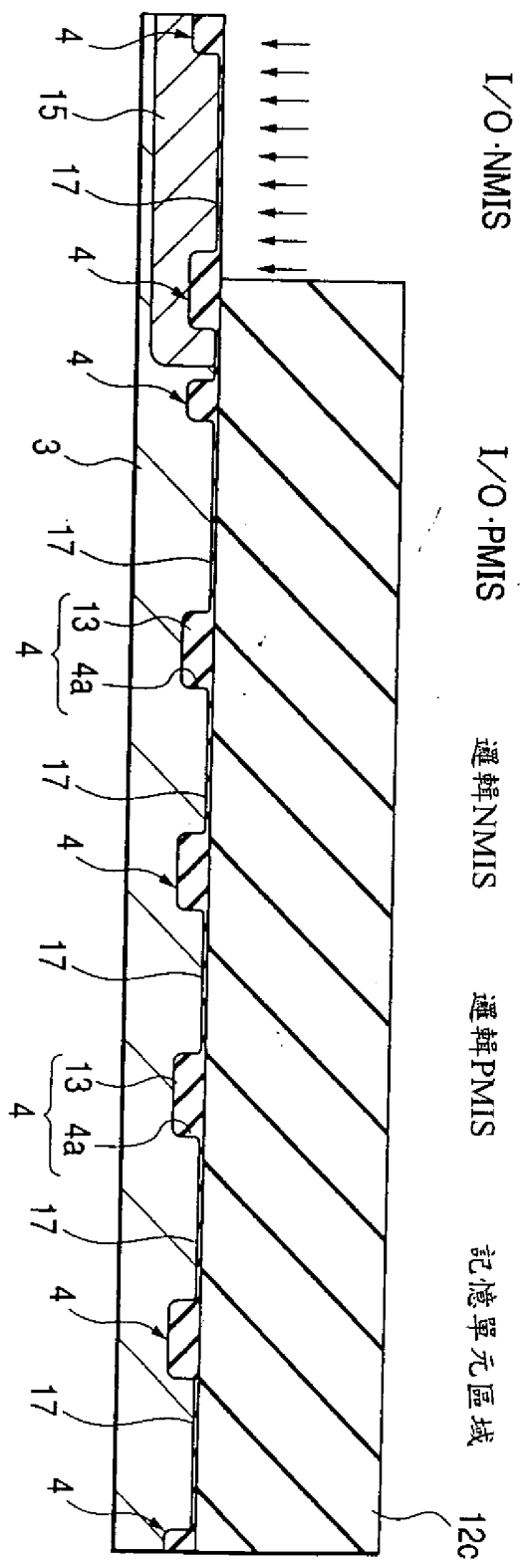


圖 9

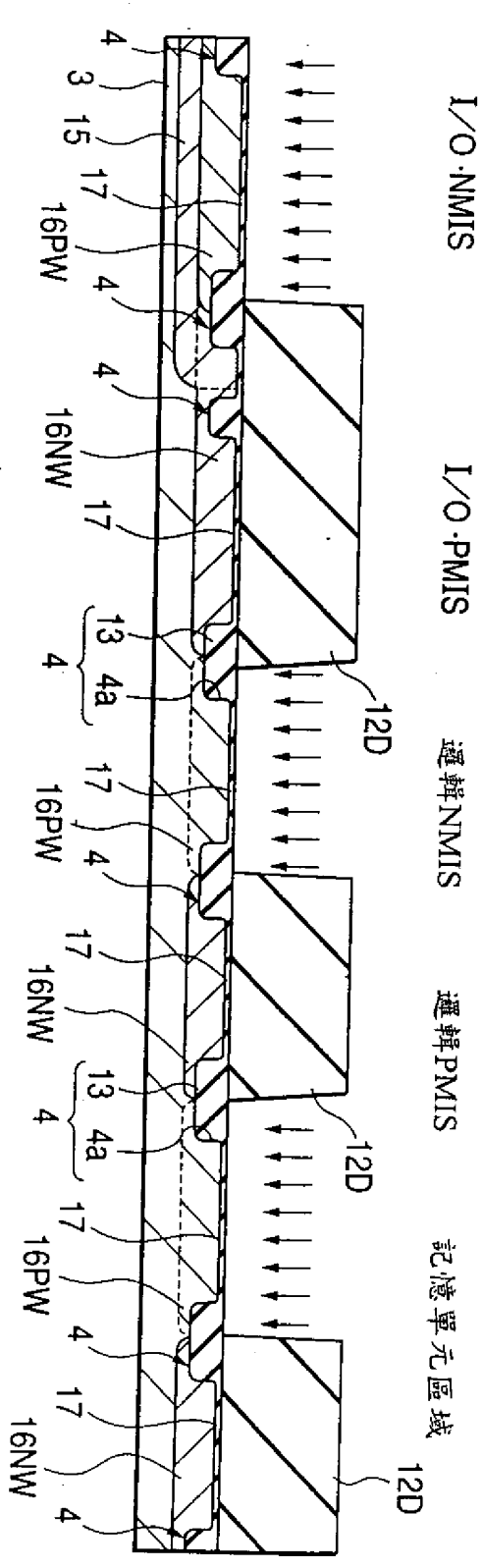


圖 10

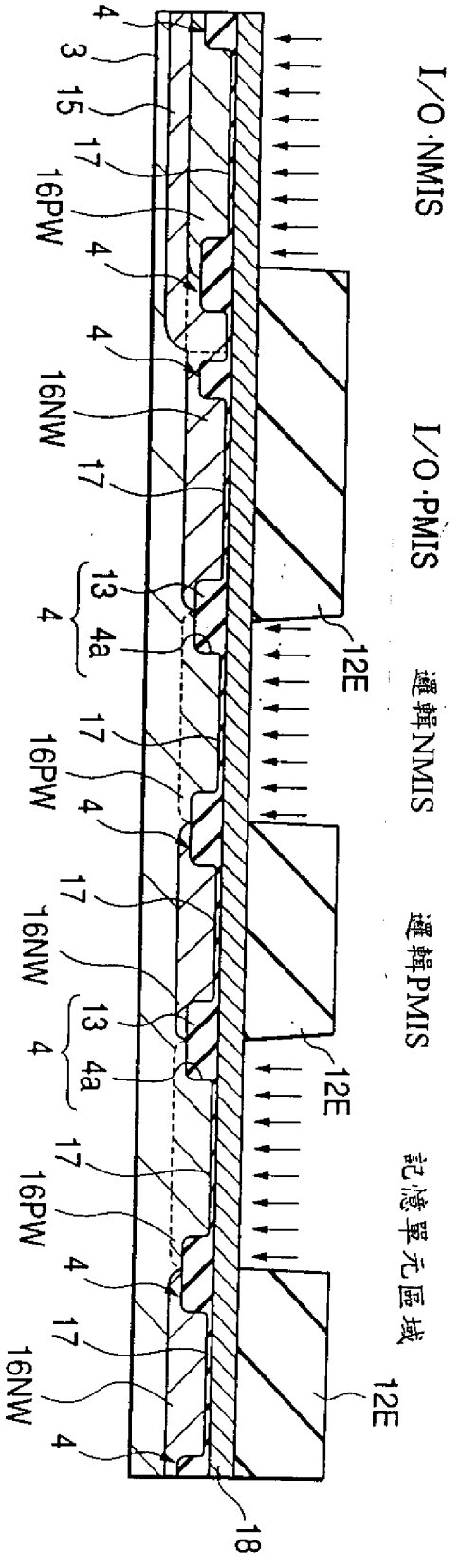


圖 11

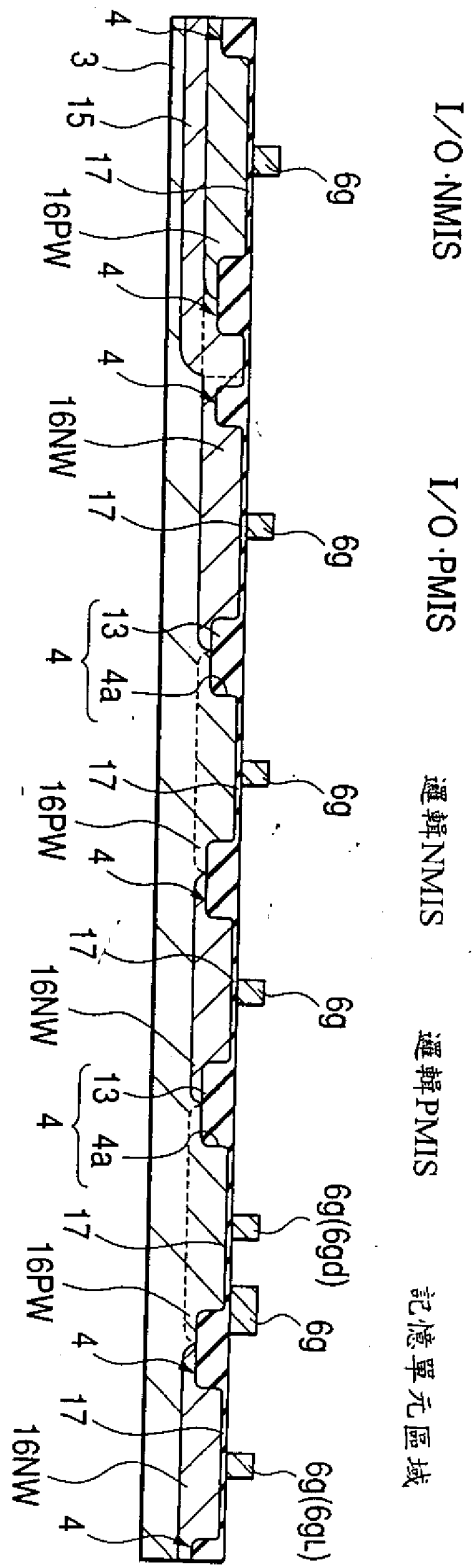


圖 12

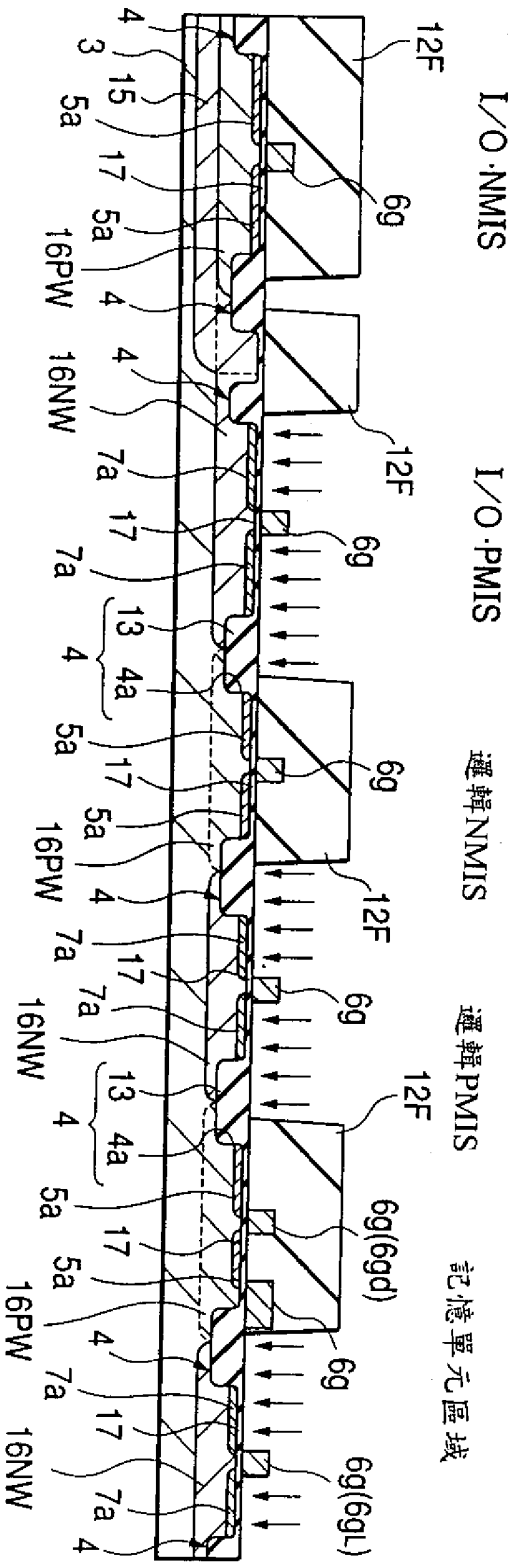


圖 13

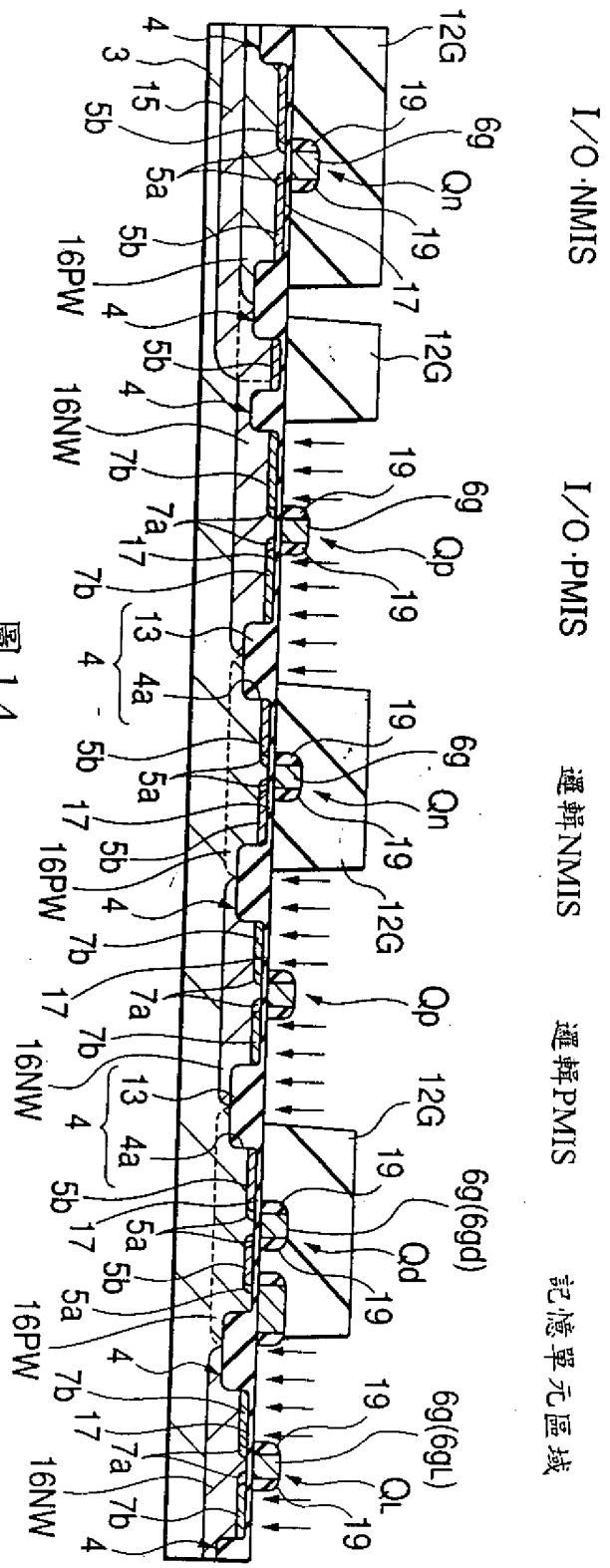


圖 14

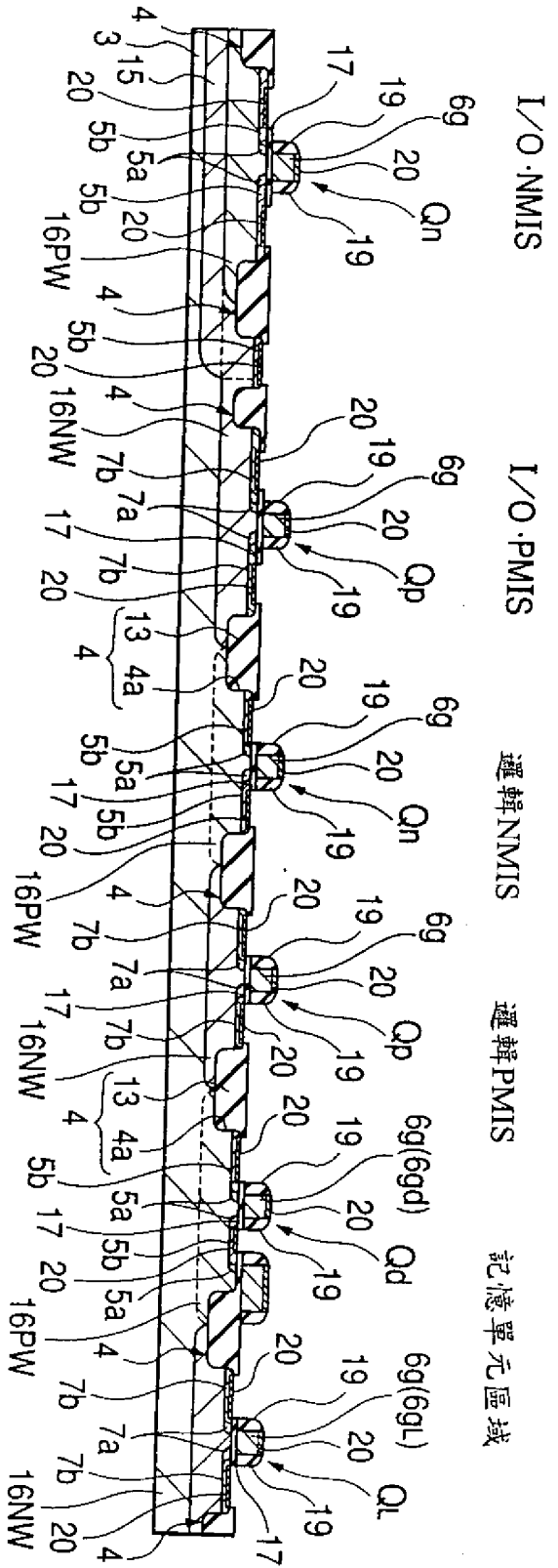


圖 15

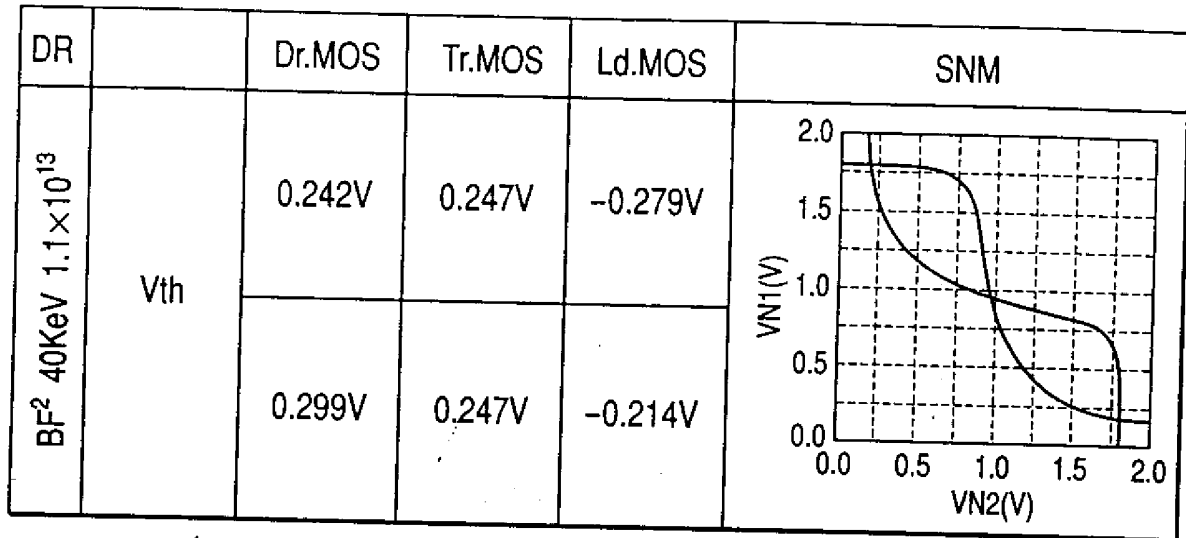


圖 18

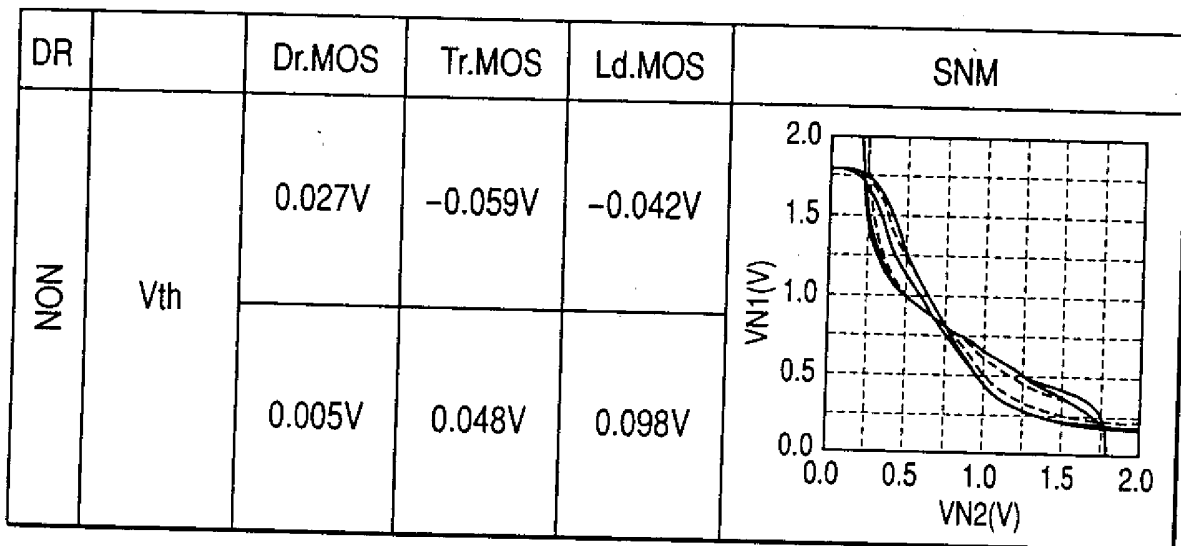


圖 19

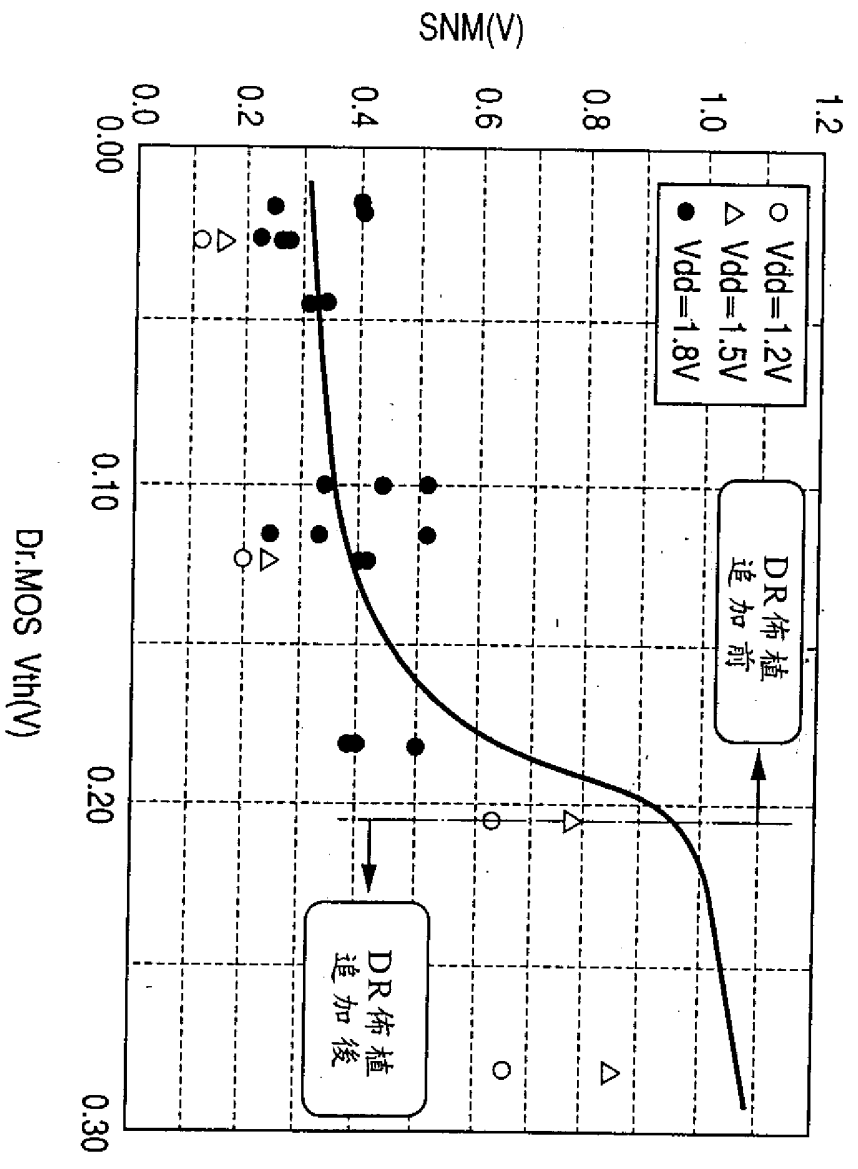


圖 20

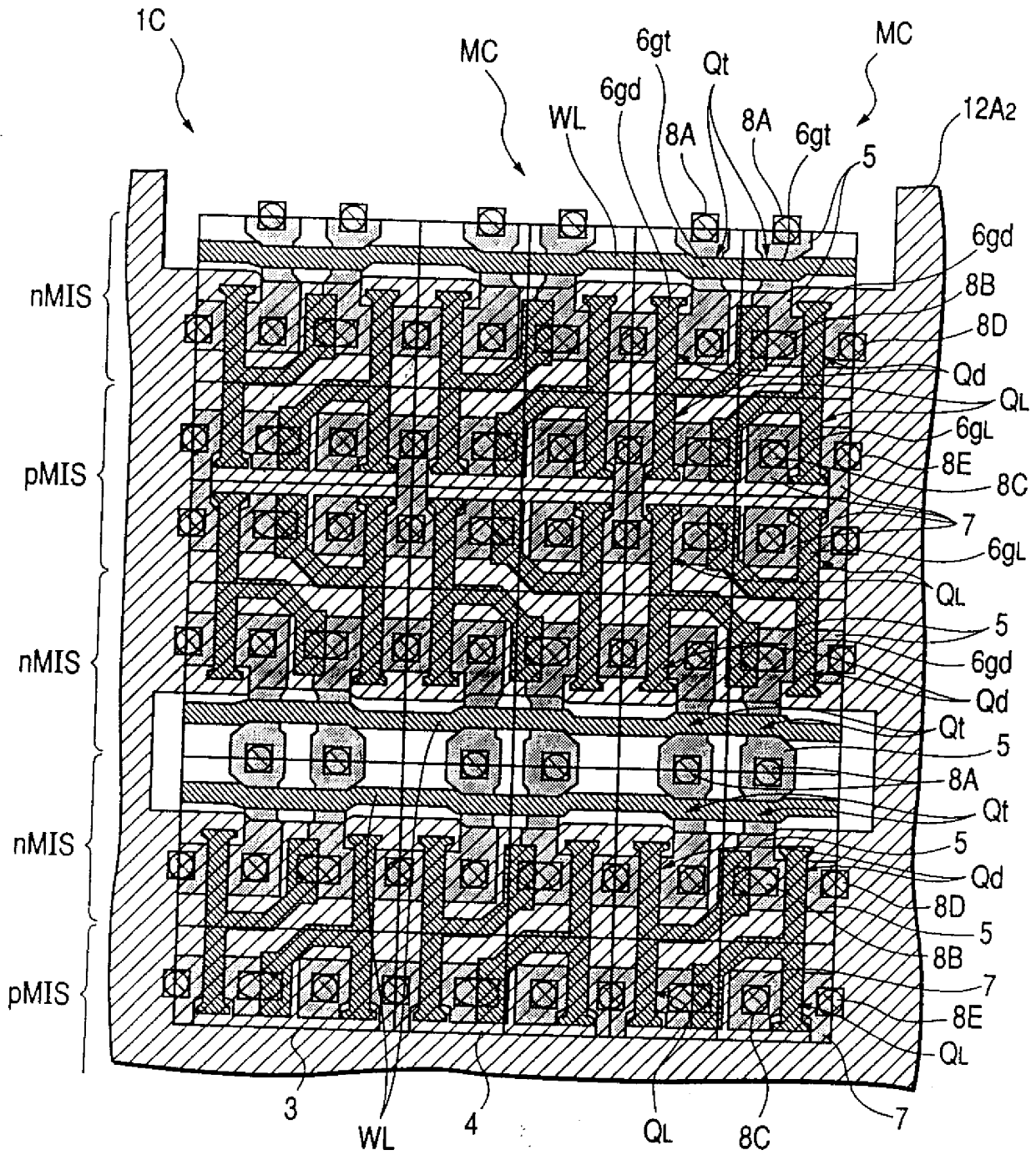


圖 21

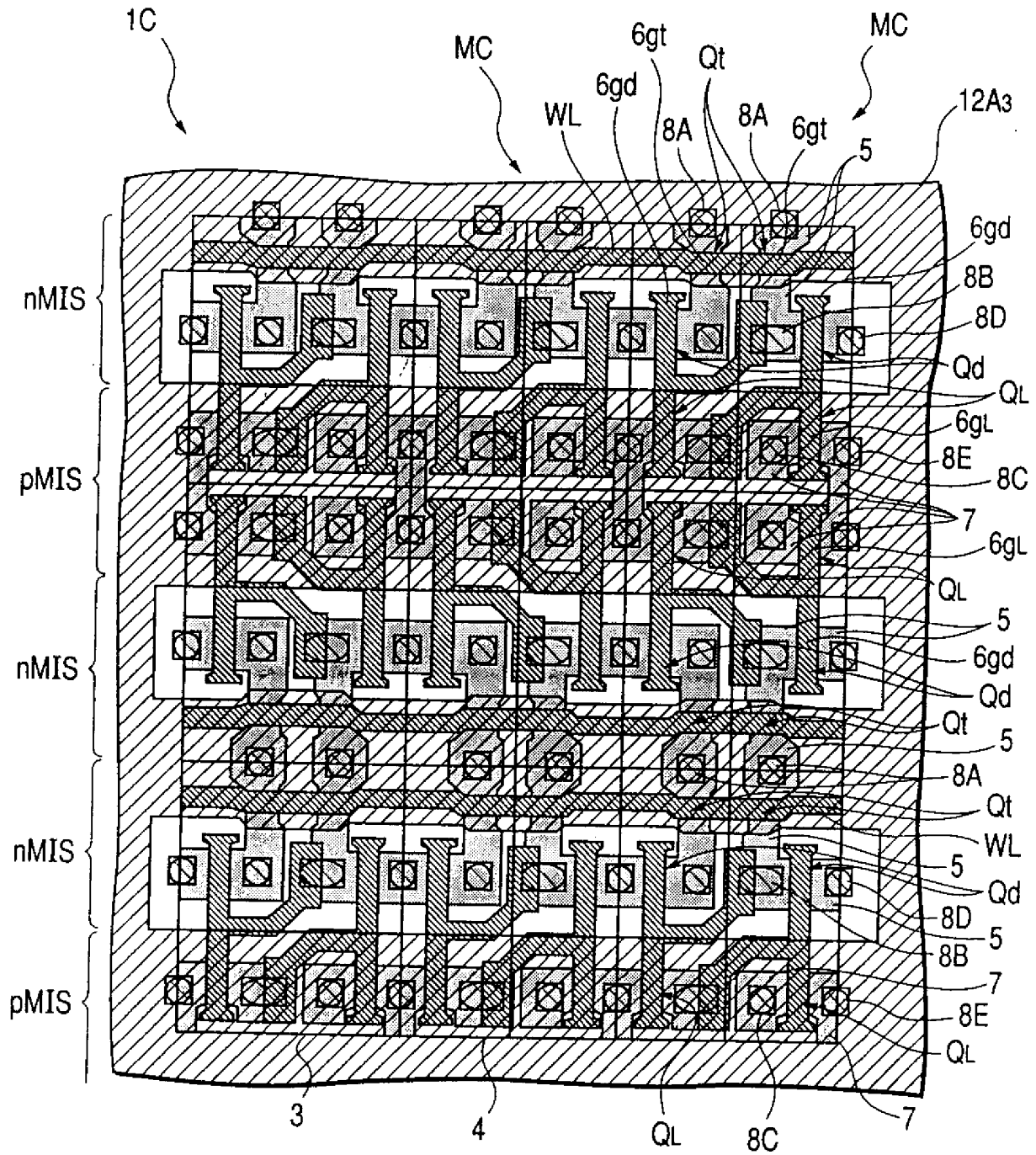


圖 22

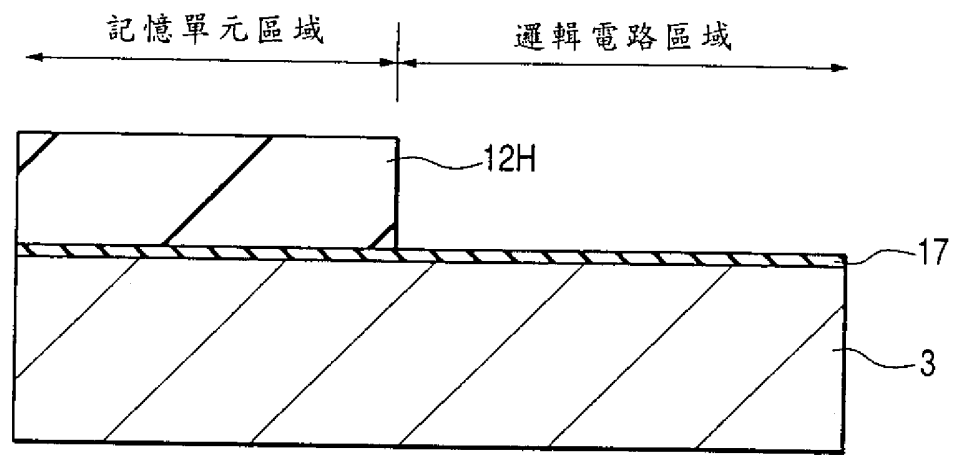


圖 23

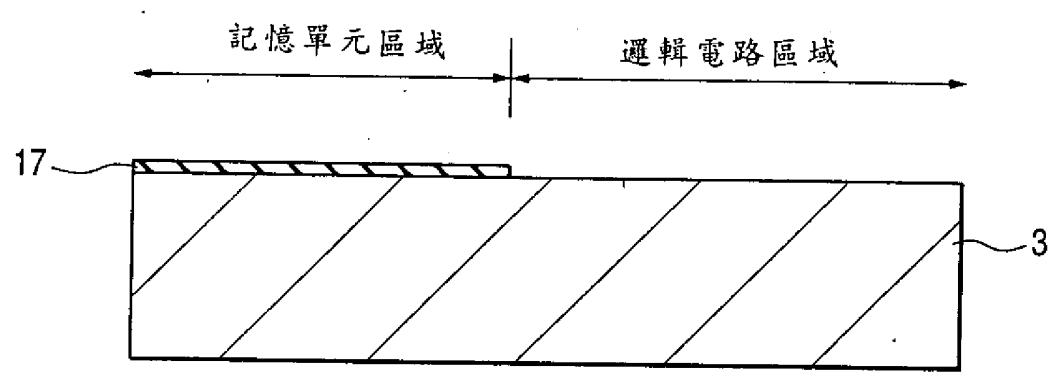


圖 24

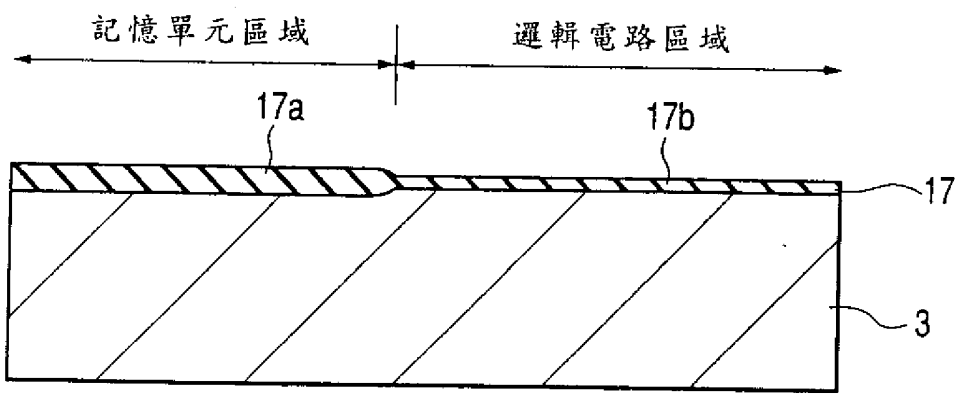


圖 25

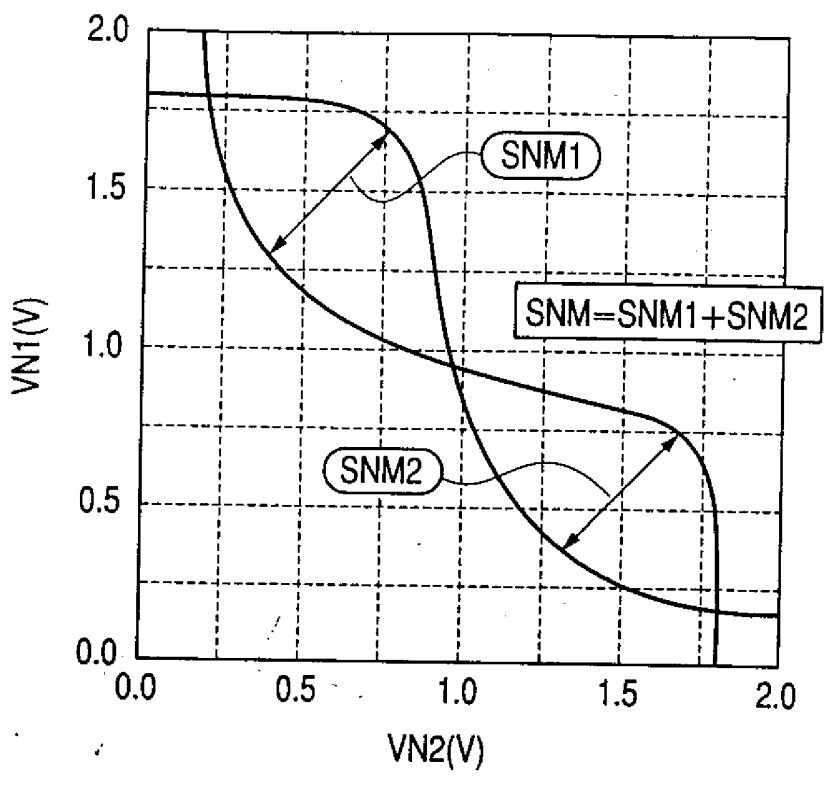


圖 26

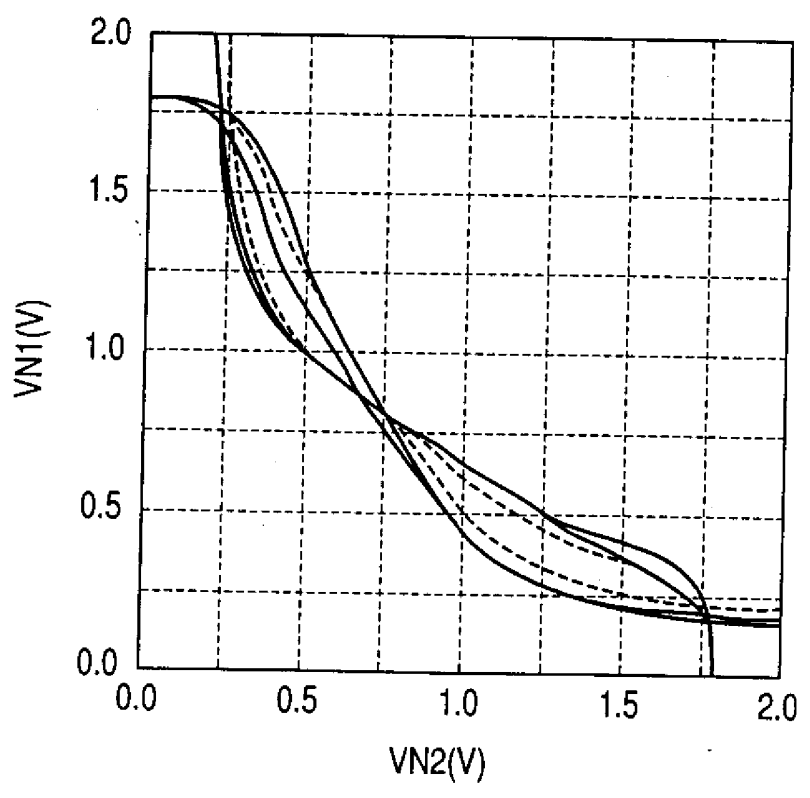


圖 27

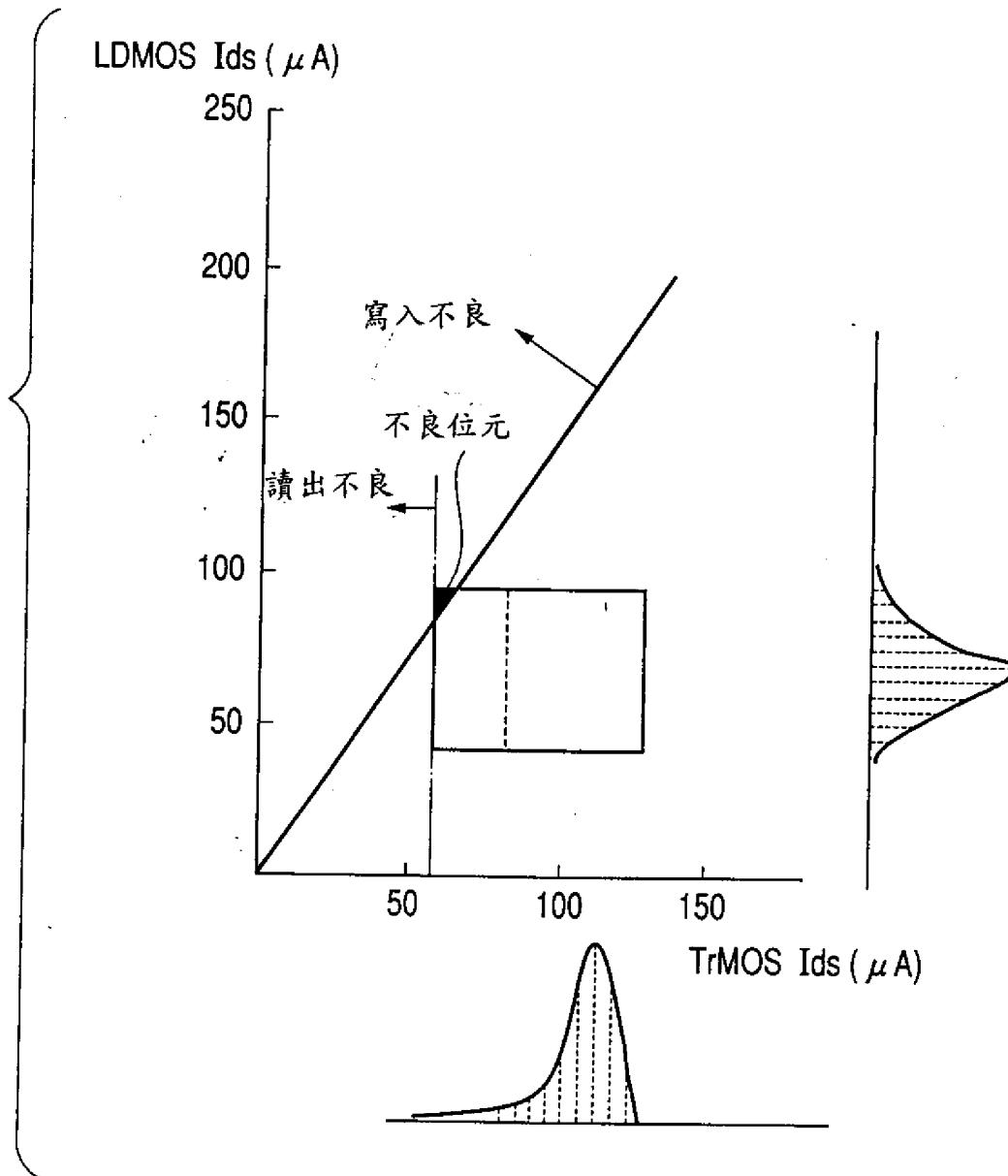


圖 28

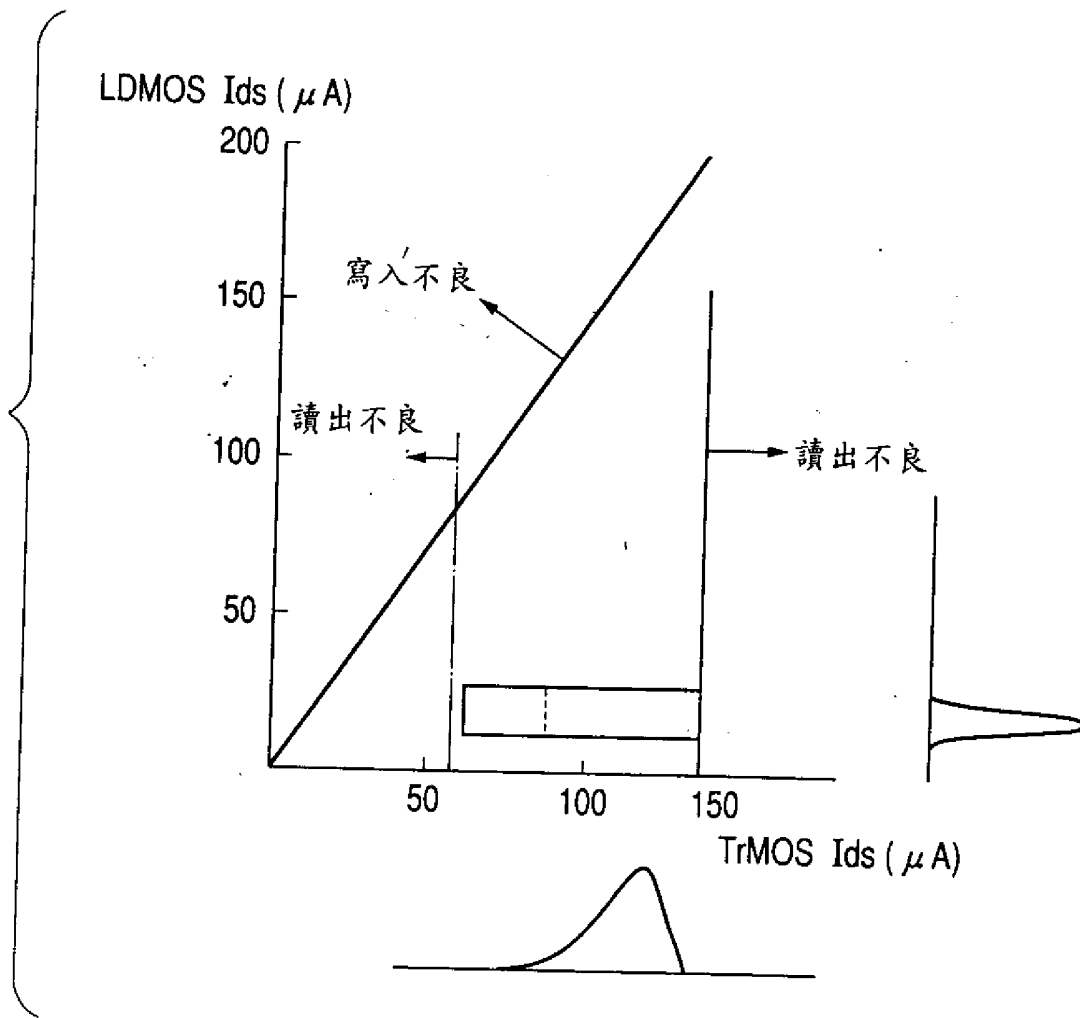


圖 29

432678

六、申請專利範圍

1. 一種半導體積體電路裝置，係將構成SRAM之記憶單元的複數個第一場效電晶體、和除此以外之第二場效電晶體設在半導體基板上，其中：

前述複數個第一場效電晶體之中之至少一個場效電晶體的臨限電壓，相對地高於前述第二場效電晶體之臨限電壓。

2. 一種半導體積體電路裝置，係將構成SRAM之記憶單元的驅動用場效電晶體、傳輸用場效電晶體及負載用場效電晶體、和除此以外之場效電晶體設在半導體基板上，其中：

前述驅動用場效電晶體、傳輸用場效電晶體及負載用場效電晶體之中之任二個或全部的臨限電壓，相對地高於前述以外之場效電晶體的臨限電壓。

3. 一種半導體積體電路裝置，係將構成SRAM之記憶單元的驅動用場效電晶體、和除此以外之場效電晶體設在半導體基板上，其中：

前述驅動用場效電晶體的臨限電壓，相對地高於前述以外之場效電晶體的臨限電壓。

4. 一種半導體積體電路裝置，係將構成SRAM之記憶單元的傳輸用場效電晶體、和除此以外之場效電晶體設在半導體基板上，其中：

在前述傳輸用場效電晶體之間極絕緣膜設計上的膜厚、和前述以外之場效電晶體之間極絕緣膜設計上的膜厚設為相同的狀態下，前述傳輸用場效電晶體的臨限

(請先閱讀背面之注意事項再填寫本頁)

訂

煩請委員明示
修正本有無變更實質內容是否准予修正。

經濟部中央標準局員工消費合作社印製