

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第1部門第2区分

【発行日】令和6年4月30日(2024.4.30)

【公開番号】特開2024-12748(P2024-12748A)

【公開日】令和6年1月31日(2024.1.31)

【年通号数】公開公報(特許)2024-019

【出願番号】特願2022-114458(P2022-114458)

【国際特許分類】

A 6 3 F 5/04 (2006.01)

10

【F I】

A 6 3 F 5/04 6 0 1 B

A 6 3 F 5/04 6 1 1 A

A 6 3 F 5/04 6 1 1 Z

【手続補正書】

【提出日】令和6年4月19日(2024.4.19)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 4

20

【補正方法】変更

【補正の内容】

【0 0 0 4】

ところで、上記した遊技の制御基板では、回路の動作検証や故障箇所の特定等を目的として、例えばデジタルオシロスコープ等の測定器を用いた検査を行い得るように構成されることが望ましい。特に、遊技機の主制御基板は、遊技の主要な制御を行うものであり、遊技の公平性や信頼性を担保するためにはその必要性が極めて高い。しかしながら、表面実装部品は、ディップ実装部品と比較すると、端子が細かったり、端子間が狭かったりするものが多い。そのため、そのような検査を適切に行えないおそれがある。もっとも、表面実装部品は、ディップ実装部品よりも入手しやすく安価であることも多い。そのような観点からすると、表面実装部品を使用せずに主制御基板を設計した場合にはその製造コストが増加してしまうという問題も生じる。

30

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 5

【補正方法】変更

【補正の内容】

【0 0 0 5】

本発明は、製造コストの削減を図ることができる遊技機を提供することを目的とする。

40

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0 0 0 7

【補正方法】変更

【補正の内容】

【0 0 0 7】

(1)

の遊技機は、

遊技の進行を制御する主制御部(例えば、主制御部4 1 1 a)と、遊技価値の管理に関する制御を行う遊技価値制御部(例えば、メダル数制御部4 1 1 b)と、が搭載された主制御基板(例えば、主制御基板4 1 1)を備える遊技機であって、

50

前記主制御基板には、前記主制御基板の表面側でその端子が半田付けされる複数の表面実装部品と、前記主制御基板を貫通するスルーホールに前記主制御基板の表面側からその端子を挿通させ、前記主制御基板の裏面側でその端子が半田付けされる複数のディップ実装部品と、が実装され、

前記複数の表面実装部品は、前記主制御部のマイクロプロセッサに接続された第1の集積回路（例えば、IC3）と、前記遊技価値制御部のマイクロプロセッサに接続された第2の集積回路（例えば、IC5）と、を少なくとも含み、

前記第1の集積回路及び前記第2の集積回路はそれぞれ複数の端子を有しており、前記第1の集積回路の複数の端子と前記第2の集積回路の複数の端子との間がそれぞれ配線で接続され、

前記第1の集積回路の複数の端子と前記第2の集積回路の複数の端子との間を接続する配線のそれぞれに対してテストポイントが設けられており、

前記テストポイントは、一の前記表面実装部品の端子と、他の前記表面実装部品の端子との間の配線において前記ディップ実装部品が接続されていない場合に設けられるものであり、

前記主制御部のマイクロプロセッサと前記遊技価値制御部のマイクロプロセッサとは同一の構成であることを特徴とする。

**【手続補正4】**

【補正対象書類名】明細書

【補正対象項目名】0008

20

【補正方法】変更

【補正の内容】

【0008】

上記構成の遊技機によれば、製造コストの削減を図ることができる。

**【手続補正5】**

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

30

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

遊技の進行を制御する主制御部と、遊技価値の管理に関する制御を行う遊技価値制御部と、が搭載された主制御基板を備える遊技機であって、

前記主制御基板には、前記主制御基板の表面側でその端子が半田付けされる複数の表面実装部品と、前記主制御基板を貫通するスルーホールに前記主制御基板の表面側からその端子を挿通させ、前記主制御基板の裏面側でその端子が半田付けされる複数のディップ実装部品と、が実装され、

前記複数の表面実装部品は、前記主制御部のマイクロプロセッサに接続された第1の集積回路と、前記遊技価値制御部のマイクロプロセッサに接続された第2の集積回路と、を少なくとも含み、

前記第1の集積回路及び前記第2の集積回路はそれぞれ複数の端子を有しており、前記第1の集積回路の複数の端子と前記第2の集積回路の複数の端子との間がそれぞれ配線で接続され、

前記第1の集積回路の複数の端子と前記第2の集積回路の複数の端子との間を接続する配線のそれぞれに対してテストポイントが設けられており、

前記テストポイントは、一の前記表面実装部品の端子と、他の前記表面実装部品の端子との間の配線において前記ディップ実装部品が接続されていない場合に設けられるものであり、

前記主制御部のマイクロプロセッサと前記遊技価値制御部のマイクロプロセッサとは同一の構成であることを特徴とする遊技機。

40

50