

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200710152639.1

[51] Int. Cl.

H01L 27/12 (2006.01)

H01L 23/522 (2006.01)

H01L 23/532 (2006.01)

H01L 21/84 (2006.01)

H01L 21/768 (2006.01)

G02F 1/1362 (2006.01)

[43] 公开日 2008 年 2 月 27 日

[11] 公开号 CN 101132011A

[22] 申请日 2007.7.20

[21] 申请号 200710152639.1

[30] 优先权

[32] 2006.7.20 [33] KR [31] 67979/06

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 李制勋 金度贤 李殷国 郑敞午

[74] 专利代理机构 北京市柳沈律师事务所

代理人 许向华 陶凤波

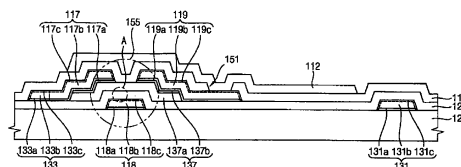
权利要求书 5 页 说明书 24 页 附图 26 页

[54] 发明名称

阵列基板及其制造方法和具有阵列基板的显示器件

[57] 摘要

本发明涉及一种阵列基板，包括开关元件、信号传输线、钝化层和像素电极。开关元件设置在绝缘基板上。信号传输线连接到开关元件，并包括阻挡层、导电线和氮化铜层。阻挡层设置在绝缘基板上。导电线设置在阻挡层上，并且包括铜或者铜合金。氮化铜层覆盖导电线。钝化层覆盖开关元件和信号传输线并具有接触孔，通过该接触孔部分地露出开关元件的漏电极。像素电极设置在绝缘基板上，并通过接触孔连接到开关元件的漏电极。本发明还涉及具有阵列基板的显示器件以及制造阵列基板的方法。



1、一种阵列基板，包括：

在绝缘基板上的开关元件；

连接到该开关元件的信号传输线，该信号传输线包括：

在该绝缘基板上的阻挡层；

在该阻挡层上的导电线，该导电线包括铜或者铜合金；及

覆盖该导电线的氮化铜层；

覆盖该开关元件和该信号传输线的钝化层，该钝化层包括接触孔，通过该接触孔部分地露出该开关元件的漏电极；以及

在该绝缘基板上的像素电极，该像素电极通过该接触孔连接到该开关元件的该漏电极。

2、如权利要求 1 所述的阵列基板，其中该氮化铜层覆盖该导电线的上表面。

3、如权利要求 1 所述的阵列基板，其中该氮化铜层覆盖该导电线的上表面和侧表面。

4、如权利要求 1 所述的阵列基板，其中该开关元件进一步包括：

在该绝缘基板上的栅电极；

在该栅电极上的栅绝缘层；

在该栅绝缘层上连接到该漏电极的半导体图案；以及

在该半导体图案上与该漏电极分隔开的源电极。

5、如权利要求 4 所述的阵列基板，其中该信号传输线连接到该栅电极。

6、如权利要求 4 所述的阵列基板，其中该信号传输线连接到该源电极。

7、如权利要求 4 所述的阵列基板，其中该源电极包括：

在该半导体图案上的源阻挡图案；

在该源阻挡图案上的源导电图案，该源导电图案包括铜或者铜合金；及覆盖该源导电图案的上表面和侧表面的源氮化铜图案。

8、如权利要求 7 所述的阵列基板，其中该漏电极包括：

在该半导体图案上的漏阻挡图案；

在该漏阻挡图案上的漏导电图案，该漏导电图案包括铜或者铜合金；以

及

覆盖该漏导电图案的上表面和侧表面的漏氮化铜图案。

9、如权利要求 1 所述的阵列基板，其中该开关元件包括：

在该绝缘基板上与该漏电极分隔开的源电极；

插入在该源电极和漏电极之间的半导体图案；

覆盖该源电极、漏电极和半导体图案的栅绝缘层；以及

在该栅绝缘层上的栅电极，该栅电极相应于该半导体图案。

10、如权利要求 1 所述的阵列基板，进一步包括：

插入在该开关元件的该漏电极和像素电极之间的驱动元件，以向该像素电极施加驱动信号；

在该像素电极上的有机发光层；以及

在该有机发光层上的对立电极。

11、一种显示器件，包括：

在绝缘基板上的开关元件；

连接到该开关元件的信号传输线，该信号传输线包括：

在该绝缘基板上的阻挡层；

在该阻挡层上的导电线，该导电线包括铜或者铜合金；及

覆盖该导电线的氮化铜层；

在该绝缘基板上的像素电极，该像素电极连接到该开关元件的漏电极；

覆盖该开关元件和信号传输线的钝化层；

在该钝化层上的液晶层；

在该液晶层上的对立电极，该对立电极面对像素电极；以及

在该对立电极上的对立绝缘基板，该对立绝缘基板面对该绝缘基板。

12、一种制造阵列基板的方法，包括：

在绝缘基板上形成阻挡层；

在该阻挡层上形成包括铜或者铜合金的栅线和连接到该栅线的栅电极；

在该栅线和栅电极上施加氮化物等离子体；

在该绝缘基板上沉积栅绝缘层以覆盖该栅线和栅电极；以及

在该栅绝缘层上形成数据线、连接到该数据线的源电极、与该源电极分隔开的漏电极以及半导体图案，该半导体图案在该源电极和漏电极之间的该栅电极上。

13、如权利要求 12 所述的方法，其中在沉积了该栅绝缘层的相同的腔

体中原位置施加该氮化物等离子体。

14、如权利要求 13 所述的方法，其中在氨气环境中，以电力不少于 300W 持续不少于 20 秒的时间施加氮化物等离子体。

15、如权利要求 13 所述的方法，其中沉积该栅绝缘层包括：

将包含硅烷气体、氮气和氨气的第一气体混合物注入腔体内，以在该绝缘基板上形成第一栅绝缘层，在第一气体混合物中硅烷气体的量在体积上不多于 6.43 %；

将包含硅烷气体、氮气和氨气的第二气体混合物注入该腔体内，以在该绝缘基板上形成第二栅绝缘层，在第二气体混合物中硅烷气体的量在体积上不少于 6.43 %；

将包含硅烷气体、氮气和氨气的第三气体混合物注入该腔体内，以在该绝缘基板上形成第三栅绝缘层，在第三气体混合物中硅烷气体的量在体积上不多于 6.43 %。

16、如权利要求 15 所述的方法，其中第一栅绝缘层的厚度不少于 10Å。

17、一种制造阵列基板的方法，包括：

在绝缘基板上形成栅线、连接到该栅线的栅电极以及覆盖该栅线和栅电极的栅绝缘层；

在该栅绝缘层上相应于该栅电极形成半导体图案；

在该栅绝缘层上形成包括铜或者铜合金的数据线、连接到该数据线的源电极、以及关于该半导体图案与该源电极分开的漏电极；

在该数据线、源电极和漏电极上施加氮化物等离子体；及

在该栅绝缘层上沉积钝化层，以覆盖该半导体图案、数据线、源电极和漏电极。

18、如权利要求 17 所述的方法，进一步包括：

在其上形成有该半导体图案的该栅绝缘层上形成导电阻挡层。

19、如权利要求 18 所述的方法，其中该导电阻挡层包括金属或者合金。

20、如权利要求 17 所述的方法，其中在该栅绝缘层上形成该半导体图案包括：

在该栅绝缘层上形成非晶硅层；以及

在该非晶硅层上形成 n+非晶硅层。

21、如权利要求 20 所述的方法，进一步包括：

通过使用氮化物等离子体处理的该源电极和漏电极作为蚀刻掩模，部分地蚀刻该 n+非晶硅层。

22、一种用于制造阵列基板的方法，包括：

在绝缘基板上顺序沉积第一阻挡层、包括铜或者铜合金的第一导电层、以及第一氮化铜层；

对第一阻挡层、第一导电层以及第一氮化铜层构图，以形成栅线和连接到该栅线的栅电极；

在该绝缘基板上沉积栅绝缘层，以覆盖该栅线和栅电极；以及

在该栅绝缘层上形成数据线、连接到该数据线的源电极、与该源电极分开的漏电极，以及半导体图案，该半导体图案在该源电极和漏电极之间的该栅电极上。

23、如权利要求 22 所述的方法，其中形成该数据线、源电极、漏电极和半导体图案包括：

在该栅绝缘层上顺序沉积第二阻挡层、包括铜或者铜合金的第二导电层、以及第二氮化铜层；以及

对第二阻挡层、第二导电层和第二氮化铜层构图。

24、如权利要求 23 所述的方法，其中形成该数据线、源电极、漏电极和半导体图案包括：

在该数据线、源电极和漏电极上施加氮化物等离子体。

25、一种制造阵列基板的方法，包括：

在绝缘基板上形成阻挡层；

在该阻挡层上形成包括铜或者铜合金的栅线以及连接到该栅线的栅电极；

在该栅线和栅电极上施加氢等离子体；

将包含硅烷气体、氮气和氨气的第一气体混合物注入腔体内，以在该绝缘基板上形成第一栅绝缘层，在第一气体混合物中硅烷气体的量在体积上不多于 6.43 %；

将包含硅烷气体、氮气和氨气的第二气体混合物注入该腔体内，以在该绝缘基板上形成第二栅绝缘层，在第二气体混合物中硅烷气体的量在体积上不少于 6.43 %；

将包含硅烷气体、氮气和氨气的第三气体混合物注入该腔体内，以在该

绝缘基板上形成第三栅绝缘层，在第三气体混合物中硅烷气体的量在体积上不多于 6.43 %；以及

在第三栅绝缘层上形成数据线、连接到该数据线的源电极、与该源电极分隔开的漏电极和半导体图案，该半导体图案在该源电极和漏电极之间的该栅电极上。

阵列基板及其制造方法和具有阵列基板的显示器件

技术领域

本发明涉及阵列基板、包括阵列基板的显示器件和制造阵列基板的方法。更具体地，本发明涉及能够减少线电阻和线缺陷发生的阵列基板、包括这种阵列基板的显示器件，以及制造这种阵列基板的简化方法。

背景技术

平板显示器件的阵列基板包括用于传输信号的各种各样的线，其通过薄膜沉积工艺形成。

在平板显示器件中，增加了线的长度，且减少了线的厚度，因此增加了线的电阻。

此外，线与绝缘基板、绝缘层、氧气等等化学反应，因此线的电阻大大增加。因此，图像显示质量下降。

而且，当蚀刻金属层来形成线时，金属层的蚀刻均匀性可下降，其可恶化线的蚀刻外形。

发明内容

本发明提供了能够降低线电阻和线缺陷发生的阵列基板。

本发明还提供了包括上述阵列基板的显示器件。

本发明还提供了制造阵列基板的简化方法。

本发明公开了一种阵列基板，包括开关元件、信号传输线、钝化层和像素电极。开关元件在绝缘基板上。信号传输线连接到开关元件，并且包括阻挡层、导电线和氮化铜层。阻挡层在绝缘基板上。导电线在阻挡层上，并且包括铜或者铜合金。氮化铜层覆盖导电线。钝化层覆盖开关元件和信号传输线，并且包括接触孔，通过这个接触孔，部分地露出开关元件的漏电极。像素电极在绝缘基板上，并且通过接触孔连接至开关元件的漏电极。

本发明还公开了一种显示器件，包括开关元件、信号传输线、像素电极、钝化层、液晶层、对立电极和对立绝缘基板。开关元件在绝缘基板上。信号

传输线连接到开关元件。信号传输线包括阻挡层、导电线和氮化铜层。阻挡层在绝缘基板上。导电线在阻挡层上，并且包括铜或者铜合金。氮化铜层覆盖导电线。像素电极在绝缘基板上，并连接到开关元件的漏电极。钝化层覆盖开关元件和信号传输线。液晶层在钝化层上。对立电极在液晶层上，并面对像素电极。对立绝缘基板在对立电极上，并面对绝缘基板。

本发明还公开了一种制造阵列基板的方法，提供如下。阻挡层形成在绝缘基板上。栅线和栅电极形成在阻挡层上。栅线包括铜或者铜合金，并且栅电极连接到栅线。氮等离子体施加到栅线和栅电极。栅绝缘层沉积在绝缘基板上以覆盖栅线和栅电极。数据线、连接到数据线的源电极、与源电极隔开的漏电极以及半导体图案形成在栅绝缘层上。源电极连接到数据线，并且漏电极与源电极隔开。半导体图案在源电极和漏电极之间的栅电极上。

本发明公开了另一种制造阵列基板的方法，提供如下。栅线、栅电极和栅绝缘层形成在绝缘基板上。栅电极连接到栅线。栅绝缘层覆盖栅线和栅电极。半导体图案形成在相应于栅电极的栅绝缘层上。数据线、源电极和漏电极形成在栅绝缘层上。数据线包括铜或者铜合金。源电极连接到数据线。漏电极与源电极关于半导体图案隔开。氮化物等离子体施加到数据线、源电极和漏电极。钝化层沉积在栅绝缘层上以覆盖半导体图案、数据线、源电极和漏电极。

本发明还公开了另一种制造阵列基板的方法，提供如下。第一阻挡层、第一导电层和第一氮化铜层顺序地沉积在绝缘基板上。第一导电层包括铜或者铜合金。第一阻挡层、第一导电层和第一氮化铜层形成图案，以形成栅线和连接到栅线的栅电极。栅绝缘层沉积在绝缘基板上以覆盖栅线和栅电极。数据线、源电极、漏电极和半导体图案形成在栅绝缘层上。源电极连接到数据线，并且漏电极与源电极隔开。半导体图案在源电极和漏电极之间的栅电极上。

本发明还公开了另一种制造阵列基板的方法，提供如下。阻挡层形成在绝缘基板上。栅线和栅电极形成在阻挡层上。栅线包括铜或者铜合金，并且栅电极连接到栅线。氢等离子体施加到栅线和栅电极。第一气体混合物注入到腔体内，以在绝缘基板上形成第一栅绝缘层。第一气体混合物包括硅烷气、氮气和氨气。在第一气体混合物中，硅烷气的量在体积上不超过 6.43% 左右。第二气体混合物注入到腔体内，以在绝缘基板上形成第二栅绝缘层。第二气

体混合物包括硅烷气、氮气和氨气。在第二气体混合物中，硅烷气的量在体积上不少于 6.43% 左右。第三气体混合物注入到腔体内，以在绝缘基板上形成第三栅绝缘层。第三气体混合物包括硅烷气、氮气和氨气。在第三气体混合物中，硅烷气的量在体积上不超过 6.43% 左右。数据线、源电极、漏电极和半导体图案形成在第三栅绝缘层上。源电极连接到数据线，且漏电极与源电极隔开。半导体图案在源电极和漏电极之间的栅电极上。

可以理解，上述总的描述以及下面的详细描述是示范性的和解释性的，并且旨在提供本发明权利要求的进一步解释。

附图说明

随后的附图用来提供本发明进一步的理解，它们被结合进说明书中并组成说明书的一部分，说明本发明的示范性实施例，并与说明书一起来解释本发明的原理。

图 1 表示按照本发明一个示范性实施例的阵列基板的平面图。

图 2 是沿图 1 中 I-I' 线的横截面图。

图 3 是表示图 2 中 'A' 部分的放大横截面图。

图 4 是沿图 1 中 II-II' 线的横截面图。

图 5、图 6、图 7、图 8、图 9、图 10、图 11、图 12、图 13、图 14、图 15、图 16、图 17、图 18 和图 19 是表示制造图 1 的阵列基板的方法的横截面图。

图 20 表示按照本发明另一个示范性实施例的显示器件的横截面图。

图 21 表示按照本发明另一个实施例的阵列基板的横截面图。

图 22、图 23、图 24、图 25 和图 26 表示制造图 21 中所示的阵列基板的方法的横截面图。

图 27 表示按照本发明另一个示范性实施例的阵列基板的横截面图。

图 28 表示按照本发明另一个示范性实施例的阵列基板的横截面图。

图 29 表示按照本发明另一个示范性实施例的显示器件的横截面图。

具体实施方式

在下文中，将参考附图更充分地描述本发明，附图中表示了本发明的实施例。然而，本发明可以以很多不同的形式体现，其不应该解释为限于在此

提出的实施例。而且，提供这些实施例以便本公开将彻底和完整，并将向本领域技术人员完全传达本发明的范围。在附图中，为了清晰，层和区域的尺寸和相对尺寸可能被夸大。

可以理解，当元件或者层被称为在另一个元件或者层“上”、“连接到”或者“耦合到”另一个元件或者层时，其可以直接在另一个元件或层上、直接连接到或者直接耦合到另一个元件或者层，或者可以存在介于中间的元件或者层。相反，当元件被称为“直接”在另一个元件或者层“上”、“直接连接到”或者“直接耦合到”另一元件或层时，此处没有介于中间的元件或者层存在。全文中相同的数字指代相同的元件。如在此使用的，术语“和/或”包括一个或者多个相关列出项目的任何和所有结合。

可以理解，虽然术语第一、第二和第三等等可以在此用于描述各种不同元件、部件、区域、层和/或部分，这些元件、部件、区域、层和/或部分不应该受这些术语限制。这些术语仅仅用于区分一个元件、部件、区域、层或者部分与另一个区域、层或者部分。这样，下面讨论的第一元件、部件、区域、层或者部分，可以称之为第二元件、部件、区域、层或者部分，而没有脱离本发明的教导。

空间相关术语，例如“下面”、“下方”、“下”、“上方”、“上”等等，可以在此用于使说明书容易地描述在附图中表示的一个元件或特征与另一个元件或者特征的关系。可以理解，空间相关术语想要包含除了在图中所绘的方向之外的器件在使用中或者操作中的不同方向。例如，如果附图中的器件被翻转，被描述为在其它元件或者特征“下方”或者“下面”的元件将在其它元件或者特征“上方”。这样，示范性的术语“下方”能够包括上方和下方两种方向。另外，器件可以有其它取向（旋转 90 度或者在其它方向）以及相应解释在此使用的空间相对描述符。

此处使用的术语仅仅用于描述特殊实施例的目的，而不旨在限制本发明。如在这里使用的单数形式“一”和“该”，也旨在包括复数形式，除非上下文清楚地指示另外的意思。可以进一步理解，术语“包括”，当用于说明书中时，表明指定特征、整体(integer)、步骤、操作、元件和/或部件的存在，但是不排除一个或者多个其它特征、整体、步骤、操作、元件、部件和/或它们的组的存在或者增加。

在此参考横截面图描述的本发明的实施例是本发明理想化实施例（和中

间结构)的示意图。因此,可以预期由于例如制造技术和/或公差引起的图示的形状的变化。这样,本发明的实施例不应该解释为限于在此说明的特殊的区域形状,而是包括例如产生于制造的形状的偏差。例如,图示为矩形的注入区域,将典型地在其边缘具有圆形的或者弯曲特征和/或注入浓度的梯度,而不是从注入到非注入区域的二元变化。同样地,由注入形成的埋入区域可以导致在埋入区域和通过其发生注入的表面之间的区域中的一些注入。这样,图中表示的区域本质上是示意性的,且它们的形状不旨在表示器件区域的真实形状,并且不旨在限制本发明的范围。

除非另有限定,在此使用的所有的术语(包括技术和科学术语)与本发明所属领域的技术人员所理解的具有相同的意思。可以进一步理解,这些术语,例如那些在一般使用的词典中限定的术语,应该解释为具有与它们在相关技术背景下一致的意思,将不会解释为理想化或过度正式的意义,除非在这里如此界定。

在下文中,将参考附图详细描述本发明。

图1表示按照本发明一个示范性实施例的阵列基板的平面图。图2是沿图1中I-I'线的横截面图。图3是表示图2中'A'部分的放大横截面图。图4是沿图1中II-II'线的横截面图。

参考图1、图2和图4,阵列基板包括绝缘基板120、栅线131、数据线133、栅绝缘层126、钝化层116和像素电极112。可选择地,阵列基板可以包括多个栅线、多个数据线和多个像素电极。

绝缘基板120可以包括传输光的透明玻璃。绝缘基板120可以不包括碱离子。当绝缘基板120包括碱离子,碱离子可以溶解在液晶层中(未示出)且可以减小液晶层的电阻,其可以降低图像显示质量以及密封剂(未示出)和绝缘基板120之间的粘着强度。此外,可以恶化薄膜晶体管的特性。

绝缘基板120还可以包括透光的高分子聚合物。可以包括在绝缘基板120中的透光高分子聚合物的例子,包括三乙酰纤维素(TAC)、聚碳酸酯(PC)、聚醚砜(PES)、聚对苯二甲酸乙二酯(PET)、聚乙烯萘盐(PEN)、聚乙烯醇(PVA)、聚甲基丙烯酸甲酯(PMMA)、环烯烃聚合物(COP)以及它们的组合。

绝缘基板120可以是光各向同性。可选择地,绝缘基板120可以是光各向异性。

栅线 131 设置在绝缘基板 120 上。栅线 131 包括栅阻挡层 131a、栅导电层 131b 和栅氮化铜层 131c。

栅阻挡层 131a 设置在绝缘基板 120 上。栅阻挡层 131a 增加了栅线 131 和绝缘基板 120 之间的粘着强度。可以用于栅阻挡层 131a 的阻挡材料的例子包括钼 (Mo)、钼-钛 (Mo-Ti) 合金、钼-钨 (Mo-W) 合金、钼-铬 (Mo-Cr) 合金、钼-铌 (Mo-Nb) 合金, 以及它们的组合。氮化铜可以设置在栅阻挡层 131a 的侧表面上。

栅导电层 131b 设置在栅阻挡层 131a 上。栅导电层 131b 可以包括铜或者铜合金。当栅导电层 131b 包括铜时, 栅导电层 131b 的电阻是大约 $2.1\mu\Omega\text{cm}$ 至大约 $2.3\mu\Omega\text{cm}$ 。这样, 栅导电层 131b 的电阻比铝层的小 30% 左右, 铝层具有大约 $3.1\mu\Omega\text{cm}$ 的电阻。此外, 栅导电层 131b 具有比铝层低的电迁移。

栅氮化铜层 131c 设置在栅导电层 131b 的上表面和侧表面上。栅氮化铜层 131c 包括氮化铜。氮化物等离子体可以注入铜线内以形成栅氮化铜层 131c。可以注入铜线内的氮化物等离子体的例子包括氨 (NH_3) 等离子体、氮 (N_2) 等离子体, 以及它们的组合。

栅氮化铜层 131c 防止栅导电层 131b 的铜与例如氧和硅的杂质混合。此外, 栅氮化铜层 131c 具有比栅导电层 131b 大的蚀刻耐受性, 因此可以在例如蚀刻工艺或者剥离工艺的随后的工艺中保护栅导电层 131b。

薄膜晶体管 155 的栅电极 118 设置在绝缘基板 120 上。栅电极 118 可以包括铜或者铜合金。栅电极 118 可以形成在与栅线 131 基本上相同的层上。栅电极 118 包括栅阻挡图案 118a、栅导电图案 118b 和栅氮化铜图案 118c。

栅阻挡图案 118a 设置在绝缘基板 120 上。栅阻挡图案 118a 可以包括钼 (Mo)、钼-钛 (Mo-Ti) 合金、钼-钨 (Mo-W) 合金、钼-铬 (Mo-Cr) 合金、钼-铌 (Mo-Nb) 合金, 以及它们的组合。例如, 栅阻挡层图案 118a 可以包括与栅线 131 的栅阻挡层 131a 基本上相同的材料。

栅导电图案 118b 设置在栅阻挡图案 118a 上。栅导电图案 118b 可以包括铜或者铜合金。例如, 栅导电层 118b 可以包括与栅线 131 的栅导电层 131b 基本上相同的材料。

栅氮化铜图案 118c 设置在栅导电图案 118b 的上表面和侧表面上。氮化铜图案 118c 可以包括氮化铜。例如, 栅氮化铜图案 118c 可以包括与栅线 131 的栅氮化铜层 131c 基本上相同的材料。

栅绝缘层 126 设置在绝缘基板 120 上, 以覆盖栅线 131 和栅电极 118。

参考图 3, 栅绝缘层 126 包括第一栅绝缘层 126a、第二栅绝缘层 126b 和第三栅绝缘层 126c。栅绝缘层 126 可以通过使用硅烷气和氮化物混合物气体的化学气相沉积 (CVD) 方法形成。化学气相沉积方法可以是等离子体增强化学气相沉积 (PECVD) 方法。氮化物混合物气体可以包括氮 (N_2) 气、氨 (NH_3) 气, 以及它们的组合。

第一栅绝缘层 126a 设置在其上形成有栅线 131 和栅电极 118 的绝缘基板 120 上。第一栅绝缘层 126a 可以包括低密度氮化硅, 并且第一栅绝缘层 126a 的密度可以是低的。第一气体混合物中硅烷气的量在体积上可以不超过 6.43 % 左右。硅原子可与氮原子在低密度氮化硅中牢固的结合。例如, 可俘获电子的悬空键的数量在低密度氮化硅中可以减少, 其可以降低沉积速度。此外, 低密度氮化硅的表面结构可以是密集的, 这使得其是好的电绝缘材料。

第二栅绝缘层 126b 设置在第一栅绝缘层 126a 上, 且可以包括高密度氮化硅。第二栅绝缘层 126b 的密度可以比第一栅绝缘层 126a 的密度高。在第二气体混合物中硅烷气体的量在体积上可不少于 6.43 % 左右。第二气体混合物可以比第一气体混合物包括更多的硅烷气体。高密度氮化硅中硅原子可与氮原子松散地结合。例如, 在高密度氮化硅中的悬空键的数目可以增加, 以便可将电子俘获在悬空键内。高密度氮化硅的沉积速度可以比低密度氮化硅的沉积速度快。此外, 高密度氮化硅的表面结构可以是松散的, 和高密度氮化硅可比低密度氮化硅的电绝缘性差。

第三栅绝缘层 126c 设置在第二栅绝缘层 126b 上, 且可以包括与第一栅绝缘层 126a 基本上相同的低密度氮化硅。由于第三栅绝缘层 126c 包括与第一栅绝缘层 126a 基本上相同的材料, 将省略关于上面元件的任何进一步的解释。当第三栅绝缘层 126c 包括低密度氮化硅, 可以提高半导体图案 137 的非晶硅图案 137a 的电特性。

第一栅绝缘层 126a 的氮密度可比第二栅绝缘层 126b 的氮密度高, 以便栅线 131 和栅电极 118 中的铜原子可以不与硅原子结合。第二栅绝缘层 126b 的沉积速度可比第一栅绝缘层 126a 快, 因此减少了阵列基板的制造时间。第三栅绝缘层 126c 可以具有更密集的结构, 且因此比第二栅绝缘层 126b 具有更安全的电特性。这样, 第三栅绝缘层 126c 可以提高非晶硅图案 137a 的电特性。

再次参考图 1、图 2 和图 4，薄膜晶体管 155 的半导体图案 137 设置在相应于栅电极 118 的栅绝缘层 126 上。半导体图案 137 包括非晶硅图案 137a 和 n+非晶硅图案 137b。

非晶硅图案 137a 设置在相应于栅电极 118 的栅绝缘层 126 上。非晶硅图案 137a 可包括下部非晶硅图案（未示出）和上部非晶硅图案（未示出）。下部非晶硅图案与上部非晶硅图案相比，可在较高的温度以较慢的速度沉积，以便具有比上部非晶硅图案更密集的结构。

当电场施加在栅电极 118 和源电极 117 之间，在邻近栅绝缘层 126 的下部非晶硅图案中形成了沟道。图 1、图 2、图 3 和图 4 中，下部非晶硅图案具有比上部非晶硅图案更密集的结构，且因此，在下部非晶硅图案中俘获电子的悬空键的数目较少。这样，可以提高半导体图案 137 的电特性。此外，上部非晶硅图案的沉积速度可比下部非晶硅图案的速度快，这可以减少制造时间。

n+非晶硅图案 137b 包括第一图案和第二图案。第一和第二图案在非晶硅图案 137a 上彼此隔开。

数据线 133 设置在栅绝缘层 126 上。数据线 133 包括数据阻挡层 133a、数据导电层 133b 以及数据氮化铜层 133c。

数据阻挡层 133a 在栅绝缘层 126、非晶硅图案 137a 和 n+非晶硅图案 137b 上。数据阻挡层 133a 防止栅绝缘层 126 的硅原子扩散到数据导电层 133b 中，这可以防止数据导电层 133b 的电阻增加。可包括在数据阻挡层 133a 中的导电材料的例子包括钼（Mo）、钼-钛（Mo-Ti）合金、钼-钨（Mo-W）合金、钼-铬（Mo-Cr）合金、钼-铌（Mo-Nb）合金，以及它们的组合。金属氮化物层可以形成在数据阻挡层 133a 的侧表面上。

数据导电层 133b 设置在数据阻挡层 133a 上。数据导电层 133b 可以包括铜或者铜合金。例如，数据导电层 133b 可以包括与栅导电层 131b 基本相同的材料。这样，将省略关于上面元件的任何进一步解释。

数据氮化铜层 133c 设置在数据导电层 133b 的上表面和侧表面上。数据氮化铜层 133c 可以包括与栅氮化铜层 131c 基本上相同的氮化铜。可选择地，数据氮化铜层可以形成在数据导电层 133b 的上表面和侧表面上。

薄膜晶体管 155 的源电极 117 设置在 n+非晶硅图案的第一图案上。源电极 117 可以包括铜或者铜合金。源电极 117 可以形成在与数据线 133 基本上

相同的层上。源电极 117 连接到数据线 133，并且包括源阻挡图案 117a、源导电图案 117b 和源氮化铜图案 117c。

源阻挡图案 117a 设置在 n+非晶硅图案的第一图案上。源阻挡图案 117a 可包括导电材料，例如钼 (Mo)、钼-钛 (Mo-Ti) 合金、钼-钨 (Mo-W) 合金、钼-铬 (Mo-Cr) 合金、钼-铌 (Mo-Nb) 合金，以及它们的组合。例如，源阻挡图案 117a 可以包括与数据线 133 的数据阻挡层 133a 基本上相同的材料。

源导电图案 117b 设置在源阻挡图案 117a 上。源导电图案 117b 可包括铜或者铜合金。例如，源导电图案 117b 可以包括与数据线 133 的数据导电层 133b 基本上相同的材料。

源氮化铜图案 117c 设置在源导电图案 117b 的上表面和侧表面上。源氮化铜图案 117c 可以包括氮化铜。例如，源氮化铜图案 117c 可以包括与数据线 133 的数据氮化铜层 133c 基本上相同的材料。

薄膜晶体管 155 的漏电极 119 设置在 n+非晶硅图案的第二图案上。漏电极 119 可以包括铜或者铜合金。例如，漏电极 119 可以形成在与数据线 133 基本上相同的层上。漏电极 119 电连接到像素电极 112，并且包括漏阻挡图案 119a、漏导电图案 119b 和漏氮化铜图案 119c。

漏阻挡图案 119a 在 n+非晶硅图案的第二图案上。漏阻挡图案 119a 可以包括钼 (Mo)、钼-钛 (Mo-Ti) 合金、钼-钨 (Mo-W) 合金、钼-铬 (Mo-Cr) 合金、钼-铌 (Mo-Nb) 合金，以及它们的组合。例如，漏阻挡图案 119a 可以包括与数据线 133 的数据阻挡层 133a 基本上相同的材料。

漏导电图案 119b 设置在漏阻挡图案 119a 上。漏导电图案 119b 可以包括铜或者铜合金。例如，漏导电图案 119b 可以包括与数据线 133 的数据导电层 133b 基本上相同的材料。

漏氮化铜图案 119c 设置在漏导电图案 119b 的上表面和侧表面上。漏氮化铜图案 119c 可以包括氮化铜。例如，漏氮化铜图案 119c 可以包括与数据线 133 的数据氮化铜层 133c 基本上相同的材料。

钝化层 116 设置在栅绝缘层 126 上以覆盖半导体图案 137、数据线 133、源电极 117 和漏电极 119。钝化层 116 可以包括氮化硅。可选择地，钝化层 116 可以具有包括低密度氮化硅层和高密度氮化硅层的双层结构。钝化层 116 可以具有接触孔 151，通过此接触孔部分地露出漏电极 119。

像素电极 112 设置在钝化层 116 上,并通过接触孔 151 连接到漏电极 119。像素电极 112 可以包括透明导电材料。可包括在像素电极 112 中的透明导电材料的例子包括铟锡氧化物 (ITO)、铟锌氧化物 (IZO)、非晶铟锡氧化物 (a-ITO),以及它们的组合。

按照图 1、图 2、图 3 和图 4 所示的阵列基板,栅线 131、栅电极 118、数据线 133、源电极 117 和漏电极 119 分别包括栅氮化铜线 131c、栅氮化铜图案 118c、数据氮化铜线 133c、源氮化铜图案 117c 和漏氮化铜图案 119c,从而降低栅线 131、栅电极 118、数据线 133、源电极 117 和漏电极 119 缺陷的发生。此外,栅绝缘层 126 可以具有三层结构,这可以减少阵列基板的生产时间,并提高阵列基板的非晶硅图案 137a 的电特性。

图 5、图 6、图 7、图 8、图 9、图 10、图 11、图 12、图 13、图 14、图 15、图 16、图 17、图 18 和图 19 是表示制造图 1 所示的阵列基板的方法的横截面图。

参考图 1 和图 5,初栅阻挡层 141 和初栅导电层 142 依次形成在绝缘基板 120 上。氮化铜层(未示出)可通过溅射工艺形成在初栅导电层 142 上。栅光刻胶膜 143 涂覆在初栅导电层 142 上。

栅光刻胶膜 143 通过栅掩模 171 曝光。栅掩模 171 包括光阻断部分 171a 和透明部分 171b。光阻断部分 171a 相应于栅线 131 和栅电极 118。

参考图 1 和图 6,对曝光的栅光刻胶膜 143 进行显影,从而在初栅导电层 142 上形成栅光刻胶图案 143a。

参考图 1 和图 7,利用栅光刻胶图案 143a 作为蚀刻掩模部分地蚀刻初栅导电层 142 和初栅阻挡层 141,从而在绝缘基板 120 上形成栅阻挡层 131a、初栅导电层 131d、栅阻挡图案 118a 和初栅导电图案 118d。然后栅光刻胶图案 143a 从初栅导电层 131d 和初栅导电图案 118c 移除。

参考图 1 和图 8,氮化物等离子体施加到绝缘基板 120,在基板上形成了初栅导电层 131d、栅阻挡层 131a、栅阻挡图案 118a 和初栅导电图案 118d。例如,氨气和氮气可以注入腔体(未示出)内,和不少于约 300W 的电力以不少于大约 20 秒的时间周期可施加到氨气和氮气。

参考图 1 和图 9,氮化物等离子体 188a(图 8 中所示)注入到初栅导电层 131d 的上表面和侧表面上,从而在栅阻挡层 131a 上形成栅导电层 131b 和栅氮化铜层 131c。此外,氮化物等离子体 188a 也注入到初栅导电图案 118d

的上表面和侧表面上,从而在栅阻挡图案 118a 上形成栅导电图案 118b 和栅氮化铜图案 118c。

而且,氧化铜由氮化物等离子体 118a 转化成氮化铜,该氧化铜可由氧或者水汽形成在初栅导电层 131d 和初栅导电图案 118d 的表面上。氮化铜具有比氧化铜更好的电特性和制造特性。例如,氮化铜具有比氧化铜更小的电阻和更大的机械强度。

包括硅烷气体和氮化物混合气体的的气体混合物可以注入到绝缘基板 120 上,通过化学气相沉积(CVD)方法在该基板上形成了栅电极 118、栅线 131 和栅绝缘层 126(图 2 中所示)。可注入到绝缘基板 120 上的氮化物混合气体的例子包括氮气、氨气,以及它们的组合。化学气相沉积方法可以是等离子体增强化学气相沉积(PECVD)方法。

图 10、图 11、图 12 和图 13 表示设置图 2 中所示的栅绝缘层的方法的横截面图。

参考图 9 和图 10,第一气体混合物注射到腔体内。硅烷气体在第一气体混合物中的量在体积上可不多于大约 6.43%。电力施加到第一气体混合物以产生低密度氮化硅等离子体 189a,其施加到绝缘基板 120 上,在该基板上形成了栅电极 118 和栅线 131。这样,包括低密度氮化硅的第一栅绝缘层 126a(图 3 中所示),形成在绝缘基板 120 上,在该基板 120 上形成了栅电极 118 和栅线 131。例如,栅绝缘层 126 可以原位形成在腔体中,在腔体中氮化物等离子体被施加到绝缘基板 120。

当第一气体混合物中用于形成第一栅绝缘层 126a 的硅烷气体的量在体积上不超过约 6.43% 时,可出现足够的氮原子,用于在硅烷气体中的硅原子与该氮原子反应,因此形成了氮化硅。这样,第一栅绝缘层 126a 可以具有密集结构,并可以是好的电绝缘体。然而,第一栅绝缘层 126a 的沉积速度可以被降低。

当在第一气体混合物中用于设置第一栅绝缘层 126a 的硅烷气体的量在体积上多于 6.43% 左右时,硅烷气体中的一部分硅原子可不与氮原子反应,且因此,硅原子可与栅线 131 和栅电极 118 的铜原子反应,形成了硅铜(CuSi)。硅铜的硅原子可以与硅铜的铜原子分离,并可以注入到栅线 131 和栅电极 118 中。当硅原子注入到栅线 131 和栅电极 118 中,栅线 131 和栅电极 118 的电阻可以大大地增加。然而,在图 9 和图 10 中,第一气体混合

物中用于形成第一栅绝缘层 126a 的硅烷气体的量在体积上不超过约 6.43%，且因此，栅氮化铜层 131c 和栅氮化铜图案 118c 的氮化铜可不与硅原子反应。

在图 9 和图 10 中，在第一气体混合物中用于形成第一栅绝缘层 126a 的硅烷气体的量在体积上大约是 2.24%，且施加到腔体的电力大约为 900W。此外，第一栅绝缘层 126a 的厚度不少于 $10\text{\AA}$ 左右。

参考图 9 和图 11，用于形成第二栅绝缘层 126b（图 3 中所示）的第二气体混合物注入到腔体中。第二气体混合物中的硅烷气体的量在体积上不少于 6.43% 左右。电力施加到第二气体混合物以产生高密度氮化硅等离子体 189b，且高密度氮化硅等离子体 189b 施加到第一栅绝缘层 126a。这样，包括高密度氮化硅的第二栅绝缘层 126b（如图 3 中所示），设置在第一栅绝缘层 126a 上。例如，第一栅绝缘层 126a 和第二栅绝缘层 126b 可在原位置形成在腔体内。

当在第二气体混合物中用于设置第二栅绝缘层 126b 的硅烷气体的量在体积上不少于大约 6.43% 时，硅烷气体中的硅原子与氮化物混合气体中的氮原子可以没有充分地反应。这样，第二栅绝缘层 126b 可以具有松散的结构，并且第二栅绝缘层 126b 的绝缘特性可比第一栅绝缘层 126a 的差，从而第二栅绝缘层 126b 具有比第一栅绝缘层 126a 较小的电阻。然而，第二栅绝缘层 126b 的沉积速度可比第一栅绝缘层 126a 的沉积速度快。

在图 9 和图 11 中，第一栅绝缘层 126a 可以阻挡硅原子来保护栅电极 118 和栅线 131，尽管在第二气体混合物中用于形成第二栅绝缘层 126b 的硅烷气体的量在体积上可不少于 6.43% 左右。这样，硅原子可以没有被注入到栅线 131 和栅电极 118 中。

例如，在第二气体混合物中用于形成第二栅绝缘层 126b 的硅烷气体的量在体积上可以为 6.43% 左右，且施加到腔体的电力可以大约为 1200W。

参考图 9 和图 12，用于形成第三栅绝缘层 126c（如图 3 中所示）的第三气体混合物注入到腔体中。第三气体混合物中的硅烷气体的量在体积上不超过约 6.43%。电力施加到第三气体混合物以产生低密度氮化硅等离子体 189c，其施加到第二栅绝缘层 126b。这样，包括低密度氮化硅的第三栅绝缘层 126c，形成在第二栅绝缘层 126b 上。

当第三气体混合物中用于形成第三栅绝缘层 126c 的硅烷气体的量在体积上不超过 6.43% 左右时，第三栅绝缘层 126c 可以具有密集结构，且可以

是好的电绝缘体。然而，第三栅绝缘层 126c 的沉积速度可以被降低。

在图 9 和图 12 中，在第三气体混合物中用于形成第三栅绝缘层 126c 的硅烷气体的量在体积上可以大约为 2.24%，且施加给腔体的电力可以为 900W 左右。

参考图 13 和图 14，包括第一栅绝缘层 126a、第二栅绝缘层 126b 和第三栅绝缘层 126c 的栅绝缘层 126，形成在绝缘基板 120 上，在该基板上形成有栅电极 118 和栅线 131。

参考图 15，下部非晶硅层（未示出）和上部非晶硅层（未示出）顺序地沉积在栅绝缘层 126 上。上部非晶硅层可比下部非晶硅层具有更松散的结构。

下部非晶硅层可以低的电力和减少的速度沉积，以便下部非晶硅层可以具有密集的结构和好的电特性。上部非晶硅层可以高的电力和增加的速度沉积，以便上部非晶硅层可以具有松散的结构。例如，下部非晶硅层在电力为 150W 左右可以形成，和上部非晶硅层在电力为 300W 左右可以形成。非晶硅层沉积在栅绝缘层 126 上，并且包括下部非晶硅层和上部非晶硅层。

然后，n+杂质注入到非晶硅层的上部部分以形成 n+非晶硅层（未示出）。

n+非晶硅层和非晶硅层被部分地蚀刻以形成初 n+非晶硅图案 137c 和非晶硅图案 137a。

参考图 16，初数据阻挡层（未示出）和初数据导电层（未示出）顺序地形成在栅绝缘层 126 上。栅绝缘层 126 包括初 n+非晶硅图案 137c 和非晶硅图案 137a。可选择地，氮化铜层（未示出）可以通过溅射工艺沉积在初数据导电层上。数据光刻胶膜（未示出）形成在初数据导电层上。

通过利用数据掩模（未示出）的光刻工艺部分地蚀刻初数据阻挡层和初数据导电层，从而形成数据阻挡层 133a、初数据导电层 133d、源阻挡图案 117a、初源导电图案 117d、漏阻挡图案 119a 和初漏导电图案 119d。

氮化物等离子体 188b 注入到包括初 n+非晶硅图案 137c、非晶硅图案 137a、数据阻挡层 133a、初数据导电层 133d、源阻挡图案 117a、初源导电图案 117d、漏阻挡图案 119a 和初漏导电图案 119d 的栅绝缘层 126 上。

参考图 16 和图 17，氮化物等离子体 188b 注入到初数据导电层 133d、初源导电图案 117d 和初漏导电图案 119d 的上表面和侧表面上，以形成数据导电层 133b、数据氮化铜层 133c、源导电图案 117b、源氮化铜图案 117c、漏导电图案 119b 和漏氮化铜图案 119c。例如，氨气和氮气可以注入到腔体

内（未示出），并可施加约 300W 的电力给氨气和氮气持续约 20 秒以上。

参考图 17，插入在源电极 117 和漏电极 119 之间的初 n+非晶硅图案 137c（图 16 中所示）利用源电极 117 和漏电极 119 作为蚀刻掩模被部分地蚀刻，以形成包括 n+非晶硅图案 137b 和非晶硅图案 137a 的半导体图案 137。

数据氮化铜层 133c、源氮化铜图案 117c 和漏氮化铜图案 119c 可以分别保护数据线 133、源电极 117 和漏电极 119 不受用于蚀刻初 n+非晶硅图案 137c 的蚀刻剂的影响。

图 15、图 16 和图 17 中，半导体图案 137、数据线 133、源电极 117 和漏电极 119 利用两个光掩模形成。可选择地，半导体图案、数据线、源电极和漏电极可以使用一个光掩模形成。

参考图 18，钝化层 116 形成在栅绝缘层 126 上以覆盖半导体图案 137、数据线 133、源电极 117 和漏电极 119。例如，硅烷气体和氮化物混合气体可以注入到栅绝缘层 126 上，且钝化层 116 通过化学气相沉积（CVD）方法可以形成在栅绝缘层 126 上。

如图 18 所示，钝化层 116 可以包括第一钝化层（未示出）和第二钝化层（未示出）。第二钝化层可设置在第一钝化层上。

第一钝化层可以包括低密度氮化硅。形成第一钝化层的低密度氮化硅的方法与关于图 10 所述的基本相同。这样，将省略关于上述元件的任何进一步的解释。

第二钝化层可以包括高密度氮化硅。形成第二钝化层的高密度氮化硅的方法与关于图 11 所述的基本相同。这样，将省略关于上述元件的任何进一步的解释。

在图 18 中，钝化层 116 具有包括第一和第二钝化层的双层结构。可选择地，钝化层可以具有单层结构或者包括不少于三层的多层结构。

参考图 19，钝化层 116 可以被部分地蚀刻以形成接触孔 151，通过该接触孔部分地露出漏电极 119。可选择地，在像素电极 112 形成后，激光束可以辐射到相应于漏电极 119 的像素电极 112 上，以形成接触孔 151。

连接到漏电极 119 的像素电极 112 形成在钝化层 116 上，且接触孔 151 形成在钝化层 116 中。

按照制造图 4、图 5、图 6、图 7、图 8、图 9、图 10、图 11、图 12、图 13、图 14、图 15、图 16、图 17、图 18 和图 19 的显示基板的方法，可以省

略用于保护栅线 131、栅电极 118、数据线 133、源电极 117 和漏电极 119 的上部的附加保护层, 因此, 减少了显示基板的制造时间。

此外, 氮化铜层可覆盖数据线 133、源电极 117 和漏电极 119 的侧表面, 以保护数据线 133、源电极 117 和漏电极 119 不受用于蚀刻初 n+非晶硅图案 137c 的蚀刻剂的影响。

例子 1

初栅导电图案 188d(图 8 中所示)由氮化物等离子体或者氢等离子体处理。具有多层结构并且包括低密度氮化硅层和高密度氮化硅层的栅绝缘层沉积在基板上。氮化物等离子体或者氢等离子体由大约 600W 的电力在约 20 秒期间内产生。约 900W 的电力施加到包括硅烷气体和氮化物混合气体的混合气体, 且在气体混合物中硅烷气体的量在体积上约为 2.24%。约 1200W 的电力施加到包括硅烷气体和氮化物混合气体的气体混合物, 且在气体混合物中硅烷气体的量在体积上约为 6.43%。

在氮化物等离子体处理后, 当形成第一低密度氮化硅层、高密度氮化硅层和第二低密度氮化硅层时, 栅线的电阻是大约 $2.1\mu\Omega\text{cm}$ 至 $2.3\mu\Omega\text{cm}$ 。

在氢等离子体处理后, 当形成第一低密度氮化硅层、高密度氮化硅层和第二低密度氮化硅层时, 栅线的电阻是大约 $2.5\mu\Omega\text{cm}$ 至 $2.8\mu\Omega\text{cm}$ 。

在氮化物等离子体处理后, 当形成高密度氮化硅层和低密度氮化硅层时, 栅线的电阻是大约 $2.9\mu\Omega\text{cm}$ 至 $3.0\mu\Omega\text{cm}$ 。

在氢等离子体处理后, 当形成高密度氮化硅层和低密度氮化硅层时, 栅线的电阻是大约 $3.0\mu\Omega\text{cm}$ 至 $3.1\mu\Omega\text{cm}$ 。

因此, 在氮化物等离子体处理后, 当顺序形成第一低密度氮化硅层、高密度氮化硅层和第二低密度氮化硅层时, 栅线的电阻减到最小。

图 20 表示按照本发明另一个示范性实施例的显示器件的横截面图。

参考图 20, 显示器件包括阵列基板 180、对立基板 170 和液晶层 108。图 20 的阵列基板 180 与图 1、图 2、图 3 和图 4 的基板相同。这样, 相同的附图标记将用于指代相同或者相似的部件, 且将省略任何关于上述元件的进一步解释。

对立基板 170 包括对立绝缘基板 100、黑矩阵 102b、彩色滤光片 104 和公共电极 106。对立基板 170 可以进一步包括多个彩色滤光片。

对立绝缘基板 100 包括透明绝缘材料。可包括在对立绝缘基板 100 中的

透明绝缘材料的例子,包括玻璃、石英和合成树脂。例如,对立绝缘基板 100 可以包括透明合成树脂。

黑矩阵 102 在对立绝缘基板 100 上以阻挡射入液晶不能控制的区域的光。这样,有可能提高显示器件的对比度。

彩色滤光片 104 处于在其上形成了黑矩阵 102 的对立绝缘基板 100 上,以传输具有相应颜色的波长的彩色光。彩色滤光片 104 相应于阵列基板 180 的像素电极 112。

公共电极 106 处于在其上形成了黑矩阵 102 和彩色滤光片 104 的对立绝缘基板 100 上。公共电极 106 包括透明导电材料。透明导电材料的例子包括铟锡氧化物 (ITO)、铟锌氧化物 (IZO)、非晶铟锡氧化物 (a-ITO),以及它们的组合。

在阵列基板 180 和对立基板 170 之间可以插入隔离物 (未示出),以保持阵列基板 180 和对立基板 170 之间的距离。隔离物可以是粒状隔离物、球形隔离物或者柱状隔离物。

在阵列基板 180 和对立基板 170 之间插入液晶层 108。当在公共电极 106 和像素电极 112 之间发生电压差时,在公共电极 106 和像素电极 112 之间形成了电场。液晶层 108 的液晶的取向响应于形成在公共电极 106 和像素电极 112 之间的电场而变化。这样,改变了液晶层 108 的透光度,并显示具有灰度等级的图像。

密封剂 (未示出) 可以密封阵列基板 180 和对立基板 170 之间的液晶层 108。

相应地,可以减少图 20 的显示器件的阵列基板 180 中缺陷的发生,且可简化阵列基板 180 的制造工艺。这样,可以提高显示器件的图像显示质量,和可降低显示器件的制造成本。

图 21 表示按照本发明另一个实施例的阵列基板的横截面图。图 21 的阵列基板与图 1、图 2、图 3 和图 4 的基板,除了栅线、栅电极、数据线、源电极和漏电极之外,基本相同。这样,相同的附图标记将用于指代相同或者相似的部件,将省略任何关于上述元件的进一步解释。

参考图 21,栅线 1131 设置在绝缘基板 120 上,且包括栅阻挡层 1131a、栅导电层 1131b 和栅氮化铜层 1131c。

栅阻挡层 1131a 设置在绝缘基板 120 上。栅阻挡层 1131a 可以包括钼

(Mo)、钼-钛 (Mo-Ti) 合金、钼-钨 (Mo-W) 合金、钼-铬 (Mo-Cr) 合金、钼-铌 (Mo-Nb) 合金, 以及它们的组合。栅阻挡层 1131a 可以提高栅线 1131 和绝缘基板 120 之间的粘着强度。

栅导电层 1131b 设置在栅阻挡层 1131a 上。栅导电层 1131b 可以包括铜或者铜合金。

栅氮化铜层 1131c 设置在栅导电层 1131b 的上表面上。栅氮化铜层 1131c 可以阻止栅导电层 1131b 的铜与栅绝缘层 126 的硅结合。栅氮化铜层 1131c 可以包括氮化铜。例如, 栅氮化铜层 1131c 可以通过在氮气氛中的铜溅射工艺形成。

薄膜晶体管 1155 的栅电极 1118 在绝缘基板 120 上。栅电极 1118 与栅线 1131 形成在基本相同的层上, 并包括栅阻挡图案 1118a、栅导电图案 1118b 和栅氮化铜图案 1118c。

栅阻挡图案 1118a 设置在绝缘基板 120 上。栅阻挡图案 1118a 可以包括与栅线 1131 的栅阻挡层 1131a 基本相同的材料。

栅导电图案 1118b 设置在栅阻挡图案 1118a 上。栅导电图案 1118b 可以包括铜或者铜合金。例如栅导电图案 1118b 可以包括与栅线 1131 的栅导电层 1131b 基本上相同的材料。

栅氮化铜图案 1118c 设置在栅导电图案 1118b 的上表面上。栅氮化铜图案 1118c 可以包括氮化铜。例如, 栅氮化铜图案 1118c 可以包括与栅线 1131 的栅氮化铜层 1131c 基本上相同的材料。

数据线 1133 设置在栅绝缘层 126 上。数据线 1133 包括数据阻挡层 1133a、数据导电层 1133b 和数据氮化铜层 1133c。

数据阻挡层 1133a 设置在栅绝缘层 126、非晶硅图案 137a 以及 n+非晶硅图案 137b 上。数据阻挡层 1133a 防止栅绝缘层 126 的硅原子扩散进数据导电层 1133b。

数据导电层 1133b 设置在数据阻挡层 1133a 上。数据导电层 1133b 可以包括铜或者铜合金。例如, 数据导电层 1133b 可以包括与栅导电层 1131b 基本相同的材料。这样, 将省略关于上述元件任何进一步的解释。

数据氮化铜层 1133c 形成在数据导电层 1133b 的上表面上。数据氮化铜层 1133c 可以包括氮化铜。例如, 数据氮化铜层 1133c 可以包括与栅氮化铜层 1131c 基本相同的氮化铜。

薄膜晶体管 1155 的源电极 1117 在 n+非晶硅图案的第一图案上。源电极 1117 可以包括铜或者铜合金。例如, 源电极 1117 可以形成在与数据线 1133 基本相同的层上。源电极 1117 连接到数据线 1133, 并且包括源阻挡图案 1117a、源导电图案 1117b 和源氮化铜图案 1117c。

源阻挡图案 1117a 在 n+非晶硅图案的第一图案上。源阻挡图案 1117a 可以包括与数据线 1133 的数据阻挡层 1133a 基本相同的材料。

源导电图案 1117b 设置在源阻挡图案 1117a 上。源导电图案 1117b 可以包括铜或者铜合金。例如, 源导电图案 1117b 可以包括与数据线 1133 的数据导电层 1133b 基本相同的材料。

源氮化铜图案 1117c 设置在源导电图案 1117b 的上表面上。源氮化铜图案 1117c 可以包括氮化铜。例如, 源氮化铜图案 1117c 可以包括与数据线 1133 的数据氮化铜层 1133c 基本相同的材料。

薄膜晶体管 1155 的漏电极 1119 设置在 n+非晶硅图案的第二图案上。漏电极 1119 形成在与数据线 1133 基本相同的层上。漏电极 1119 连接到像素电极 1112, 并且包括漏阻挡图案 1119a、漏导电图案 1119b 和漏氮化铜图案 1119c。

漏阻挡图案 1119a 设置在 n+非晶硅图案的第二图案上。漏阻挡图案 1119a 可以包括与数据线 1133 的数据阻挡层 1133a 基本相同的材料。

漏导电图案 1119b 设置在漏阻挡图案 1119a 上。漏导电图案 1119b 可以包括铜或者铜合金。例如, 漏导电图案 1119b 可以包括与数据线 1133 的数据导电层 1133b 基本相同的材料。

漏氮化铜图案 1119c 设置在漏导电图案 1119b 的上表面上, 并可以包括氮化铜。例如, 漏氮化铜图案 1119c 可以包括与数据线 1133 的数据氮化铜层 1133c 基本相同的材料。

图 22、图 23、图 24、图 25 和图 26 表示制造图 21 中所示的阵列基板的方法的横截面图。图 22、图 23、图 24、图 25 和图 26 的方法与图 5、图 6、图 7、图 8、图 9、图 10、图 11、图 12、图 13、图 14、图 15、图 16、图 17、图 18 和图 19 的方法除了关于形成栅线、栅电极、数据线、源电极和漏电极的工艺之外, 基本相同。这样, 相同的附图标记将用于指代相同或者相似的元件, 和将省略关于对上述元件进一步的解释。

参考图 21 和图 22, 初栅阻挡层 1141 和初栅导电层 1142 顺序形成在绝

缘基板 120 上。初氮化铜层 1144 通过溅射工艺沉积在初栅导电层 1142 上。栅光刻胶膜 1143 涂覆在初栅氮化铜层 1144 上。

栅光刻胶膜 1143 通过栅掩模 1171 曝光给紫外光。栅掩模 1171 包括光阻挡部分 1171a 和透明部分 1171b。光阻挡部分 1171a 阻挡一部分紫外光，且紫外光的剩余部分通过透明部分 1171b。光阻挡部分 1171a 相应于栅线 1131 和栅电极 1118，且透明部分 1171b 相应于阵列基板的剩余部分。

参考图 23，利用显影剂对曝光的栅光刻胶膜 1143 显影，以在初栅氮化铜层 1144 上形成栅光刻胶图案 1143a。

利用栅光刻胶图案 1143a 作为蚀刻掩模，初栅导电层 1142、初栅阻挡层 1141 和初栅氮化铜层 1144 被部分地蚀刻，以在绝缘基板 120 上形成栅线 1131 和栅电极 1118。

栅线 1131 的栅氮化铜层 1131c 可以具有与栅导电层 1131b 的铜基本相同的蚀刻率，因此提高了栅线 1131 的蚀刻均匀性。例如，当在栅导电层上具有与栅导电层不同的蚀刻率的钼层（未示出）形成在栅导电层上，钼层可以被过蚀刻以便一部分栅导电层可以被露出。但是，在图 23 中，栅氮化铜层 1131c 具有与栅导电层 1131b 基本相同的蚀刻率，因此改进了栅线 1131 的蚀刻外形。

栅光刻胶图案 1143a 从栅线 1131 和栅电极 1118 移除。

参考图 24，栅绝缘层 126 形成在绝缘基板 120 上，以覆盖栅线 1131 和栅电极 1118。

非晶硅图案 137a 形成在相应于栅电极 1118 的栅绝缘层上。初 n+非晶硅图案 137c 形成在非晶硅图案 137a 上。

参考图 25，初数据阻挡层（未示出）和初数据导电层（未示出）顺序形成在栅绝缘层 126 上，在该绝缘层上形成了非晶硅图案 137a 和初 n+非晶硅图案 137c（如图 24 中所示）。初数据氮化铜层（未示出）沉积在初数据导电层上。例如，初数据氮化铜层可以通过溅射工艺沉积。数据光刻胶膜（未示出）可以形成在初数据氮化铜层上。

初数据阻挡层、初数据导电层和初数据氮化铜层通过利用数据掩模（未示出）的光刻工艺部分地蚀刻，以在栅绝缘层 126 上形成数据线 1133、源电极 1117 和漏电极 1119。可选择地，氮化物等离子体可以注入到数据线 1133、源电极 1117 和漏电极 1119 中的每一个，以在数据线 1133 的数据导电层 1133b

的一侧表面、源电极 1117 的源导电图案 1117b 的一侧表面和漏电极 1119 的漏导电图案 1119b 的一侧表面中的每一个上形成氮化铜层(未示出)。

插入在源电极 1117 和漏电极 1119 之间的初 n+非晶硅图案 137c (如图 24 中所示), 利用源电极 1117 和漏电极 1119 作为蚀刻掩模, 被部分地蚀刻, 以便非晶硅图案 137a 部分地露出在源电极 1117 和漏电极 1119 之间。而且, 初 n+非晶硅图案 137c 被分成两个彼此隔开且相应于源电极 1117 和漏电极 1119 的图案。

参考图 26, 钝化层 116 形成在栅绝缘层 126 上以覆盖半导体图案 137、数据线 1133、源电极 1117 和漏电极 1119。钝化层 116 被部分地蚀刻以形成接触孔 151, 通过此接触孔部分地露出漏电极 1119。

像素电极 112 通过接触孔 151 连接到漏电极 1119, 并形成在具有接触孔 151 的钝化层 116 上。

按照图 22、图 23、图 24、图 25 和图 26 的制造阵列基板的方法, 栅线 1131、栅电极 1118、数据线 1133、源电极 1117 和漏电极 1119 中的每一个包括与栅导电层 1131b 的铜具有基本相同蚀刻率的氮化铜层, 这可以改进栅线 1131、栅电极 1118、数据线 1133、源电极 1117 和漏电极 1119 的蚀刻外形。这样, 可以降低阵列基板中的缺陷的发生。

图 27 是表示按照本发明另一个实施例的阵列基板的横截面图。除了数据线、源电极、和漏电极之外, 图 27 的阵列基板与图 21 中的基本相同。这样, 相同的附图标记将用于指代相同或者相似的部件, 将省略关于上述元件的进一步解释。

参考图 27, 数据线 533 包括数据阻挡层 533a、数据导电层 533b、数据氮化铜层 533c 和侧面氮化铜层 533d。

数据氮化铜层 533c 位于数据导电层 533b 的上表面上, 以在随后的工艺中保护数据线 533。随后的工艺可以包括用来形成 n+非晶硅图案 137b 的蚀刻工艺、清洁工艺和沉积工艺。

侧面氮化铜层 533d 设置在数据导电层 533b 的侧表面上, 以在随后的工艺中保护数据线 533。例如, 侧面氮化铜层 533d 在用于形成 n+非晶硅图案 137b 的蚀刻工艺期间保护数据线 533, 以便数据线 533 可不被用于蚀刻初 n+非晶硅图案的蚀刻剂蚀刻。

源电极 517 与数据线 533 形成在基本相同的层上。源电极 517 包括源阻

挡图案 517a、源导电图案 517b、源氮化铜图案 517c 和第一侧面氮化铜图案 517d。

源氮化铜图案 517c 设置在源导电图案 517b 的上表面上。

第一侧面氮化铜图案 517d 设置在源导电图案 517b 的侧表面上，以在用于形成 n+非晶硅图案 137b 的蚀刻工艺期间保护源电极 517。

漏电极 519 与数据线 533 形成在基本相同的层上。漏电极 519 包括漏阻挡图案 519a、漏导电图案 519b、漏氮化铜图案 519c 和第二侧面氮化铜图案 519d。

漏氮化铜图案 519c 设置在漏导电图案 519b 的上表面上。

第二侧面氮化铜图案 519d 设置在漏导电图案 519b 的侧表面上，以在用于形成 n+非晶硅图案 137b 的蚀刻工艺期间保护源电极 519。第二侧面氮化铜图案 519d 在包括清洁工艺和沉积工艺的随后的工艺中，可保护源电极 519。

图 27 的数据氮化铜层 533c、源氮化铜图案 517c 和漏氮化铜图案 519c 可以通过与关于图 25 所述的基本相同的溅射工艺形成。图 27 的侧面氮化铜层 533d、第一侧面氮化铜图案 517d 和第二侧面氮化铜图案 519d 可以利用关于图 16 所述的基本相同的氮化物等离子体形成。可选择地，数据线 533、源电极 517 和漏电极 519 的上表面和侧表面的每一个可由氮化铜层覆盖。

相应地，在图 27 的阵列基板中，可以提高数据线 533、源电极 517 和漏电极 519 的蚀刻均匀性，这可以提高阵列基板的产量。

图 28 表示按照本发明另一个示范性实施例的阵列基板的横截面图。

参考图 28，阵列基板包括绝缘基板 220、数据线 233、栅线 231、薄膜晶体管 255、栅绝缘层 226、钝化层 216 和像素电极 212。可选择地，阵列基板可以包括多个数据线、多个栅线、多个薄膜晶体管和多个像素电极。

数据线 233 包括数据阻挡层 233a、数据导电层 233b 和数据氮化铜层 233c。数据阻挡层 233a 设置在绝缘基板 220 上，和数据导电层 233b 设置在数据阻挡层 233a 上。数据氮化铜层 233c 设置在数据导电层 233b 的上表面和侧表面上。

薄膜晶体管 255 的源电极 217 形成在与数据线 233 基本相同的层上，并连接到数据线 233。

源电极 217 包括源阻挡图案 217a、源导电图案 217b 和源氮化铜图案

217c。源氮化铜图案 217c 设置在源导电图案 217b 的上表面和侧表面上。

薄膜晶体管 255 的漏电极 219 形成在与数据线 233 基本相同的层。漏电极 219 与源电极 217 隔开。

漏电极 219 包括漏阻挡图案 219a、漏导电图案 219b 和漏氮化铜图案 219c。漏氮化铜图案 219c 设置在漏导电图案 219b 的上表面和侧表面上。

薄膜晶体管 255 的半导体图案 237 插入在源电极 217 和漏电极 219 之间。半导体图案 237 包括 n+非晶硅图案 237b 和非晶硅图案 237a。n+非晶硅图案 237b 包括在源电极 217 上的第一图案和漏电极 219 上的第二图案。非晶硅图案 237a 设置在 n+非晶硅图案 237b 和源电极 217 与漏电极 219 之间的部分绝缘基板 220 上。

栅绝缘层 226 设置在绝缘基板 220 上，并覆盖数据线 233、源电极 217、漏电极 219 以及半导体图案 237。栅绝缘层 226 和钝化层 216 具有接触孔 251，通过此接触孔部分地露出漏电极 219。

薄膜晶体管 255 的栅电极 218 设置在相应于半导体图案 237 的栅绝缘层 226 上。栅电极 218 包括栅阻挡图案 218a、栅导电图案 218b 和栅氮化铜图案 218c。栅氮化铜图案 218c 设置在栅导电图案 218b 的上表面和侧表面上。

栅线 231 与栅电极 218 形成在基本相同的层上，并连接到栅电极 218。

栅线 231 包括栅阻挡层 231a、栅导电层 231b 和栅氮化铜层 231c。栅导电层 231b 设置在栅阻挡层 231a 上，且栅氮化铜层 231c 设置在栅导电层 231b 的上表面和侧表面上。

钝化层 216 设置在栅绝缘层 226 上，以覆盖栅电极 218 和栅线 231。漏电极 219 通过形成在钝化层和栅绝缘层 226 中的接触孔 251 被部分地露出。

像素电极 212 设置在钝化层 216 上。像素电极 212 通过形成在钝化层 216 中的接触孔 251 连接到漏电极 219。

因此，在图 28 的阵列基板中，可以减少在绝缘基板 220 上的数据线 233 和栅绝缘层 226 上的栅线 231 的电阻，这可以提高显示器件的图像显示质量。

图 29 是表示按照本发明另一个示范性实施例的显示器件的横截面图。

参考图 29，显示器件包括绝缘基板 320、黑矩阵 302、栅线 331、数据线（未示出）、驱动电压线 333、驱动晶体管 355、开关晶体管（未示出）、栅绝缘层 326、钝化层 316、彩色滤光片 304、像素电极 312、有机发光层 308、对立电极 306 和保护层 305。可选择地，显示器件可以包括多个栅线、多个

数据线、多个驱动电压线、多个驱动晶体管、多个开关晶体管、多个彩色滤光片和多个像素电极。

黑矩阵 302 形成在绝缘基板 320 上以阻挡光。黑矩阵 302 包括多个排列在矩阵内的开口 348。黑矩阵 302 的每一个开口 348 可相应于像素电极 312。

栅线 331 设置在黑矩阵 302 上，且包括栅阻挡层 331a、栅导电层 331b 和栅氮化铜层 331c。栅导电层 331b 设置在栅阻挡层 331a 上。栅氮化铜层 331c 设置在栅导电层 331b 的上表面和侧表面上。栅线 331 连接到开关晶体管的栅电极（未示出）。

驱动晶体管 355 的栅电极 318 与栅线 331 形成在基本相同的层上。栅电极 318 连接到开关晶体管的漏电极（未示出）。栅电极 318 包括栅阻挡图案 318a、栅导电图案 318b 和栅氮化铜图案 318c。栅氮化铜图案 318c 设置在栅导电图案 318b 的上表面和侧表面上。

栅绝缘层 326 设置在绝缘基板 320 上，在此绝缘基板上形成了黑矩阵 302、栅线 331 和栅电极 318。在图 29 中，栅绝缘层 326 包括由低密度氮化硅制造的第一栅绝缘层、由高密度氮化硅制造的第二栅绝缘层和由低密度氮化硅制造的第三栅绝缘层。

驱动晶体管 355 的半导体图案 337 设置在相应于栅电极 318 的栅绝缘层 326 上。半导体图案 337 包括非晶硅图案 337a 和 n+非晶硅图案 337b。

驱动电压线 333 设置在栅绝缘层 326 上。驱动电压线 333 包括驱动电压阻挡层 333a、驱动电压导电层 333b 和驱动电压氮化铜层 333c。驱动电压导电层 333b 设置在驱动电压阻挡层 333a 上，且驱动电压氮化铜层 333c 设置在驱动电压导电层 333b 的上表面和侧表面上。

驱动晶体管 355 的源电极 317 设置在半导体图案 337 上。源电极 317 电连接到驱动电压线 333。源电极 317 包括源阻挡图案 317a、源导电图案 317b 和源氮化铜图案 317c。源氮化铜图案 317c 设置在源导电图案 317b 的上表面和侧表面上。

驱动晶体管 355 的漏电极 319 与半导体图案 337 上的源电极 317 隔开。漏电极 319 包括漏阻挡图案 319a、漏导电图案 319b 和漏氮化铜图案 319c。漏氮化铜图案 319c 设置在漏导电图案 319b 的上表面和侧表面上。

钝化层 316 设置在栅绝缘层 326 上，以覆盖驱动晶体管 355、开关晶体管和驱动电压线 333。

彩色滤光片 304 设置在钝化层 316 上以传输具有相应颜色的波长的彩色光。可选择地，可以在彩色滤光片 304 上形成覆盖层（未示出）。钝化层 316 和彩色滤光片 304 具有接触孔 351，通过此接触孔部分地露出驱动晶体管 355 的漏电极 319。

像素电极 312 设置在彩色滤光片 304 上，并通过接触孔 351 连接到驱动晶体管 355 的漏电极 319。像素电极 312 可以包括透明导电材料。

有机发光层 308 形成在彩色滤光片 304 上以覆盖像素电极 312。

对立电极 306 设置在有机发光层 308 上，并可以包括金属。

保护层 305 形成在对立电极 306 上以保护对立电极 306。

当电流流经像素电极 312 和对立电极 306 之间的有机发光层 308 时，有机发光层 308 产生光。由有机发光层 308 产生的光通过彩色滤光片 304，因此显示图像。

因此，在图 29 中的显示器件中，可以减少栅线 331、驱动电压线 333 和数据线（未示出）的电阻，这可以提高显示器件的图像显示质量。此外，经由在源电极和漏电极 317 和 319 的侧表面上形成的氮化铜图案 317c 和 319c，可以增加源电极 317 和漏电极 319 的蚀刻抵抗性，这可以减少显示器件中的缺陷的发生。

按照本发明，氮化铜图案形成在导电图案的上表面和侧表面上，以便可以省略用于保护铜线的附加保护层。这样，可以降低阵列基板的制造时间和制造成本。

此外，通过溅射工艺形成的氮化铜图案与导电图案具有基本相同的蚀刻率，这可以改进阵列基板导电图案的蚀刻外形。

而且，通过氮化物等离子体工艺形成的氮化铜图案覆盖导电图案的侧表面，以在蚀刻 n+非晶硅图案的蚀刻工艺中保护导电图案。

由于可以降低导电图案的电阻，也可以提高显示器件的图像显示质量。

栅绝缘层也可以具有多层结构以提高半导体图案的电特性。

本领域技术人员明白，在不脱离本发明的精神或范围的情况下，可以对本发明做出不同的修改和变化。这样，本发明旨在覆盖在附加的权利要求和它们的等价物的范围内对本发明提供的修改和变化。

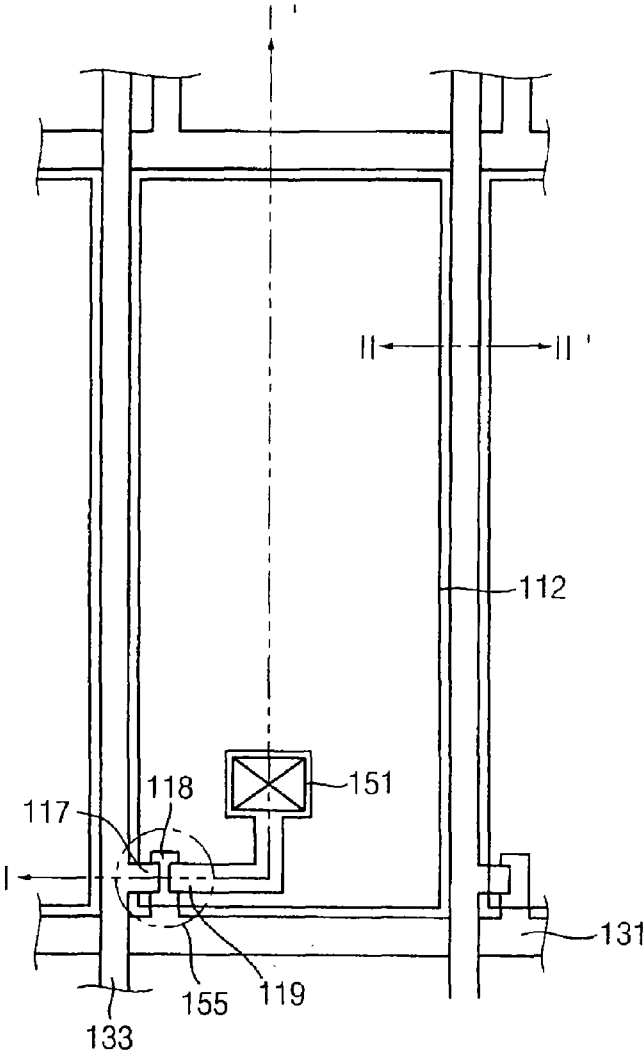
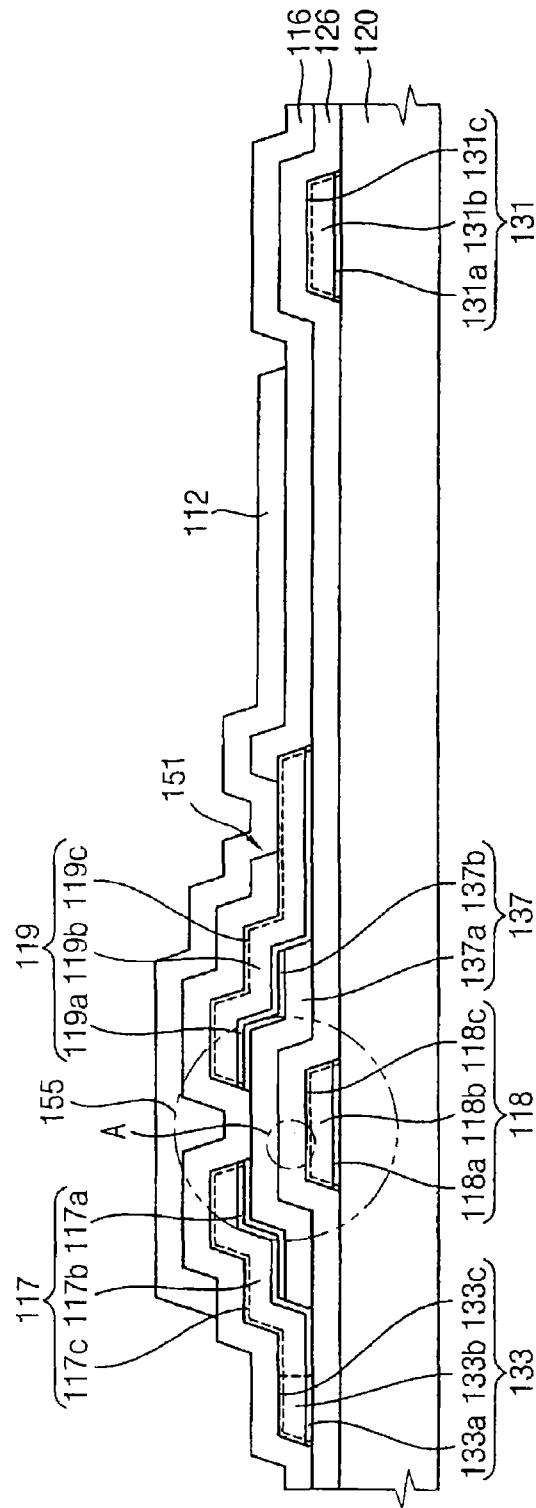


图 1



2
[X]

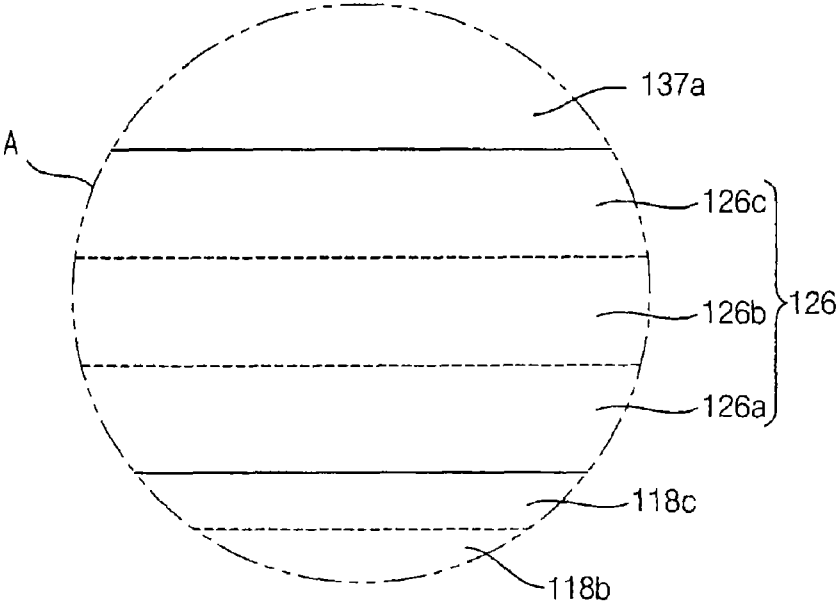


图 3

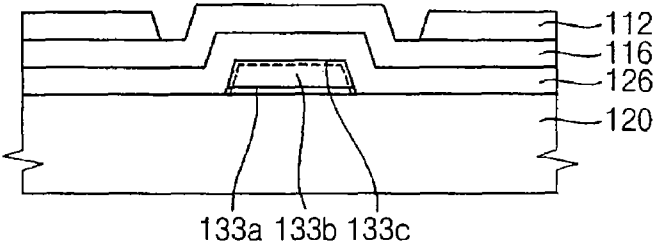


图 4

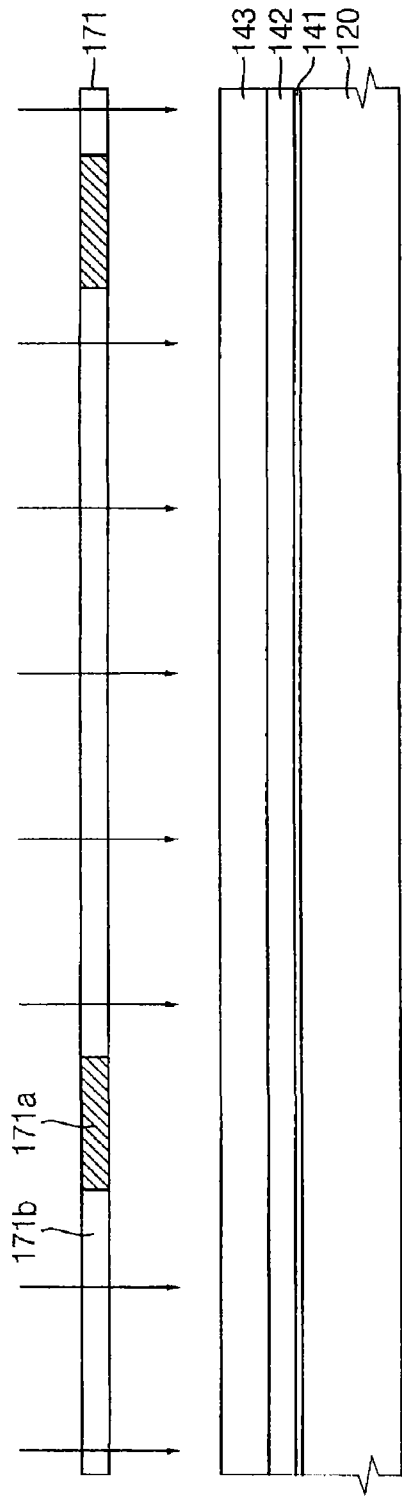


图 5

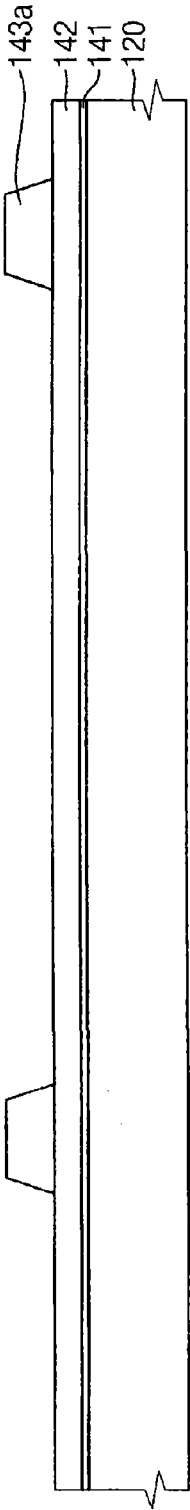


图 6

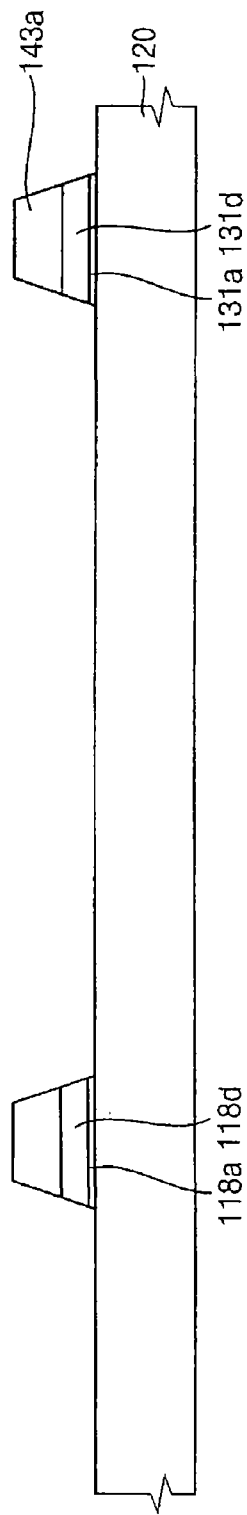


图 7

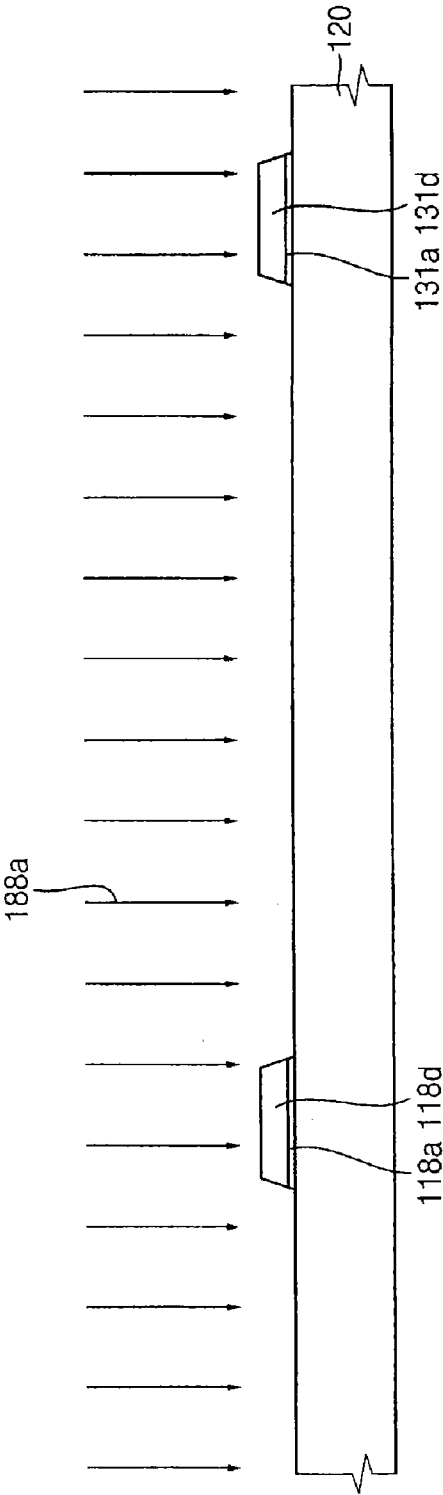


图 8

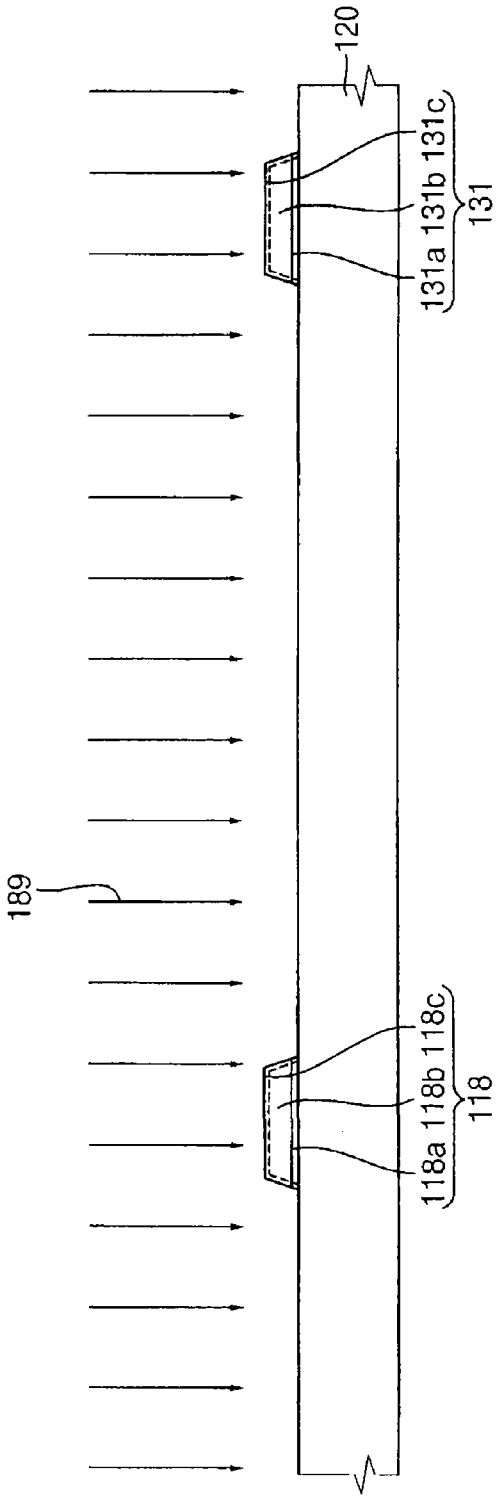


图 9

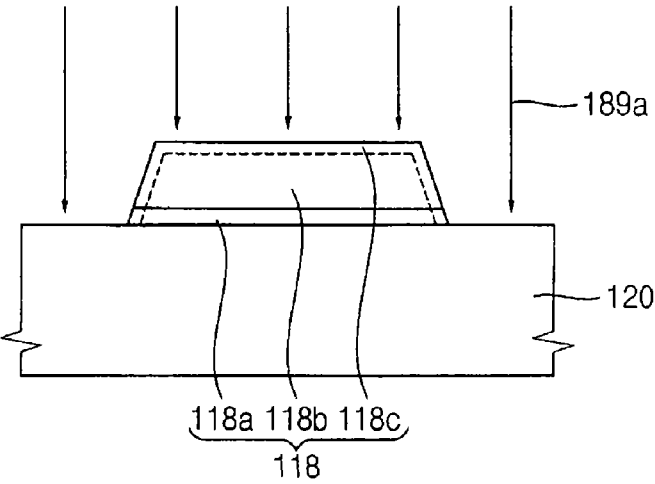


图 10

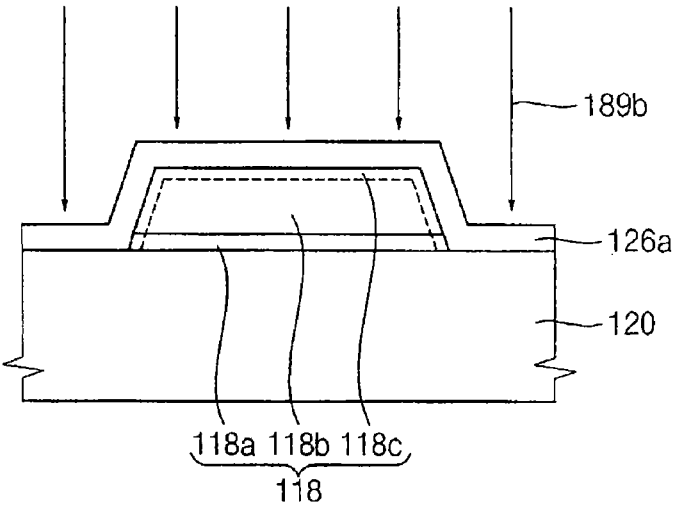


图 11

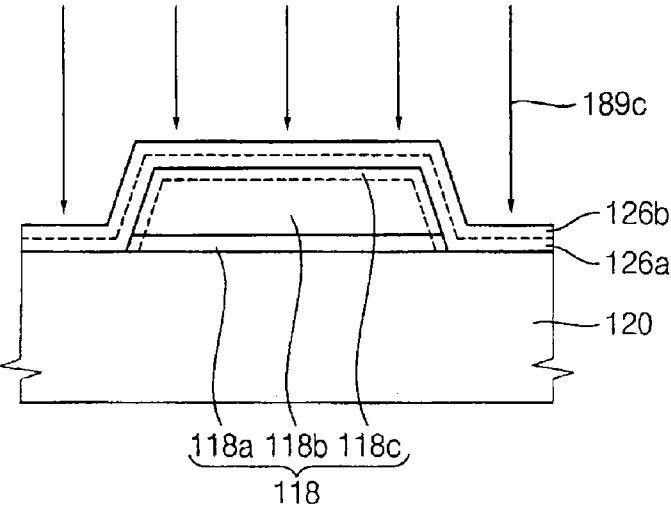


图 12

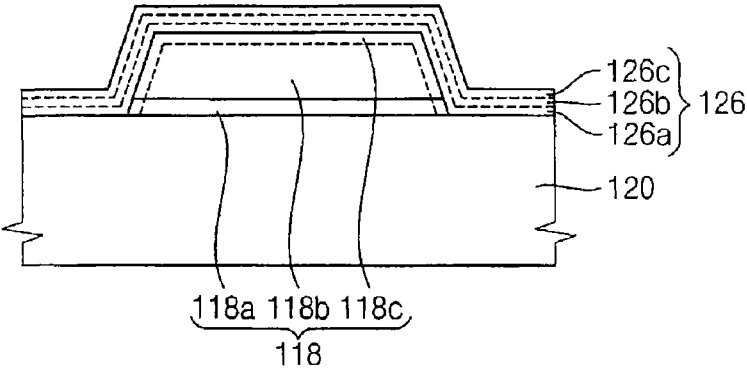


图 13

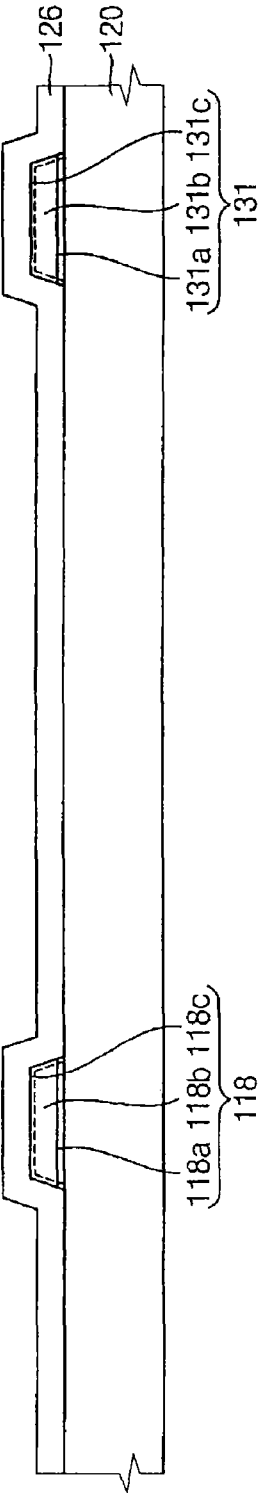


图 14

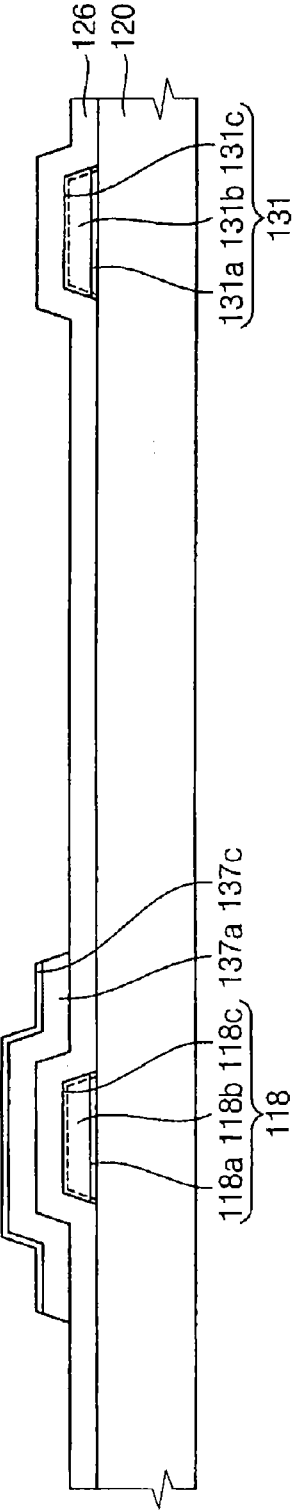


图 15

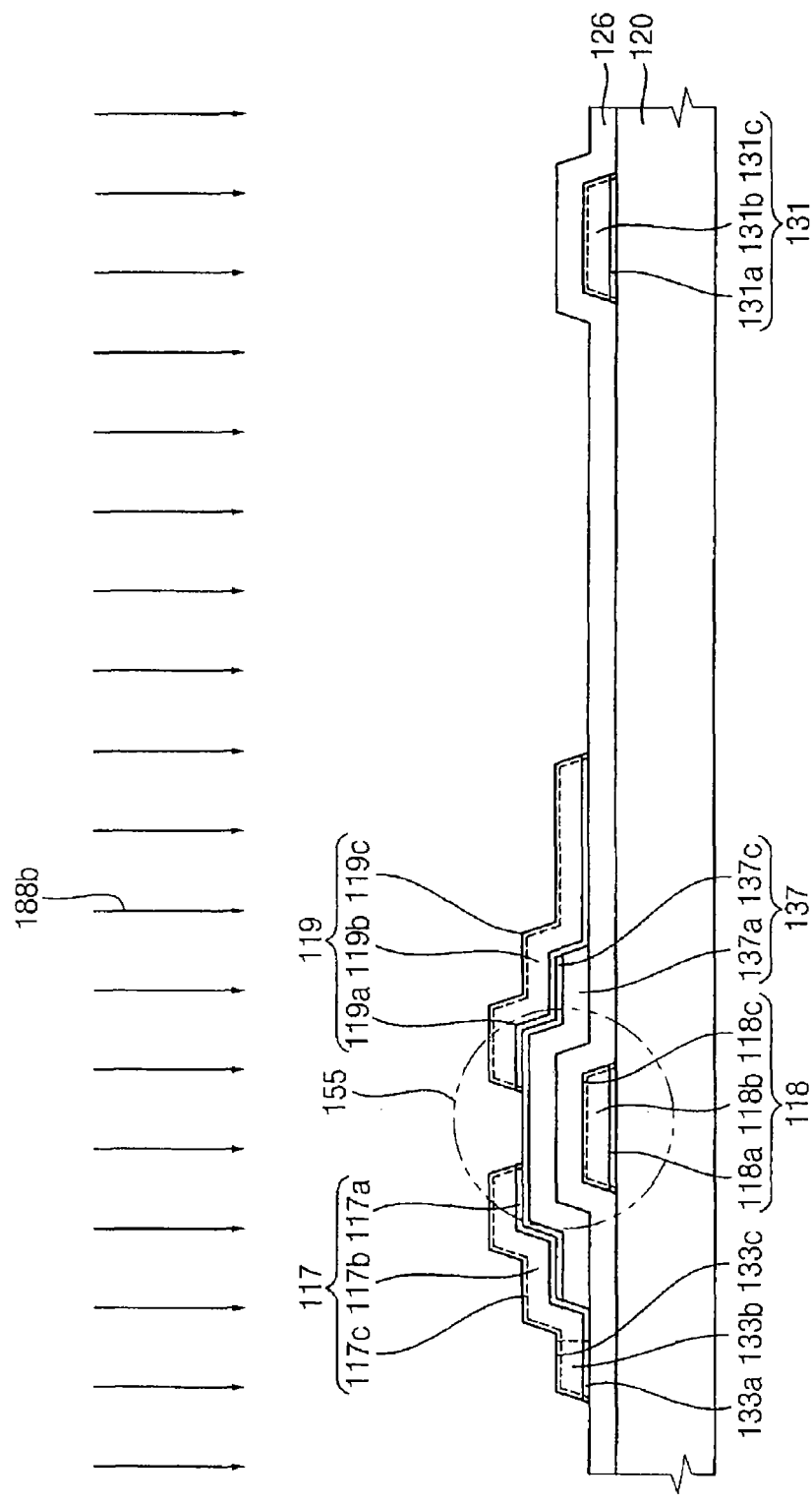


图 16

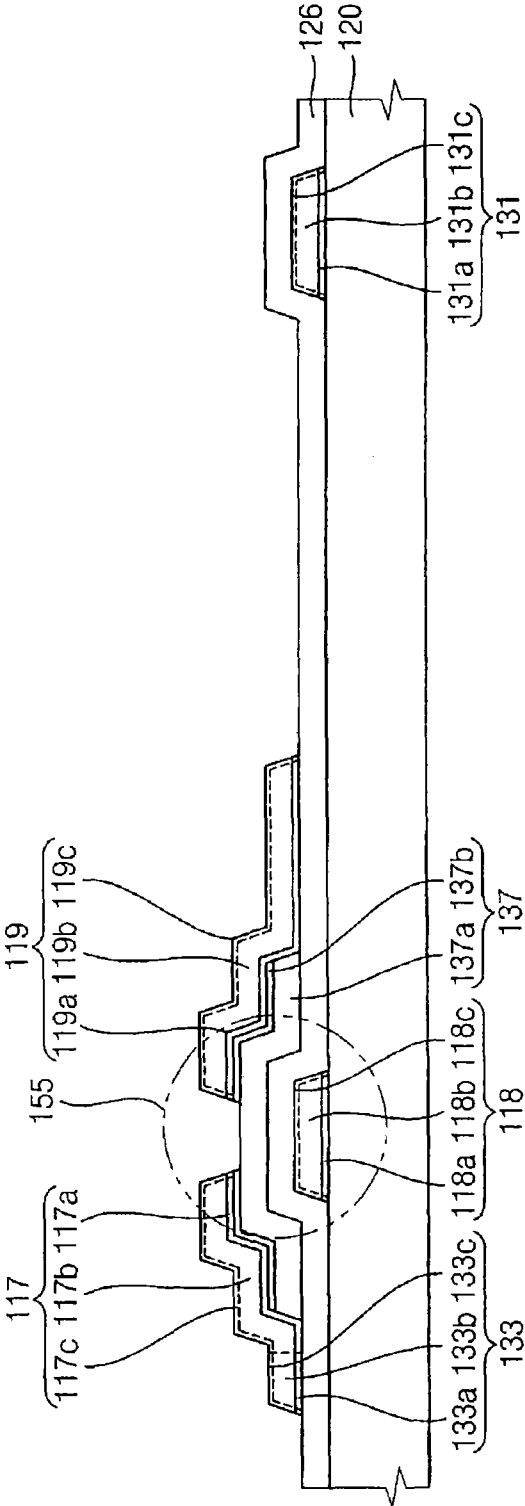


图 17

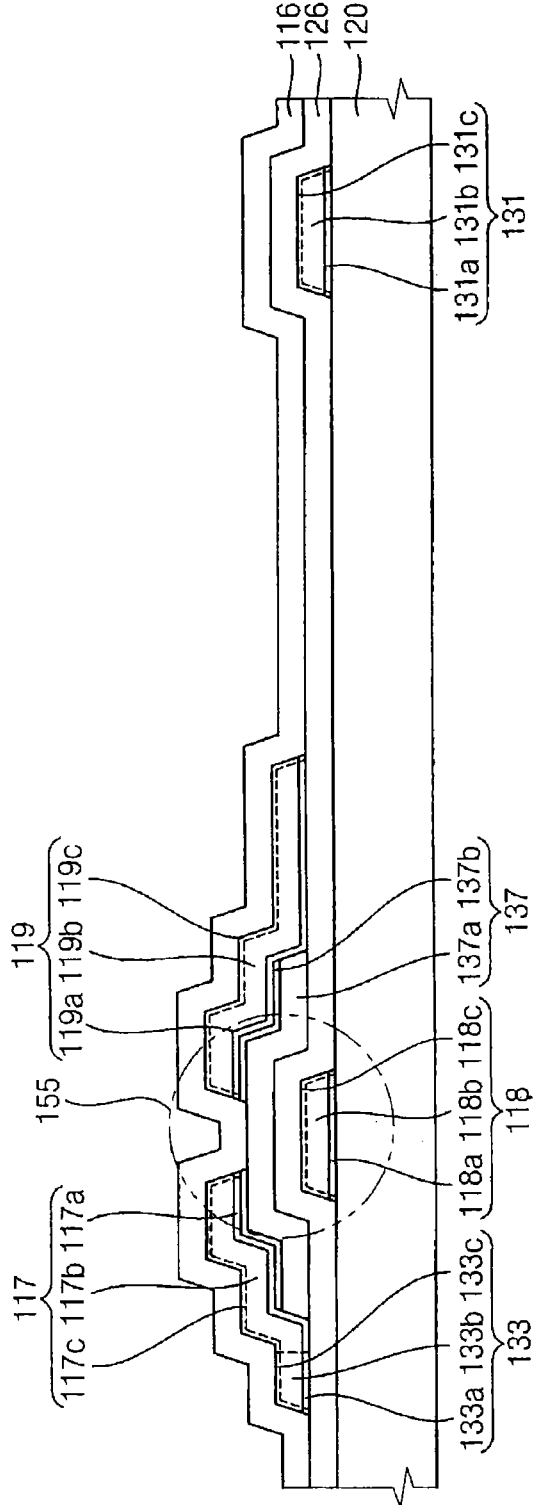


图 18

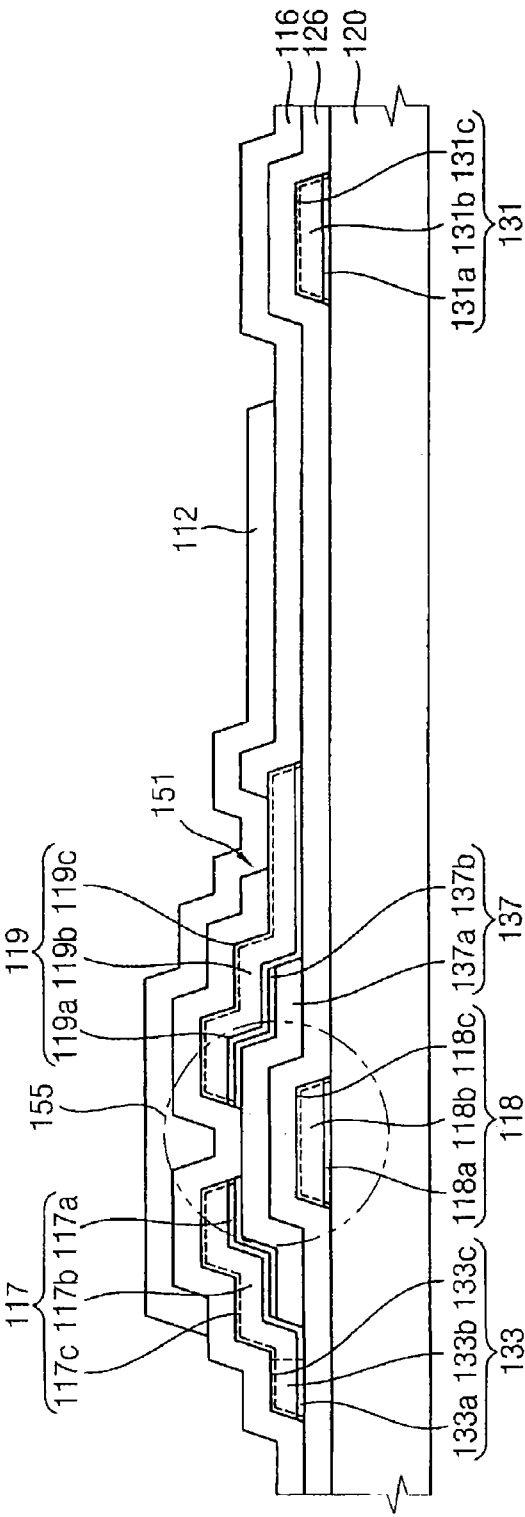


图 19

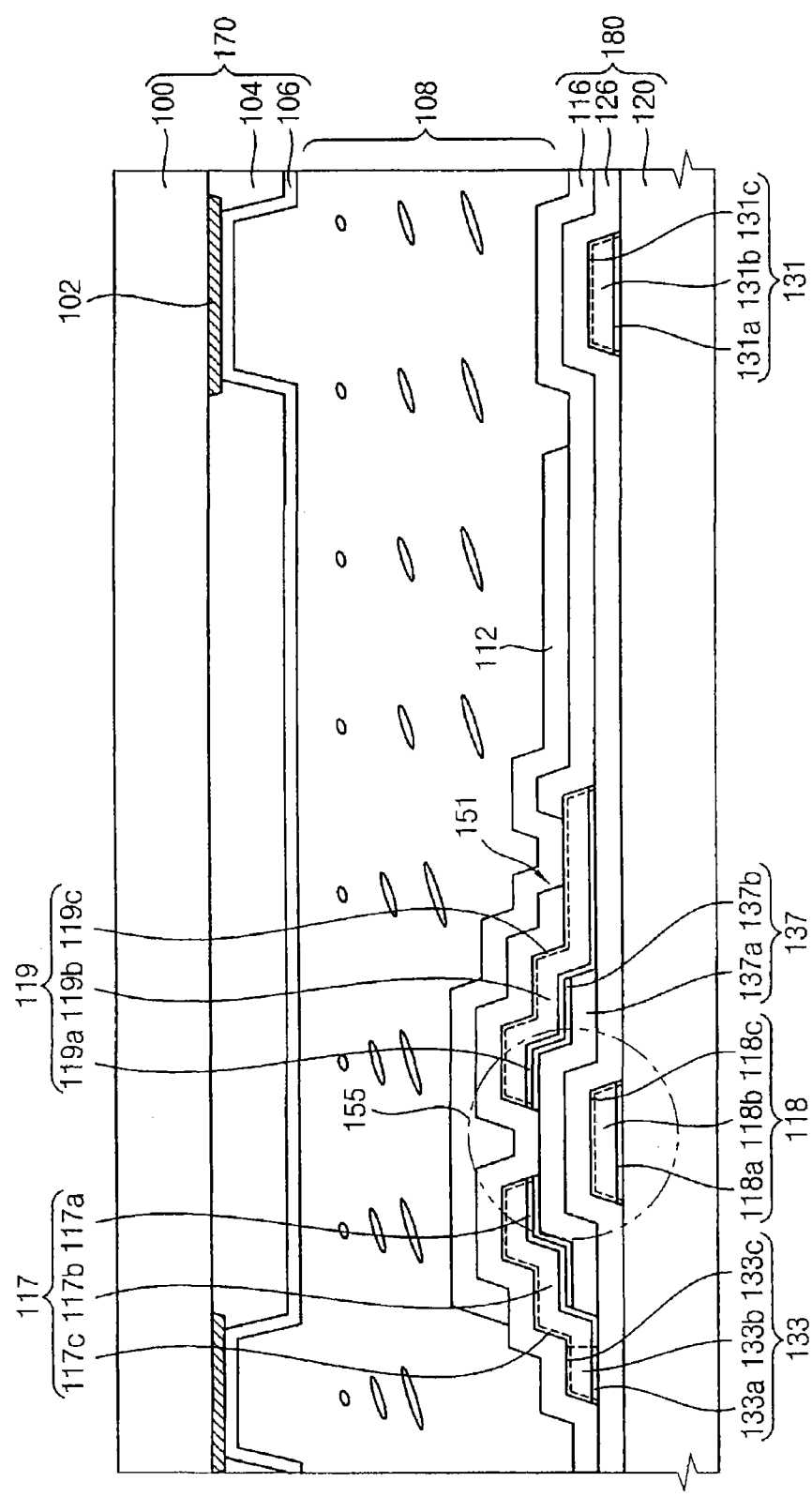


图 20

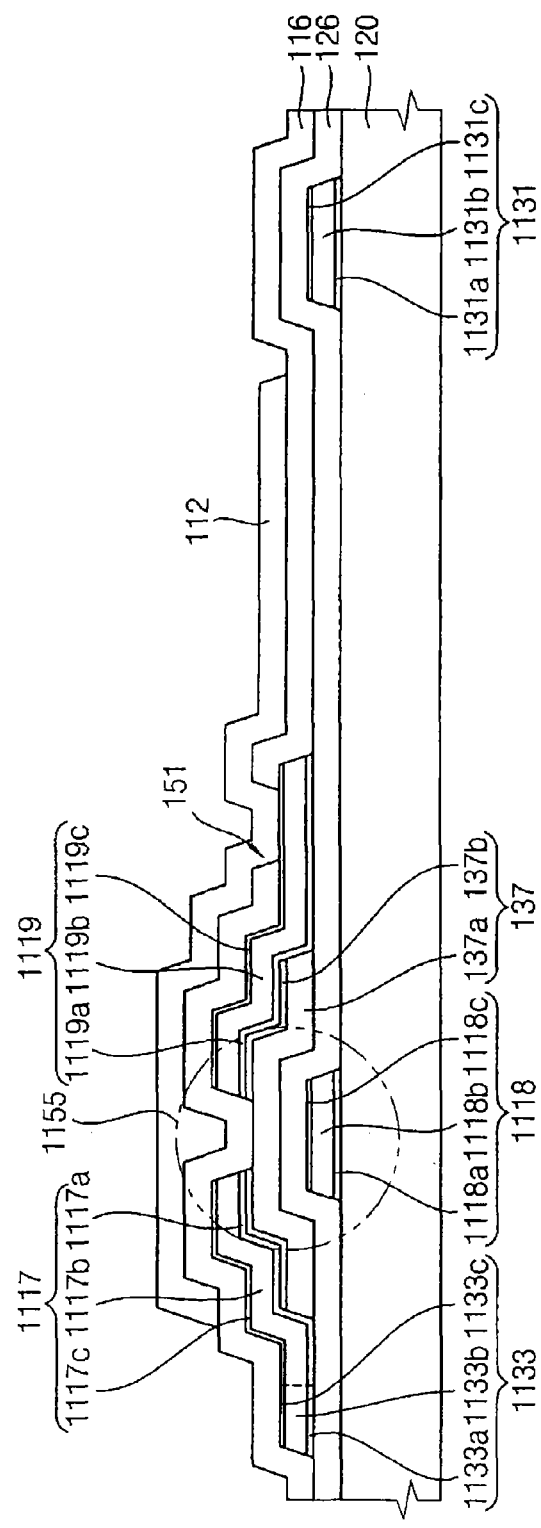


图 21

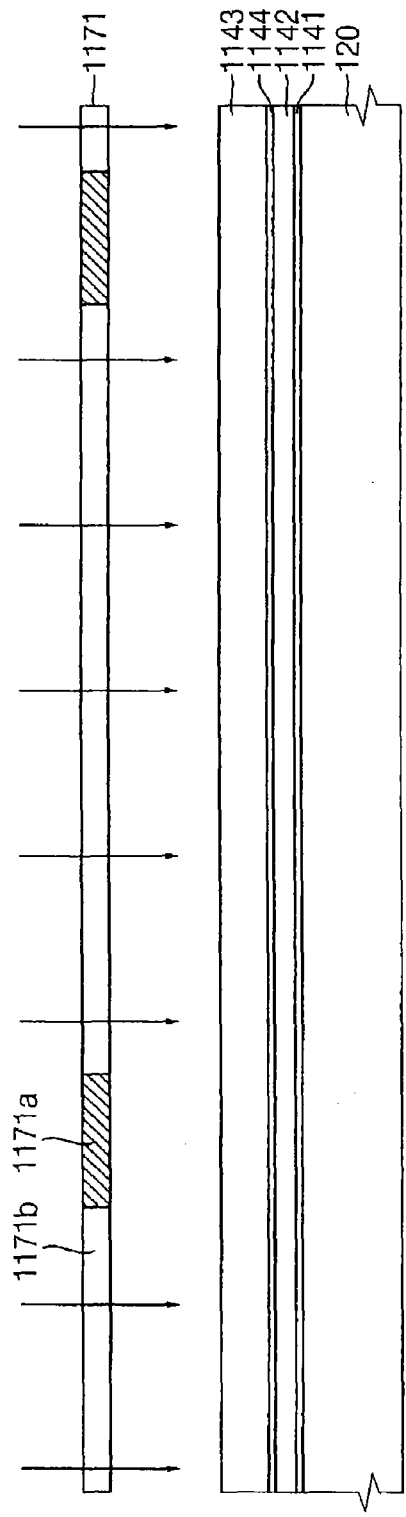


图 22

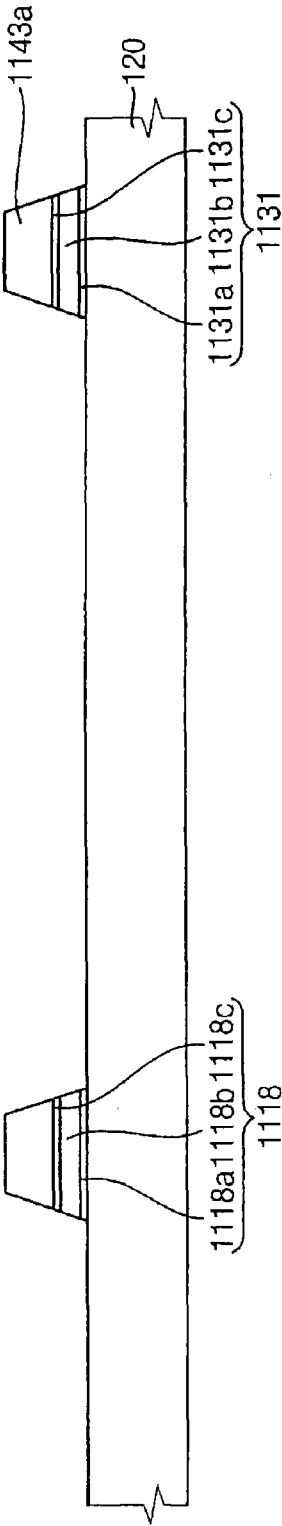


图 23

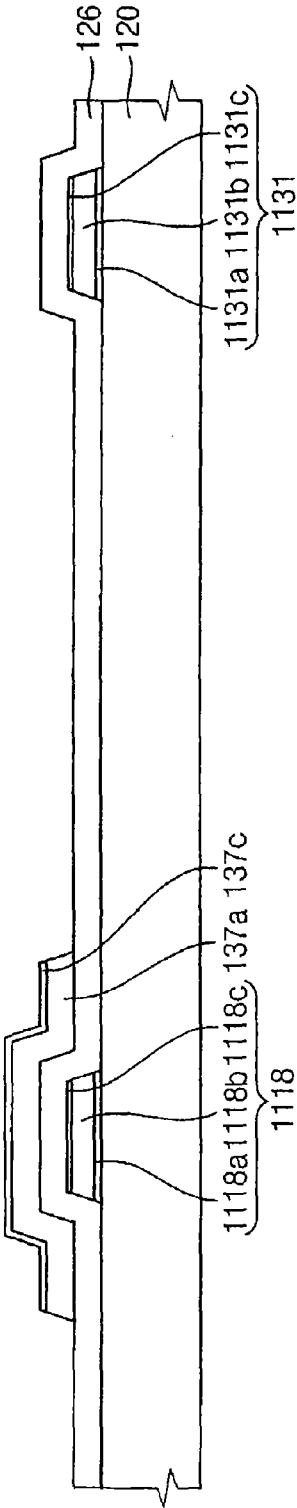


图 24

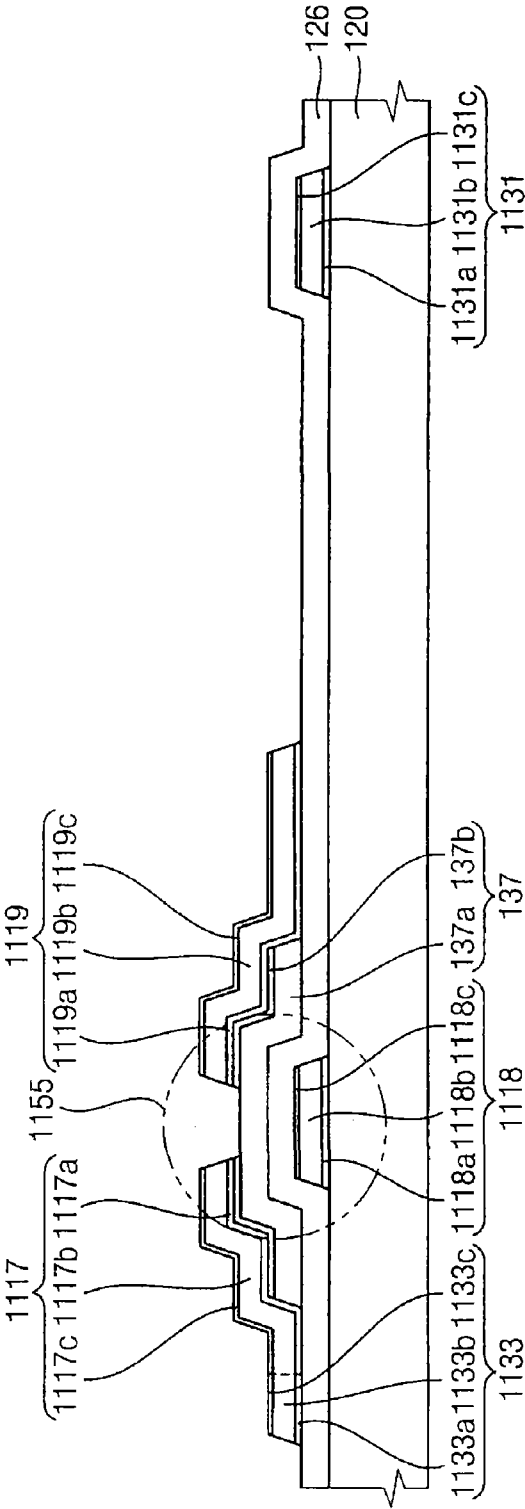


图 25

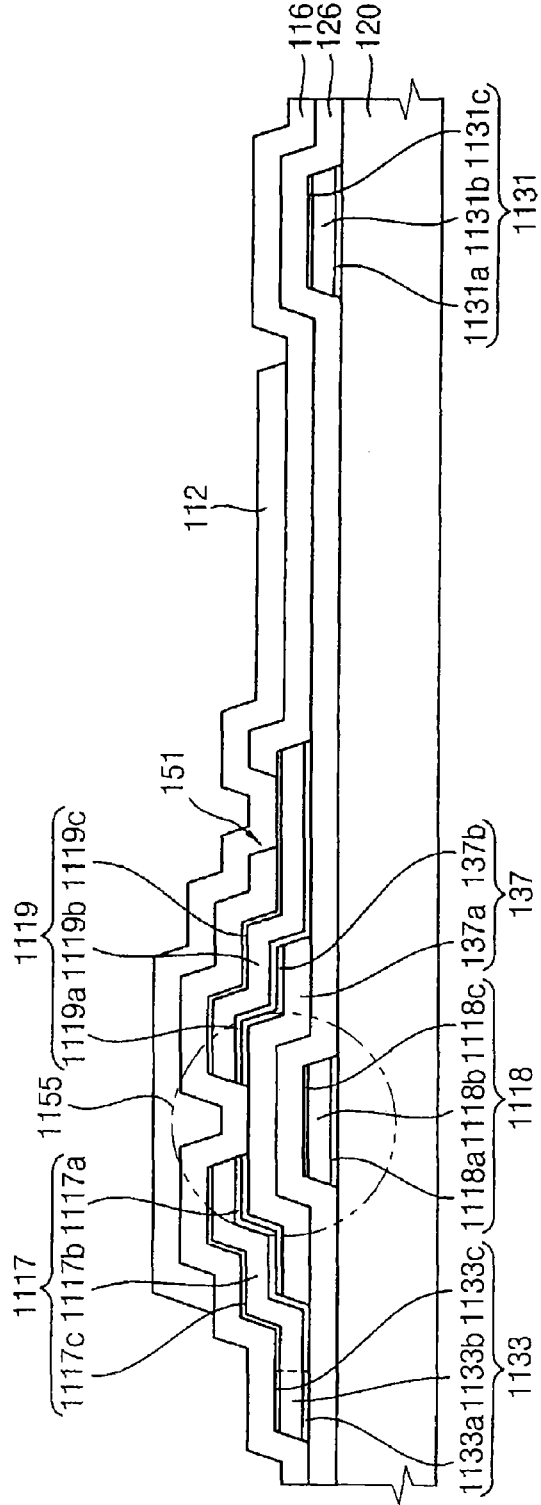


图 26

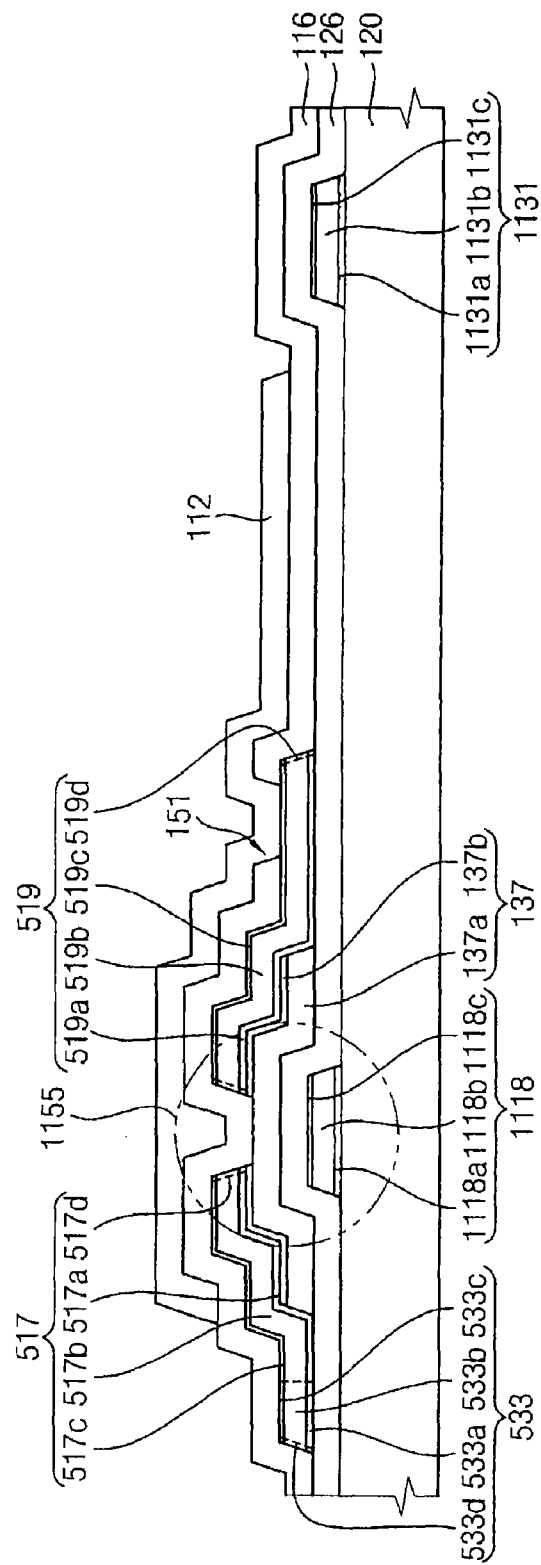


图 27

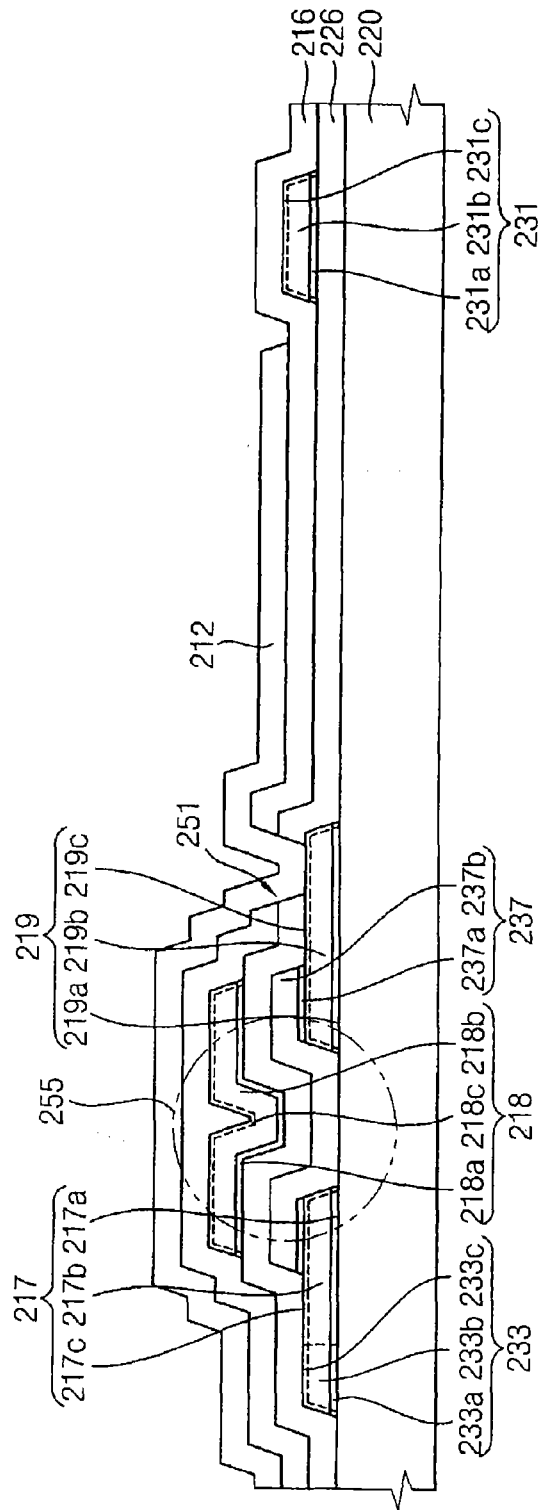
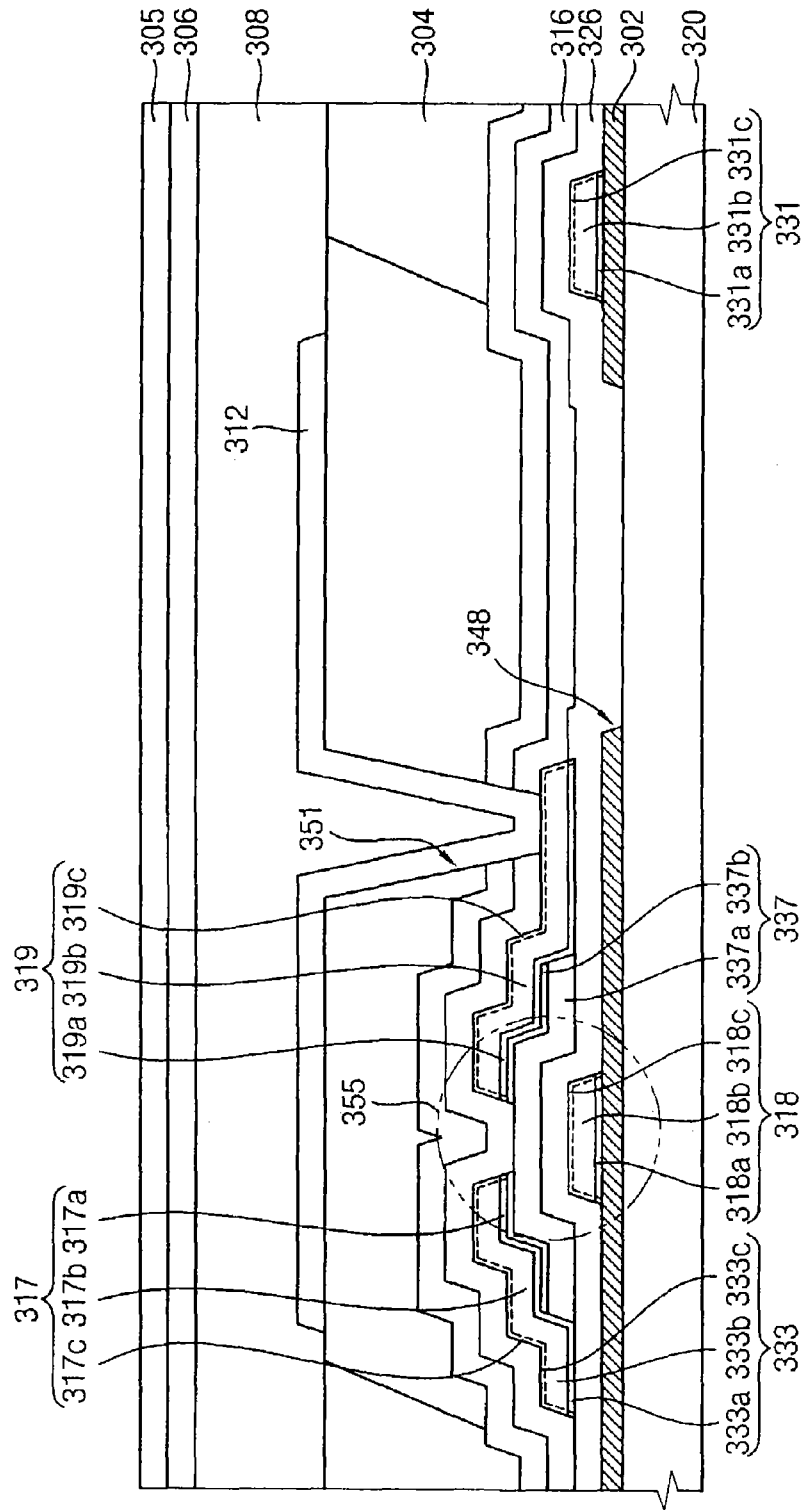


图 28



29