



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：半導体発光素子

技術分野

[0001] 本発明は半導体発光素子及びその製造方法に関する。

背景技術

[0002] 近年、半導体発光素子の大型化が望まれている。しかしながら、半導体発光素子の寸法が大きくなると、その素子の半導体積層体に不良領域が含まれる可能性が高くなる。半導体積層体の一部に不良領域を含んだ半導体発光素子は、大部分の半導体積層体が良品領域であっても、不良品と判断される。そのため、1枚のウェーハから形成できる良品の大型半導体発光素子の数は減少し、結果として歩留まりが悪い。また、良品領域が無駄になるという問題もあった。

[0003] 良品領域を有効に使用することを目的として、複数の小型素子を結合して大型チップを形成する方法が知られている（例えば特許文献1）。この方法では、不良品の小型素子を含まないように大型チップをダイシングすると共に、不良品小型素子と共に残された良品の小型素子から、中型チップをダイシングしている。これにより、無駄になる良品領域を減らして、大型チップ及び中型チップで見たときにチップの歩留まりを向上させることができる。

[0004] また、半導体積層体を導電性の基板（これを「支持基板」と称する）に貼り合わせて、半導体積層体を成長させるための基板（これを「成長基板」と称する）を剥離した半導体発光素子（いわゆる「貼合せ半導体発光素子」）が知られている（例えば、特許文献2～3）。

先行技術文献

特許文献

[0005] 特許文献1：特開2010-192837号公報

特許文献2：特開2004-266240号公報

特許文献3：国際公開第2003/065464号パンフレット

発明の概要

発明が解決しようとする課題

- [0006] 半導体発光素子が大型化したときの別の問題として、反りの問題がある。これは、成長基板と半導体素子との間の熱膨張係数の差により生じる。貼合せ半導体発光素子の場合、成長基板と半導体積層体との間の熱膨張係数の差により半導体積層体に反りが生じ、その反りが、支持基板に貼り合せて成長基板を剥離しても、半導体積層体内に反りが内在したままとなる。
- [0007] 半導体発光素子が大型化したときの更なる問題として、光取出し効率の低下の問題がある。半導体積層体の活性層で発生した光の一部は、半導体積層体の上下面で反射しながら横方向に伝搬する。半導体積層体の側面まで達した光は、素子外側に出射される。大型の半導体発光素子では、光が側面に達するまでの平均距離が長くなるので、反射回数が増える。光が反射する時（特に、半導体積層体と基板との間の界面で反射する時）に、光の吸収が起こるため、反射回数が増えると、取り出される光の強度が低下する。
- [0008] 特に、窒化物半導体積層体を用いた貼合せ半導体発光素子では、活性層と基板との間の距離（p型半導体層の厚さ）が短いので、活性層で発生した光のうち、外部に取り出されずに反射を繰り返す光が、半導体積層体と基板との界面で吸収される傾向にあり、そのため、半導体発光素子の大型化による光り取り出し効率を向上させることが望まれている。
- [0009] そこで、本発明は、大型の貼合せ半導体発光素子において、反りを低減し、光取出し効率を向上させたもの及びその製造方法を提供することを目的とする。

課題を解決するための手段

- [0010] 本発明の半導体発光素子は、p型半導体層、活性層、及びn型半導体層を順次積層した半導体積層体と、前記半導体積層体の前記p型半導体層側に接合された導電性の支持基板と、を含む半導体発光素子であって、前記半導体積層体は、前記p型半導体層、前記活性層、及び前記n型半導体層を貫通する溝によって少なくとも2つの半導体ブロックに分割されていることを特徴

とする。

[0011] 本発明の半導体発光素子の製造方法は、p型半導体層、活性層、及びn型半導体層が積層された半導体積層体と、前記半導体積層体の前記p型半導体層側に接合された導電性の支持基板と、を含む半導体発光素子の製造方法であって、成長基板の上に前記n型半導体層、前記活性層、及び前記p型半導体層を順次成長させて、前記半導体積層体を形成する成長工程と、前記p型半導体層と前記支持基板とを接合する接合工程と、前記成長基板を除去する成長基板除去工程と、前記支持基板を前記半導体発光素子に分割するチップ化工程と、を含み、前記半導体積層体は、前記チップ化工程より前に、溝によって複数の半導体ブロックに分割されており、前記チップ化工程では、前記溝に沿って前記支持基板を分割して、少なくとも2つの前記半導体ブロックを含んだ前記半導体発光素子を得ることを特徴とする。

[0012] 本発明の半導体発光素子は、半導体積層体を複数の半導体ブロックに分割されているので、半導体積層体の内部に蓄積された応力が緩和される。すなわち、大型貼合せ半導体発光素子を、複数のブロックから構成することにより、半導体発光素子の反りを低減することができる。また、本発明の半導体発光素子は、半導体積層体が複数の半導体ブロックに分割されているので、活性層で発光した光が、側面に達するまでの平均距離を短くできる。よって、半導体積層体内での反射回数を低減でき、光取出し効率を向上できる。

[0013] 本発明の製造方法によれば、チップ化工程より前に、半導体積層体を溝により複数の半導体ブロックに分割するので、チップ化工程後に、反りが少なく、光取出し効率の良好な半導体発光素子チップを得ることができる。

発明の効果

[0014] 本発明の半導体発光素子によれば、反りを低減し、光取出し効率を向上させた大型の貼合せ半導体発光素子を提供することができる。また、本発明の製造方法によれば、反りを低減し、光取出し効率を向上させた大型の貼合せ半導体発光素子を製造することができる。

図面の簡単な説明

[0015] [図1]実施の形態1に係る半導体発光素子の概略上面図である。

[図2]図1のX-X線における概略断面図である。

[図3A]実施の形態1に係る半導体発光素子の概略上面図である。

[図3B]実施の形態1に係る半導体発光素子の概略上面図である。

[図4A]実施の形態1に係る半導体発光素子の概略上面図である。

[図4B]実施の形態1に係る半導体発光素子の概略上面図である。

[図4C]実施の形態1に係る半導体発光素子の概略上面図である。

[図5A]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図5B]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図5C]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図5D]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図5E]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図5F]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図5G]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図5H]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図5I]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図5J]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図5K]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図5L]図2の半導体発光素子の製造方法を説明するための概略断面図である

。

[図6]実施の形態1の半導体発光素子のチップ化工程を説明するための概略上面図である。

[図7]従来の大型半導体発光素子のチップ化工程を説明するための概略上面図である。

[図8]実施の形態2に係る半導体発光素子の概略断面図である。

[図9]実施の形態3に係る半導体発光素子の概略断面図である。

[図10A]実施の形態4に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図10B]実施の形態4に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図10C]実施の形態4に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図10D]実施の形態4に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図10E]実施の形態4に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図10F]実施の形態4に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図10G]実施の形態4に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図10H]実施の形態4に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図10I]実施の形態4に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図10J]実施の形態4に係る半導体発光素子の製造方法を説明するための概略

断面図である。

[図11A]実施の形態5に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図11B]実施の形態5に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図11C]実施の形態5に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図12A]実施の形態6に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図12B]実施の形態6に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図12C]実施の形態6に係る半導体発光素子の製造方法を説明するための概略断面図である。

[図12D]実施の形態6に係る半導体発光素子の製造方法を説明するための概略断面図である。

発明を実施するための形態

[0016] 以下、図面に基づいて本発明の実施の形態を詳細に説明する。なお、以下の説明では、必要に応じて特定の方向や位置を示す用語（例えば、「上」、「下」、「右」、「左」及び、それらの用語を含む別の用語）を用いる。それらの用語の使用は図面を参照した発明の理解を容易にするためであって、それらの用語の意味によって本発明の技術的範囲が限定されるものではない。また、複数の図面に表れる同一符号の部分は同一の部分又は部材を示す。

[0017] <実施の形態1>

図1及び図2は本実施の形態に係る半導体発光素子1を示しており、導電性の支持基板10の上面には、接合層20、反射層30と、半導体積層体40とが積層されている。半導体積層体40は、溝2により複数（図1では4つ）に分割されて、半導体ブロック40a～40dを形成している。各半導体ブロック40a～40dは、図2に示すように、p型半導体層43（43

a、43d)、活性層42(42a、42d)、及びn型半導体層41(41a、41d)を順次積層して構成されている。

[0018] 半導体ブロック40a~40dのn型半導体層41a~41dには、n側パッド50(50a~50d)が形成されている。半導体ブロック40a~40dの表面は、n側パッド50の一部を除いて、透光性の外側保護膜60で覆われている。

支持基板10の裏面には、裏面メタライズ層70が形成されている。裏面メタライズ層70は、支持基板10のオーミック電極として機能する。

[0019] 反射層30のうちn側パッド50の直下の領域には反射層30を形成せず、代わりに絶縁膜(例えばSiO₂膜)を配置するのが好ましい。すなわち、図2の反射膜30のうちn側パッド50の直下に絶縁膜を配置し、その周囲に反射膜30を設ける形態になる。これにより、n側パッド50の直下のみに電流が流れるのを防止することができる。

また、n側パッド50と電氣的に接続されている延伸電極(後述)を設ける場合には、n側パッド50及び延伸電極の全てがn型半導体層41と接していなくてもよい。例えば、n型半導体層41とn側パッド50及び延伸電極との間の一部分(例えば、n側パッド50とn型半導体層41との間)に絶縁膜を配し、その他の部分(例えば、延伸電極)がn型半導体層41と接触していてもよい。この場合には、p型半導体層43の全面に反射層30を設けていてもよい。

なお、本実施の形態では、保護層80を設け、そして保護層80に貫通孔81aを形成しているが、貫通孔81aは、n側パッド50の直下に形成しないのが好ましい。また、保護層80及び貫通孔81aは必須ではなく、省略してもよい。貫通孔81を形成する場合、接合層を形成する際に接合層の材料が貫通層81に充填される。

[0020] 本実施の形態の半導体発光素子1は、支持基板10が、半導体ブロック40a~40dのp型半導体層43a、43d側に、保護層80と反射層30とを介して接合されているといえる。そして、半導体積層体40a、40d

は、p型半導体層43a、43d、活性層42a、42d、及びn型半導体層41a、41dを貫通する溝2によって、複数の半導体ブロック40a～40dに分割されている。

[0021] 半導体積層体40が溝2によって複数の半導体ブロック40a～40dに分割されていると、活性層42a、42dから横方向に伝搬する光は、半導体ブロック40a～40dの側面のうち、外側に面した外側面45a～45d及び溝2に面した内側面46a～46dのいずれからでも出射することができる。内側面46a～46dから出射された光は、溝2の中で反射（例えば、半導体ブロック40a、40bの間の溝2に出射された光は、内側面46a、46bの間で反射）して、溝2の外側に取り出される。

[0022] 溝2が存在しない大型の半導体発光素子では、半導体積層体中を横方向に伝搬する光は、半導体積層体の上下面で反射されながら、外側面（図1の外側面45a～45dに相当）から外部に出射する。一方、図1に示した本発明の半導体発光素子1では、光は、外側面45a～45dだけでなく、内側面46a～46dからも外部に出射することもできる。よって、本発明の半導体発光素子1は、従来の大型半導体発光素子に比べて、発光してから出射するまでの平均伝搬距離は約1/2に減少する。したがって、半導体積層体40の内部で反射される回数も、約1/2に減少する。半導体積層体40の内部での反射の際に光の吸収が起こるので、反射回数が減少すると、外部に取り出される光の強度は高くなる。

[0023] このように、半導体積層体40を複数の半導体ブロック40a～40dに分割することにより、活性層42で発光した光が側面45a～45d、46a～46dに達するまでの平均距離を短くできるので、半導体積層体40の内部での反射回数を低減でき、光取出し効率を向上できる。

[0024] 本実施の形態では、支持基板10と半導体積層体40との間に反射層30を含んでいるのが好ましい（図2）。光の吸収は、半導体積層体40と支持基板10との間の界面で反射する時に大きい。これは、支持基板10による光の吸収が起こりやすいためである。そこで、本実施の形態のように、半

導体積層体 40 から支持基板 10 方向に向かう光を効率よく反射して、光の吸収を抑制できる。反射層 30 を含むことにより、半導体積層体 40 の中を伝搬する光強度を高く維持でき、光取出し効率を向上させることができる。

[0025] 本発明の半導体発光素子では、p 型半導体層 43 と n 型半導体層 41 との厚さの比率を 1 : 3 ~ 1 : 50 と、p 型半導体層 43 を比較的薄くすることができる。本発明は、貼合せ半導体発光素子であるので、p 型半導体層 43 が薄いと、活性層 42 が支持基板 10 に近づくことになる（図 2）。つまり、活性層 42 で発光した光が、近接する支持基板 10 により吸収されやすいので、光取出し効率が悪化しやすい。しかしながら、本発明では、半導体積層体 40 を溝 2 で複数の半導体ブロック 40a ~ 40d に分割しているので、光が外部に出射されるまでの吸収を抑えることができるので、光取出し効率の悪化を緩和することができる。

[0026] p 型半導体層 43 が薄い場合には、支持基板 10 と半導体積層体 40 との間に反射層 30 を設けると特に好ましい。活性層 42 で発光した光が、近接する支持基板 10 により吸収される前に反射層 30 で反射されるので、支持基板 10 での光吸収を効果的に抑制できる。

[0027] 反射層 30 は、金属膜から形成することができる。これにより、反射層 30 を、p 型半導体層 43 と支持基板 10 との間を導通させるための p 側電極としても機能させることができる。特に、金属膜が Ag 膜又は Al 膜であると、光の反射率が高いので、半導体発光素子 1 の光取出し効率を向上させることができる。

[0028] 図 2 のようには、支持基板 10 と半導体積層体 40 との間に、支持基板 10 側から順に、絶縁性の保護膜 80 と、反射層 30 とをさらに含んでいるのが好ましい。

活性層 42 と支持基板 10 との間に反射層 30 を配置することにより、半導体積層体 40 の内部を伝搬する光の吸収を抑制することができる。

そして、支持基板 10 と反射層 30 との間に絶縁性の保護膜 80 を配置すると、反射層 30 と支持基板 10 との間の導通が阻害される。そこで、保護

膜 80 に貫通孔 81 (81a ~ 81d) を設けてそれらの間の導通を確保する必要がある。この貫通孔 81 の形状、寸法、及び形成位置を適切に設計することにより、半導体積層体 40 の中を流れる電流の経路を制御することができる。例えば、図 1 の矩形の半導体ブロック 40a では、n 側パッド 50a と貫通孔 81a とが対角に位置するように形成すれば、半導体ブロック 40a 内の広い範囲に電流を流すことができる。溝 2 の底部 2b にも保護膜 80 を含んでいると、半導体ブロック 40a ~ 40d の間を絶縁することができる。

[0029] なお、反射層 30 がマイグレーションを起こしやすい材料 (例えば Ag) などから成る場合に、溝 2 の底部 2b まで反射層 30 を形成すると、半導体ブロック 40a ~ 40d の間や、半導体ブロック 40a ~ 40d 内の p 型半導体層 43、活性層 42 及び n 型半導体層 41 の間が、マイグレーションにより短絡を起こす恐れがある。しかしながら、本実施の形態のように、溝 2 の底部 2b には保護膜 80 を形成するのみとすることにより、短絡の問題を抑制することができる。

[0030] 保護膜 80 を誘電体多層膜から形成して、光を反射する反射部材としての機能を備えることもできる。例えば、図 2 の半導体発光素子 1 では、溝 2 の底部 2b に保護膜 80 は形成されているが、反射層 30 は形成されていない。半導体ブロック 40a ~ 40d の内側面 46a ~ 46d から出射した光の一部は、溝 2 の底部 2b に向かって、保護膜 80 に照射される。ここで保護膜 80 を誘電体多層膜から形成することにより、光を保護膜 80 で反射して、溝 2 の外側に取り出すことができる。よって、保護膜 80 を誘電体多層膜から形成することにより、半導体発光素子 1 の光取出し効率を向上させることができる。

[0031] 溝 2 の幅 W (図 1) は、 $25\ \mu\text{m}$ 以下であるのが好ましい。大型の半導体発光素子では、電流が全体に流れず、発光面が均一に発光しない問題がある。そこで、延伸電極を長く張り巡らせることにより、素子全体に電流を流していた。延伸電極は、通常は幅 $5\sim 50\ \mu\text{m}$ の金属膜から形成しており、延

伸電極の形成部分は光が遮光される。本発明では、溝2により半導体ブロック40a～40dに分割することにより、延伸電極を使用しないで、又は短い延伸電極で、比較的均一な発光を実現できる。しかしながら、溝2を形成した領域は、半導体積層体40が除去されるため、非発光領域となる。光取出し効率の観点で比較すると、溝2の幅を25 μm 以上とすると、長い延伸電極を設けた大型の半導体発光素子1よりも光取出し効率が低下するので好ましくない。

[0032] なお、溝2の幅は、通常は3 μm 以上で形成される。現在のエッチング技術（ウェットエッチング及びドライエッチング）を用いた場合、3 μm 未満の幅の溝を正確に形成することが困難なためである。図示された溝2は、細長く伸びた断面矩形の溝となるように、垂直な側壁を有している。しかしながら、他の形状の溝にすることもできる。例えば、溝2は、細長く伸びた断面V字状の溝となるように、傾斜した側壁を有することもできる。その場合、「幅」とは、溝の最大幅を指している。当然ながら、溝2の断面形状は、溝2を形成する方法に依存する。

[0033] 半導体発光素子1の上面視の形状が矩形であり、矩形の一辺の長さAと、その辺と直交する方向に延びる溝2の幅Wとの比率が100：25以下であるのが好ましい。溝2を形成することにより、半導体ブロック40a～40dの内側面46a～46dから光が出射するため、光取出し効率が上昇する。しかしながら、溝2を形成した領域は、半導体積層体40が除去されるため、非発光領域となる。光取出し効率の観点で比較すると、半導体発光素子1の一辺の長さAと溝2の幅Wとの比率が100：25以上であると、溝2を形成しない場合よりも光取出し効率が低下するので好ましくない。

[0034] なお、半導体発光素子1の一辺の長さAと溝2の幅Wとの比率は、通常は100：0.28以上である。これは、一辺の長さA＝1.4 mmで、溝の幅W＝3 μm としたときの下限である。

[0035] また、各半導体ブロック40a～40dの上面視の形状が矩形であり、一辺の長さBと、その辺と直交する方向に延びる溝2の幅Wとの比率は10：

1 以下であるのが好ましい。比率が 10 : 1 以上であると、溝 2 を形成しない場合よりも光取出し効率が低下するので好ましくない。

[0036] 半導体ブロック 40a ~ 40h の上面視の形状が、正方形（図 2）、矩形（例えば、図 3A）又は三角形（例えば、図 3B）であるのが好ましい。これらの形状では、半導体発光素子 1 の上面を等分に分割でき、そして、半導体積層体 40 の面積を広く取ることができる。なお、半導体ブロック 40a ~ 40h を六角形にしても、半導体発光素子 1 の上面を等分に分割できるが、半導体発光素子 1 を矩形にできない欠点がある。

[0037] 図 2、図 3A ~ 図 3B に示すように、各々の半導体ブロック 40a ~ 40h の n 型半導体層 41 に、ワイヤボンディング用の n 側パッド 50a ~ 50h が形成されており、n 側パッド 50a ~ 50h は、半導体ブロック 40a ~ 40h の 1 つの辺に隣接して配置されているのが好ましい。n 側パッド 50a ~ 50h から外部端子（図示せず）まで導電ワイヤ 51a ~ 51h を配線するときに、半導体ブロック 40a ~ 40h の上を横切る導電ワイヤの長さを短くできる。よって、導電ワイヤ 51a ~ 51h による遮光量が減るので、光取出し効率を向上させることができる。

[0038] 特に、半導体ブロック 40a ~ 40h の少なくとも 1 つの辺が半導体発光素子 1 の外周と近接するように配列されており、n 側パッド 50a ~ 50h は、外周と隣接する辺のいずれかに隣接して配置されているのが望ましい。これにより、半導体ブロック 40a ~ 40h に接続された導電ワイヤ 51a ~ 51h は、他の半導体ブロック 40a ~ 40h を横切ることがない。よって、導電ワイヤ 51a ~ 51h による遮光量がさらに減るので、光取出し効率をさらに向上させることができる。

[0039] 半導体ブロック 40a ~ 40h 内での電流拡散をより理想的なものにするために、n 型半導体層 41 上に、n 側パッド 50 と電氣的に接続されている延伸電極 55（55a ~ 55h）が形成することができる（図 4A ~ 図 4C）。半導体ブロック 40a ~ 40h は、大型の半導体発光素子に比べて小さいので、大型の半導体発光素子の延伸電極に比べて、短い延伸電極 55 で十

分な効果を発揮することができる。

[0040] n型半導体層41の表面（すなわち、半導体積層体40の上面）は、粗面化されていると、n型半導体層41の表面で反射する光を低減できるので好ましい。これにより、半導体積層体40の上面から出射する光を増加できる利点と、半導体積層体40の横方向に伝搬する光（半導体積層体40の上下面で反射する）を低減して半導体積層体40の内部での光吸収量を低減できる利点が得られる。

[0041] 以下に、図2に示した半導体発光素子1の製造方法について、図5A～図5Lを参照しながら説明する。

[0042] (1) 成長工程（図5A）

成長基板100の上にn型半導体層41、活性層42、及びp型半導体層43を順次成長させて、半導体積層体40を形成する。半導体成長用基板100は、後工程で剥離される基板であり、例えば、C面、R面及びA面のいずれかを主面とするサファイアから構成される。なお、半導体成長用基板100としてサファイアと異なる異種基板を用いてもよい。異種基板としては、例えば、スピネル(MgAl_2O_4)のような絶縁性基板、SiC(6H、4H、3Cを含む)、ZnS、ZnO、GaAsおよび窒化物半導体と格子整合する酸化物基板等、窒化物半導体を成長させることが可能で、従来から知られている基板材料を用いることができる。

[0043] (2) 反射層形成工程（図5B）

半導体積層体40のp型半導体層側の表面（p型半導体層側表面）40uに、反射層30を形成する。反射層30は、例えばマグネトロンスパッタ法を用いて形成された金属膜（Ag膜、Al膜等）が好ましい。

[0044] (3) 保護膜形成工程（図5C）

反射膜30の表面に絶縁性の保護膜80を形成する。保護膜80は、誘電体単層膜、又は誘電体多層膜から形成するのが好ましい。

保護膜30は、例えば、スパッタリング法、ECR(Electron Cyclotron Resonance: 電子サイクロトロン共鳴)スパッタリング法、CVD(Chemical Vapor Dep

osition:化学気相成長)法、ECR-CVD法、ECR—プラズマCVD法、蒸着法、EB法(Electron Beam:電子ビーム蒸着法)等の公知の方法で形成することができる。なかでも、ECRスパッタリング法、ECR-CVD法、ECR—プラズマCVD法等で形成することが好ましい。

[0045] (4) 半導体側接合層 2 1 の形成工程 (図 5 D)

保護膜 8 0 の表面に、支持基板への接合用の半導体側接合層 2 1 を形成する。また、支持基板 1 0 には、基板側接合層を形成する (図示せず)。接合層の材料は、貫通孔 8 1 に充填される。

[0046] (5) 接合工程 (図 5 E ~ 図 5 F)

支持基板 1 0 の基板側接合層 2 2 を、基板側接合層 2 2 と半導体側接合層 2 1 に対向させて (図 5 E)、基板側接合層 2 2 と半導体側接合層 2 1 とを貼り合わせることにより、p 型半導体層 4 3 と支持基板 1 0 とを接合する (図 5 F)。基板側接合層 2 2 と半導体側接合層 2 1 が融合して、接合層 2 0 が形成される。

[0047] 接合工程において、後に形成される溝 2 の延伸方向と、支持基板 1 0 の結晶方向とが一致するように、p 型半導体層 4 3 と支持基板 1 0 とを接合するのが好ましい。これにより、後の「チップ化工程」において、支持基板 1 0 を分割するときに、分割線が支持基板 1 0 の劈開方向と一致する。よって、支持基板 1 0 の分割が容易になり、また分割後の支持基板 1 0 の側面が滑らかになる。

[0048] (5) 成長基板除去工程 (図 5 G)

支持基板 1 0 を接合した後に、成長基板 1 0 0 を除去する。これにより、半導体積層体 4 0 の n 型半導体層側の表面 4 0 t が露出する。

[0049] (6) 研磨工程 (図 5 H)

半導体成長用基板 1 0 0 を剥離した後に、支持基板 1 0 が下になるように裏返しにすることで、最上面となった半導体積層体 4 0 の n 型半導体層側の表面 (n 側表面) 4 0 t を CMP (Chemical Mechanical Polishing: 化学機械研磨) により研磨する。またこの CMP による研磨工程は、R I E (反応性イオン

エッチング)により表面を除去してもよい。

[0050] (7) 粗面化工程

研磨した半導体積層体40のn側表面40tに微細な凹凸を形成して、粗面化する。粗面化には、ドライエッチング法又はウェットエッチング法を用いることができる。

ウェットエッチング法の溶液としては、異方性のエッチング溶液として、KOH水溶液、4メチル水酸化アンモニウム(TMAH:Tetramethyl ammonium hydroxide水酸化テトラメチルアンモニウム)やエチレンジアミン・ピロカテコール(EDP:Ethylene diamine pyrocatechol)などを用いることができる。

ドライエッチング法の場合、RIE(Reactive Ion Etching反応性イオンエッチング)が利用できる。

[0051] (8) ブロック分割工程 (図51)

半導体積層体40を、溝2によって複数の半導体ブロック40a~40dに分割する。溝2は、ドライエッチング法又はウェットエッチング法により形成すると、幅の狭い溝2を正確に形成することができる。

半導体積層体40の内部には、支持基板10との熱膨張係数の差に起因する応力が加わっている。その結果、半導体積層体40と支持基板10の全体に反り(半導体積層体40側が凸になる)を生じる。大型の半導体発光素子の場合には、素子にチップ化した後にも反りが残り、ワイヤボンディング等において問題になる。しかしながら、本発明では、溝2により半導体積層体40を分割することにより、半導体積層体40内の反りが緩和され、反りを解消することができる。

[0052] 半導体積層体40に溝2を形成するときに、半導体積層体40と支持基板10との間に形成された反射層30まで除去することができる。これにより、溝2の形成と同時に、溝2の底部2bから反射層30を除去することができる。また、後の「チップ化工程」において、どの溝2で分割しても、半導体発光素子1の外周に反射層30が露出することがない。これにより、半導体発光素子1での反射層30のマイグレーションを抑制することができる。

[0053] (9) チップ化工程 (図5 J)

支持基板10を、溝2に沿って複数の半導体発光素子1に分割する。各半導体発光素子1には、少なくとも2つの半導体ブロック(例えば、図1のように4つの半導体ブロック40a~40d)を含んでいる。分割には、スクライプ、ダイシング、レーザスクライプなどの方法が利用できる。

[0054] チップ化工程において、各半導体ブロック40a~40dの少なくとも1つの辺が半導体発光素子1の外周と近接するように、半導体ブロック40a~40dがチップ化されているのが好ましい。

[0055] チップ化工程では、所望の個数及び所望の配列の半導体ブロック40a~40dを含めばよい。よって、例えば図1のように、4つの半導体ブロックを2行×2列に配列する場合、不良な半導体ブロック40Xを避けて、3つの良品の半導体発光素子1A~1Cを得ることができる(図6)。一方、溝2を形成しない大型の半導体発光素子の場合、不良な半導体領域を避けることができないので、2つの半導体発光素子1C'、1D'は不良品になり、2つの良品の半導体発光素子1A'、1B'しか得られない(図7)。すなわち、本発明のように、複数の半導体ブロック40a~40dから半導体発光素子1を形成することにより、不良領域を半導体ブロック40a~40d単位で回避することができるので、半導体発光素子1の歩留まりを向上させることができる。

[0056] (10) n側パッド形成工程 (図5 K)

半導体ブロック40a~40dのn側表面40tに、n側パッド50を形成する。n側パッド50が、各半導体ブロック40a~40dの当該1つの辺に隣接して配置されるのが好ましい(図1、図3A~図3B)。

[0057] (11) 外側保護膜形成工程 (図5 L)

表面の一部(ワイヤボンディングされる領域)を除いたn側パッド50と、半導体積層体40の上面40t、外側面45a~45d及び内側面46a~46dとを保護膜60で被覆する。外側保護膜60は、例えば、スパッタリング法、ECR(Electron Cyclotron Resonance:電子サイクロトロン共鳴)ス

パッタリング法、CVD(Chemical Vapor Deposition:化学気相成長)法、ECR-CVD法、ECRープラズマCVD法、蒸着法、EB法(Electron Beam:電子ビーム蒸着法)等の公知の方法で形成することができる。なかでも、ECRスパッタリング法、ECR-CVD法、ECRープラズマCVD法等で形成することが好ましい。

[0058] (12) 裏面メタライズ層形成工程

支持基板10の裏面側に、オーミック電極としての裏面メタライズ層70を形成する。

[0059] このようにして得られた半導体発光素子1は、裏面メタライズ層70をダイボンドし、導電ワイヤ51をn側パッド50に接続して、実装される。

[0060] <実施の形態2>

本実施の形態では、溝2の底部2bまで反射層30を形成する点で、実施の形態1と異なる(図8)。反射層30がマイグレーションを起こしにくい材料などから成る場合には、本変形例が好ましい。反射層30は、一般的に誘電体多層膜よりも反射率が高いので、溝2の底部2bに向かった光を効率よく反射して、溝2の外側に取り出すことができる。よって、溝2の底部2bまで反射層30を形成することにより、半導体発光素子1の光取出し効率をさらに向上させることができる。

[0061] 本実施の形態の半導体発光素子1を製造する場合には、実施の形態1に記載した製造方法の「(8)ブロック分割工程(図51)」を変更する。具体的には、半導体積層体40に溝2を形成するときに、半導体積層体40と支持基板10との間に形成された反射層30は除去しないことにより、溝2の底部2bに反射層30を残すことができる。なお、その他の工程については、実施の形態1と同様である。

[0062] <実施の形態3>

本実施の形態では、前記支持基板と前記半導体積層体との間に、反射膜30を設けずに、保護膜80のみを設けている点で、実施の形態1と異なる(図9)。実施の形態1と同様に、保護膜80を溝2の底部2bにも設けることができる。反射膜30の材料が、マイグレーションしやすい材料である場

合や、半導体積層体40に反射層30が拡散することが問題になる場合には、反射層30を形成しないほうが好ましい。反射層30の代わりに、保護膜80を形成し、その保護膜80を誘電体多層膜から形成することにより、半導体積層体40から支持基板10方向に向かう光を反射して、光の吸収を抑制できる。誘電体多層膜から成る保護膜80を含むことにより、半導体積層体40の中を伝搬する光強度を高く維持でき、光取出し効率を向上させることができる。

[0063] 本実施の形態の半導体発光素子1を製造する場合には、実施の形態1に記載した製造方法の「(2) 反射層形成工程(図5B)」を行わない。また、「(3) 保護膜形成工程(図5C)」では、保護膜80は、誘電体多層膜から形成する。その他の工程については、実施の形態1と同様である。

[0064] <実施の形態4>

本実施の形態では、実施の形態1と異なる製造方法により、半導体発光素子1を形成するものである。得られる半導体発光素子1は、図溝2の底部2bに、保護膜80及び反射膜30が存在しない点で、実施の形態1～3の半導体発光素子1と異なる。

本実施の形態の製造方法を以下に説明する。

[0065] (1) 成長工程(図10A)

実施の形態1と同様に、成長基板100の上にn型半導体層41、活性層42、及びp型半導体層43を順次成長させて、半導体積層体40を形成する。

[0066] (1') ブロック分割工程(図10B)

実施の形態1とは異なり、半導体積層体40の成長工程の次に、ブロック分割工程を行う。

ブロック分割工程の詳細は、実施の形態1と同様である。すなわち、ブロック分割工程では、半導体積層体40を、溝2によって複数の半導体ブロック40a～40dに分割する。溝2は、ドライエッチング法又はウェットエッチング法により形成すると、幅の狭い溝2を正確に形成することができる。

。また、溝2により半導体積層体40を分割することにより、半導体積層体40内の応力が緩和され、反りを解消することができる点も、実施の形態1と同様である。

- [0067] (2) 反射層形成工程(図10C)、(3) 保護膜形成工程(図10D)、
(4) 半導体側接合層21の形成工程(図10E)

これらの工程は、実施の形態1とほぼ同様である。しかしながら、半導体積層体40が、既に溝2によって分割されているので、反射膜40、保護膜80及び半導体側接合層21も、溝2で分割された状態で形成される点が、実施の形態1と異なる。

- [0068] (5) 接合工程(図10F～図10G)

これらの工程は、実施の形態1とほぼ同様である。しかしながら、半導体側接合層21が、溝2で分割された状態なので、半導体積層体40と支持基板10との接合は、溝2を除く領域のみで形成される点が、実施の形態1と異なる。

- [0069] (5) 成長基板除去工程(図10H)、(6) 研磨工程(図10I)、(7)
粗面化工程

これらの工程は、実施の形態1と同様である。

- [0070] (9) チップ化工程(図10K)

本実施の形態では、「(1') ブロック分割工程」を含んでいる代わりに、実施の形態1における「(8) ブロック分割工程」を含まない。よって、「(7) 粗面化工程」の次に、チップ化工程を行う。

それ以外の点については、実施の形態1と同様である。

- [0071] (10) n側パッド形成工程(図5K)、(11) 外側保護膜形成工程(図5L)、
(12) 裏面メタライズ層形成工程

これらの工程は、実施の形態1と同様である。

- [0072] 本実施の形態の製造方法により形成すると、支持基板10に接合する前に半導体積層体40の内部の応力を緩和できるので、接合後の半導体発光素子1の中の応力緩和効果が高いと期待される。

[0073] <実施の形態 5>

本実施の形態は、(1)～(2)の工程の順番が実施の形態4と異なる。

(3)～(12)の工程は、実施の形態4と同様である。

以下に、実施の形態4と異なる点を説明する。

[0074] (1) 成長工程 (図 1 1 A)

実施の形態1及び4と同様に、成長基板100の上にn型半導体層41、活性層42、及びp型半導体層43を順次成長させて、半導体積層体40を形成する。

[0075] (2) 反射層形成工程 (図 1 1 B)

実施の形態1と同様である。

[0076] (2') ブロック分割工程 (図 1 1 C)

実施の形態1及び4とは異なり、反射層形成工程の次に、ブロック分割工程を行う。

ブロック分割工程の詳細は、実施の形態1及び4と同様である。すなわち、ブロック分割工程では、半導体積層体40を、溝2によって複数の半導体ブロック40a～40dに分割する。溝2は、ドライエッチング法又はウェットエッチング法により形成すると、幅の狭い溝2を正確に形成することができる。また、溝2により半導体積層体40を分割することにより、半導体積層体40内の応力が緩和され、反りを解消することができる点も、実施の形態1と同様である。

[0077] 本実施の形態の製造方法により形成すると、実施の形態4と同様に、支持基板10に接合する前に半導体積層体40の内部の応力を緩和できるので、接合後の半導体発光素子1の中の応力緩和効果が高いと期待される。

[0078] <実施の形態 6>

本実施の形態は、(1)～(3)の工程の順番が実施の形態4と異なる。

(4)～(12)の工程は、実施の形態4と同様である。

以下に、実施の形態4と異なる点を説明する。

[0079] (1) 成長工程 (図 1 1 A)

実施の形態 1、4 及び 5 と同様に、成長基板 100 の上に n 型半導体層 41、活性層 42、及び p 型半導体層 43 を順次成長させて、半導体積層体 40 を形成する。

[0080] (2) 反射層形成工程 (図 11B)

実施の形態 1 及び 5 と同様である。

[0081] (3) 保護膜形成工程 (図 11C)、

実施の形態 1 と同様である。

[0082] (3') ブロック分割工程 (図 11D)

実施の形態 1、4 及び 5 とは異なり、保護膜形成工程の次に、ブロック分割工程を行う。

ブロック分割工程の詳細は、実施の形態 1、4 及び 5 と同様である。すなわち、ブロック分割工程では、半導体積層体 40 を、溝 2 によって複数の半導体ブロック 40a ~ 40d に分割する。溝 2 は、ドライエッチング法又はウェットエッチング法により形成すると、幅の狭い溝 2 を正確に形成することができる。また、溝 2 により半導体積層体 40 を分割することにより、半導体積層体 40 内の応力が緩和され、反りを解消することができる点も、実施の形態 1 と同様である。

[0083] 本実施の形態の製造方法により形成すると、実施の形態 4 及び 5 と同様に、支持基板 10 に接合する前に半導体積層体 40 の内部の応力を緩和できるので、接合後の半導体発光素子 1 の中の応力緩和効果が高いと期待される。

[0084] <実施の形態 7>

本実施の形態は、(1) 成長工程において、p 型半導体層、活性層、及び n 型半導体層を複数に分割した状態で成長させて、複数の半導体ブロックを得る点で、実施の形態 4 と異なる。すなわち、本実施の形態では、成長工程において、図 10B のような半導体ブロックが得られる。したがって、本実施の形態では、実施の形態 4 の「(1') ブロック分割工程」を含まない。

そして、(2) ~ (12) の工程は、実施の形態 4 と同様である。

[0085] 本実施の形態の製造方法により形成すると、実施の形態 4 と同様に、支持

基板 10 に接合する前に半導体積層体 40 の内部の応力を緩和できるので、接合後の半導体発光素子 1 の中の応力緩和効果が高いと期待される。

また、ブロック分割工程を省略できるので、工程数を減らすことができる。

実施例 1

[0086] 本発明の半導体発光素子 1 に適した材料について以下に詳述する。

[0087] (基板 10)

基板 10 は、シリコン(Si)から構成される。なお、Siのほか、例えば、Ge, SiC, GaN, GaAs, GaP, InP, ZnSe, ZnS, ZnO等の半導体から成る半導体基板、または、金属単体基板、または、相互に非固溶あるいは固溶限界の小さい2種以上の金属の複合体から成る金属基板を用いることができる。このうち、金属単体基板として具体的にはCuを用いることができる。また、金属基板の材料として具体的にはAg, Cu, Au, Pt等の高導電性金属から選択された1種以上の金属と、W, Mo, Cr, Ni等の高硬度の金属から選択された1種以上の金属と、から成るものを用いることができる。半導体材料の基板10を用いる場合には、それに素子機能、例えばツェナーダイオードを付加した基板10とすることもできる。さらに、金属基板としては、Cu-WあるいはCu-Moの複合体を用いることが好ましい。

[0088] (接合層 20)

接合層 20 は、この半導体発光素子 1 を製造する工程において、2つの基板を貼り合わせる共晶である。詳細には、図 5 D に示す半導体側接合層 21 と、図 5 E に示す基板側接合層 22 とを貼り合わせて構成される。このうち半導体側接合層 21 の材料としては、例えば、図 5 D において下から（保護膜 80 側から）チタン(Ti)/白金(Pt)/金(Au)/錫(Sn)/金(Au)の順番に積層したものが挙げられる。また、基板側接合層 22 の材料としては、例えば、図 5 E において下（支持基板 10 と反対側）から金(Au)/白金(Pt)/ニケイ化チタン(TiSi₂)、または、ニケイ化チタン(TiSi₂)/白金(Pt)/パラジウム(Pd)の順番に積層したものが挙げられる。

[0089] (反射層 30)

反射層 30 は、光の反射率が高く、かつ電極として用いることができる材料が用いられる。例えば、銀(Ag)、アルミニウム(Al)、亜鉛(Zn)、ニッケル(Ni)、白金(Pt)、パラジウム(Pd)、ロジウム(Rh)、ルテニウム(Ru)、オスミウム(Os)、イリジウム(Ir)、チタン(Ti)、ジルコニウム(Zr)、ハフニウム(Hf)、バナジウム(V)、ニオブ(Nb)、タンタル(Ta)、コバルト(Co)、鉄(Fe)、マンガン(Mn)、モリブデン(Mo)、クロム(Cr)、タングステン(W)、ランタン(La)、銅(Cu)、イットリウム(Y)等の金属を用いることができる。特に、反射率の高い銀(Ag)、アルミニウム(Al)が好ましい。

[0090] (保護膜 80)

保護膜 80 は、絶縁膜からなるものであって、特に酸化膜からなるものが好ましい。保護膜 80 は、例えば、二酸化ケイ素(SiO_2)やZr酸化膜(ZrO_2)から形成することができる。保護膜 80 を誘電体多層膜から形成する場合には、 SiO_2 とその他の酸化物とを繰り返し積層した膜、例えば、 ZrO_2 や TiO_2 と、 SiO_2 とを繰り返し積層した膜から形成することができる。

[0091] (半導体積層体 40)

半導体積層体 40 は、一般式が $\text{In}_x\text{Al}_y\text{Ga}_{1-x-y}\text{N}$ ($0 \leq x \leq 1$, $0 \leq y \leq 1$, $0 \leq x+y \leq 1$)で示される窒化ガリウム系化合物半導体から成る。具体的には、例えば、GaN、AlGaN、InGaN、AlGaInN等である。特に、エッチングされた面の結晶性がよいなどの点でGaNであることが好ましい。

n型半導体層 41 は、例えば、n型不純物としてSiやGe、O等を含むGaNから構成される。また、n型半導体層 41 は、複数の層で形成されていてもよい。

発光層 42 は、例えば、InGaNから構成される。

p型半導体層 43 は、例えば、p型不純物としてMgを含むGaNから構成される。

[0092] (n側パッド 50)

n側パッド 50 は、ワイヤボンディングにより外部と接続される。n側パ

ッド50は、n型半導体層41の上面側から、例えば、Ti/Pt/Au、Ti/Pt/Au/Ni、Ti/Al、Ti/Al/Pt/Au、W/Pt/Au、V/Pt/Au、Ti/TiN/Pt/Au、Ti/TiN/Pt/Au/Niのような複数の金属を含む多層膜で構成される。なお、n側パッド50は、オーミック電極とパッド電極とから構成されるようにしてもよい。

[0093] (外部保護膜60)

外部保護膜60は、n型半導体層41よりも屈折率が低く透明な材料から構成され、n側パッド50の上表面のワイヤボンディングされる領域を除いた表面と、n型半導体層41の表面及び側面とを被覆している。外部保護膜60は、絶縁膜からなるものであって、特に酸化膜からなるものが好ましい。外部保護膜60は、例えば、二酸化ケイ素(SiO_2)やZr酸化膜(ZrO_2)からなる。

[0094] (裏面メタライズ層70)

裏面メタライズ層70は、支持基板10の接合層20が形成されている面と反対側に形成されオーミック電極として機能する。裏面メタライズ層70の材料としては、例えば、図2において上(支持基板10側)から、ニケイ化チタン(TiSi_2)/白金(Pt)/金(Au)の順番に積層したものが挙げられる。

産業上の利用可能性

[0095] 本発明に係る半導体発光素子は、半導体発光素子をデバイスとして応用することができるすべての用途、例えば、照明、露光、ディスプレイ、各種分析、光ネットワーク等の種々の分野において利用することができる。

[0096] 本明細書の実施形態は、単なる例示として考慮されることを目的とするものである。本発明は、記載された実施形態に限定されるものではなく、本発明の範囲内において種々の変更を加えてよいことは言うまでもない。

符号の説明

[0097] 1、1' 半導体発光素子、 2 溝、 2b 溝の底部、 10 支持基板、 20 接合層、 30 反射層、 40 半導体積層体、 40a ~ 40h 半導体ブロック、 41 n型半導体層、 42 発光層、 43 p型半導体層、 45 外側面、 46 内側面、 50 n側電極、

51 導電ワイヤ、 55 延伸電極、 60 外側保護膜、 70 裏面メタライズ層、 80 保護膜、 81 貫通孔、 A 半導体発光素子の幅、 B 半導体ブロックの幅、 W 溝の幅

請求の範囲

- [請求項1] p型半導体層、活性層、及びn型半導体層を順次積層した半導体積層体と、
- 前記半導体積層体の前記p型半導体層側に接合された導電性の支持基板と、を含む半導体発光素子であって、
- 前記半導体積層体は、前記p型半導体層、前記活性層、及び前記n型半導体層を貫通する溝によって少なくとも2つの半導体ブロックに分割されていることを特徴とする半導体発光素子。
- [請求項2] 前記支持基板と前記半導体積層体との間に反射層をさらに含むことを特徴とする請求項1に記載の発光素子。
- [請求項3] 前記溝の底部に前記反射層をさらに含むことを特徴とする請求項2に記載の発光素子。
- [請求項4] 前記支持基板と前記半導体積層体との間に絶縁性の保護膜をさらに含むことを特徴とする請求項1に記載の発光素子。
- [請求項5] 前記溝の底部に前記保護膜をさらに含むことを特徴とする請求項4に記載の発光素子。
- [請求項6] 前記保護膜が誘電体多層膜から成ることを特徴とする請求項4又は5に記載の発光素子。
- [請求項7] 前記半導体発光素子は、前記支持基板と前記半導体積層体との間に、前記支持基板側から順に、絶縁性の保護膜と、反射層とをさらに含み、
- 前記溝の底部にも前記保護膜を含むことを特徴とする請求項1に記載の発光素子。
- [請求項8] 前記保護膜が誘電体多層膜から成ることを特徴とする請求項7に記載の発光素子。
- [請求項9] 前記反射層が金属膜から成ることを特徴とする請求項2、3、7及び8のいずれか1項に記載の発光素子。
- [請求項10] 前記金属膜がAg膜又はAl膜であることを特徴とする請求項9に

記載の発光素子。

[請求項11] 前記溝の幅が $3 \sim 25 \mu\text{m}$ であることを特徴とする請求項1乃至10のいずれか1項に記載の半導体発光素子。

[請求項12] 前記発光素子半導体発光素子の上面視の形状が矩形であり、
前記矩形の辺の長さと、当該辺と直交する方向に延びる前記溝の幅との比率が $100:0.28 \sim 100:25$ である
請求項1乃至11のいずれか1項に記載の発光素子。

[請求項13] 前記半導体ブロックの上面視の形状が、正方形、矩形又は三角形であることを特徴とする請求項1乃至12のいずれか1項に記載の半導体発光素子。

[請求項14] 各々の前記半導体ブロックの前記n型半導体層上に、ワイヤボンディング用のn側パッドが形成されており、
前記n側パッドは、前記半導体ブロックの1つの辺に隣接して配置されていることを特徴とする請求項1乃至13のいずれか1項に記載の半導体発光素子。

[請求項15] 前記半導体ブロックは、当該半導体ブロックの少なくとも1つの辺が前記半導体発光素子の外周と近接するように配列されており、
前記n側パッドは、前記少なくとも1つの辺のいずれかに隣接して配置されていることを特徴とする請求項14に記載の半導体発光素子。

[請求項16] 前記n型半導体層上に、前記n側パッドと電氣的に接続されている延伸電極が形成されていることを特徴とする請求項14又は15に記載の半導体発光素子。

[請求項17] 前記p型半導体層と前記n型半導体層との厚さの比率が $1:3 \sim 1:50$ であることを特徴とする請求項1乃至16のいずれか1項に記載の半導体発光素子。

[請求項18] 前記n型半導体層の表面が粗面化されていることを特徴とする請求項1乃至17のいずれか1項に記載の半導体発光素子。

- [請求項19] p型半導体層、活性層、及びn型半導体層が積層された半導体積層体と、前記半導体積層体の前記p型半導体層側に接合された導電性の支持基板と、を含む半導体発光素子の製造方法であって、
- 成長基板の上に前記n型半導体層、前記活性層、及び前記p型半導体層を順次成長させて、前記半導体積層体を形成する成長工程と、
- 前記p型半導体層と前記支持基板とを接合する接合工程と、
- 前記成長基板を除去する成長基板除去工程と、
- 前記支持基板を前記半導体発光素子に分割するチップ化工程と、を含み、
- 前記半導体積層体は、前記チップ化工程より前に、溝によって複数の半導体ブロックに分割されており、
- 前記チップ化工程では、前記溝に沿って前記支持基板を分割して、少なくとも2つの前記半導体ブロックを含んだ前記半導体発光素子を得ることを特徴とする半導体発光素子の製造方法。
- [請求項20] 前記成長基板除去工程と前記チップ化工程との間に、前記半導体積層体に前記溝を形成して前記複数の半導体ブロックに分割するブロック分割工程をさらに含むことを特徴とする請求項19に記載の半導体発光装置の製造方法。
- [請求項21] 前記成長工程と前記接合工程との間に、前記半導体積層体に前記溝を形成して前記複数の半導体ブロックに分割するブロック分割工程をさらに含むことを特徴とする請求項19に記載の半導体発光装置の製造方法。
- [請求項22] 前記ブロック分割工程がドライエッチング法又はウェットエッチング法で行われることを特徴とする請求項20又は21に記載の半導体発光装置の製造方法。
- [請求項23] 前記成長工程において、前記p型半導体層、前記活性層、及び前記n型半導体層を複数に分割した状態で成長させて、複数の前記半導体ブロックを得ることを特徴とする請求項19に記載の半導体発光装置

の製造方法。

[請求項24] 前記チップ化工程において、前記半導体ブロックの少なくとも1つの辺が前記半導体発光素子の外周と近接するように、前記半導体ブロックがチップ化されており、

前記n側パッドは、前記少なくとも1つの辺に隣接して配置されていることを特徴とする請求項19乃至23のいずれか1項に記載の半導体発光素子の製造方法。

[請求項25] 前記接合工程において、前記溝の延伸方向と前記支持基板の結晶方向とが一致するように、前記p型半導体層と前記支持基板とを接合することを特徴とする請求項19乃至24のいずれか1項に記載の半導体発光素子の製造方法。

[請求項26] 前記接合工程より前に、前記p型半導体層の表面に反射層を形成する反射層形成工程を含み、

前記接合工程において、前記支持基板は、前記反射層を備えた前記p型半導体層の前記表面側に接合されることを特徴とする請求項19乃至25のいずれか1項に記載の半導体発光素子の製造方法。

[請求項27] 前記反射層を部分的に除去する反射層除去工程をさらに含むことを特徴とする請求項26に記載の半導体発光装置の製造方法。

[請求項28] 前記反射層除去工程が、前記接合工程より後であることを特徴とする請求項27に記載の半導体発光装置の製造方法。

[請求項29] 前記反射層除去工程が、前記接合工程より前に行われることを特徴とする請求項27に記載の半導体発光装置の製造方法。

[請求項30] 前記反射層形成工程において、前記反射膜は、分割された前記半導体ブロックに対応するように、分離した状態で形成されていることを特徴とする請求項26に記載の半導体発光装置の製造方法。

[請求項31] 前記接合工程より前に、前記p型半導体層の表面に絶縁性の保護膜を形成する保護膜形成工程をさらに含み、

前記接合工程において、前記支持基板は、前記保護膜を備えた前記

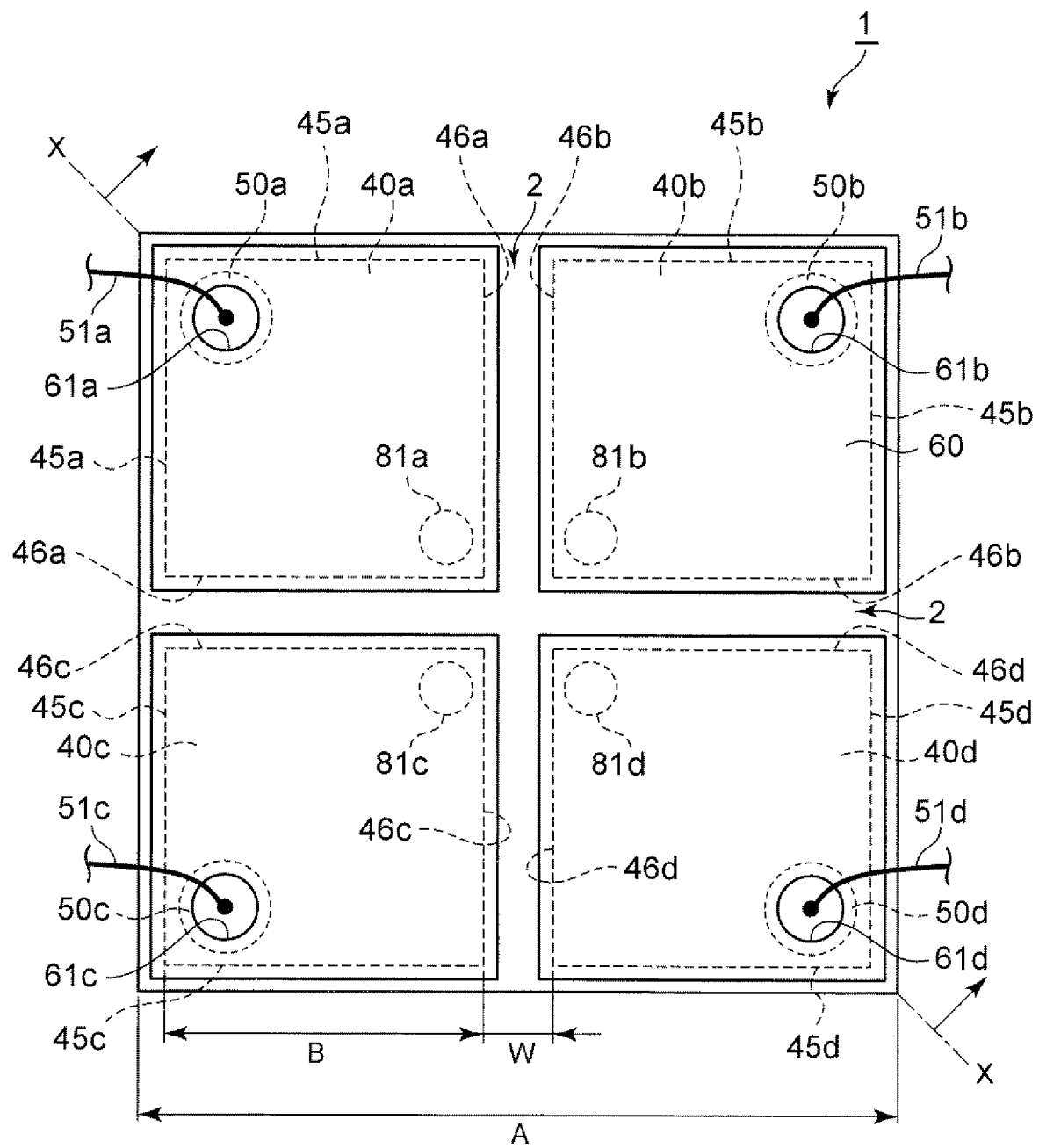
p型半導体層の前記表面側に接合される請求項19乃至25のいずれか1項に記載の半導体発光素子の製造方法。

[請求項32] 前記反射膜形成工程より後に、前記反射膜の表面に絶縁性の保護膜を形成する保護膜形成工程をさらに含むことを特徴とする請求項26乃至30のいずれか1項に記載の半導体発光装置の製造方法。

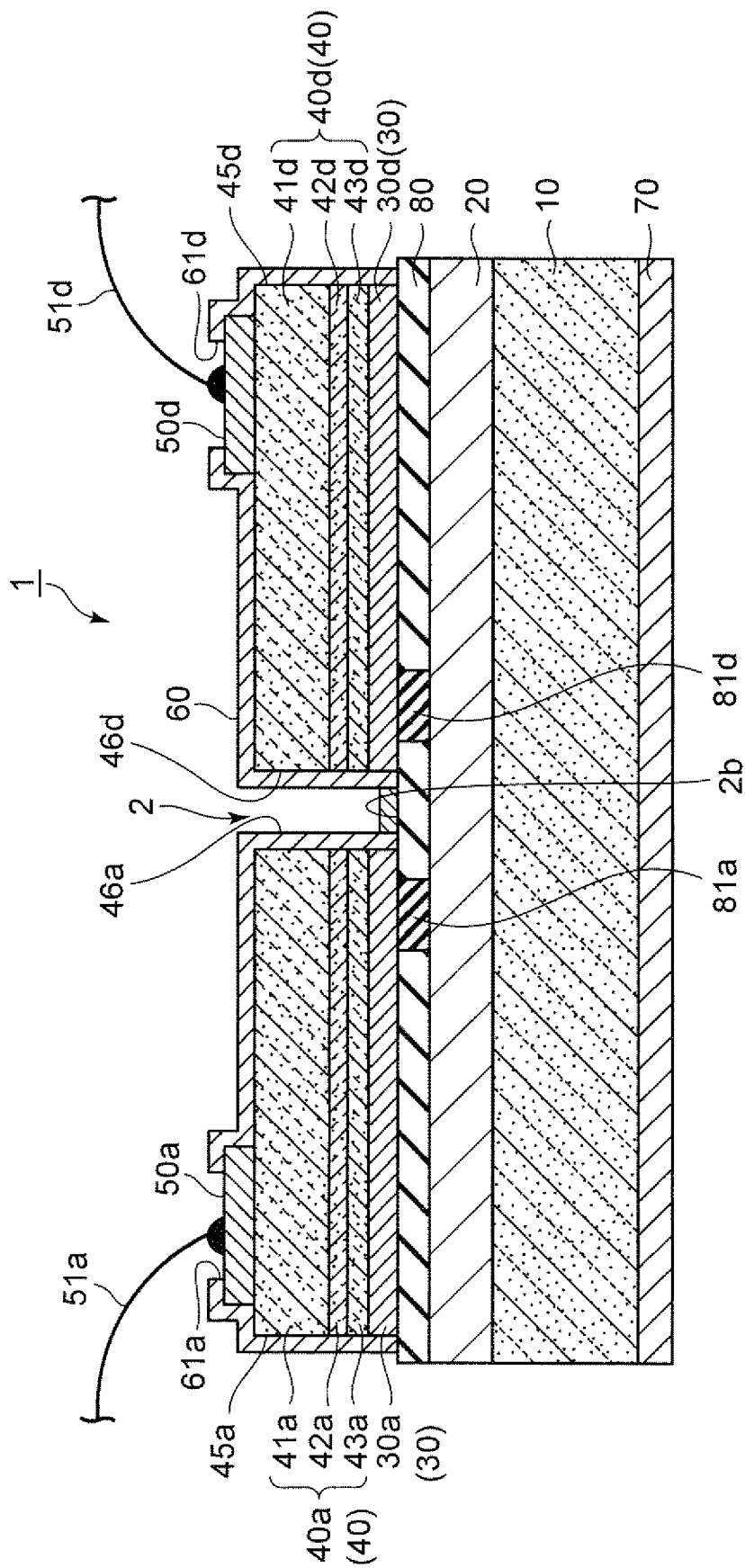
[請求項33] 前記保護膜が誘電体多層膜から成ることを特徴とする請求項31又は32に記載の半導体発光装置の製造方法。

[請求項34] 前記成長基板除去工程より後に、前記n型半導体層の表面を粗面化する粗面化工程をさらに含むことを特徴とする請求項19乃至33のいずれか1項に記載の半導体発光素子の製造方法。

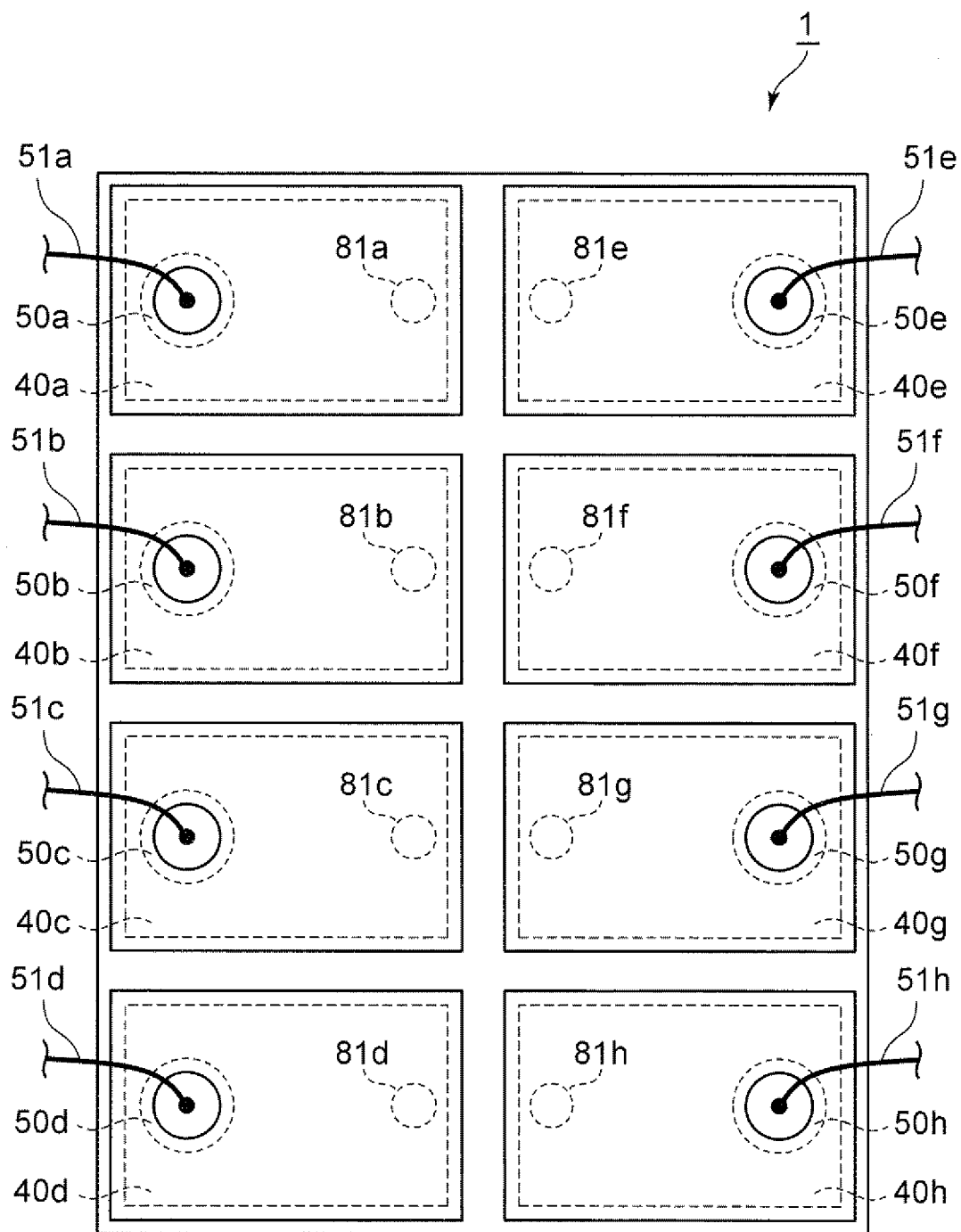
[図1]



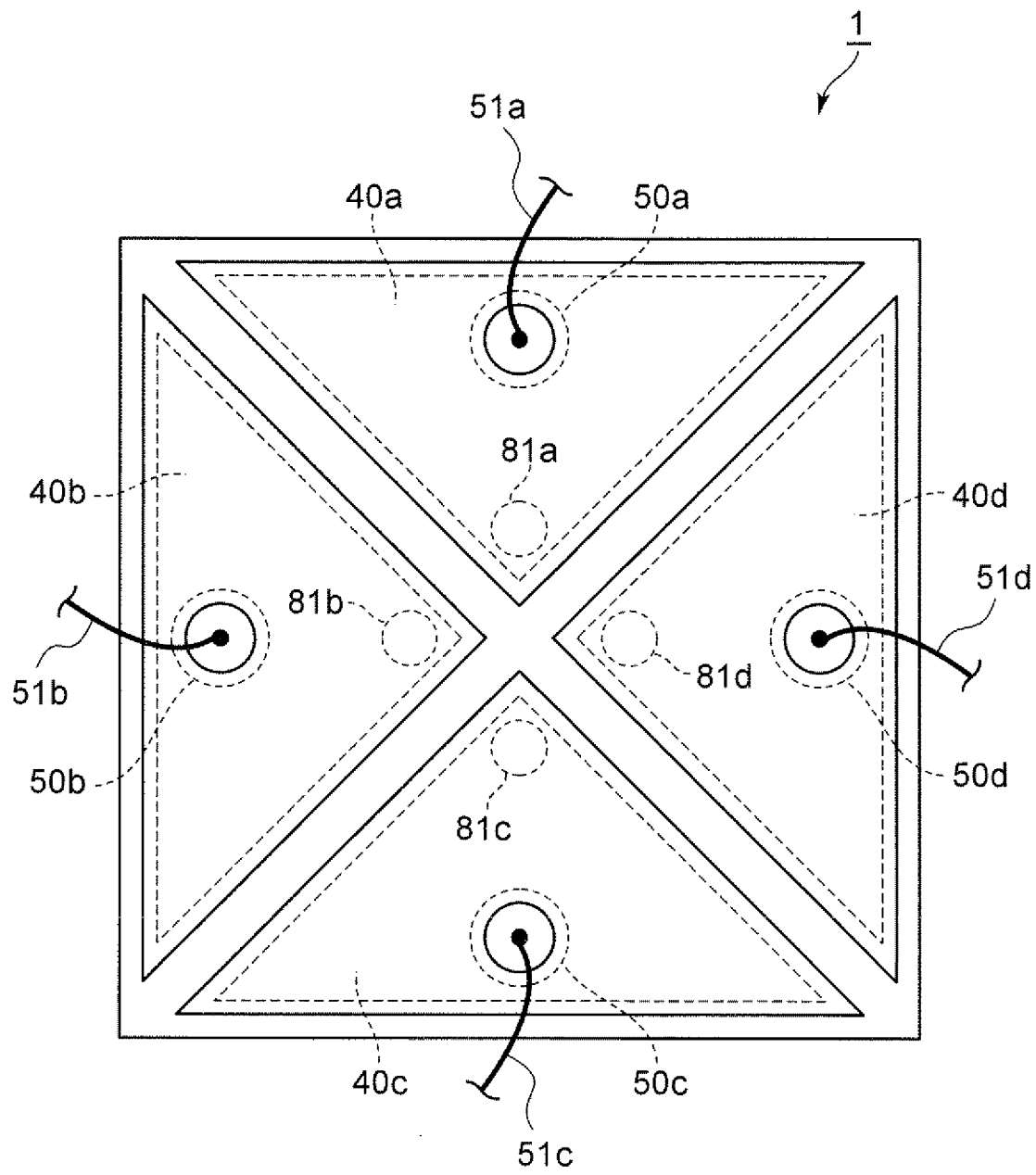
[図2]



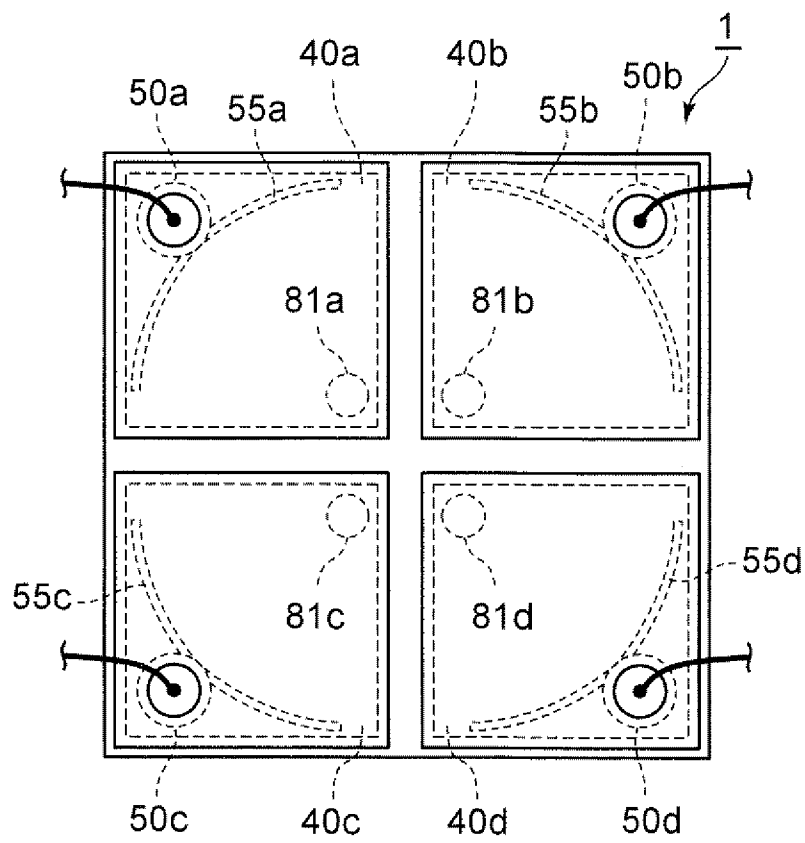
[図3A]



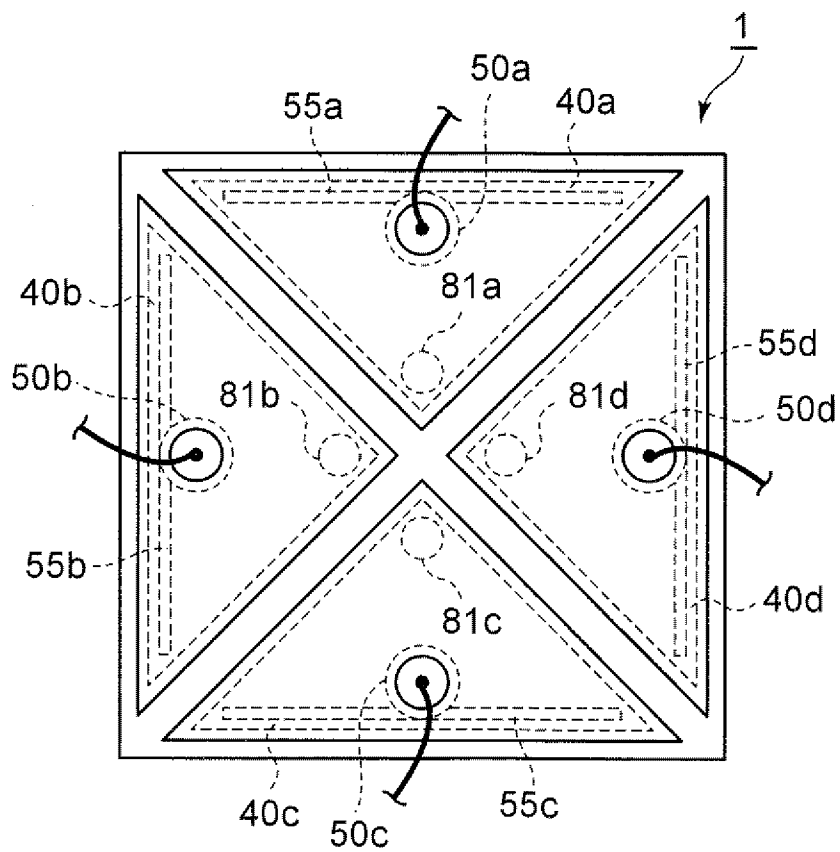
[図3B]



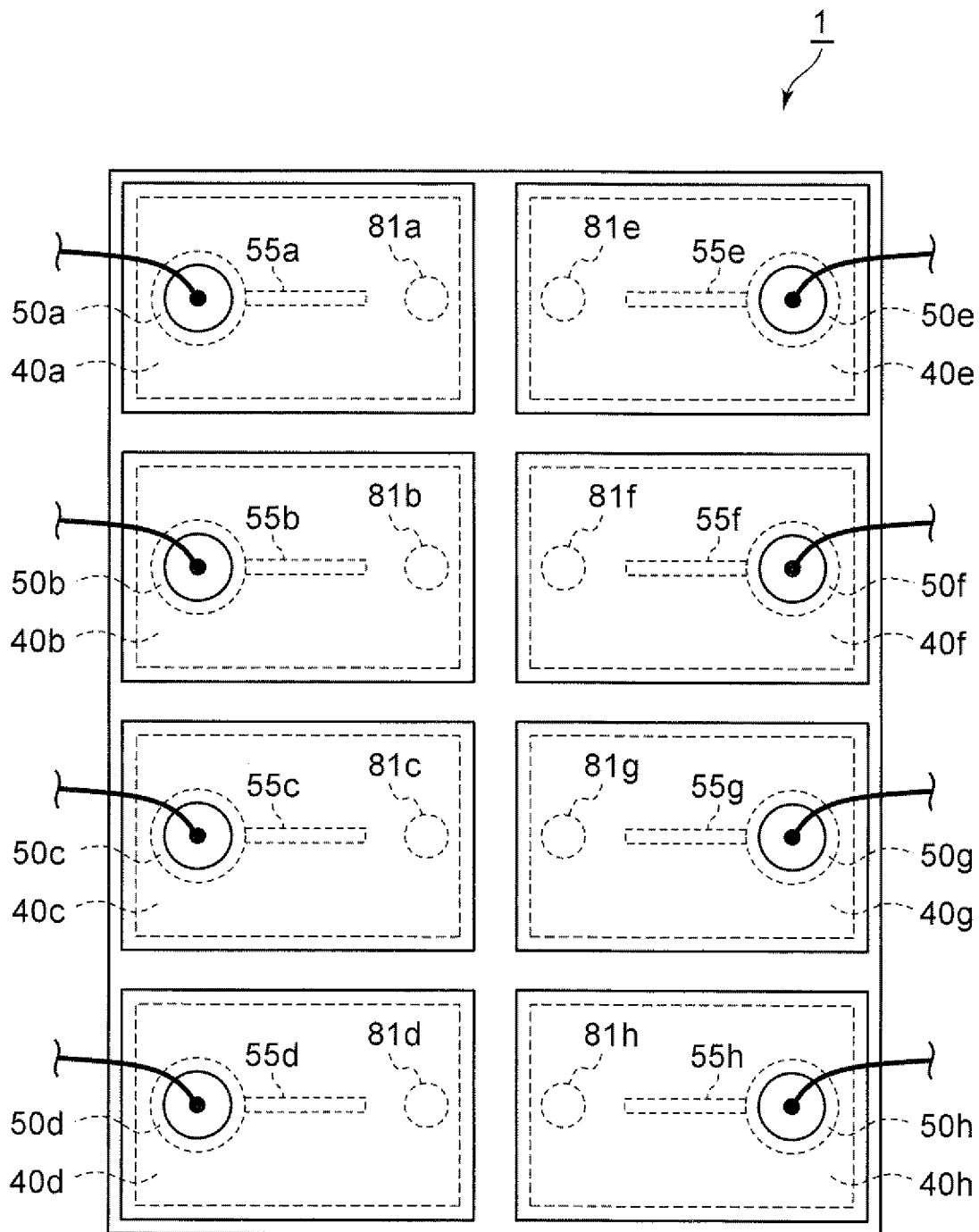
[図4A]



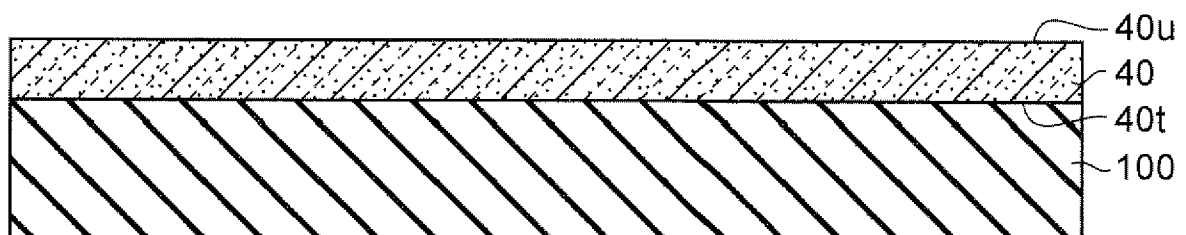
[図4B]



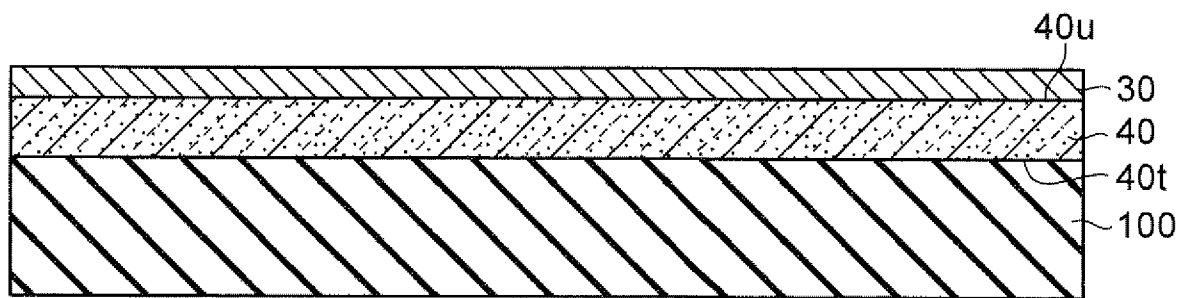
[図4C]



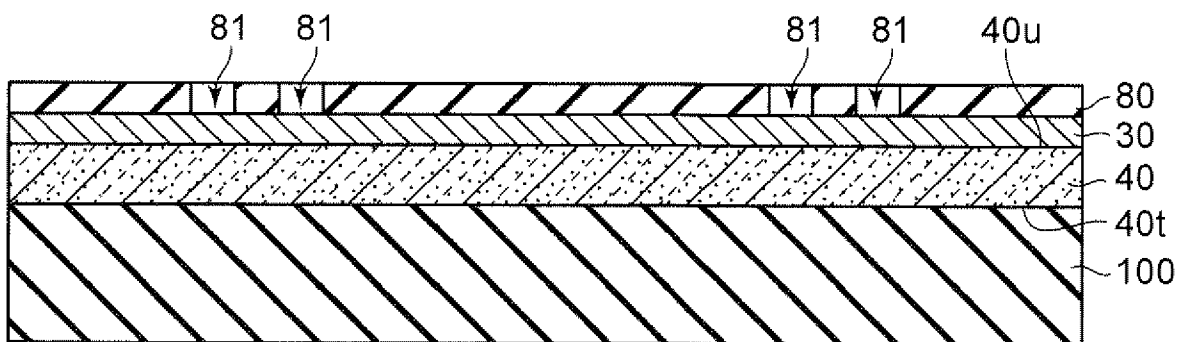
[図5A]



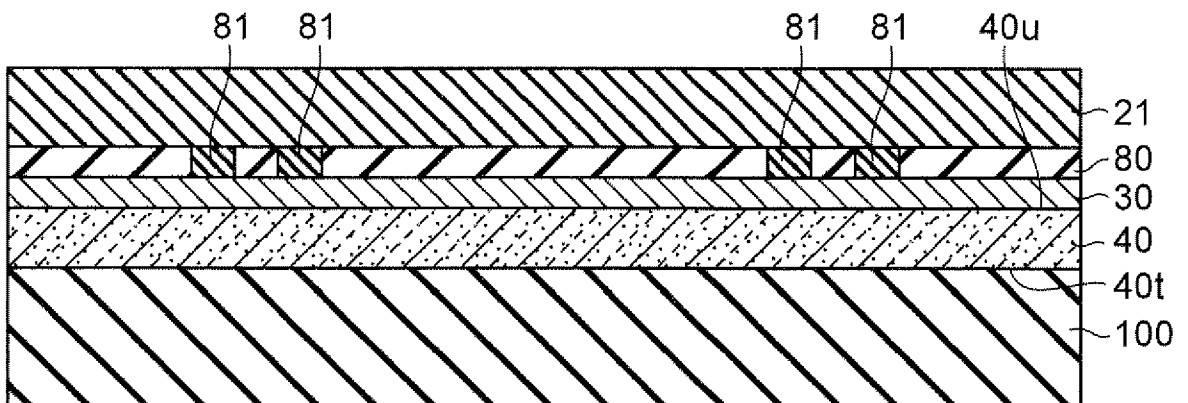
[図5B]



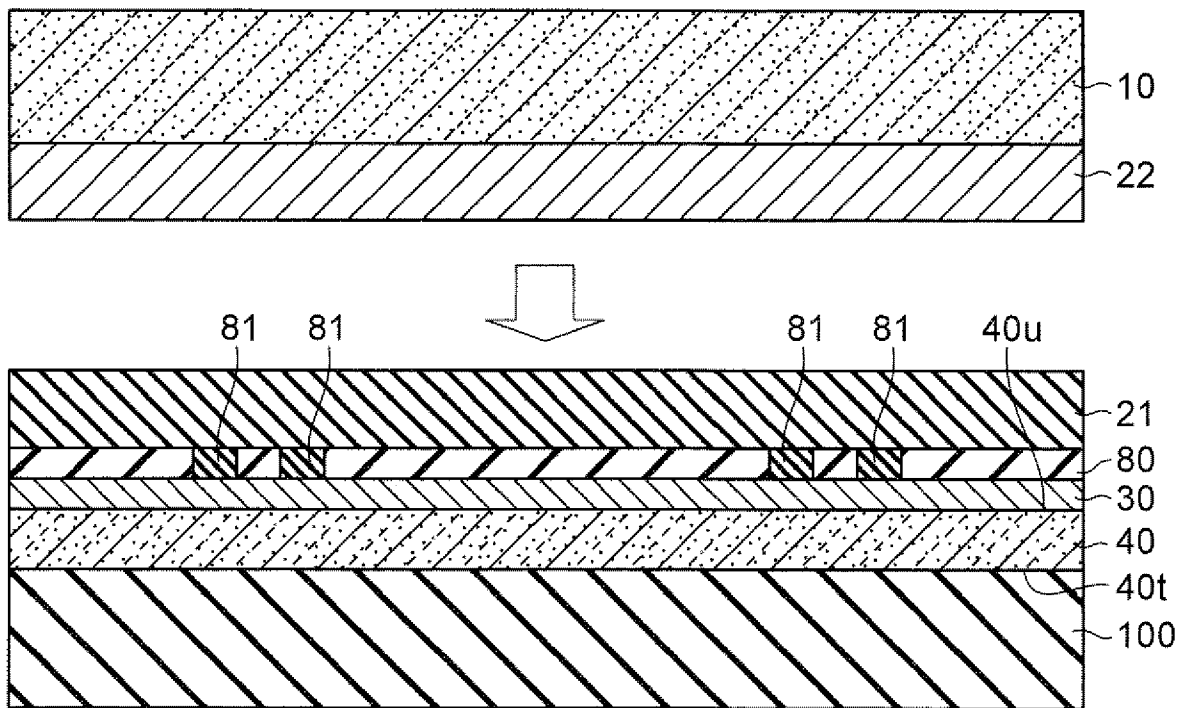
[図5C]



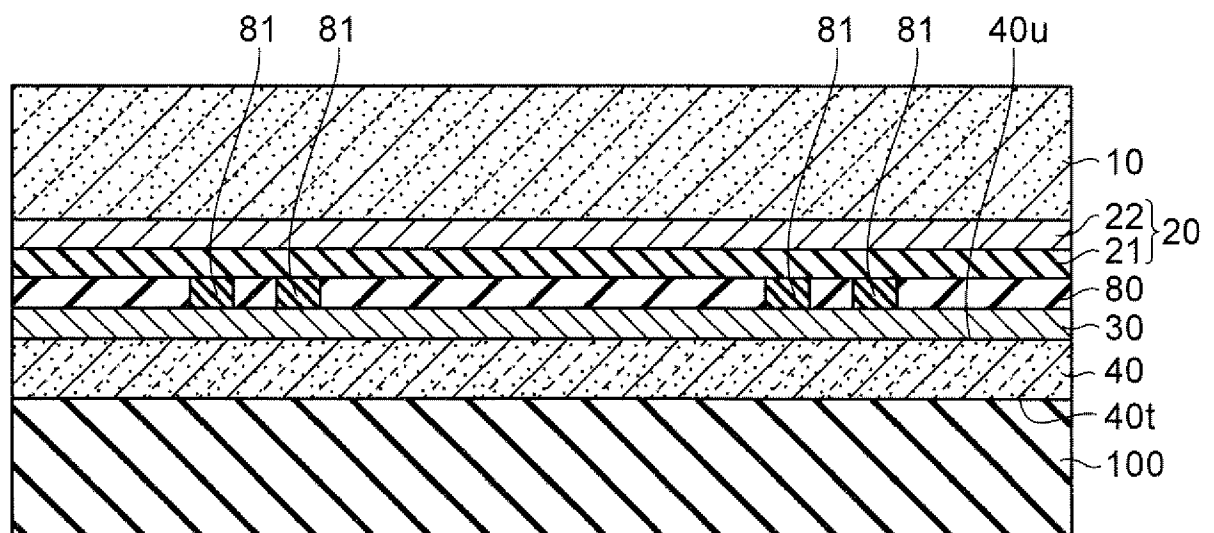
[図5D]



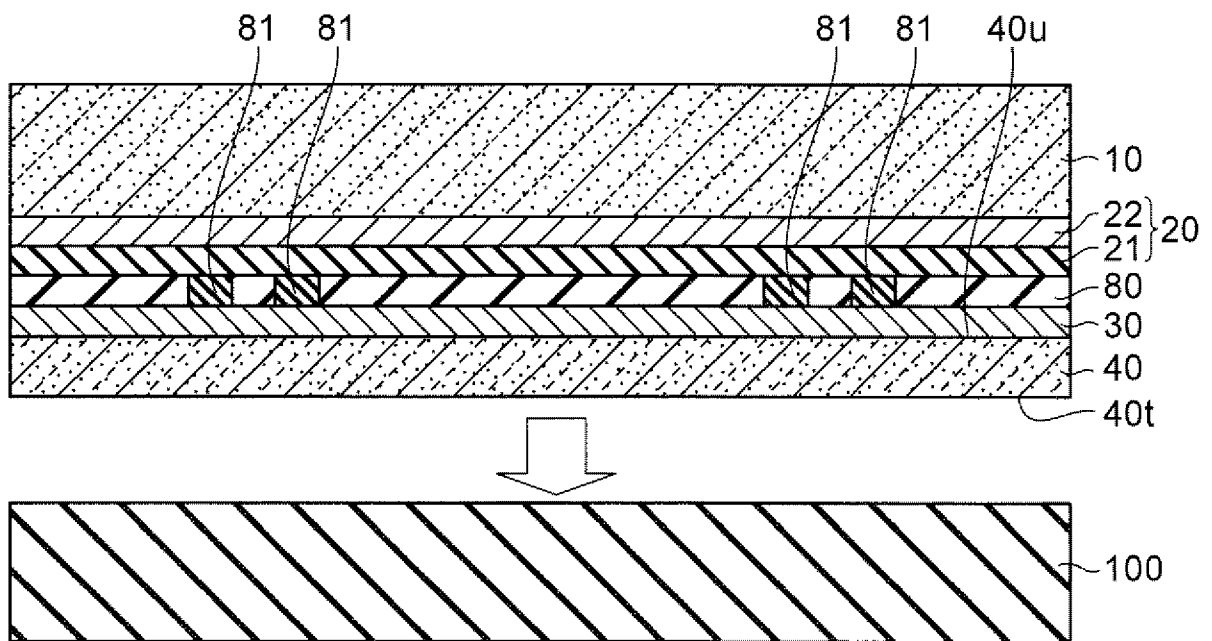
[図5E]



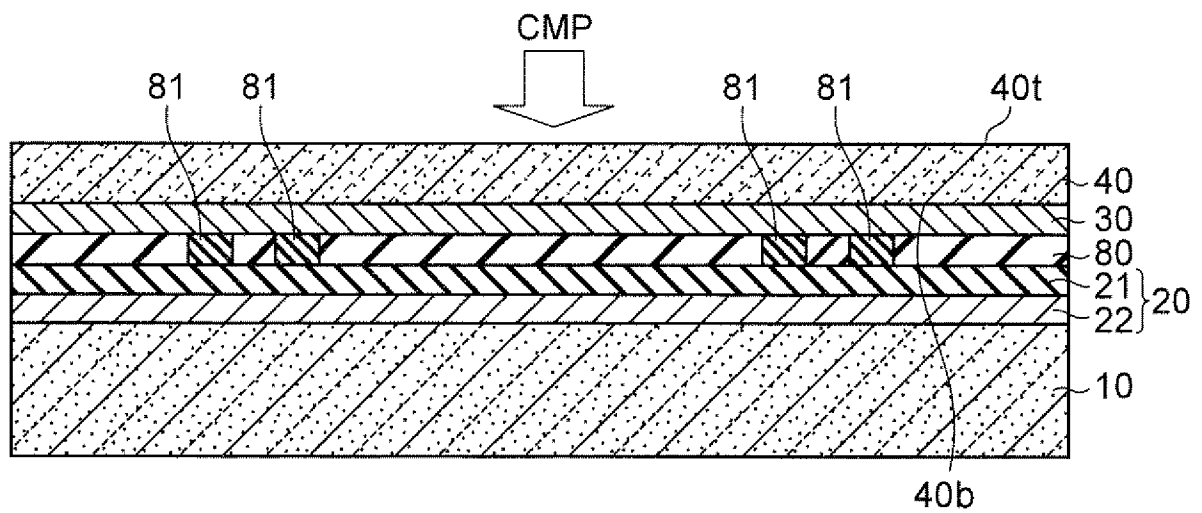
[図5F]



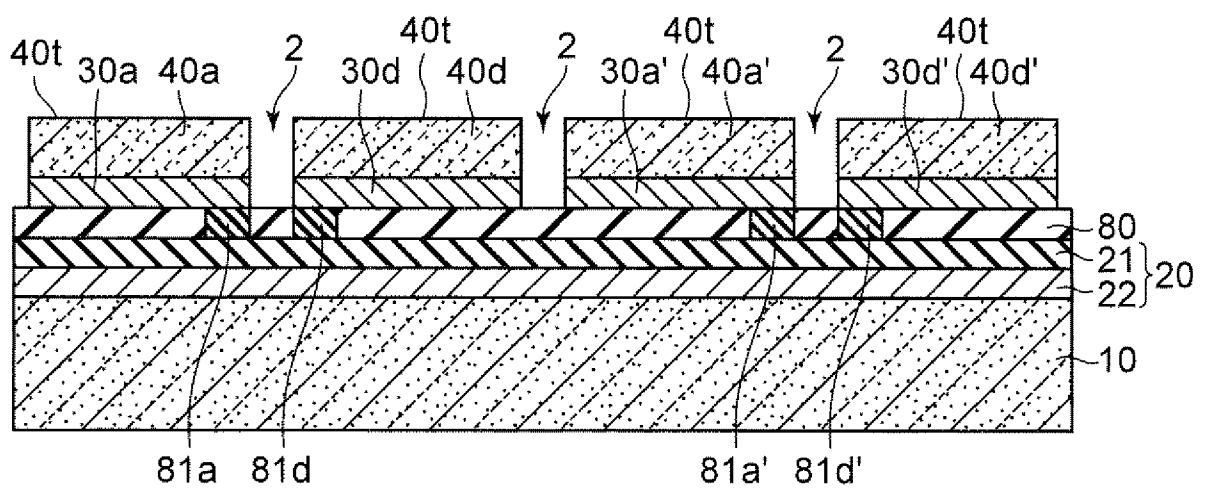
[図5G]



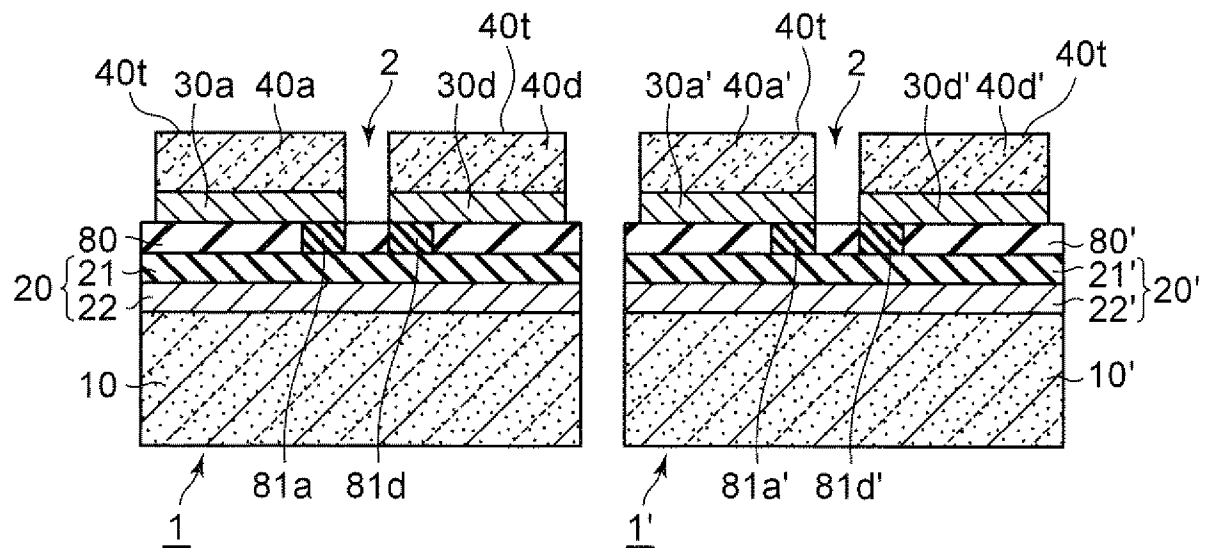
[図5H]



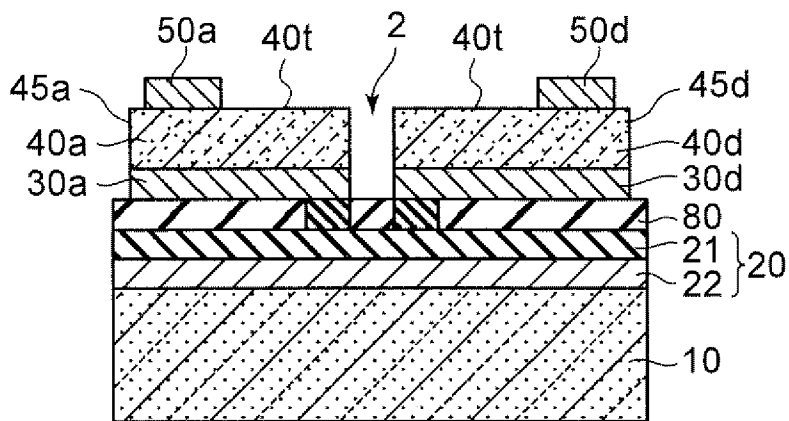
[図5I]



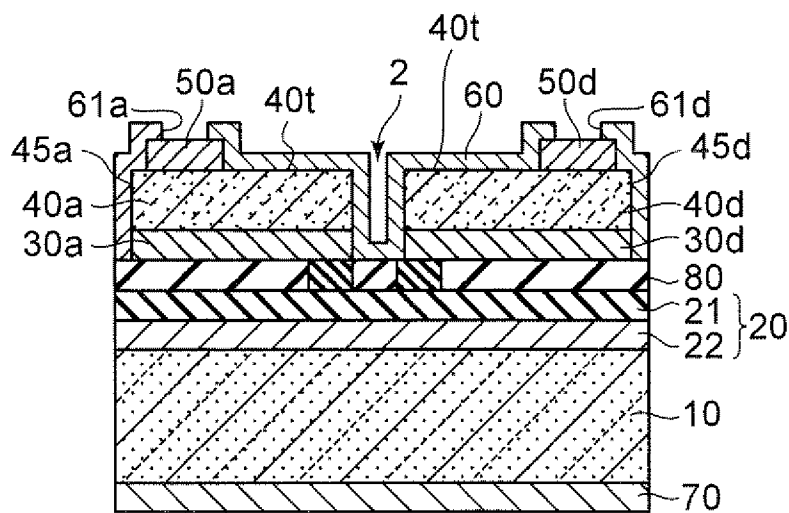
[図5J]



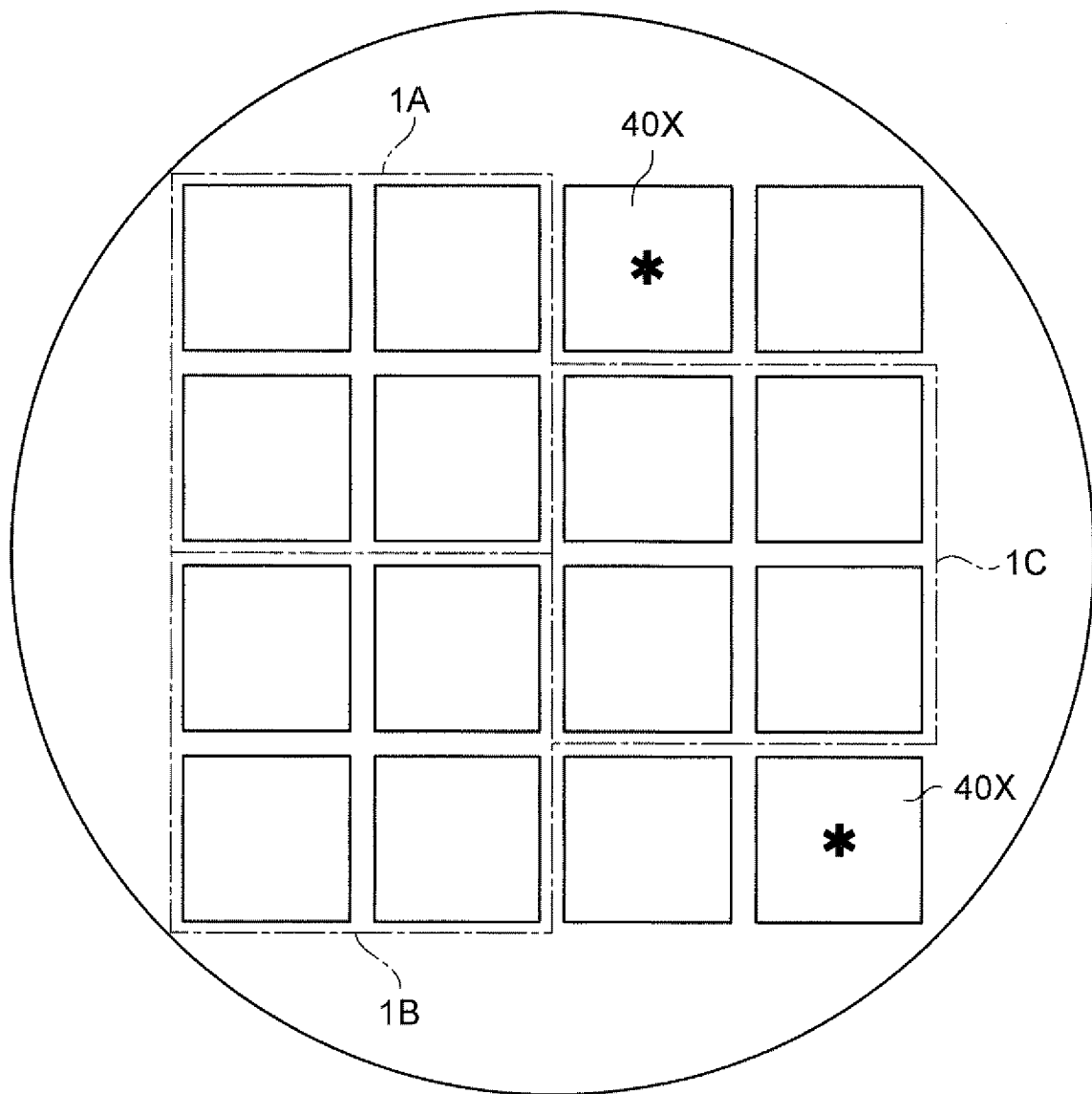
[図5K]



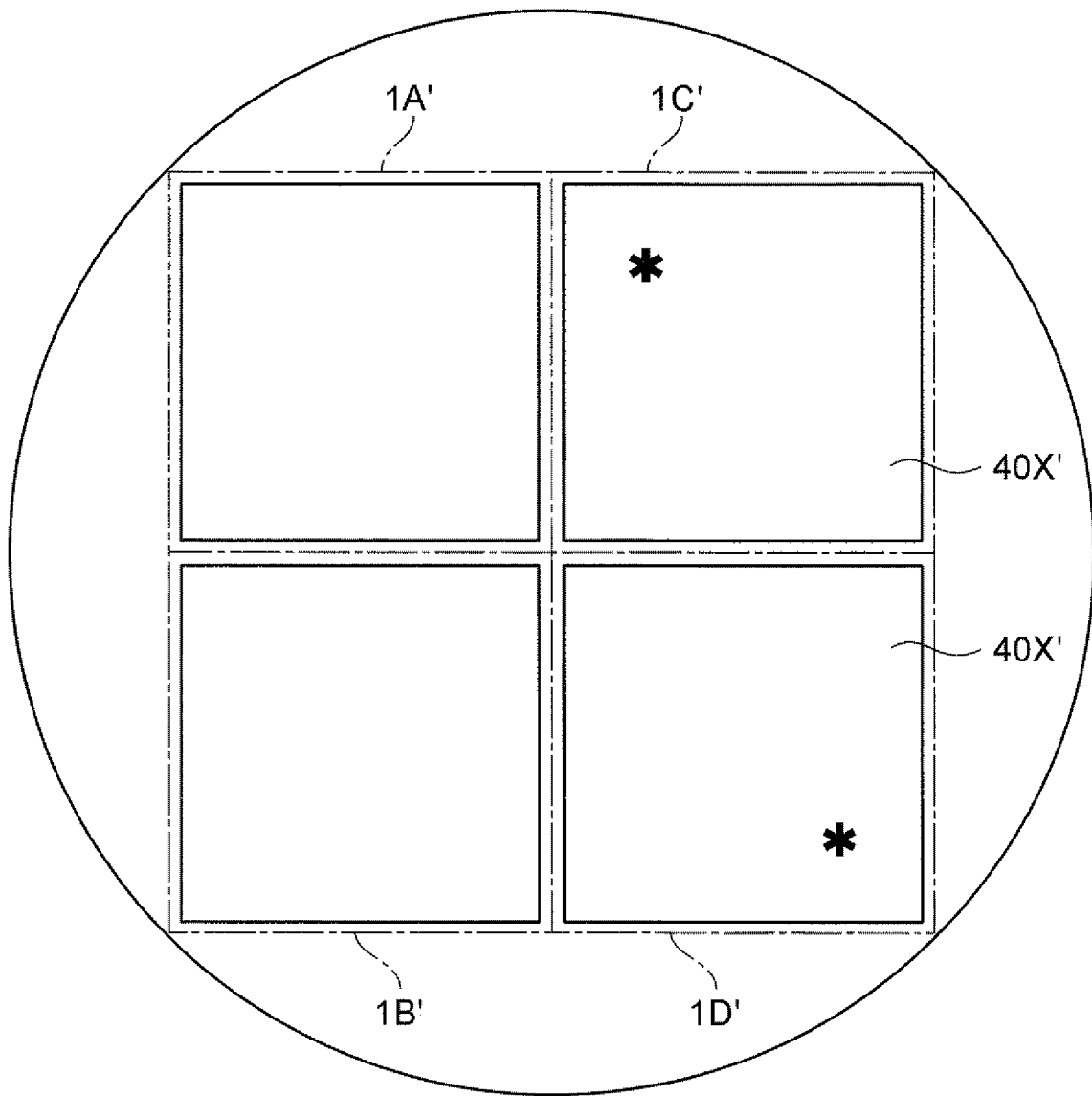
[図5L]



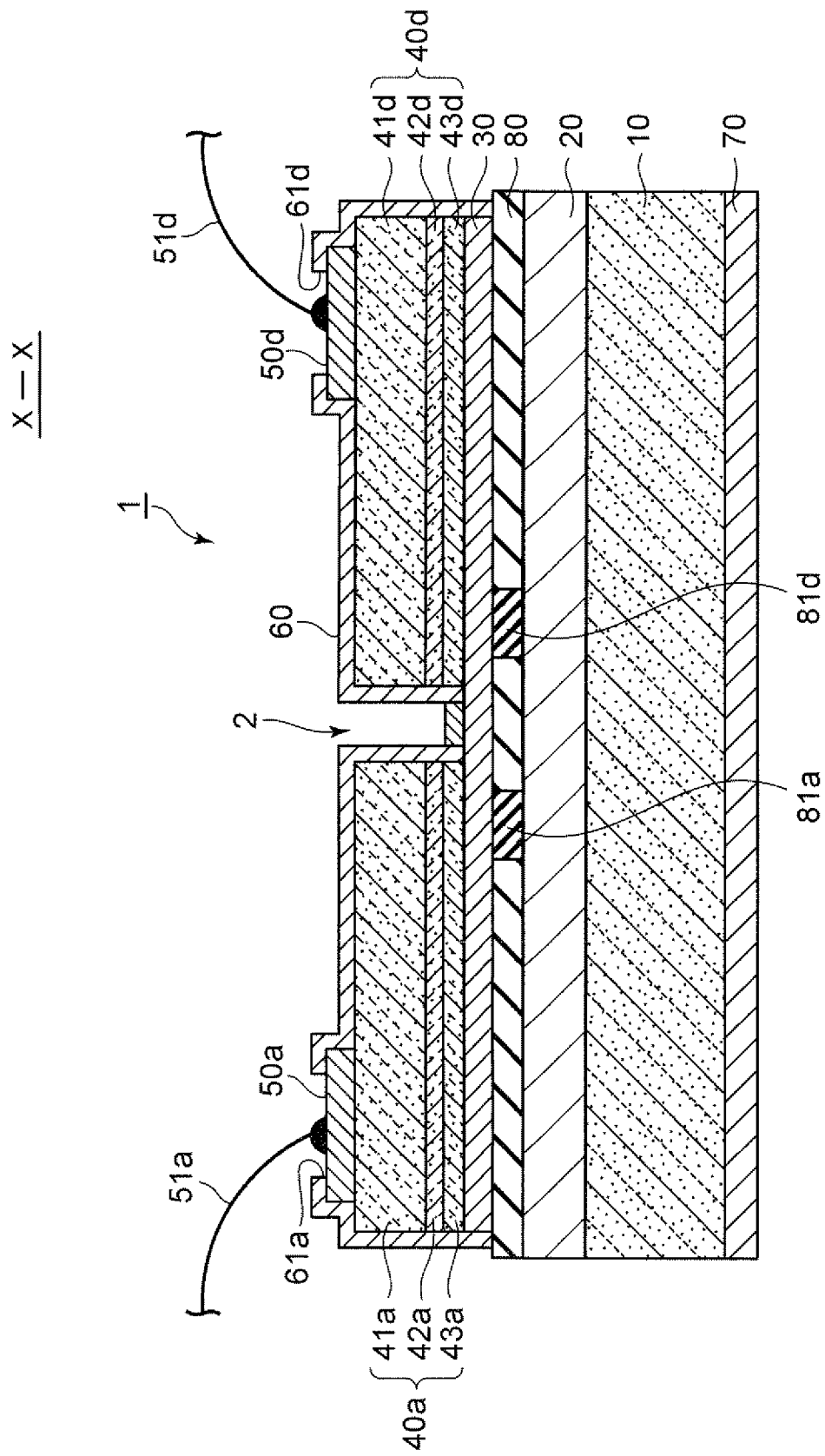
[図6]



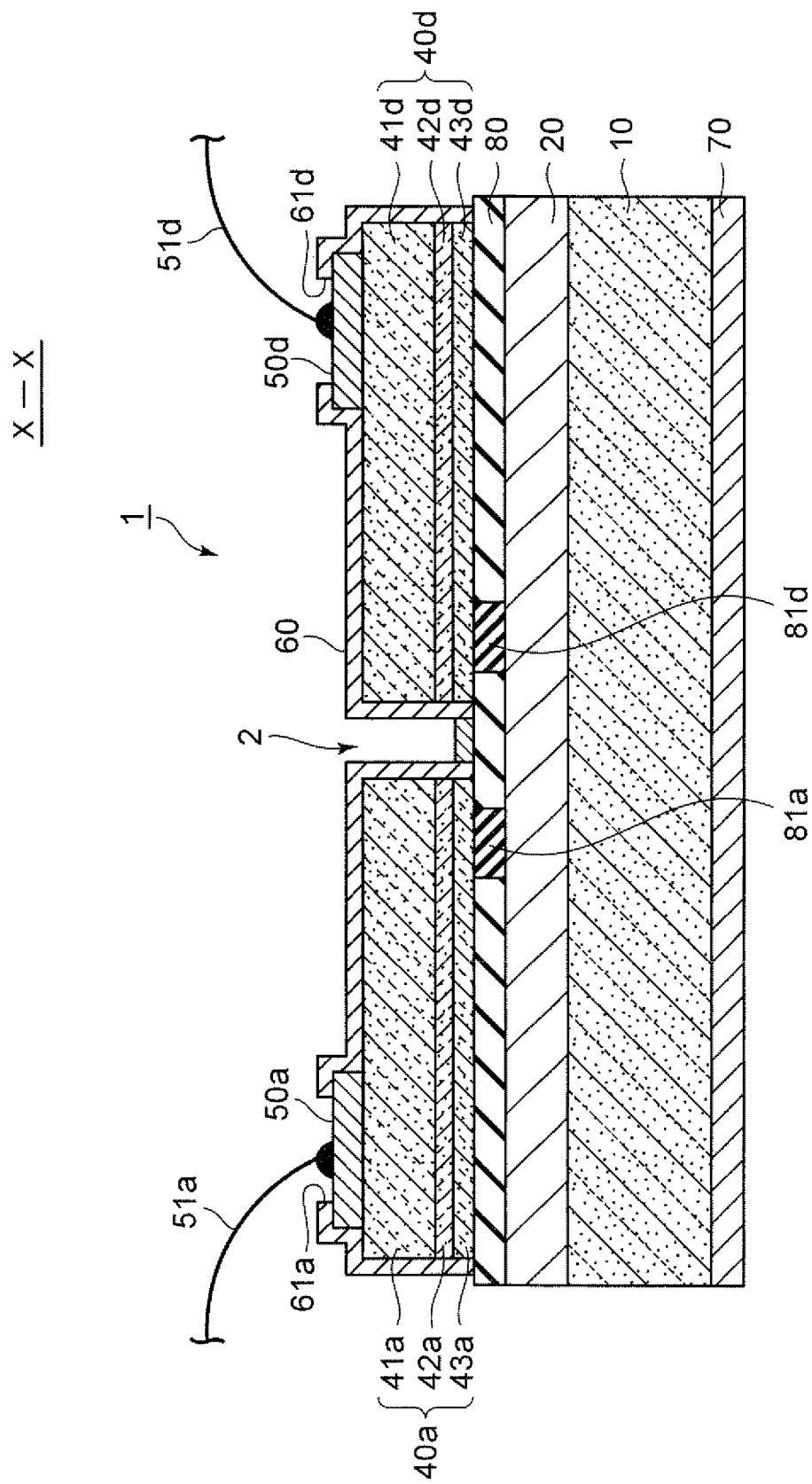
[図7]



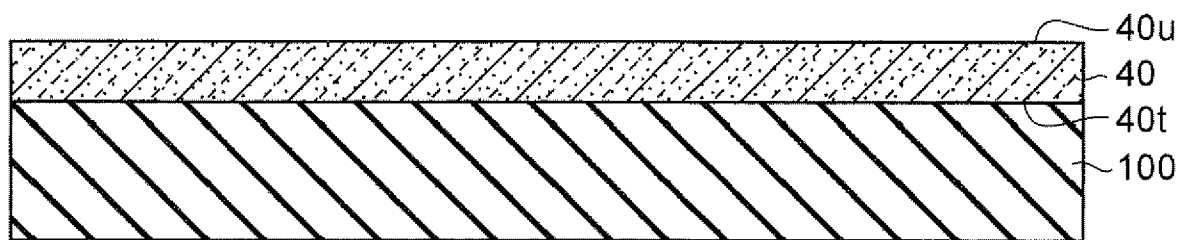
[図8]



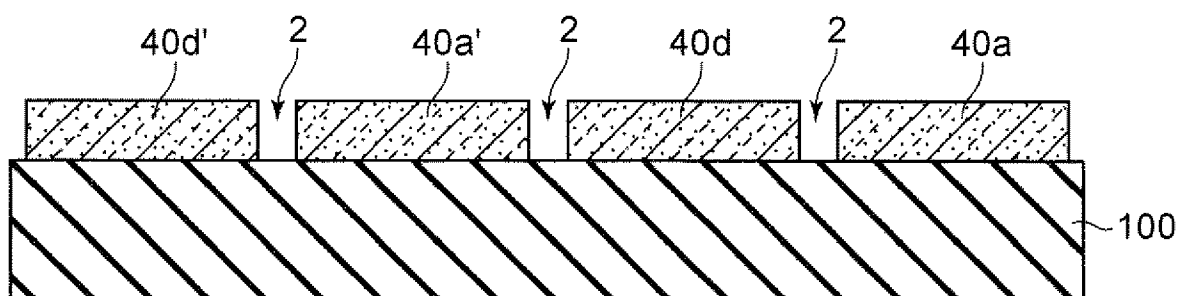
[図9]



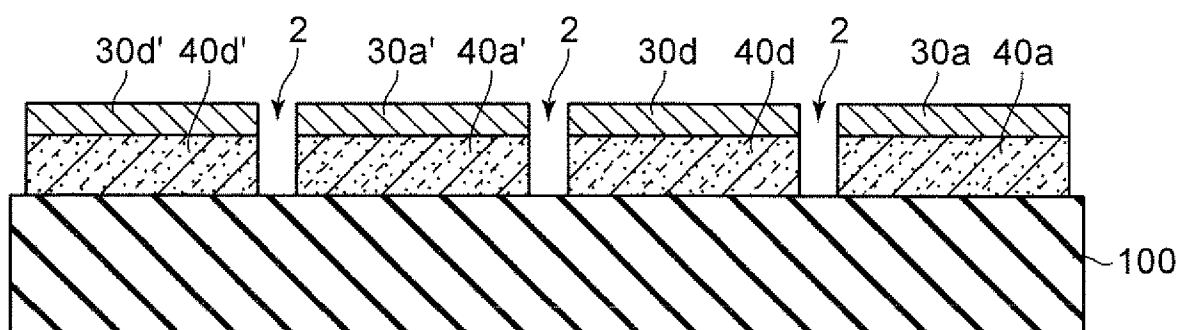
[図10A]



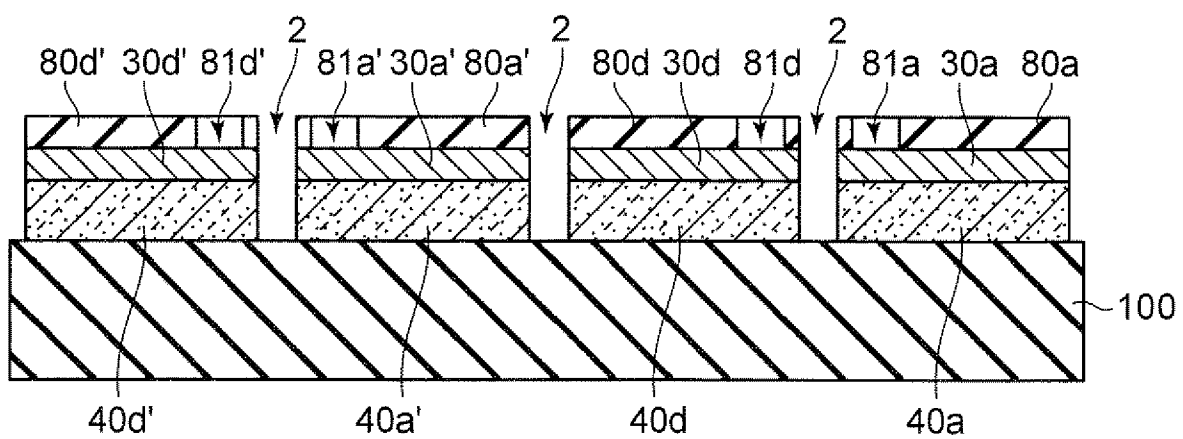
[図10B]



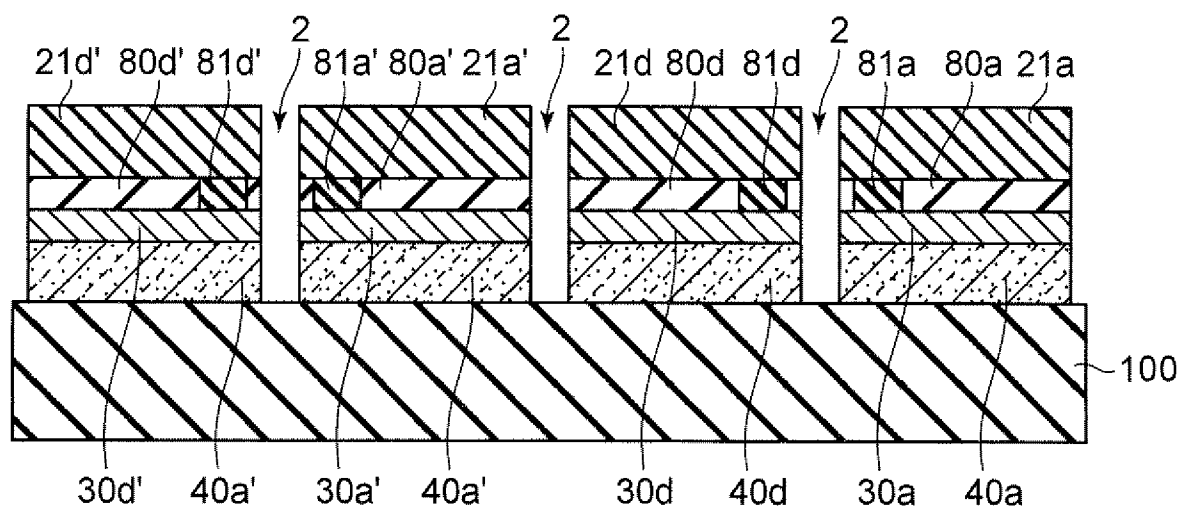
[図10C]



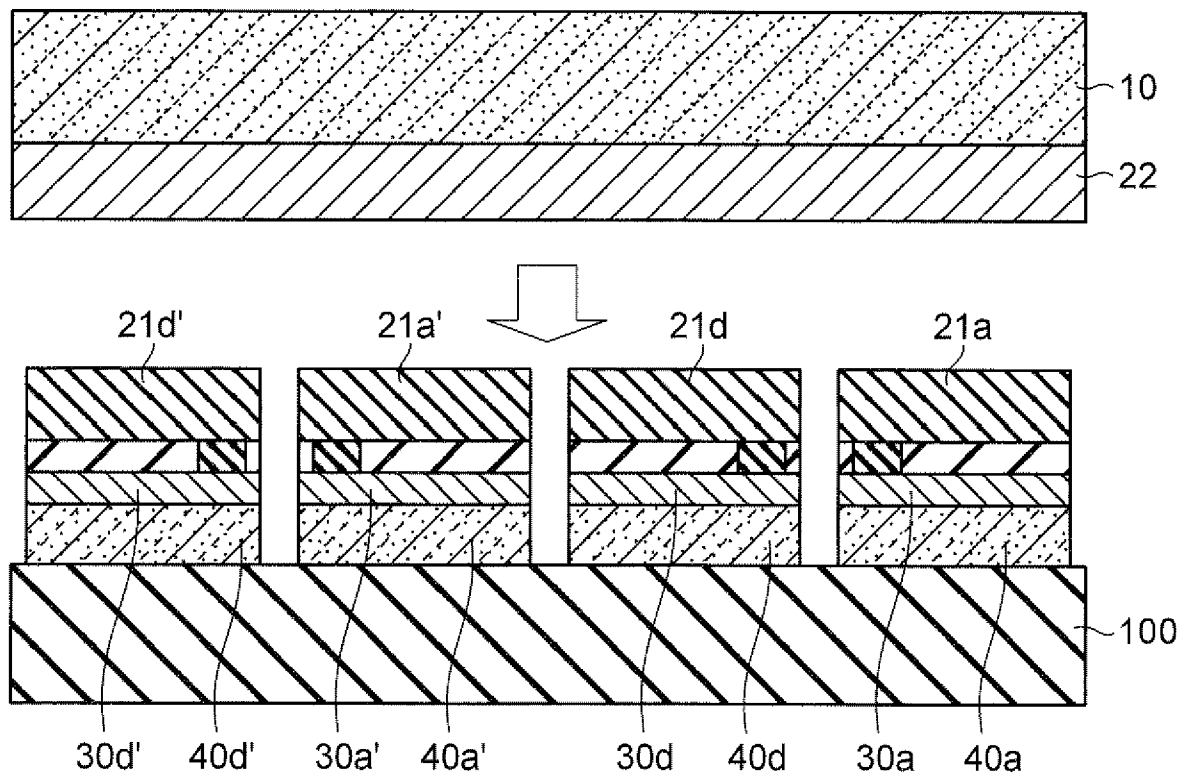
[図10D]



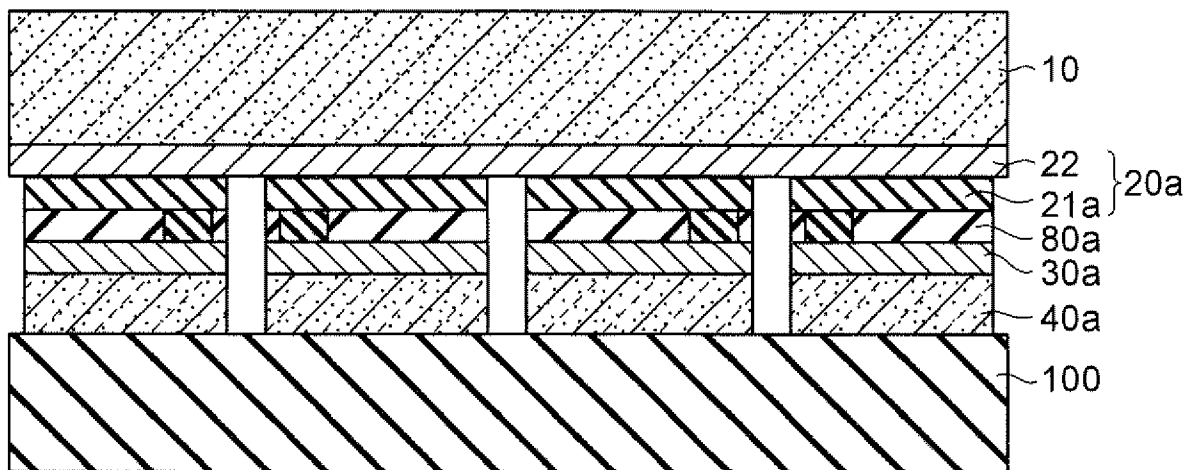
[図10E]



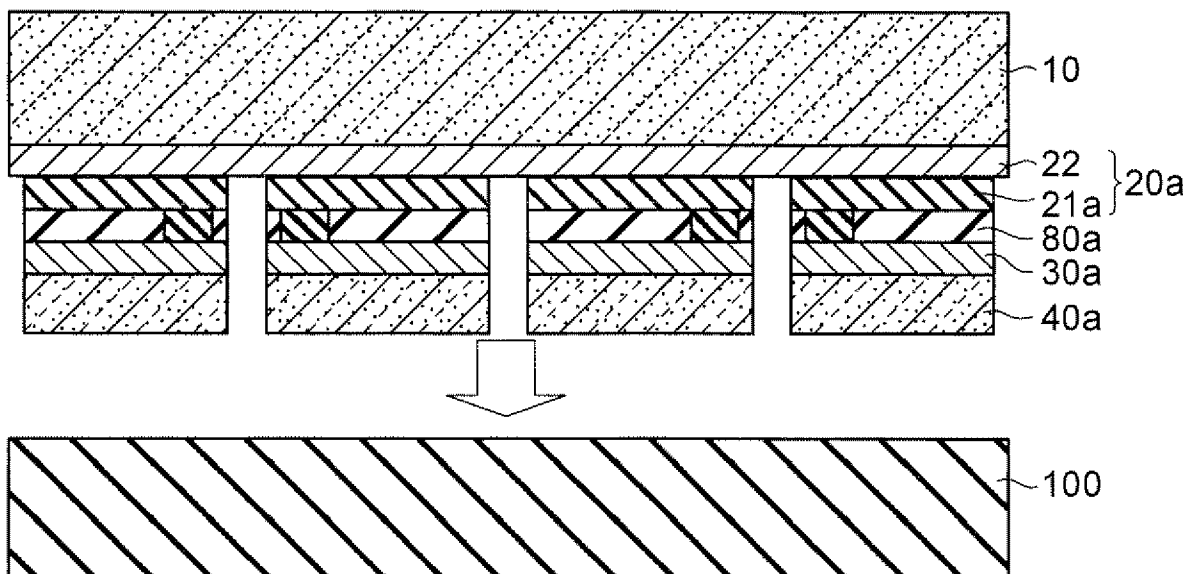
[図10F]



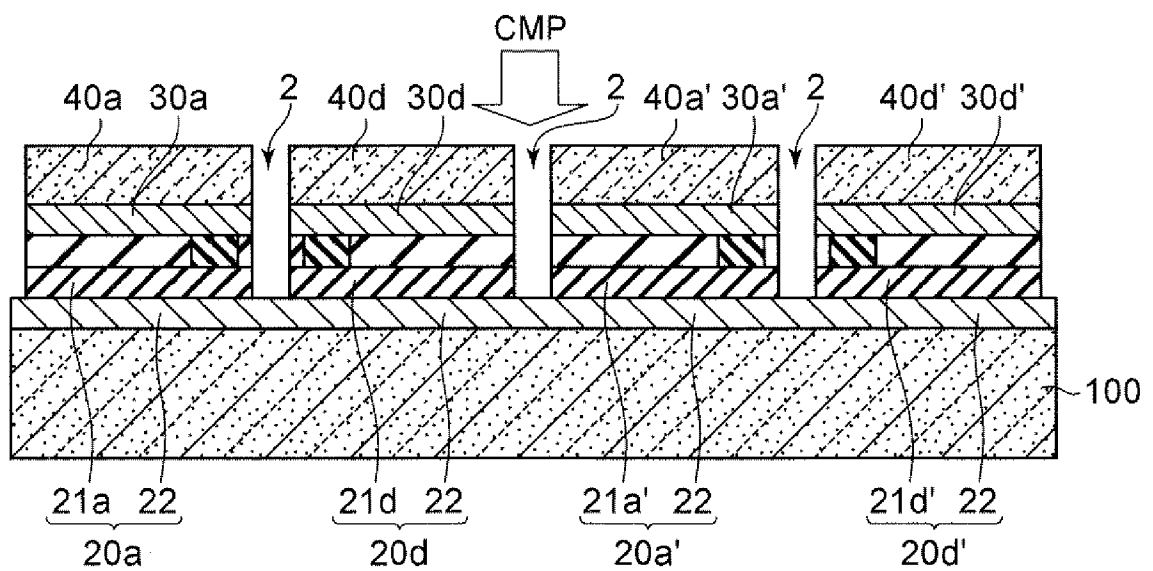
[図10G]



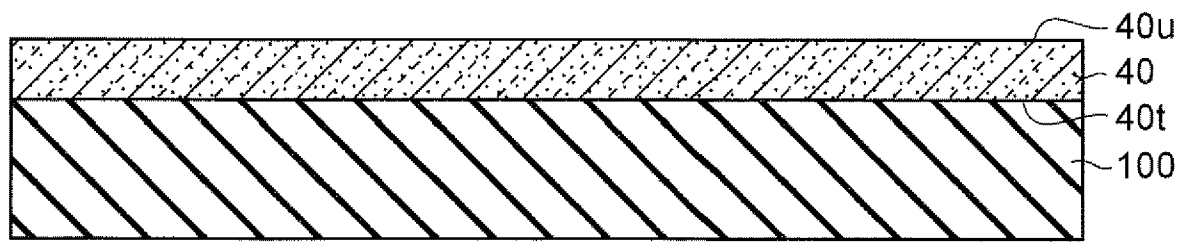
[図10H]



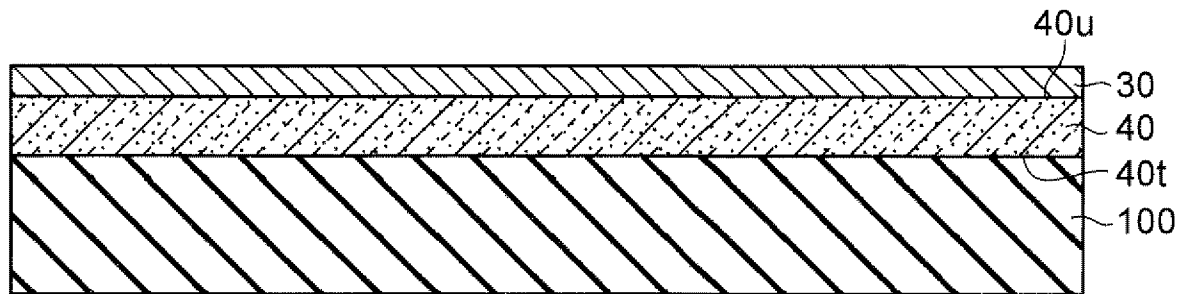
[図10I]



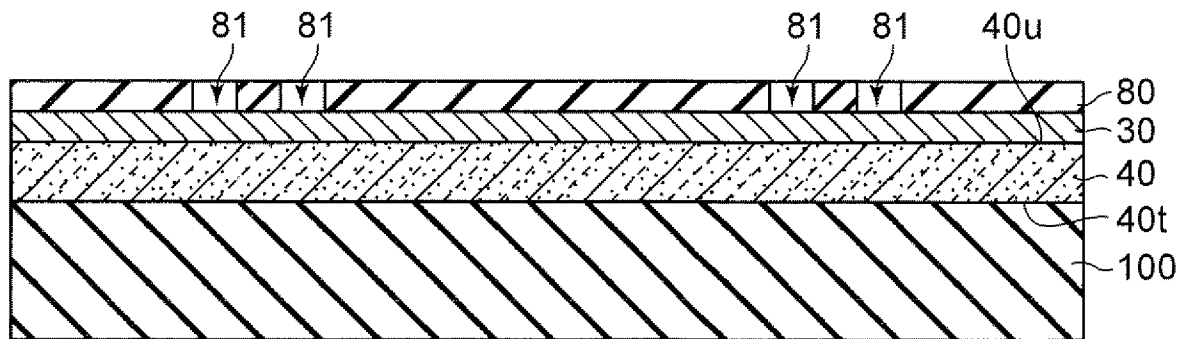
[図12A]



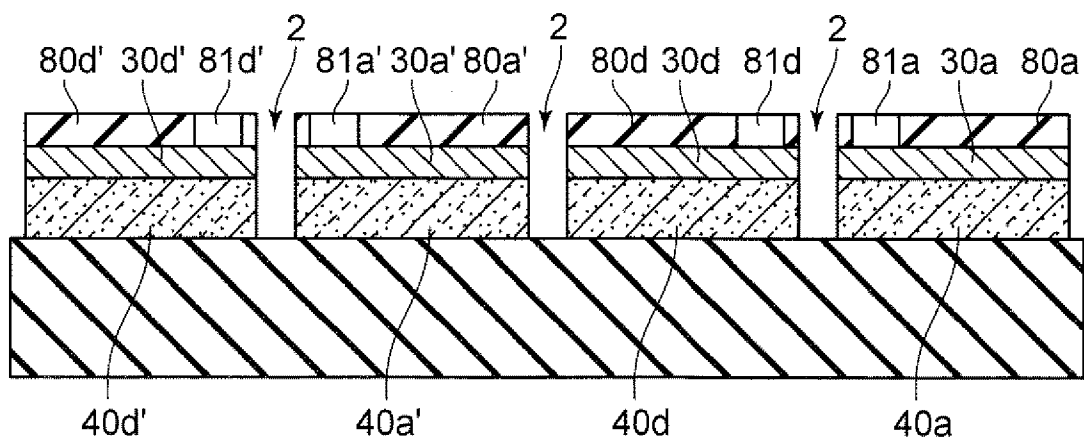
[図12B]



[図12C]



[図12D]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/080203

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/08 (2010.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-40761 A (Sharp Corp.), 18 February 2010 (18.02.2010), paragraphs [0022] to [0046], [0052] to [0060]; fig. 1 to 7 & US 2010/0032701 A1 & CN 101645482 A	1-34
Y	JP 2010-27643 A (Sharp Corp.), 04 February 2010 (04.02.2010), paragraphs [0038] to [0139], [0156] to [0168]; fig. 1 to 7 (Family: none)	1-34
X Y	WO 2007/126092 A1 (Mitsubishi Chemical Corp.), 08 November 2007 (08.11.2007), paragraphs [0108] to [0142], [0347] to [0430]; fig. 3-1 to 3-17 & US 2009/0315045 A1 & EP 2023410 A1	1-6, 11-13, 17 1-34



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
16 February, 2012 (16.02.12)

Date of mailing of the international search report
28 February, 2012 (28.02.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/080203

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2010-98288 A (Samsung Electro-Mechanics Co., Ltd.), 30 April 2010 (30.04.2010), paragraphs [0053] to [0057]; fig. 3b & US 2010/0099212 A1 & US 2011/0008924 A1 & DE 102009020819 A & KR 10-2010-0042438 A	1-34
Y	JP 2004-79972 A (Fuji Photo Film Co., Ltd.), 11 March 2004 (11.03.2004), paragraphs [0025] to [0031]; fig. 5(a) to 6 (Family: none)	1-34

A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L33/08(2010.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L33/00-33/64			
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2012年 日本国実用新案登録公報 1996-2012年 日本国登録実用新案公報 1994-2012年			
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示		関連する 請求項の番号
Y	JP 2010-40761 A（シャープ株式会社） 2010.02.18, 【0022】 - 【0046】, 【0052】 - 【0060】 図 1-7 & US 2010/0032701 A1 & CN 101645482 A		1-34
Y	JP 2010-27643 A（シャープ株式会社） 2010.02.04, 【0038】 - 【0139】, 【0156】 - 【0168】, 図 1-7 （ファミリーなし）		1-34
☒ C 欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願			
の日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献			
国際調査を完了した日 16.02.2012		国際調査報告の発送日 28.02.2012	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 日夏 貴史 電話番号 03-3581-1101 内線 3255	2K 9411

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2007/126092 A1 (三菱化学株式会社)	1-6, 11-13, 17
Y	2007. 11. 08, [0108]-[0142], [0347]-[0430], 図 3-1-3-17 & US 2009/0315045 A1 & EP 2023410 A1	1-34
Y	JP 2010-98288 A (三星電機株式会社) 2010. 04. 30, 【0053】 - 【0057】, 図 3b & US 2010/0099212 A1 & US 2011/0008924 A1 & DE 102009020819 A & KR 10-2010-0042438 A	1-34
Y	JP 2004-79972 A (富士写真フイルム株式会社) 2004. 03. 11, 【0025】 - 【0031】, 図 5(a)-6 (ファミリーなし)	1-34