

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-74176

(P2010-74176A)

(43) 公開日 平成22年4月2日(2010.4.2)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8234 (2006.01)	HO 1 L 27/08 1 O 2 A	5 F O 3 8
HO 1 L 27/088 (2006.01)	HO 1 L 27/06 3 2 1 A	5 F O 4 8
HO 1 L 21/8249 (2006.01)	HO 1 L 27/10 3 8 1	5 F O 8 3
HO 1 L 27/06 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 21/8244 (2006.01)	HO 1 L 29/78 3 7 1	
審査請求 有 請求項の数 5 O L (全 37 頁) 最終頁に続く		

(21) 出願番号 特願2009-260141 (P2009-260141)
(22) 出願日 平成21年11月13日 (2009.11.13)
(62) 分割の表示 特願2005-500740 (P2005-500740)
の分割
原出願日 平成15年6月10日 (2003.6.10)

(71) 出願人 308014341
富士通マイクロエレクトロニクス株式会社
東京都新宿区西新宿二丁目7番1号
(74) 代理人 100091340
弁理士 高橋 敬四郎
(74) 代理人 100105887
弁理士 来山 幹雄
(72) 発明者 江間 泰示
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内
(72) 発明者 児嶋 秀之
神奈川県川崎市中原区上小田中4丁目1番
1号 富士通株式会社内

最終頁に続く

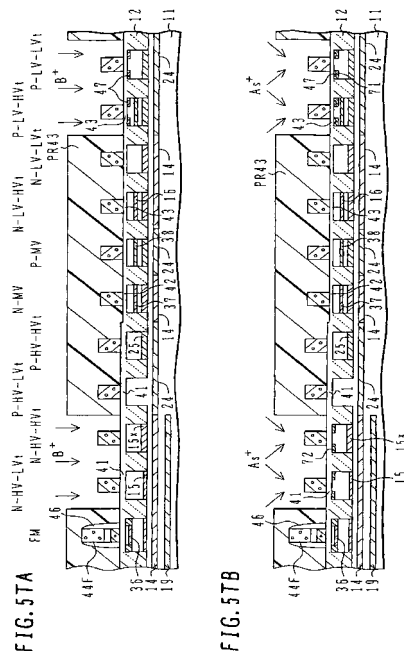
(54) 【発明の名称】 半導体装置とその製造方法

(57) 【要約】

【課題】 トランジスタと抵抗等複数種類の半導体素子を簡略化した工程で作成する。

【解決手段】 半導体装置の製造方法は、半導体基板にアスペクト比1以上の素子分離領域を形成し、ゲート絶縁膜を形成し、シリコン層を堆積し、パターニングしてゲート電極と抵抗素子を形成し、ゲート電極の側壁サイドウォールを形成し、第1の活性領域に高濃度の燐を、第2の活性領域及び抵抗素子に高濃度のp型不純物を、イオン注入し、500℃以下の温度でサリサイドブロック層を形成し、サリサイドブロック層を覆うように金属層を堆積し、選択的に金属シリサイド層を形成する。厚いゲート絶縁膜と著しく薄いゲート絶縁膜を形成し、サイドウォール形成前、厚いゲート絶縁膜は貫通しない第1導電型のイオン注入と、厚いゲート絶縁膜も貫通する逆導電型の斜めイオン注入を行う。

【選択図】 図5-6



【特許請求の範囲】

【請求項 1】

半導体基板と、
前記半導体基板に形成された第 1 導電型の第 1、第 2 の活性領域と、
前記半導体基板に形成された第 2 導電型の第 3、第 4 の活性領域と、
前記第 1、第 3 の活性領域上に形成された第 1 の厚さのゲート絶縁膜と、
前記第 2、第 4 の活性領域上に形成された第 1 の厚さより薄い第 2 の厚さのゲート絶縁膜と、
前記第 1 - 第 4 の活性領域のゲート絶縁膜の上にそれぞれ形成された第 1 - 第 4 のゲート電極と、
前記第 1 - 第 4 のゲート電極側壁上に形成された絶縁材料のサイドウォールスペーサと、
前記第 1、第 2 の活性領域の前記サイドウォールスペーサ外方に形成された第 2 導電型の高不純物濃度の第 1、第 2 のソース／ドレイン領域と、
前記第 3、第 4 の活性領域の前記サイドウォールスペーサ外方に形成された第 1 導電型の高不純物濃度の第 3、第 4 のソース／ドレイン領域と、
前記第 1 の活性領域のサイドウォールスペーサ下方に形成され、前記第 1 のソース／ドレイン領域に連続する第 2 導電型の LDD 領域と、
前記第 4 の活性領域のサイドウォールスペーサ下方に形成され、前記第 4 のソース／ドレイン領域に連続する第 1 導電型のエクステンション領域と、
前記第 4 の活性領域の前記第 1 導電型のエクステンション領域を取り囲むように形成された第 2 導電型のポケット領域と、
を有し、前記ゲート絶縁膜は前記サイドウォールスペーサ下方まで延在し、前記高不純物濃度のソース／ドレイン領域上方までは延在せず、前記第 1 のゲート電極側壁のサイドウォールスペーサ下の前記第 1 の活性領域およびその上の第 1 の厚さのゲート絶縁膜中の第 2 導電型不純物濃度分布と、前記第 4 のゲート電極側壁のサイドウォールスペーサ下の前記第 4 の活性領域およびその上の第 2 の厚さのゲート絶縁膜中の第 2 導電型不純物濃度分布とが実質的に等しい半導体装置。

【請求項 2】

主面を有する半導体基板と、
前記半導体基板の主面に形成され、第 1、第 2 の活性領域を画定し、アスペクト比 1 以上の部分を有する素子分離用溝と、
前記素子分離用溝を埋める絶縁体によって形成され、フィールド領域を含む素子分離領域と、
前記第 1、第 2 の活性領域表面に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成され、前記第 1 の活性領域を横断し、高濃度の燐を含む第 1 のゲート電極と、
前記ゲート絶縁膜上に形成され、前記第 2 の活性領域を横断し、p 型不純物を含む第 2 のゲート電極と、
前記フィールド領域上に、前記第 2 のゲート電極と同じ層で形成された p 型抵抗素子と、
前記抵抗素子の表面の一部に形成されたシリサイドブロック層と、
前記第 1、第 2 のゲート電極の側壁上に形成されたサイドウォールスペーサと、
前記第 1 の活性領域のサイドウォール外方に形成された高濃度の燐を含む第 1 のソース／ドレイン領域と、
前記第 2 の活性領域のサイドウォール外方に形成された p 型不純物を含む第 2 のソース／ドレイン領域と、
前記抵抗素子のシリサイドブロック層以外の表面、前記第 1、第 2 のソース／ドレイン領域の少なくとも一部の表面、前記第 1、第 2 のゲート電極の少なくとも一部の表面に形成されたシリサイド層と、

を有する半導体装置。

【請求項 3】

半導体基板と、

前記半導体基板内に画定された第 1 導電型の活性領域と、

前記活性領域上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

前記ゲート電極側壁上に形成された絶縁性サイドウォールスペーサと、

前記活性領域の前記ゲート電極端部下方から前記絶縁性サイドウォールスペーサ下方まで延在するように形成され、前記ゲート電極端部下方から前記ゲート電極端下方を越え、前記ゲート電極より外方までの領域で面内方向で第 2 導電型の不純物濃度が単調増大する濃度勾配を有する L D D 領域と、

前記サイドウォールスペーサ外方の前記活性領域内に形成され、前記 L D D 領域に連続する第 2 導電型の高不純物濃度ソース／ドレイン領域と、
を有する半導体装置。

【請求項 4】

(a) 半導体基板に第 1 導電型の第 1、第 2 の活性領域、および第 2 導電型の第 3、第 4 の活性領域を形成する工程と、

(b) 前記第 1、第 3 の活性領域上に第 1 の厚さのゲート絶縁膜を形成する工程と、

(c) 前記第 2、第 4 の活性領域上に、第 1 の厚さより薄い第 2 の厚さのゲート絶縁膜を形成する工程と、

(d) 前記第 1－第 4 の活性領域のゲート絶縁膜の上にそれぞれ第 1－第 4 のゲート電極を形成し、前記ゲート絶縁膜は残存させる工程と、

(e) 前記第 1、第 4 の活性領域に対し、第 2 の厚さのゲート絶縁膜は貫通し、第 1 の厚さのゲート絶縁膜は貫通しないように、第 1 導電型不純物の第 1 のイオン注入を行う工程と、

(f) 前記第 1、第 4 の活性領域に対し、ゲート絶縁膜を貫通する第 2 導電型不純物の第 2 のイオン注入を行う工程と、

(g) 前記第 2、第 3 の活性領域に対し、第 2 の厚さのゲート絶縁膜は貫通し、第 1 の厚さのゲート絶縁膜は貫通しないように、第 2 導電型不純物の第 3 のイオン注入を行う工程と、

(h) 前記第 2、第 3 の活性領域に対し、ゲート絶縁膜を貫通する第 1 導電型不純物の第 4 のイオン注入を行う工程と、

(i) 半導体基板全面に絶縁層を堆積し、異方性エッチングを行い、ゲート電極側壁上にサイドウォールスペーサを形成すると共に、露出したゲート絶縁膜を除去する工程と、

(j) 前記第 1、第 2 の活性領域に前記サイドウォールスペーサをマスクとして、第 2 導電型不純物の第 5 のイオン注入を行う工程と、

(k) 前記第 3、第 4 の活性領域に前記サイドウォールスペーサをマスクとして、第 1 導電型不純物の第 6 のイオン注入を行う工程と、
を有する半導体装置の製造方法。

【請求項 5】

(a) 半導体基板に第 1 導電型の第 1 の活性領域を形成する工程と、

(b) 前記第 1 の活性領域上に第 1 のゲート絶縁膜を形成する工程と、

(c) 前記第 1 のゲート絶縁膜の上に第 1 のゲート電極を形成する工程と、

(d) 前記第 1 の活性領域に対し、ゲート電極をマスクとして第 2 導電型の不純物を基板法線から傾いた複数の方向からイオン注入する工程と、

(e) 前記半導体基板全面に絶縁層を堆積し、異方性エッチングを行い、ゲート電極側壁上にサイドウォールスペーサを形成する工程と、

(f) 前記第 1 のゲート電極および前記サイドウォールスペーサをマスクとして、前記第 1 の活性領域に第 2 導電型の不純物を高濃度にイオン注入する工程と、
を有する半導体装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置とその製造方法に関し、特に複数の半導体素子、例えば微細化したトランジスタと抵抗、または複数の電圧で動作するトランジスタを含む半導体装置、または耐圧を向上したトランジスタを含む半導体装置とその製造方法に関する。

【背景技術】

【0002】

半導体集積回路装置（IC）の集積度の向上と共に、ICの構成要素であるトランジスタは微細化されている。ロジック半導体素子は、性能が著しく向上し、多くの機能を同一チップ上に搭載するようになってきている。例えば、高密度スタティックランダムアクセスメモリ（SRAM）、超高速入出力回路がロジック回路と同一チップ上に搭載される。

10

【0003】

SRAMは、例えば2つのnチャネルドライバトランジスタ、2つのpチャネル負荷トランジスタ、2つのnチャネルトランスファトランジスタの計6トランジスタで1メモリセルを構成する。1トランジスタ、1キャパシタで1メモリセルを構成するダイナミックRAM（DRAM）と比べると、構成素子数は多くなるが、リフレッシュ動作が不要である。

【0004】

高密度SRAM等の多数の半導体素子を高密度に収容する回路の素子分離領域として、シャロートレンチアイソレーション（STI）が広く用いられている。局所酸化（LOCOS）に於けるバズピークが存在せず、面積利用率を向上できると共に、平坦性のよい表面が得られる。

20

【0005】

トランジスタの寄生抵抗を低減するために、ソース／ドレイン領域およびゲート電極の上に自己整合的に金属シリサイド層を形成するシリサイド技術も広く用いられている。

特開2000-198523号は、STIとシリサイド技術を用いたSRAMを開示している。ゲート電極側壁上に第1のサイドウォールスペーサを形成し、ソース／ドレイン領域とゲート電極に対する高濃度イオン注入を行った後、第2のサイドウォールスペーサを形成し、その後基板全面に対してシリサイドを行っている。ソース／ドレイン領域上のシリサイド層のゲート電極側端部を接合から離すことによりリーク電流を低減する。SRAM以外の回路素子については、開示はない。

30

【0006】

トランジスタと他の素子を集積化する場合、各素子を独立に作成すると製造工程は複雑化し、歩留まりは低下する。同一工程を複数の素子に共用させ、製造工程をなるべく簡略化することが望まれる。作成する回路によって、他の素子はキャパシタであったり、抵抗であったりする。抵抗の場合、抵抗値は所望の値であることが望まれ、高すぎても、低すぎても不適当な場合が多い。

【0007】

特開2000-31295号は、素子分離をSTIで行い、アナログーデジタル変換回路用アナログ抵抗をシリサイド層付MOSトランジスタと集積化した半導体集積回路装置を開示する。アナログ抵抗をシリコン基板内の拡散層で形成する場合と、素子分離領域上の多結晶シリコンで形成する場合の両者を開示している。

40

【0008】

数十Ω／□～数百Ω／□のアナログ抵抗の抵抗値を最適に設定するため、抵抗部はトランジスタとは別に独立に形成される。サイドウォールスペーサ形成の際、レジストマスクを抵抗部上に形成し、サイドウォールスペーサと同一層のシリサイドブロック層を残す。抵抗部両端の接続部はトランジスタの高濃度領域と同時に高濃度にイオン注入される。その後、全面にシリサイド処理を行なう。トランジスタのソース／ドレイン領域とゲート電極上、抵抗部両端の接続部上にはシリサイド層が形成される。

50

【0009】

特開2002-280459号は、素子分離をLOCOSで行い、トランジスタ、キャパシタ、抵抗を集積化した集積回路装置を開示している。第1の多結晶シリコン層を用いて、トランジスタのゲート電極と同時にキャパシタの下部電極を形成し、キャパシタ用誘電体膜を形成した後、第2の多結晶シリコン層を用いてキャパシタの上部電極と抵抗を形成している。抵抗は別個のイオン注入で所望の不純物濃度にする。サリサイド工程においては、抵抗と入出力用トランジスタ上にサリサイドブロック層を形成し、シリサイド層を形成しないようにする。

【先行技術文献】

【特許文献】

10

【0010】

【特許文献1】特開2000-198523号

【特許文献2】特開2000-31295号

【特許文献3】特開2002-280459号 抵抗は、用途に応じて好適な抵抗値と精度が決まる。ESD（静電荷放電）保護用の抵抗は高い精度は必要としないが、トランジスタの近くに拡散抵抗で作製し、構成、工程を簡略にすることが望まれる。入出力回路用のアナログ抵抗は高い精度が要求される。抵抗値としては例えば数十 $\Omega/\square$ ～数百 $\Omega/\square$ 程度が望まれる。

【0011】

トランジスタの微細化に伴って、動作電圧は低下し、ゲート絶縁膜は薄く、ゲート長は短くなる。トランジスタのオフ状態でソース／ドレイン間にパンチスルー電流が流れてしまう等の短チャネル効果が生じる。

20

【0012】

短チャネル効果を防止するため、ソース・ドレイン領域をゲート電極の両側の浅いエクステンション領域とゲート電極側壁上のサイドウォールスペーサ両側の高不純物濃度のソース／ドレイン領域で形成し、さらにエクステンション領域を逆導電型のポケット領域で囲む構成が開発されている。ポケット領域は、基板法線から傾いた方向から、エクステンション領域形成用イオン注入より飛程の長いイオン注入を行うことで形成される。

【0013】

システムオンチップにおいては、低電圧動作の論理回路と高電圧動作のフラッシュメモリ制御回路のような異種回路を混載する要請も強い。これを実現するには、低電圧動作の論理回路と高電圧動作のフラッシュメモリ制御回路とを同一半導体基板上に集積化することが必要となる。

30

【0014】

例えば、1. 2V動作の論理回路用低電圧トランジスタと、読出時5Vおよび書込／消去時10V弱動作のフラッシュメモリ制御回路用高電圧トランジスタを集積化する。さらに、入出力回路（I/O）用に2. 5Vや3. 3V動作の中電圧トランジスタを集積化する要請も強い。低電圧トランジスタの動作電圧はさらに低電圧化する傾向にあり、I/O用中電圧トランジスタの動作電圧は、さらに5V、1. 8V、1. 2V等が加わる可能性がある。但し、特定の顧客の要請においては、中電圧トランジスタの動作電圧は1種類である場合が多い。

40

【0015】

高電圧トランジスタは、ホットエレクトロン効果を抑制し、必要な耐圧を備える必要がある。ゲート絶縁膜を厚くし、ゲート長を長くし、ゲート電極両側に不純物濃度の低い低濃度ドレイン（LDD）領域を形成し、ゲート電極側壁上のサイドウォールスペーサ両側に高濃度ソース／ドレイン領域を形成する構成が適している。

【0016】

エクステンション領域をLDD領域と呼ぶ場合も多いが、本明細書においては、浅い接合を形成することを主目的とするものをエクステンション領域と呼び、耐圧を向上することを主目的とするものをLDD領域と呼ぶ。LDD領域は文字通り低不純物濃度であるこ

50

とが望ましいが、エクステンション領域は接合深さが浅ければ低不純物濃度である必要はない。

【0017】

複数種類のトランジスタを集積化する時、各トランジスタの望ましい特性に合わせてそれぞれ独立に製造プロセスを選択すると、工程数が多くなって製造プロセスは複雑化し、歩留まりが低下し、製造原価が高くなる。複数種類のトランジスタを簡略化したプロセスで製造することが望まれる。

【0018】

特開2000-68388号は、従来技術として、1.8V動作のCMOSトランジスタと3.3V動作のCMOSトランジスタとを含む半導体集積回路装置の基本的製造方法を開示している。

10

【0019】

図10A-10Dは、この基本的製造方法の要部を示す。シリコン基板101にシャロートレンチアイソレーション102が形成され、nウェル103、pウェル104がイオン注入を用いて形成される。薄いゲート絶縁膜105、厚いゲート絶縁膜106を形成した後、ゲート電極層を堆積し、パターニングすることによりゲート電極107を形成する。

【0020】

図10Aに示すように、1.8V動作のnチャネルMOS(NMOS)トランジスタ領域を開口するマスク112を介して、n型不純物たとえば As^+ を比較的高濃度に垂直方向にイオン注入して、n型エクステンション領域114を形成する。同じマスク112を介して、p型不純物たとえば BF_2^+ を斜めにイオン注入して、n型エクステンション領域114外側にp型ポケット領域116を形成する。

20

【0021】

図10Bに示すように、1.8V動作のpチャネルMOS(PMOS)トランジスタ領域を開口するマスク118を介して、p型不純物たとえば BF_2^+ を比較的高濃度に垂直方向にイオン注入して、p型エクステンション領域120を形成する。同じマスク118を介して、n型不純物たとえば As^+ を斜めにイオン注入して、p型エクステンション領域120外側にn型ポケット領域122を形成する。

【0022】

30

図10Cに示すように、3.3V動作のNMOSトランジスタ領域を開口するマスク124を介して、n型不純物たとえば P^+ を比較的低濃度にイオン注入して、ホットキャリアを抑制できるn型LDD領域126を形成する。

【0023】

図10Dに示すように、3.3V動作のPMOSトランジスタ領域を開口するマスク128を介して、p型不純物たとえば BF_2^+ をイオン注入してリーク電流を抑制できるp型LDD領域130を形成する。

【0024】

3.3V動作トランジスタはゲート長が長く、短チャネル効果は問題とならない。従って、ポケット領域は不要である。PMOSトランジスタにおいては、ポケット領域を形成すると、かえって接合リーク電流が増加する。

40

【0025】

その後、ゲート電極側壁上に酸化シリコン膜で形成されたサイドウォールスペーサを形成し、NMOS領域、PMOS領域にそれぞれn型不純物、p型不純物を高濃度にイオン注入し、高濃度ソース/ドレイン領域を形成する。このようにして、1.8Vおよび3.3V動作の多電源電圧CMOS回路が形成される。

【0026】

特開2000-164727号は、内部回路用の低電圧動作のCMOSトランジスタと、I/Oブロック用の高い耐圧を有する(上記中電圧に対応)CMOSトランジスタとを製造する簡略化された方法を開示している。

50

【0027】

図11A-11Dは、この簡略化された製造方法の要部を示す。p型シリコン基板201に選択的にn型ウェル202が形成され、LOCOS酸化により素子分離領域203が形成される。高電圧動作の厚さ20nmの厚いゲート絶縁膜205と、低電圧動作の厚さ7nmの薄いゲート絶縁膜206を形成する。厚さ200nm-300nmのポリシリコン層を堆積し、パターニングすることにより、ゲート長0.2-0.4μmの低電圧用およびゲート長0.5-0.8μmの高電圧用のゲート電極207を形成する。

【0028】

図11Aに示すように、低電圧動作のPMOS領域及び高電圧動作のNMOS領域を覆うレジストマスク208を形成し、低電圧動作のNMOS領域及び高電圧動作のPMOS領域にp型不純物であるボロンを加速エネルギー40keV-60keV、ドーズ量 $5 \times 10^{11} \text{ cm}^{-2}$ - $10 \times 10^{11} \text{ cm}^{-2}$ の条件で、基板法線から50度-60度の傾きを持たせ、8方向からイオン注入する。p型不純物Bをイオン注された領域209a、209bが形成される。

【0029】

図11Bに示すように、同一マスク208を用い、n型不純物であるP⁺を、加速エネルギー10keV-30keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ - $5 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入する。薄いゲート絶縁膜を有するNMOS領域においては、n型不純物Pがイオン注入され、n型エクステンション領域210aが形成され、厚いゲート絶縁膜205を有するPMOS領域においては、イオン注入されたP⁺イオンはゲート絶縁膜中に留まり、シリコン基板に達しないと同公報は断定する。

【0030】

図11Cに示すように、低電圧NMOS領域及び高電圧PMOS領域を覆うレジストマスク211を形成し、低電圧PMOS領域及び高電圧NMOS領域に対し、n型不純物であるP⁺イオンを加速エネルギー120keV-170keV、ドーズ量 $1 \times 10^{11} \text{ cm}^{-2}$ - $2 \times 10^{11} \text{ cm}^{-2}$ で、基板法線から30度-50度傾いた8方向からイオン注入し、低電圧動作PMOS領域及び高電圧NMOS領域にn型領域212a、212bを形成する。

【0031】

同じマスク211を用い、p型不純物であるB⁺イオンを加速エネルギー5keV-8keV、ドーズ量 $1-5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、薄いゲート絶縁膜106を有する低電圧PMOS領域にエクステンション領域214を形成する。この条件においては、高電圧NMOS領域に、イオン注入されたp型不純物B⁺イオンはゲート絶縁膜中に留まり、シリコン基板には到達しないと同公報は断定する。

【0032】

図11Dに示すように、ゲート電極207側壁上にサイドウォールスペーサ215を形成した後、低電圧動作PMOS領域及び高電圧動作PMOS領域を覆うレジストマスク216を形成する。

【0033】

n型不純物であるAs⁺イオンを、加速エネルギー20keV-40keV、ドーズ量 $2-5 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、低電圧動作NMOS領域において高不純物濃度(n⁺型)ソース/ドレイン領域217a、及び高電圧動作NMOS領域においてn⁺型ソース/ドレイン領域217bを形成する。

【0034】

同様に、NMOS領域を覆うレジストマスクを形成し、PMOS領域に対してp型不純物をイオン注入し、高不純物濃度のソース/ドレイン領域をイオン注入する。例えば、BF₂⁺イオンを加速エネルギー30keV-50keV、ドーズ量 $2 \times 10^{15} \text{ cm}^{-2}$ - $5 \times 10^{15} \text{ cm}^{-2}$ でイオン注入し、高不純物濃度(p⁺型)ソース/ドレイン領域を形成する。

【0035】

本発明者等は、特開2000-164727号公報記載の技術は、後述のように、実施

10

20

30

40

50

不能であることを見出した。

【特許文献4】特開2000-68388号

【特許文献5】特開2000-164727号

【発明の概要】

【発明が解決しようとする課題】

【0036】

本発明の目的は、トランジスタと抵抗とを簡略化した工程で作成することのできる半導体装置の製造方法を提供することである。

本発明の他の目的は、複数種類のトランジスタを含む半導体装置の効率的な製造方法を提供することである。

【0037】

本発明のさらに他の目的は、トランジスタとp型不純物をドーブした多結晶シリコンの高精度抵抗を簡略化した工程で作製することのできる半導体装置の製造方法を提供することである。

【0038】

本発明の他の目的は、短チャネル効果を抑制した低電圧トランジスタと耐圧を向上した高電圧トランジスタとを簡略化した工程で製造する半導体装置の製造方法を提供することである。

【0039】

本発明の他の目的は、簡略化した工程で作成でき、信頼性高い性能を有するトランジスタと抵抗とを含む半導体装置を提供することである。

本発明の他の目的は、耐圧の優れたトランジスタを含む半導体装置を提供することである。

【課題を解決するための手段】

【0040】

本発明の1観点によれば、

主面を有する半導体基板と、前記半導体基板の主面に形成され、第1、第2の活性領域を画定し、アスペクト比1以上の部分を有する素子分離用溝と、前記素子分離用溝を埋める絶縁体によって形成され、フィールド領域を含む素子分離領域と、前記第1、第2の活性領域表面に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成され、前記第1の活性領域を横断し、高濃度の燐を含む第1のゲート電極と、前記ゲート絶縁膜上に形成され、前記第2の活性領域を横断し、p型不純物を含む第2のゲート電極と、前記フィールド領域上に、前記第2のゲート電極と同じ層で形成された抵抗素子と、前記抵抗素子の表面の一部に形成されたサリサイドブロック層と、前記第1、第2のゲート電極の側壁上に形成されたサイドウォールスペーサと、前記第1の活性領域のサイドウォール外方に形成された高濃度の燐を含む第1のソース／ドレイン領域と、前記第2の活性領域のサイドウォール外方に形成されたp型不純物を含む第2のソース／ドレイン領域と、前記抵抗素子のサリサイドブロック層以外の表面、前記第1、第2のソース／ドレイン領域の少なくとも一部の表面、前記第1、第2のゲート電極の少なくとも一部の表面に形成されたシリサイド層と、を有する半導体装置が提供される。

【0041】

本発明の他の観点によれば、

(a) 半導体基板に第1導電型の第1、第2の活性領域、および第2導電型の第3、第4の活性領域を形成する工程と、(b) 前記第1、第3の活性領域上に第1の厚さのゲート絶縁膜を形成する工程と、(c) 前記第2、第4の活性領域上に、第1の厚さより著しく薄い第2の厚さのゲート絶縁膜を形成する工程と、(d) 前記第1-第4の活性領域のゲート絶縁膜の上にそれぞれ第1-第4のゲート電極を形成し、前記ゲート絶縁膜は残存させる工程と、(e) 前記第1、第4の活性領域に対し、第2の厚さのゲート絶縁膜は貫通し、第1の厚さのゲート絶縁膜は貫通しないように、第1導電型不純物の第1のイオン注入

10

20

30

40

50

を行う工程と、(f)前記第1、第4の活性領域に対し、ゲート絶縁膜を貫通する第2導電型不純物の第2のイオン注入を行う工程と、(g)前記第2、第3の活性領域に対し、第2の厚さのゲート絶縁膜は貫通し、第1の厚さのゲート絶縁膜は貫通しないように、第2導電型不純物の第3のイオン注入を行う工程と、(h)前記第2、第3の活性領域に対し、ゲート絶縁膜を貫通する第1導電型不純物の第4のイオン注入を行う工程と、(i)半導体基板全面に絶縁層を堆積し、異方性エッチングを行い、ゲート電極側壁上にサイドウォールスペーサを形成すると共に、露出したゲート絶縁膜を除去する工程と、(j)前記第1、第2の活性領域に前記サイドウォールスペーサをマスクとして、第2導電型不純物の第5のイオン注入を行う工程と、(k)前記第3、第4の活性領域に前記サイドウォールスペーサをマスクとして、第1導電型不純物の第6のイオン注入を行う工程と、を有する半導体装置の製造方法が提供される。

10

【0042】

本発明の別の観点によれば、

半導体基板と、前記半導体基板に形成された第1導電型の第1、第2の活性領域と、前記半導体基板に形成された第2導電型の第3、第4の活性領域と、前記第1、第3の活性領域上に形成された第1の厚さのゲート絶縁膜と、前記第2、第4の活性領域上に形成された第1の厚さより著しく薄い第2の厚さのゲート絶縁膜と、前記第1－第4の活性領域のゲート絶縁膜の上にそれぞれ形成された第1－第4のゲート電極と、前記第1－第4のゲート電極側壁上に形成された絶縁材料のサイドウォールスペーサと、前記第1、第2の活性領域の前記サイドウォールスペーサ外方に形成された第2導電型の高不純物濃度の第1、第2のソース／ドレイン領域と、前記第3、第4の活性領域の前記サイドウォールスペーサ外方に形成された第1導電型の高不純物濃度の第3、第4のソース／ドレイン領域と、前記第1の活性領域のサイドウォールスペーサ下方に形成され、前記第1のソース／ドレイン領域に連続する第2導電型のLDD領域と、前記第4の活性領域のサイドウォールスペーサ下方に形成され、前記第4のソース／ドレイン領域に連続する第1導電型のエクステンション領域と、前記第4の活性領域の前記第1導電型のエクステンション領域を取り囲むように形成された第2導電型のポケット領域と、を有し、前記ゲート絶縁膜は前記サイドウォールスペーサ下方まで延在し、前記高不純物濃度のソース／ドレイン領域上方までは延在せず、前記第1のゲート電極側壁のサイドウォールスペーサ下の前記第1の活性領域およびその上の第1の厚さのゲート絶縁膜中の第2導電型不純物濃度分布と、前記第4のゲート電極側壁のサイドウォールスペーサ下の前記第4の活性領域およびその上の第2の厚さのゲート絶縁膜中の第2導電型不純物濃度分布とが実質的に等しい半導体装置が提供される。

20

30

【0043】

本発明の他の観点によれば、

(a)半導体基板に第1導電型の第1の活性領域を形成する工程と、(b)前記第1の活性領域上に第1のゲート絶縁膜を形成する工程と、(c)前記第1のゲート絶縁膜の上に第1のゲート電極を形成する工程と、(d)前記第1の活性領域に対し、ゲート電極をマスクとして第2導電型の不純物を基板法線から傾いた複数の方向からイオン注入する工程と、(e)前記半導体基板全面に絶縁層を堆積し、異方性エッチングを行い、ゲート電極側壁上にサイドウォールスペーサを形成する工程と、(f)前記第1のゲート電極および前記サイドウォールスペーサをマスクとして、前記第1の活性領域に第2導電型の不純物を高濃度にイオン注入する工程と、を有する半導体装置の製造方法が提供される。

40

【0044】

本発明の他の観点によれば、

半導体基板と、前記半導体基板内に画定された第1導電型の活性領域と、前記活性領域上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極側壁上に形成された絶縁

50

性サイドウォールスペーサと、前記活性領域の前記ゲート電極端部下方から前記絶縁性サイドウォールスペーサ下方まで延在するように形成され、前記ゲート電極端部下方から前記ゲート電極端下方を越え、前記ゲート電極より外方までの領域で面内方向で第2導電型の不純物濃度が単調増大する濃度勾配を有するLDD領域と、前記サイドウォールスペーサ外方の前記活性領域内に形成され、前記LDD領域に連続する第2導電型の高不純物濃度ソース／ドレイン領域と、を有する半導体装置が提供される。

【図面の簡単な説明】

【0045】

【図1】図1A-1Cは、本発明者らの行った予備実験を説明するための、SRAMの等価回路図、平面図、低電圧歩留まりを示すグラフである。 10

【図2】図2A、2Bは、本発明者らの行った予備実験を説明するための、2.5Vnチャネルトランジスタ、1.2Vnチャネルトランジスタ、サリサイドブロック層を備えた多結晶シリコン抵抗を有するサンプルの構成を概略的に示す断面図、およびゲート長に対する閾値の変化を示すグラフである。

【図3-1】／

【図3-2】／

【図3-3】／

【図3-4】／

【図3-5】図3A-3Lは、本発明の実施例によるトランジスタと抵抗を含む半導体装置の主要製造工程を示す断面図である。 20

【図4】図4は、本発明の実施例による半導体装置の構成を示す断面図である。

【図5-1】／

【図5-2】／

【図5-3】／

【図5-4】／

【図5-5】／

【図5-6】／

【図5-7】／

【図5-8】／

【図5-9】図5A-5Zは、図4に示す半導体装置を製造する製造方法の主要工程を示す断面図である。 30

【図6】図6A、6Bは、図5TB、5UBの工程後における不純物濃度分布を示すグラフである。

【図7】図7は、多層配線を形成した半導体装置の構成例を示す断面図である。

【図8】図8A、8Bは、斜めイオン注入により形成されるLDD領域内の不純物濃度分布を概略的に示す断面図、及び垂直方向のイオン注入により形成したLDD領域と斜めイオン注入により形成したLDD領域との性能を比較して示すグラフである。

【図9】図9A、9Bは、本発明の他の実施例による半導体装置の製造方法の主要工程を示す断面図である。 40

【図10】図10A-10Dは、基本的従来技術による複数種類のトランジスタの製造方法を示す半導体基板の断面図である。

【図11】図11A-11Dは、特開2000-164727号公報に開示された半導体装置の製造方法の要部を示す半導体基板の断面図である。

【図12】図12は、図11A-11Dに示す工程に従って作成される半導体装置内における不純物濃度分布を本発明者等がシミュレーションによって求めた結果を示すグラフである。

【発明を実施するための形態】

【0046】

本発明者等は、0.13μmルールของホトリソグラフィを用い、SRAMを含む低電圧 50

トランジスタ、フラッシュメモリ、フラッシュメモリ制御用の高電圧トランジスタ、超高速入出力回路用中電圧トランジスタ、アナログ回路用の高精度抵抗素子、ESD保護用の拡散抵抗素子等を同一チップ上に搭載した半導体の開発を行っている。

【0047】

まず、本発明者らの行なった特開2000-164727号公報開示の技術の解析を説明する。

特開2000-164727号公報は、厚さ20nmのゲート絶縁膜に対し、磷(P^+)イオンを加速エネルギー10keV-30keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ - $5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入しても、イオン注入された P^+ イオンはシリコン基板に到達しないと断定している。

10

【0048】

図12は、イオン注入直後の不純物濃度分布を示すグラフである。曲線Pは、加速エネルギー10keV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ の条件でイオン注入したPの不純物分布をシミュレーションした結果である。厚いゲート酸化膜の領域をOXで示す。同図から明らかのように、イオン注入された不純物Pは、シリコン基板中にも高濃度で分布する。

【0049】

なお、同一領域に対し、 B^+ イオンを、加速エネルギー40keV-60keV、ドーズ量 $5 \times 10^{11} \text{ cm}^{-2}$ - $10 \times 10^{11} \text{ cm}^{-2}$ 、イオン注入角度 50° - 60° で8回イオン注入している。このイオン注入によるB分布も合わせてシミュレーションした。

【0050】

図12において、Bを加速エネルギー60keV、ドーズ量 $8 \times 10^{12} \text{ cm}^{-2}$ でイオン注入した場合、及びBを加速エネルギー40keV、ドーズ量 $8 \times 10^{12} \text{ cm}^{-2}$ でイオン注入した場合のB分布を合わせて示す。

20

【0051】

図から明らかのように、Bイオン注入は、シリコン基板中にp型不純物濃度分布を形成するが、その表面部分には、Pイオンのイオン注入により、ほぼ2桁高濃度のn型不純物濃度領域が形成されている。このように、イオン注入された磷イオンは、低耐圧のNMOS領域では基板に注入されるが、高耐圧のPMOS領域では厚いゲート酸化膜中に留まり、シリコン基板に到達しないと記載は根拠のないものであることが分る。

【0052】

図11Dの工程においては、ゲート絶縁膜を介してAsイオンを注入し、高濃度ソース/ドレイン領域217a、217bを形成している。このイオン注入の加速エネルギーは、厚いゲート絶縁膜を介しても高濃度ソース/ドレイン領域217bが形成されるように高く選択する必要がある。すると、薄いゲート絶縁膜を有する低電圧NMOSTランジスタ領域においては、ソース/ドレイン領域217aがより深く形成されることになる。深いソース/ドレイン領域間には短チャネル効果が発生し易くなる。

30

【0053】

特開2000-164727号公報は、トランジスタのオフリーク(短チャネル効果)の増加を抑え、ホットキャリア耐圧の向上を達成することを目的としているが、この目的がどのように達成されるかは何ら説明していない。

40

【0054】

結晶シリコンの抵抗値は温度と共に低下し、温度変化する環境も高精度を維持する抵抗を形成することは難しい。p型多結晶シリコンの抵抗値は、最も温度変化が少ない。高精度の抵抗はp型多結晶シリコンで形成することが好ましい。

【0055】

論理回路、SRAM等に用いる低電圧トランジスタは、なるべく高集積度で形成することが望まれる。素子間距離縮小の観点から素子分離領域幅の狭い素子分離用溝を形成し、シャロートレンチアイソレーションで素子分離領域を形成することが好ましい。

【0056】

0.13 μm 以下のルールを用いた半導体素子では、STI用溝のアスペクト比が1以

50

上となることを許容することが望まれる。アスペクト比が1以上の部分が生じると、熱T E O S - C V Dで堆積した酸化シリコン膜では溝がうまく埋め込めず、ボイドが生じてしまう。アスペクト比が1以上の溝を埋め込むためには、現在の技術では、高密度プラズマ(H D P) C V Dによる酸化シリコン膜を用いることができる。

【0057】

トランジスタの寄生抵抗を低減するためには、サリサイド構造を用いることが好ましい。また、低電圧動作とするために、低い閾値 V_t を有するトランジスタを形成することが好ましく、N M O S トランジスタのゲート電極はn型多結晶シリコン、P M O S トランジスタのゲート電極は、p型多結晶シリコンで構成するデュアルゲート構造を採用する。

【0058】

次に本発明の基礎となる予備実験について説明する。

図1Aは、S R A Mの等価回路を示す。2つのドライバトランジスタ T_d は、nチャネルM O S トランジスタであり、2つのpチャネル負荷トランジスタ T_l と直列にインバータ接続されている。2つのインバータ接続の相互接続点は、nチャネルトランスファM O S トランジスタ T_t を介して出力される。又、各インバータ接続の出力電圧は、対向するインバータ接続のゲート電極にクロス配線されている。

【0059】

図1Bは、作成したS R A Mセルのユニットセルの平面図を示す。各トランジスタ T において、活性領域の上に右下がりのハッチングを付して示したゲート電極(ワード線)が配置され、その上方で、左下がりのハッチングを付して示した金属配線が相互接続を形成している。活性領域間の素子分離領域は、S T Iによって形成した。

【0060】

S T I用溝は、アスペクト比が1以上の部分を有し、H D P - C V Dで形成した酸化シリコン層によって埋め込んだ。ゲート電極作成後、サイドウォールスペーサを形成し、nチャネルトランジスタ、pチャネルトランジスタの各高濃度ソース/ドレイン形成用イオン注入を行なった。nチャネルM O S トランジスタの高濃度ソース/ドレイン領域には、A sをイオン注入した。その後、基板表面にサリサイド処理を行なった。

【0061】

図1Cは、低電圧で動作させたS R A Mの歩留りを示すグラフである。ソース/ドレイン領域をA sイオン注入で形成し、その後の活性化を950℃のラピッドサーマルアニール(R T A)で行なったサンプル(A s - S D 950 C R T A)は、歩留りが極端に悪かった。

【0062】

欠陥を生じたサンプルを観察すると、図1Aの等価回路図において太線で示した部分にディスロケーション等の結晶欠陥が見出された。nチャネルトランジスタに欠陥が生じており、pチャネルトランジスタには欠陥が生じていない。

【0063】

活性化アニールを940℃のR T Aとしたサンプル(A s - S D 940 C

R T A)は、歩留りがかなり回復したが、絶対値は依然としてかなり低く、不満足な結果である。さらに、アニール温度を低下させれば、歩留りを向上することが期待できるが、処理に長時間を必要とすることになる。

【0064】

サンプル(P - S D)は、A sの代りにPを用いて高濃度ソース/ドレイン領域を形成した。他の条件はサンプル(A s - S D 950 C R T A)と同一とした。この場合(P - S D)、歩留りが大幅に改善し、絶対値も満足できるものとなった。

【0065】

このように、H D P - C V Dによる酸化シリコン層でS T I用溝を埋め込み、活性領域内に微細化したnチャネルM O S トランジスタを形成する場合、高濃度ソース/ドレイン領域はA sでドーピングすると歩留りが非常に低い、Pでドーピングすると、A sでドーピングした時と比べ、歩留りが大幅に改善されることが分った。

10

20

30

40

50

【0066】

この結果は、以下のように考えることができるであろう。HDP-CVD酸化シリコン層は、強いストレスを与えることが知られている。シリコン結晶にAsをイオン注入すると、原子半径の大きなAsは、シリコン結晶をアモルファス化させる。活性化処理においてアモルファス化された結晶が回復しようとする。AsとSiとは原子半径が異なるため、結晶欠陥が生じ易い。

【0067】

特に強いストレスを受けているシリコン中においては、Si原子の位置がずれ易い。又、強いストレスを受けている状態において欠陥が多数生じると、格子間シリコン原子は容易に移動し、欠陥が成長し易くなる。欠陥がディスロケーション等に成長すると、リークパスが発生し、リーク電流が流れる。

10

【0068】

ドライバトランジスタTdと負荷トランジスタTlとの相互接続点がハイの状態において、ドライバトランジスタTdにリーク電流が流れると、相互接続点の電位をハイからローに引き下げようとする。負荷トランジスタTlが相互接続点の電位を高く維持できれば誤動作とはならないが、低電圧動作のPMOSTランジスタは駆動能力が弱く、ハイ状態からロー状態への変換を許容してしまう。

【0069】

高濃度ソース／ドレイン領域をPドープで作成した場合、歩留りが大幅に改善したことは、原子半径の小さなPを用いると、上述のような結晶欠陥の発生、ディスロケーションの成長などを防止することが可能となるためであろう。

20

【0070】

そこで、nチャネルMOSTランジスタの高濃度ソース／ドレイン領域は、Pドープで形成することとし、アナログ抵抗をp型多結晶シリコン層で形成することとした。

図2Aは、作成したサンプルの構成を概略的に示す。シリコン基板にHDP-CVDでSTIを形成し、必要なウェルを形成した。厚さの異なるゲート絶縁膜を形成し、その上に多結晶シリコン層を堆積した。多結晶シリコン層をパターンニングして、ゲート電極G、抵抗素子Rを形成した。

【0071】

2. 5V動作トランジスタN-MVは、ゲート絶縁膜上にn型多結晶シリコンで形成されたゲート電極G、ゲート電極側壁上にサイドウォールスペーサSWを有し、ソース／ドレイン領域は浅い接合のエクステンション領域EXと高濃度領域HDDで構成されている。ソース／ドレイン領域の一方には、部分的にサリサイドブロック層SB1が形成されている。

30

【0072】

1. 2V動作トランジスタN-LVは、薄いゲート絶縁膜上に、2. 5Vトランジスタのゲート電極と同一の多結晶シリコン層で形成されたゲート電極G、サイドウォールスペーサSWと、浅い接合を有するn型エクステンション領域EXとその周囲に形成されたp型ポケット領域PKと高濃度領域HDDで形成される。なお、N-MV、N-LVとも、種々のゲート長のサンプルを作成した。

40

【0073】

素子分離領域STI上には、p型多結晶シリコンで形成された抵抗Rが形成される。抵抗Rの抵抗部上には、サリサイドブロック層SB1と同一絶縁層で形成された、シリサイド反応を防止するサリサイドブロック層SB2が形成されている。サリサイドブロック層は、TEOSを主原料ガスとする熱CVDにより、基板温度620℃で、数10分～100分程度で、厚さ50nmに成長した。

【0074】

サリサイドブロック層SB1、SB2外に露出しているシリコン表面上には、540℃、30秒の1次反応RTA、840℃、30秒の2次反応RTAを用いて、コバルトシリサイド層SLが形成され、低抵抗化を行なっている。なお、サリサイドブロック層SBを

50

形成せず、サリサイド処理を行なったサンプルも作成した。

【0075】

図2Bは、作成したNMOSトランジスタの閾値 V_t のゲート長に対する依存性を示すグラフである。白抜きの測定スポットを結ぶ曲線p1、p2は、サリサイドブロック層を形成しなかったサンプルを示し、中実の測定スポットを結ぶ曲線x1、x2はサリサイドブロック層を形成したサンプルを示す。2.5Vトランジスタp1、x1においては、閾値調整用イオン注入条件に若干の差があり、ゲート長 $1\mu\text{m}$ 以上では、プロットの差は有意義な差を意味しない。しかし、サリサイドブロック層を形成した時、 $0.25\sim 0.3\mu\text{m}$ 以下で閾値の急激な低下が顕著となった。しかし、その差はそれほど大きくはない。

【0076】

サリサイドブロック層を形成しない1.2Vトランジスタの特性p2は、予測されるものであった。サリサイドブロック層を形成したサンプルのスポットx2は、サンプルp2と比較して、ゲート長が $1\mu\text{m}$ 以上の領域でも、ゲート長が短くなるにつれ、閾値が減少し、ゲート長の減少と共に閾値の減少率も大きくなっている。ゲート長 $0.2\mu\text{m}$ 以下では、トランジスタとして機能しない。

【0077】

ポケット領域を形成しない2.5Vトランジスタにおいては閾値低下を生じないゲート長($0.35\sim 1\mu\text{m}$)においても、ポケット領域を形成し、シリサイド化した1.2Vトランジスタは閾値低下を示している。サリサイドブロック層を形成することにより、予

【0078】

IEEE TRANSACTIONS ONELECTRON DEVICES, Vol. 49, NO. 11, November 2002, pp 2031は、濃度 $7\times 10^{20}\text{cm}^{-3}$ にドーピングしたPは、異常拡散を示すことを報告している。

サリサイドブロック層は 620°C 、数十分～100分程度のCVDで作成している。CVDの加熱工程により、Pが異常拡散し、短チャネルトランジスタにおいて閾値を低下させてしまったことが考えられる。そこで、サリサイドブロック層のCVD温度を、 600°C のTEOSを用いたCVDから 400°C のプラズマCVDに変更し、温度を低下させたところ、閾値の急激な低下は発生しなかった。

【0079】

Pの異常拡散を低減し、閾値変動を防止するためには、Pドーピングの高濃度ソース／ドレイン領域を形成した後、ある程度以上の時間を必要とする熱処理の温度は低く選択して、拡散を抑えることが有効であろう。

【0080】

620°C は、非晶質シリコンが結晶化する温度より高い。このような温度では異常拡散が発生すると考えられる。結晶化温度よりも十分に低い 500°C 以下の温度であれば、異常拡散を防止できるであろう。

【0081】

本実験においては、サリサイド処理の2次反応は 840°C のRTAで行なっている。しかし、その処理時間は30秒と十分に短く、不純物の拡散は大きくない。絶縁膜を成長するCVDにおいては、そのような短時間処理は困難である。ウエハの温度安定化、成膜、ガス排気等を含めて、数十～100分程度の処理時間を要する。不純物活性化のためのRTAは、さらに高温である。しかし、その処理時間は数秒以下とさらに短く、不純物の拡散は大きくない。こうしてサリサイドブロック層成長の温度が最も重要な要因となる。

【0082】

なお、このような異常拡散は、不純物としてAsを用いた場合には非常に小さく、不純物としてBを用いた場合には全く問題とならないこともトランジスタの特性から実験的に確認した。

【0083】

以上の実験結果から、n型MOSトランジスタのソース／ドレイン領域に不純物として

10

20

30

40

50

燐（P）を用いることで、ストレスの大きなSTIを用いて微細化しても、SRAMの低電圧不良という非公知の問題を解決できることが判った。

【0084】

抵抗を形成するためにサリサイドブロック層を用いることにより、工程増加を最小にして抵抗素子を形成することできる。サリサイドブロック層を500℃以下の低温で形成することにより、ソース／ドレイン領域のPの異常拡散を抑制し、0.2μm以下のゲート長を有するNMOSトランジスタの短チャネル効果急増という非公知の問題を解決できることも判った。

【0085】

以下、これらの発見に基づく実施例を説明する。

図3Aに示すように、シリコン基板11の表面上に、厚さ15nmの酸化膜、厚さ110nmの窒化膜の積層等によるハードマスク層HMをCVDにより堆積し、その表面上に素子分離用溝を画定するホトレジストマスクPR1を形成する。ホトレジストマスクPR1をマスクとし、ハードマスク層HMをエッチングし、続いてシリコン基板11をエッチングする。エッチされる溝は、例えば最小幅0.18μm、深さ0.3μmであり、アスペクト比が1を大きく越える部分を有する。その後ホトレジストマスクPR1は除去する。

【0086】

図3Bに示すように、形成した溝の表面を例えば1100℃で熱酸化し、厚さ40nmの酸化膜を形成した後、ソースガスとしてHe/SiH₄/O₂を用いた高密度プラズマ（HDP）CVDにより酸化シリコン膜を厚さ550nm（0.55μm）堆積する。酸化シリコン膜12は、ボイドを発生することなく溝を埋め込む。その後、化学機械研磨（CMP）により、ハードマスクHMより上の酸化シリコン層12を研磨して除去する。その後ハードマスク層HMも除去する。

【0087】

図3Cに示すように、酸化シリコン層を埋め込んだSTI12により、活性領域が画定される。活性領域表面上に、スルー酸化膜13を形成し、レジストマスクを用いたイオン注入を行ない、p型ウェルWp（nチャネル領域）、n型ウェルWn（pチャネル領域）を形成する。その後、スルー酸化膜13は除去し、新たにゲート酸化膜を成長する。動作電圧の異なるトランジスタを形成する場合は、動作電圧に応じて厚さの異なるゲート絶縁膜を形成する。

【0088】

以下の説明においては、1.2V動作のトランジスタを例として説明する。入出力回路用に高精度抵抗を形成し、ESD保護抵抗を備えたトランジスタも形成する。

図3Dに示すように、1.2V動作のトランジスタを形成する各活性領域表面には、例えば850℃の熱酸化により、厚さ2.2nmのゲート酸化膜43が形成される。基板表面にノンドープの多結晶シリコン層を厚さ約180nmCVDにより堆積し、ホトレジストパターンを用いてパターンニングする。各活性領域上にゲート電極Gn、Gpが形成され、素子分離領域STI上に抵抗Rpが形成される。

【0089】

図3Eに示すように、pチャネル領域及び抵抗を覆うホトレジストマスクPR2を形成し、nチャネル領域にエクステンション領域形成用のAs⁺のイオン注入及びポケット領域形成用のBF₂⁺の斜めイオン注入を行なう。n型エクステンション領域EXn及びそれを取り囲むp型ポケット領域PKpが形成される。Asを用いてもドーズ量が低いため、ディスロケーションの発生によってトランジスタを不良とする可能性は低い。その後、レジストマスクPR2は除去する。

【0090】

図3Fに示すように、nチャネル領域及び抵抗を覆うレジストマスクPR3を形成し、pチャネル領域に対してエクステンション領域形成用のB⁺のイオン注入、ポケット領域形成用のAs⁺の斜めイオン注入を行なう。p型エクステンション領域EXp及びそれを

10

20

30

40

50

取り囲む n 型ポケット領域 PKn が形成される。その後レジストマスク $PR3$ は除去する。

【0091】

図 3 G に示すように、基板全面に酸化シリコン膜を、例えば基板温度 620°C の減圧 TEOS-CVD で、厚さ 130nm 堆積し、全面リアクティブイオンエッチング (RIE) で異方性エッチして、ゲート電極及び抵抗の側壁上にサイドウォールスペーサ SW を形成する。

【0092】

酸化膜堆積工程における基板温度 620°C は、それまでに注入された n 型不純物が As であるので異常拡散を生じることはない。又、例えば P を n 型不純物として用いても、低濃度であるため異常拡散は生じない。 620°C の温度により、電荷トラップ等も比較的減少でき、ホットキャリア耐性を確保することができ、絶縁耐圧等の不具合も生じない。

【0093】

図 3 H に示すように、抵抗及び p チャネル領域を覆うホットレジストマスク $PR4$ を形成し、 n チャネル領域に対して P^{+} イオンを加速エネルギー 11keV 、ドーズ量 $6.0 \times 10^{15}\text{cm}^{-2}$ で高濃度にイオン注入する。このイオン注入により、サイドウォールスペーサ SW 外方に、高濃度の n 型ソース／ドレイン領域 $HDDn$ が形成される。高濃度であるが、 P であるため、 STI のストレスが増加してもシリコンの結晶欠陥が多発し、 $SRAM$ の低電圧動作歩留りが低下する等の不都合は生じない。その後、レジストマスク $PR4$ は除去する。

【0094】

図 3 I に示すように、 n チャネル領域を覆うホットレジストマスク $PR5$ を形成し、抵抗 Rp 及び p チャネル領域に B^{+} イオンを加速エネルギー 5keV 、ドーズ量 $4.0 \times 10^{15}\text{cm}^{-2}$ で高濃度にイオン注入する。 p チャネル領域においては、サイドウォールスペーサ SW の外方に、高濃度 p 型ソース／ドレイン領域 $HDDp$ が形成される。抵抗 Rp においても、高濃度の p 型不純物が注入され、 p 型多結晶シリコンとなる。 p 型多結晶シリコンは、シリコン抵抗の中で最も温度係数が低い高精度の抵抗に適した材料である。

【0095】

その後、レジストマスク $PR5$ は除去する。 1025°C 、 N_2 雰囲気、3 秒間のラピッドサーマルアニールを行ない。イオン注入した不純物を活性化する。

図 3 J に示すように、基板全面にプラズマ CVD により、 TEOS を原料ガスとし、基板温度 350°C でシリコン酸化膜を厚さ 50nm 堆積する。この CVD は、 500°C よりも十分に低い 350°C で行なわれるため、高濃度の燐 (P) 拡散領域が存在しても、燐の異常拡散は生じない。形成するシリコン酸化膜は、サリサイドブロックとしての機能を果たせればよく、緻密性等の条件は要しないため、低温で形成してもよい。

【0096】

堆積したシリコン酸化膜上にサリサイドブロック層を形成するためのホットレジストマスク $PR6$ を形成し、異方性エッチングを行なってシリコン酸化膜をパターニングする。その後、レジストマスク $PR6$ は除去する。図の構成においては、左端に示す抵抗 Rp の中央部上にサリサイドブロック層 SB が形成される他、左側の n チャネルトランジスタの一方のソース／ドレイン領域上及び右側の p チャネルトランジスタの一方のソース／ドレイン領域上にサリサイドブロック層 SB が形成されている。

【0097】

図 3 K に示すように、例えば Co 膜を厚さ 8nm スパッタリングで形成し、 540°C の RTA 30 秒で 1 次シリサイド反応を生じさせ、続いて未反応 Co 膜を除去する。その後、 840°C の RTA 30 秒で 2 次シリサイド反応を生じさせ、低抵抗のシリサイド層 SL を形成する。サリサイドブロック層 SB 下の多結晶シリコン抵抗 Rp 表面はシリサイド化されず、所望の抵抗値を保って高精度抵抗を形成する。トランジスタのソース／ドレイン領域においては、サリサイドブロック層 SB 下の領域がソース／ドレイン領域と一体化した ESD 保護抵抗を形成する。

10

20

30

40

50

【0098】

図3Lに示すように、500℃以下の基板温度で、基板表面上にプラズマCVDによりシリコン窒化膜4を厚さ50nm堆積し、その上にHDP-CVDにより酸化シリコン膜5を厚さ900nm堆積する。CMPにより表面を平坦化した後、コンタクトホールを開口する。コンタクトホールにWを埋め込み、CMPで不要部を除去してコンタクトホール内にWプラグ6を形成する。

【0099】

さらに基板全面上に窒化シリコン膜7、酸化シリコン膜8を堆積し、ダマシン法によりCu配線9を形成する。必要に応じ、配線層を積層し、多層配線構造を形成する。

上述の実施例によれば、STIのアスペクト比が1を越える部分を有し、高密度集積化が可能となる。STIのアスペクト比が1を越えても、HDP酸化シリコン膜により素子分離溝を埋め込むことにより、ボイドを発生することなく素子分離領域を形成することができる。

【0100】

HDP酸化シリコン膜によるSTIは、強いストレスを発生するが、高濃度n型ソース／ドレイン領域を燐(P)を用いて形成することにより、結晶欠陥に基づく不良の多発を防止することができる。

【0101】

サリサイドブロック層を用い、ポリシリコン抵抗、拡散層抵抗形成のための不純物イオン注入と、トランジスタのソース／ドレイン領域形成のためのイオン注入とを兼用することにより、最小の工程数増加で抵抗を作成することができる。サリサイドブロック層を堆積する工程を、500℃以下の低温とすることにより、高濃度の燐をドーブしたソース／ドレイン領域を用いても異常拡散を防止し、短チャネルn型トランジスタの特性を維持することができる。高精度のアナログ抵抗が、p型多結晶シリコンを用いた抵抗により形成される。ESD保護抵抗は、トランジスタと同一の活性領域内にサリサイドブロック層を用いることにより簡略に作成できる。

【0102】

上述の実施例の説明においては、nチャネルトランジスタ、pチャネルトランジスタとも1種類であった。実際の半導体装置においては、低電圧動作の論理回路、SRAM回路、中電圧の入出力回路の他不揮発メモリのフラッシュメモリ等を混載する要請も強い。フラッシュメモリの制御回路は読出時5V、書込／消去時10V弱の電圧を扱う。又、高速動作する低閾値トランジスタと、オフ時のリーク電流の低い高閾値トランジスタとの両者が要求される場合もある。

【0103】

以下、多種トランジスタを形成する実施例を説明する。同時にアナログ／デジタル変換回路に用いる高精度抵抗、ESD保護抵抗も形成するが、抵抗の形成工程に関しては前述の実施例同様であるので図示は省略する。

【0104】

図4は、半導体装置に集積化される11種類のトランジスタを列挙したものである。トランジスタFMは、フラッシュメモリセルを表わす。高電圧、低閾値トランジスタN-HV-LVtは、高耐圧で低い閾値を有するnチャネルMOSトランジスタである。高電圧、高閾値トランジスタN-HV-HVtは、高耐圧、高閾値のnチャネルMOSトランジスタである。高電圧、低閾値トランジスタP-HV-LVtは高耐圧、低閾値のpチャネルMOSトランジスタである。高電圧、高閾値トランジスタP-HV-HVtは、高耐圧、高閾値のpチャネルMOSトランジスタである。高電圧は例えば5V動作である。

【0105】

中電圧トランジスタN-MVは、入出力インターフェイスに用いられる例えば2.5V動作のnチャネルMOSトランジスタである。中電圧トランジスタP-MVは、入出力インターフェイスに用いられる例えば2.5V動作のpチャネルMOSトランジスタである。中電圧は、2.5Vに限らず、3.3Vや5V、1.8V、1.2Vの可能性もある。

入出力回路には、高精度アナログ抵抗も形成する。

【0106】

低電圧、高閾値トランジスタN-LV-HVtは、低耐圧、高閾値のnチャネルMOSトランジスタである。低電圧、低閾値トランジスタN-LV-LVtは、低耐圧、低閾値のnチャネルMOSトランジスタである。低電圧、高閾値トランジスタP-LV-HVtは、低耐圧、高閾値のpチャネルMOSトランジスタである。低電圧、低閾値トランジスタP-LV-LVtは、低耐圧、低閾値のpチャネルMOSトランジスタである。低電圧は、例えば1.2V動作である。

【0107】

電源電圧、入力信号の供給端子に接続されたトランジスタには必要に応じてESD保護抵抗を接続する。ESD保護抵抗は上述の実施例で説明した様に、ソース/ドレイン領域の一部にシリサイド層を形成しないことによってトランジスタと一体に形成できる。

【0108】

nチャネル高電圧トランジスタ及びフラッシュメモリセルは、n型ウェル19内のp型ウェル14内に形成される。nチャネルトランジスタはp型ウェル14内に形成され、pチャネルMOSトランジスタはn型ウェル24内に形成される。高耐圧、低閾値pチャネルMOSトランジスタP-HV-LVt以外のトランジスタには、チャンネルストップ領域15、25が形成されている。

【0109】

低電圧、高閾値トランジスタN-LV-HVt、P-LV-HVtには、閾値調整用イオン注入16、26が形成されている。中電圧トランジスタN-MV、P-MVには、閾値調整用イオン注入37、38が形成されている。フラッシュメモリFMには、閾値調整用イオン注入36が形成されている。閾値調整用イオン注入とチャンネルストップ領域とが協働してトランジスタの閾値を調整している。

【0110】

以下、図4に示す半導体装置を製造する製造工程について説明する。

図5Aに示すように、半導体基板11にアスペクト比1以上の部分を有する素子分離溝を形成し、高密度プラズマ(HDP)酸化シリコン膜で埋め込み、CMPを行って、シャロートレンチアイソレーション(STI)12を形成する。次いでシリコン基板表面を熱酸化し、例えば厚さ10nmの酸化シリコン膜13を形成する。

【0111】

図5Bに示すように、フラッシュメモリセルFM及び高電圧nチャネルMOSトランジスタN-HV領域を露出するホトレジストマスクPR14を形成し、n型ウェル19形成用のP⁺イオンを加速エネルギー2MeV、ドーズ量 $2 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR14は除去する。

【0112】

図5Cに示すように、フラッシュメモリFM及びnチャネルMOSトランジスタ領域を露出する開口を有するホトレジストマスクPR11を形成し、p型ウェル14形成用のB⁺イオンを加速エネルギー400keV、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入し、さらにチャンネルストップ領域15形成用のB⁺イオンを加速エネルギー100keV、ドーズ量 $2 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR11は除去する。このようにして、p型ウェル14及びチャンネルストップ領域15が形成される。

【0113】

図5Dに示すように、フラッシュメモリFM及び高電圧、低閾値nチャネルトランジスタN-HV-LVtを除くnチャネルMOSトランジスタを露出するレジストマスクPR12を形成し、チャンネルストップ領域形成用のB⁺イオンを加速エネルギー100keV、ドーズ量 6×10^{12} で追加的にイオン注入する。追加イオン注入をされたチャンネルストップ領域15xが形成される。その後レジストマスクPR12は除去する。

【0114】

図5Eに示すように、pチャネルMOSトランジスタを露出するレジストマスクPR2

10

20

30

40

50

1を形成し、n型ウェル24形成用の P^+ イオンを加速エネルギー600keV、ドーズ量 $1.5 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR21は除去する。

【0115】

図5Fに示すように、高電圧、低閾値トランジスタを除くpチャネルMOSトランジスタを露出するレジストマスクPR22を形成し、チャネルストップ領域25形成用の P^+ イオンを加速エネルギー240keV、ドーズ量 $4.5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR22は除去する。

【0116】

図5Gに示すように、フラッシュメモリセルFMを露出するレジストマスクPR31を形成し、閾値調整用領域36を形成する B^+ イオンを加速エネルギー40keV、ドーズ量 $6 \times 10^{13} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR31は除去する。さらに、半導体基板表面の酸化シリコン膜13をHF溶液により除去する。活性領域のシリコン表面が露出する。

【0117】

図5Hに示すように、半導体基板表面を熱酸化し、厚さ約10nmのトンネル酸化膜を成長する。トンネル酸化膜上に、厚さ約90nmの燐(P)をドーブしたアモルファスシリコン膜をCVDにより堆積し、フローティングゲート31の形状にパターニングする。なお、アモルファスシリコン膜は、その後の熱処理によりポリシリコン膜に変換される。

【0118】

フローティングゲート31を覆うように酸化シリコン膜及び窒化シリコン膜をそれぞれ5nm、10nm、CVDで堆積する。窒化シリコン膜表面を約5nm厚熱酸化して約10nm厚の酸化シリコン膜とし、全体として厚さ20nm程度のONO膜32を成長する。

【0119】

図5Iに示すように、中電圧nチャネルMOSトランジスタN-MVを露出するレジストマスクPR32を形成し、閾値調整用領域37を形成する B^+ イオンを加速エネルギー30keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR32は除去する。

【0120】

図5Jに示すように、中電圧pチャネルMOSトランジスタP-MVを露出するレジストマスクPR33を形成し、閾値調整用領域38を形成する As^+ イオンを加速エネルギー150keV、ドーズ量 $3 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR33は除去する。

【0121】

図5Kに示すように、低電圧、高閾値nチャネルトランジスタN-LV-HVt領域を露出するレジストマスクPR13を形成し、閾値調整用領域16を形成する B^+ イオンを加速エネルギー10keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR13は除去する。

【0122】

図5Lに示すように、低電圧、高閾値pチャネルMOSトランジスタP-LV-HVtを露出するホットレジストマスクPR23を形成し、閾値調整用領域26を形成する As^+ イオンを加速エネルギー100keV、ドーズ量 $5 \times 10^{12} \text{ cm}^{-2}$ でイオン注入する。その後レジストマスクPR23は除去する。

【0123】

なお、低電圧トランジスタには、以下に説明するように、エクステンション領域形成用マスクを用いてポケット領域形成用イオン注入も行う。この条件によっても閾値は制御される。ここで、低電圧低閾値トランジスタには、閾値制御用イオン注入がされていないが、ポケット注入により0.1V程度の閾値になる。同様、低電圧、高閾値トランジスタの閾値は、0.2V程度になる。

【0124】

10

20

30

40

50

図 5 M に示すように、フラッシュメモリセル F M を覆うレジストマスク P R 3 4 を形成し、F M 以外の領域の O N O 膜 3 2 を除去する。その後、レジストマスク P R 3 4 は除去する。

【0125】

図 5 N に示すように、基板表面を熱酸化し、厚さ 1 3 n m の酸化シリコン膜 4 1 を形成する。

図 5 O に示すように、フラッシュメモリセル及び高電圧トランジスタを覆うレジストマスク P R 4 1 を形成し、露出した領域上の酸化シリコン膜 4 1 を除去する。その後レジストマスク P R 4 1 は除去する。

【0126】

図 5 P に示すように、露出した基板表面に 2 . 5 V 動作のトランジスタ用に厚さ 4 n m の酸化シリコン膜 4 2 を熱酸化法により形成する。3 . 3 V 動作のトランジスタの場合には、酸化シリコン膜 4 2 の膜厚は 6 n m とする。レジストマスク P R 4 2 を用いて低電圧トランジスタ領域の熱酸化膜 4 2 を除去する。

【0127】

図 5 Q に示すように、さらに露出した基板表面に 1 . 2 V 動作のトランジスタ用に厚さ 2 . 2 n m の酸化シリコン膜 4 3 を熱酸化法により形成する。この酸化により、2 . 5 V 領域の酸化シリコン膜 4 2 は厚さ 5 n m に成長する。3 . 3 V 動作のトランジスタの場合には、6 n m の酸化シリコン膜が 7 n m に成長する。5 V 領域の酸化シリコン膜 4 1 は最終的に厚さ 1 6 n m となる。

【0128】

図 5 R に示すように、3 種類の厚さのゲート絶縁膜を形成した基板表面上に、厚さ 1 8 0 n m のポリシリコン膜 4 4 を C V D により形成し、その上に厚さ 3 0 n m の窒化シリコン膜 4 5 をプラズマ C V D により形成する。窒化シリコン膜は、反射防止膜として機能し、さらにエッチングマスクとして用いることができる。ホトリソグラフィとパターンニングによりフラッシュメモリセルのゲート電極 4 4 F をパターンニングする。

【0129】

図 5 S に示すように、フラッシュメモリセルのゲート電極側面を熱酸化し、ソース／ドレイン領域のイオン注入を行なう。さらにフラッシュメモリセルのゲート電極を覆う窒化シリコン膜等の絶縁膜を熱 C V D 法により形成し、リアクティブイオンエッチング (R I E) を行なってゲート電極側壁上に窒化シリコン膜のサイドウォールスペーサ 4 6 を形成する。ポリシリコン膜上の窒化シリコン膜は R I E と同時に除去する。その後、ホトリソグラフィとエッチングにより論理回路領域のトランジスタに対し、ゲート酸化膜を残すようにポリシリコン膜を選択的にエッチングし、ゲート電極 4 4 L をパターンニングする。

【0130】

なお、同時に S T I 領域上にポリシリコン抵抗もパターンニングする。以下の工程において、ポリシリコン抵抗は前述の実施例同様に不要のイオン注入に対してはホトレジストマスクで覆い、高濃度 p 型ソース／ドレイン領域形成用イオン注入の際には露出して所望の抵抗率に形成される。

【0131】

図 5 T A に示すように、1 . 2 V 動作 P M O S 領域及び 5 V 動作 N M O S 領域に開口を有するレジストマスク P R 4 3 を形成する。B⁺イオンを加速エネルギー 0 . 5 k e V 、ドーズ量 3 . 6 × 1 0¹² c m⁻² で垂直方向にイオン注入する。

【0132】

1 . 2 V 動作 P M O S 領域においては、ゲート酸化膜 4 3 が 1 . 5 n m - 2 . 2 n m 程度の厚さしか有さないため、イオン注入された B⁺イオンがゲート絶縁膜 4 3 を貫通し、p 型エクステンション領域 4 7 を形成する。5 V 動作 N M O S 領域においては、ゲート酸化膜 4 1 が 1 5 n m - 1 6 n m と著しく厚く、B⁺イオンの加速エネルギーが 0 . 5 k e V と極めて低いため、イオン注入された B⁺イオンはゲート酸化膜 4 1 中に留まり、シリコン基板まではほとんど到達しない。

10

20

30

40

50

【0133】

図5TBに示すように、同一のレジストマスクPR43を介し、基板法線から28度傾いた4方向からAs⁺イオンを加速エネルギー120keV、ドーズ量 $5.5 \times 10^{12} \text{ cm}^{-2} \times 4$ でイオン注入する。4方向は基板面内で対称的な90度間隔の4方向、典型的には図の左右方向と紙面に垂直な方向、である。加速エネルギーが120keVと高いので、As⁺イオンは、厚いゲート酸化膜41も貫通する。

【0134】

1. 2V動作PMOS領域においては、先に形成したエクステンション領域47を囲むように、n型ポケット領域71が形成される。5V動作NMOS領域においては、As⁺イオンがゲート酸化膜41を貫通してシリコン基板に到達し、n型LDD領域72を形成する。複数方向からの斜めイオン注入により後述する予期せざる効果も得られる。

10

【0135】

図6Aは、図2TA、2TBのイオン注入によるB及びAsの深さ方向の分布を示すグラフである。イオン注入直後の不純物濃度分布をシミュレーションにより求めたものである。なお、この分布はイオン注入直後であり、その後の熱処理により拡散が生じる。図に示すように、Bの濃度分布は表面（深さ0）から深さが増加するにつれ、急激に減少している。これに対し、Asの分布は、深さ0から深さの増加と共に次第に濃度が高くなり、深さ50nm付近においてブロードなピークを形成している。

【0136】

1. 2V領域においては、表面に近く高濃度のp型エクステンション領域が浅く形成され、その下方をn型ポケット領域が取り囲む。

20

5V領域においては、表面から深さ15nm-16nmの領域は、厚いゲート酸化膜の領域であり、それより深い領域がシリコン基板となる。従って、シリコン基板内においてはB濃度は既に低く減少しており、AsがBを補償し、n型領域が形成される。Asの分布は広がっており、低濃度ドレイン（LDD）領域を形成する。

【0137】

p型不純物の垂直方向イオン注入及びn型不純物の斜めイオン注入は、その順序を逆にしてもよい。両イオン注入を終えた後、レジストマスクPR43は除去する。

図5UAに示すように、1. 2V動作MNOS領域及び5V動作PMOS領域を露出する開口を有するレジストマスクPR44を形成する。As⁺イオンを加速エネルギー3keV、ドーズ量 $1.1 \times 10^{15} \text{ cm}^{-2}$ で垂直方向にイオン注入する。

30

【0138】

1. 2V動作NMOS領域においては、極めて薄いゲート酸化膜43を貫通してシリコン基板内にAsがイオン注入され、n型エクステンション領域48を形成する。厚さ15nm-16nmと著しく厚いゲート酸化膜41を有する5V動作PMOS領域においては、3keVと極めて低い加速エネルギーでイオン注入されたAsイオンはゲート酸化膜41中に留まり、シリコン基板まではほとんど到達しない。

【0139】

図5UBに示すように、基板法線から28度傾いた4方向からBF₂⁺イオンを加速エネルギー80keV、ドーズ量 $8 \times 10^{12} \text{ cm}^{-2} \times 4$ でイオン注入する。加速エネルギーが高いため、BF₂⁺イオンは、厚いゲート酸化膜41も貫通し、5V動作PMOS領域にp型LDD領域74を形成する。1. 2V動作NMOS領域においては、n型エクステンション領域48を取り囲むように、p型ポケット領域73が形成される。

40

【0140】

図6Bは、図5UA、5UBでイオン注入されたAsとBF₂との深さ方向分布を示す。Asは、表面から10nm弱の深さまで高い不純物濃度を維持した後、深さと共に急激に減少し、20nm程度から裾を引いた分布となる。BF₂は、表面から深さ30nm程度まで徐々に増大し、やがて深さと共に徐々に減少する。厚さ15-16nmのゲート酸化膜が存在する領域においては、シリコン基板内ではAs濃度は既に大きく減少しており、BF₂がp型領域を形成する。BF₂の分布は広がっており、低濃度ドレイン（LDD）

50

領域を形成する。

【0141】

フラッシュメモリ制御回路と論理回路とは集積化されることが多く、動作電圧の差からゲート絶縁膜の膜厚比は著しく大きくなる。このようにゲート酸化膜の厚さの比が2.2 : 15-16のように大きな領域を対象に進入深さの制限されたイオン注入及びゲート酸化膜を貫通するイオン注入を行うことにより、低電圧動作のトランジスタ領域においてはエクステンション領域とポケット領域を形成し、厚いゲート酸化膜を有するトランジスタ領域においてはLDD領域のみを形成することができる。ゲート酸化膜の厚さの比は5倍以上あることが望ましい。

【0142】

図5Vに示すように、2.5V動作のPMOS領域を露出するレジストマスクPR45を形成する。BF₂⁺イオンを加速エネルギー10keV、ドーズ量7.0×10¹³cm⁻²でイオン注入し、p型エクステンション領域49を形成する。その後レジストマスクPR45は除去する。

【0143】

図5Wに示すように、2.5V動作のNMOS領域を開口するレジストマスクPR46を形成する。As⁺イオンを加速エネルギー10keV、ドーズ量2.0×10¹³cm⁻²でイオン注入し、P⁺イオンを加速エネルギー10keV、ドーズ量3.0×10¹³cm⁻²でイオン注入する。このようにして、n型エクステンション領域50を形成する。その後レジストマスクPR46は除去する。

【0144】

I/O用トランジスタは、顧客の要望により規格を変更することが多い。I/O用トランジスタの設計を変更しても他のトランジスタの設計を変更しなくてもすむように、I/O用トランジスタのプロセスは独立のものとしている。

【0145】

図5Xに示すように、基板表面全面に酸化シリコン膜を厚さ100nm程度堆積し、異方性エッチングを行なう。このエッチングにおいて残存していたゲート酸化膜もエッチングして除去する。フラッシュメモリセルFMにおいては、窒化シリコンのサイドウォールスペーサ46の上に、酸化シリコンのサイドウォールスペーサ64が形成される。各トランジスタ領域及び多結晶抵抗においては、ゲート電極及び多結晶抵抗パターンの側壁上に酸化シリコン層のサイドウォールスペーサ54が形成される。

【0146】

フラッシュメモリFM及びNMOS領域を露出するレジストマスクPR49を形成する。サイドウォールスペーサ外部に露出したシリコン基板に対し、P⁺イオンを加速エネルギー10keV、ドーズ量6.0×10¹⁵cm⁻²でイオン注入し、高濃度ソース/ドレイン領域55を形成する。NMOSトランジスタのゲート電極にも、高濃度のPがイオン注入され、n型ゲート電極が形成される。その後レジストマスクPR49は除去する。高濃度のP（P）ドープ領域で、NMOSトランジスタの高濃度ソース/ドレイン領域を形成するので、低電圧動作での動作不良を抑制できる。

【0147】

図5Yに示すように、PMOS領域及び多結晶抵抗を露出するホトレジストマスクPR50を形成する。B⁺イオンを加速エネルギー5keV、ドーズ量4.0×10¹⁵cm⁻²でイオン注入し、p型高濃度ソース/ドレイン領域56を形成する。ゲート電極もp型にドープされる。多結晶抵抗はp型多結晶抵抗となる。その後レジストマスクPR50は除去する。

【0148】

動作電圧、ゲート絶縁膜に関わらず、全トランジスタのソース/ドレイン領域の表面が露出された状態で高濃度のイオン注入を行うことにより、全トランジスタに効率的に高濃度ソース/ドレイン領域を形成することができる。

【0149】

前述の実施例において、図 3 J, 3 K に示したように、抵抗を形成する領域上にシリサイドブロック層を配置し、シリサイド処理を行なう。トランジスタの高濃度ソース／ドレイン領域、ゲート電極、抵抗の接続部の上にシリサイド層 S L が形成される。

【0150】

図 5 Z に示すように、形成された各トランジスタ、抵抗を覆うように、酸化シリコン層等の層間絶縁膜 60 を堆積する。層間絶縁膜 60 の所望の位置にコンタクト孔を形成し、導電性プラグ 61 を埋め込む。層間絶縁膜 60 表面上に導電性プラグ 61 に接続された配線 62 を形成する。これらの工程は公知の方法によって実施できる。但し、層間絶縁膜の形成は、500℃以下の温度で行なうことが好ましい。

【0151】

なお、S T I 用素子分離溝がアスペクト比 1 以上の部分を有しない場合は、ストレスの低いテトラエトキシシラン (T E O S) の C V D で素子分離溝を埋め込むこともできる。この場合は高濃度の A s イオンまたは A s イオン + P イオンをイオン注入して、高濃度 n 型ソース／ドレイン領域を形成することもできる。設計によっては、シリサイドブロック層、シリサイド化反応は省略することもできる。

【0152】

図 7 は、図 5 A - 5 Z に示す工程により得た基本構造上に、多層配線を形成した半導体装置の構成を概略的に示す。構造 63 は、図 5 Z の構造である。この表面上に、層間絶縁膜 64 を形成し、ダマシン配線 65 を埋め込む。

【0153】

同様の工程を繰り返し、必要な配線層を形成する。層間絶縁膜 67 に、最上ダマシン配線 68 が形成される。最上ダマシン配線 68 の上に層間絶縁膜 80 が形成され、引き出し導電性プラグ 81 が埋め込まれる。導電性プラグ 81 に接続されたパッド及び最上配線層 82 を形成する。さらに保護層 63 を形成し、パッドを露出する開口を形成する。このようにして、多層配線を有する半導体集積回路装置が形成される。

【0154】

上述の実施例において 5 V 動作のトランジスタ領域において、L D D 領域を斜めイオン注入によって形成した。5 V 動作のトランジスタの接合耐圧は、11 V 以上が得られた。以下、なぜこのように高い耐圧が得られたかを考察する。

【0155】

図 8 A は、複数方向からの斜めイオン注入により形成される不純物添加領域を概略的に示す断面図である。ゲート電極 G が紙面垂直方向に延在し、基板法線方向から左右、前後に 28 度傾いた 4 方向からイオン注入する場合を考える。領域 75 は、4 つのどの方向からも斜めイオン注入を受け、最も高濃度に不純物が添加される。領域 76 は、左上からの 1 方向の斜めイオン注入がマスクされるが、残りの 3 方向からの斜めイオン注入を受け、中程度の不純物濃度を有する領域となる。領域 77 は、ゲート電極の影となり、1 方向からの斜めイオン注入のみを受け、低濃度の不純物濃度を有する領域となる。

【0156】

領域 75、76、77 を合わせて考察すると、ゲート電極下方より外側方向に向って不純物濃度が次第に増大し、ゲート電極外側においても不純物濃度が単調増大する不純物濃度傾斜領域が形成される。ゲート電極から外側に離れた位置において始めて不純物濃度が一定値となる。その後の熱処理工程等を考慮すると、得られたトランジスタにおいては、階段状の不純物濃度分布が、滑らかな勾配を有する分布へと変化しているであろう。

【0157】

その後、サイドウォールスペーサを形成し、高濃度ソース／ドレイン領域を形成する。この状態において、高濃度ソース／ドレイン領域に連続して次第に不純物濃度が減少する L D D 領域が形成されている。このため、ソース／ドレイン領域の耐圧が向上するものと考えられる。

【0158】

図 8 B は、垂直方向のイオン注入のみを行なって L D D 領域を形成する場合と、法線か

10

20

30

40

50

ら 28 度傾いた 4 方向からイオン注入を行なう場合との耐圧を比較して示すグラフである。

【0159】

曲線 v は従来技術同様、垂直方向からのイオン注入のみによって LDD 領域を形成した場合のシミュレーションによる耐圧である。曲線 t は、基板法線から 28 度傾いた 4 方向からイオン注入を行ない、全ドーズ量を曲線 v の場合と同一とした場合のシミュレーションによる耐圧を示す。なお、実験によっても、同様の結果が確認できた。

【0160】

図から明らかなように、斜めイオン注入を用いることにより、耐圧が約 0.5 V 向上している。なお、曲線 s は、同一のドーズ量で P⁺イオンを垂直方向にイオン注入したサンプルで得られた耐圧の測定値を示す。なお、斜めイオン注入における加速エネルギーを増加させると、耐圧が向上することも分かった。

【0161】

斜めイオン注入により形成された LDD 領域の高い耐圧は、上述の構成によらない。上述の実施例から単一のトランジスタを形成するのに必要なプロセスのみを抽出した実施例を説明する。

【0162】

図 9A に示すように、シリコン基板 11 にシャロートレンチアイソレーション STI を形成し、必要なイオン注入を行い p 型活性領域を形成する。活性領域上にゲート酸化膜 Gox を形成し、その上に多結晶シリコン層を成膜する。ホトリソグラフィとエッチングを用いて多結晶シリコン層をパターニングし、ゲート電極 G を形成する。

【0163】

ゲート電極をマスクとして、基板法線から 28 度程度傾いた 4 方向、またはより多数の方向、から n 型不純物を斜めイオン注入する。ゲート電極から離れた領域に最も高濃度の領域 75 が形成され、ゲート電極端と領域 75 との間に中濃度の領域 76 が形成され、ゲート電極端部下方に最も低濃度の領域 77 が形成される。斜めイオン注入により水平方向に濃度勾配を有する LDD 領域が形成される。

【0164】

図 9B に示すように、基板全面に酸化シリコン等の絶縁膜を堆積し、異方性エッチングにより平坦部上の絶縁層を除去する。ゲート電極 G 側壁上にサイドウォールスペーサ SW が残る。この状態で垂直方向から n 型不純物を高濃度にイオン注入し、高濃度ソース／ドレイン領域 HDD を形成する。

【0165】

このようにしてソース・ドレイン耐圧の優れた n チャネル MOS トランジスタが形成される。なお、導電型を反転すれば、p チャネル MOS トランジスタが得られる。

以上実施例に沿って本発明を説明したが、本発明はこれらに制限されるものではない。例えば、半導体集積回路に搭載するトランジスタの種類は、用途に応じて増減できる。作成する回路も種々選択できる。サリサイドブロック層は、酸化シリコンに限らず、窒化シリコン他の絶縁材料で形成してもよい。シリサイド化は、Co に限らず Ni その他で行なってもよい。サリサイド処理を省略してもよい。その他、種々の変形、修正、組合せ等が可能であることは、当業者に自明であろう。

【0166】

以下、本発明の特徴を付記する。

(付記 1) (a) 半導体基板に活性領域を画定し、アスペクト比 1 以上の部分を有する素子分離用溝を形成する工程と、

(b) 前記素子分離用溝内に絶縁物を埋め込み、素子分離領域を形成する工程と、

(c) 前記活性領域上にゲート絶縁膜を介してゲート電極を形成する工程と、

(d) 前記ゲート電極の側壁上にサイドウォールスペーサを形成する工程と、

(e) 前記素子分離領域、前記ゲート電極、および前記サイドウォールスペーサをマスクとして前記活性領域に高濃度の燐をイオン注入し、高濃度ソース／ドレイン領域を形成

10

20

30

40

50

する工程と、

(f) 前記工程(e)の後、前記半導体基板全面上に500℃以下の温度でサリサイドブロック層を形成する工程と、

(g) 前記高濃度ソース／ドレイン領域の一部を覆う様に、前記サリサイドブロック層をパターニングする工程と、

(h) 前記パターニングされたサリサイドブロック層上に金属層を堆積し、前記サリサイドブロック層をマスクとして選択的に金属シリサイド層を形成する工程と、

を含む半導体装置の製造方法。

【0167】

(付記2) 前記工程(b)が、高密度プラズマ(HDP)CVDにより酸化シリコン層を堆積し、化学機械研磨(CMP)により表面を平坦化する付記第1項記載の半導体装置の製造方法。

【0168】

(付記3) 前記ゲート電極の幅は、0.2μm以下である付記第2項記載の半導体装置の製造方法。

(付記4) 前記工程(e)は、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 以上で燐をイオン注入する付記第1項記載の半導体装置の製造方法。

【0169】

(付記5) 前記半導体装置は、SRAM回路を含む付記第1項記載の半導体装置の製造方法。

(付記6) さらに、

(i) 前記シリサイド層を覆って、前記半導体基板上に500℃以下の温度で層間絶縁膜を形成する工程、

を含む付記第1項記載の半導体装置の製造方法。

【0170】

(付記7) 前記工程(a)が、第1、第2の活性領域を画定する素子分離用溝を形成し、前記工程(e)が前記第1、第2の活性領域と共に前記ゲート電極にも燐をイオン注入し、前記工程(g)が前記第2の活性領域の一方の高濃度ソース／ドレイン領域の一部を覆うように前記サリサイドブロック層をパターニングする付記第1項記載の半導体装置の製造方法。

【0171】

(付記8) 前記工程(a)が、第1、第2の活性領域を画定するとともにその上に抵抗素子を形成するフィールド領域を画定する素子分離用溝を形成し、前記工程(b)が前記素子分離用溝内に素子分離領域を形成し、前記工程(c)が前記第1、第2の活性領域上にゲート絶縁膜を介して第1、第2のゲート電極を形成すると共に前記素子分離領域のフィールド領域上に抵抗素子を形成し、前記工程(e)が、前記第2の活性領域に燐をイオン注入し、さらに、

(j) 前記工程(f)の前に、前記第1の活性領域にp型不純物をイオン注入し、高濃度ソース／ドレイン領域を形成すると共に、前記抵抗素子にもp型不純物をイオン注入する工程、

を含む付記第1項記載の半導体装置の製造方法。

【0172】

(付記9) 前記工程(g)が、前記第1の活性領域の一方のソース／ドレイン領域の中間領域を覆うサリサイドブロック層を形成し、前記工程(h)が前記第1の活性領域に保護抵抗を備えたpチャネルMOSトランジスタを形成する付記第8項記載の半導体装置の製造方法。

【0173】

(付記10) (a) 半導体基板に第1、第2の活性領域を画定し、アスペクト比1以上の部分を有する素子分離用溝を形成する工程と、

(b) 前記素子分離用溝内に絶縁物を埋め込み、素子分離領域を形成する工程と、

(c) 前記第 1、第 2 の活性領域表面にゲート絶縁膜を形成する工程と、

(d) 前記半導体基板全面に不純物を含まないシリコン層を堆積し、パターンニングしてゲート電極を形成すると共に、素子分離領域上に抵抗素子を形成する工程と、

(e) 前記ゲート電極の側壁上にサイドウォールスペーサを形成する工程と、

(f) 前記第 1 の活性領域に、前記素子分離領域、前記ゲート電極、および前記サイドウォールスペーサをマスクとして高濃度の燐をイオン注入し、高濃度ソース／ドレイン領域を形成する工程と、

(g) 前記第 2 の活性領域に、前記素子分離領域、前記ゲート電極、および前記サイドウォールスペーサをマスクとして高濃度の p 型不純物をイオン注入し、高濃度ソース／ドレイン領域を形成すると共に、前記抵抗素子に高濃度の p 型不純物をイオン注入する工程と、

10

(h) 前記半導体基板全面上に 500℃以下の温度でサリサイドブロック層を形成する工程と、

(i) 前記サリサイドブロック層をパターンニングし、前記抵抗素子の一部を覆う様に前記サリサイドブロック層を残す工程と、

(j) 前記残されたサリサイドブロック層を覆うように金属層を堆積し、前記サリサイドブロック層をマスクとして選択的に金属シリサイド層を形成する工程と、を含む半導体装置の製造方法。

【0174】

(付記 11) 前記工程 (b) が、高密度プラズマ (HDP) CVD により酸化シリコン層を堆積し、化学機械研磨 (CMP) により表面を平坦化する付記第 10 項記載の半導体装置の製造方法。

20

【0175】

(付記 12) 前記ゲート電極の幅は、0.2 μm 以下である付記第 10 項記載の半導体装置の製造方法。

(付記 13) 前記工程 (f) は、ドーズ量 $1 \times 10^{15} \text{ cm}^{-2}$ 以上で燐をイオン注入する付記第 10 項記載の半導体装置の製造方法。

【0176】

(付記 14) さらに、

(k) 前記シリサイド層を覆って、前記半導体基板上に 500℃以下の温度で層間絶縁膜を形成する工程、を含む付記第 10 項記載の半導体装置の製造方法。

30

【0177】

(付記 15) 前記工程 (i) が、前記第 1 または第 2 の活性層の高濃度ソース／ドレイン領域の一部も覆うように前記サリサイドブロック層を残す付記第 10 項記載の半導体装置の製造方法。

【0178】

(付記 16) 前記工程 (c) が、第 1 の活性領域と第 2 の活性領域の上に厚さの著しく異なるゲート絶縁膜を形成し、前記工程 (d) が、前記第 1、第 2 の活性領域上に前記ゲート絶縁膜を残し、さらに、

40

(l) 前記工程 (e) の前に、前記ゲート電極をマスクとして前記第 1、第 2 の活性領域に第 1 導電型の不純物を厚いゲート絶縁膜を貫通しない第 1 の加速エネルギーでイオン注入し、薄いゲート絶縁膜の下に第 1 導電型のエクステンション領域を形成する工程と、

(m) 前記ゲート電極をマスクとして前記第 1、第 2 の活性領域に第 1 導電型と逆導電型の第 2 導電型の不純物を厚いゲート絶縁膜も貫通する第 2 の加速エネルギーでイオン注入し、薄いゲート絶縁膜の下に第 1 導電型のエクステンション領域の周囲に第 2 導電型のポケット領域を形成するとともに、厚いゲート絶縁膜の下に第 2 導電型の低濃度ドレイン領域を形成する工程と、

を含む付記第 10 項記載の半導体装置の製造方法。

【0179】

50

(付記 17) 前記工程 (m) が、基板法線方向から傾いた複数方向からイオン注入する付記第 16 項記載の半導体装置の製造方法。

(付記 18) 主面を有する半導体基板と、

前記半導体基板の主面に形成され、第 1、第 2 の活性領域を画定し、アスペクト比 1 以上の部分を有する素子分離用溝と、

前記素子分離用溝を埋める絶縁体によって形成され、フィールド領域を含む素子分離領域と、

前記第 1、第 2 の活性領域表面に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成され、前記第 1 の活性領域を横断し、高濃度の燐を含む第 1 のゲート電極と、

前記ゲート絶縁膜上に形成され、前記第 2 の活性領域を横断し、p 型不純物を含む第 2 のゲート電極と、

前記フィールド領域上に、前記第 2 のゲート電極と同じ層で形成された p 型抵抗素子と、

前記抵抗素子の表面の一部に形成されたサリサイドブロック層と、

前記第 1、第 2 のゲート電極の側壁上に形成されたサイドウォールスペーサと、

前記第 1 の活性領域のサイドウォール外方に形成された高濃度の燐を含む第 1 のソース／ドレイン領域と、

前記第 2 の活性領域のサイドウォール外方に形成された p 型不純物を含む第 2 のソース／ドレイン領域と、

前記抵抗素子のサリサイドブロック層以外の表面、前記第 1、第 2 のソース／ドレイン領域の少なくとも一部の表面、前記第 1、第 2 のゲート電極の少なくとも一部の表面に形成されたシリサイド層と、

を有する半導体装置。

【0180】

(付記 19) 前記ゲート電極の幅は、 $0.2\ \mu\text{m}$ 以下である付記第 18 項記載の半導体装置。

(付記 20) 前記第 1 のソースドレイン領域は、 $1 \times 10^{20}\ \text{cm}^{-3}$ 以上のピーク燐濃度を有する付記第 18 項記載の半導体装置。

【0181】

(付記 21) さらに、前記第 1 または第 2 のソース／ドレイン領域の一部の上に形成されたサリサイドブロック層を有し、前記ソース／ドレイン領域上の前記シリサイド層はサリサイドブロック層で覆われていないソース／ドレイン領域の表面に形成されている付記第 18 項記載の半導体装置。

【0182】

(付記 22) 前記素子分離用溝が第 3～第 6 の活性領域も画定し、SRAM 回路を形成する付記第 18 項記載の半導体装置。

(付記 23) (a) 半導体基板に第 1 導電型の第 1、第 2 の活性領域、および第 2 導電型の第 3、第 4 の活性領域を形成する工程と、

(b) 前記第 1、第 3 の活性領域上に第 1 の厚さのゲート絶縁膜を形成する工程と、

(c) 前記第 2、第 4 の活性領域上に、第 1 の厚さより著しく薄い第 2 の厚さのゲート絶縁膜を形成する工程と、

(d) 前記第 1～第 4 の活性領域のゲート絶縁膜の上にそれぞれ第 1～第 4 のゲート電極を形成し、前記ゲート絶縁膜は残存させる工程と、

(e) 前記第 1、第 4 の活性領域に対し、第 2 の厚さのゲート絶縁膜は貫通し、第 1 の厚さのゲート絶縁膜は貫通しないように、第 1 導電型不純物の第 1 のイオン注入を行う工程と、

(f) 前記第 1、第 4 の活性領域に対し、ゲート絶縁膜を貫通する第 2 導電型不純物の第 2 のイオン注入を行う工程と、

(g) 前記第 2、第 3 の活性領域に対し、第 2 の厚さのゲート絶縁膜は貫通し、第 1 の

10

20

30

40

50

厚さのゲート絶縁膜は貫通しないように、第2導電型不純物の第3のイオン注入を行う工程と、

(h) 前記第2、第3の活性領域に対し、ゲート絶縁膜を貫通する第1導電型不純物の第4のイオン注入を行う工程と、

(i) 半導体基板全面に絶縁層を堆積し、異方性エッチングを行い、ゲート電極側壁上にサイドウォールスペーサを形成すると共に、露出したゲート絶縁膜を除去する工程と、

(j) 前記第1、第2の活性領域に前記サイドウォールスペーサをマスクとして、第2導電型不純物の第5のイオン注入を行う工程と、

(k) 前記第3、第4の活性領域に前記サイドウォールスペーサをマスクとして、第1導電型不純物の第6のイオン注入を行う工程と、

を有する半導体装置の製造方法。

【0183】

(付記24) 前記工程(f)、(h)は、基板法線から傾いた複数の方向からイオン注入を行う付記第23項記載の半導体装置の製造方法。

(付記25) 前記複数の方向が、基板面内で対称的な4以上の方向である付記第24項記載の半導体装置の製造方法。

【0184】

(付記26) 前記第1の厚さは、前記第2の厚さの5倍以上である付記第23項記載の半導体装置の製造方法。

(付記27) 前記工程(a)が、第1導電型の第5の活性領域と第2導電型の第6の活性領域も形成し、さらに、

(l) 前記第5、第6の活性領域に第1の厚さより薄く、第2の厚さより厚い第3の厚さのゲート絶縁膜を形成する工程、

を有し、前記工程(d)が、第5、第6の活性領域のゲート絶縁膜上に第5、第6のゲート電極を形成し、さらに、

(m) 前記第5、第6の活性領域に第3の厚さのゲート絶縁膜を介してそれぞれ第2導電型と第1導電型のイオン注入を行う工程、

を有し、前記工程(i)が、第5、第6のゲート電極側壁にもサイドウォールスペーサを形成し、露出したゲート絶縁膜を除去し、

前記工程(j)が、前記第5の活性領域にも第5のイオン注入を行い、

前記工程(k)が、前記第6の活性領域にも第6のイオン注入を行う、
付記第23項記載の半導体装置の製造方法。

【0185】

(付記28) さらに、

(n) 前記工程(e)、(f)の前に、前記第1、第4の活性領域上に開口を有する第1のマスクを形成する工程と、

(o) 前記工程(g)、(h)の前に、前記第2、第3の活性領域上に開口を有する第2のマスクを形成する工程と、

(p) 前記工程(j)の前に、前記第1、第2の活性領域上に開口を有する第3のマスクを形成する工程と、

(q) 前記工程(k)の前に、前記第3、第4の活性領域上に開口を有する第4のマスクを形成する工程と、

を有し、前記工程(e)、(f)は、前記第1のマスクと前記第1、第4のゲート電極とをイオン注入用マスクとし、前記工程(g)、(h)は、前記第2のマスクと前記第2、第3のゲート電極とをイオン注入用マスクとし、前記工程(j)は、前記第3のマスクと前記第1、第2のゲート電極とその側壁のサイドウォールスペーサをイオン注入用マスクとし、前記工程(k)は、前記第4のマスクと前記第3、第4のゲート電極とその側壁のサイドウォールスペーサをイオン注入用マスクとして行う付記第23項記載の半導体装置の製造方法。

【0186】

10

20

30

40

50

(付記 29) 前記第 2、第 4 の活性領域は論理回路を構成し、前記第 1、第 3 の活性領域は不揮発性メモリの制御回路を構成する付記第 23 項記載の半導体装置の製造方法。

【0187】

(付記 30) 半導体基板と、
前記半導体基板に形成された第 1 導電型の第 1、第 2 の活性領域と、
前記半導体基板に形成された第 2 導電型の第 3、第 4 の活性領域と、
前記第 1、第 3 の活性領域上に形成された第 1 の厚さのゲート絶縁膜と、
前記第 2、第 4 の活性領域上に形成された第 1 の厚さより著しく薄い第 2 の厚さのゲート絶縁膜と、
前記第 1－第 4 の活性領域のゲート絶縁膜の上にそれぞれ形成された第 1－第 4 のゲート電極と、
前記第 1－第 4 のゲート電極側壁上に形成された絶縁材料のサイドウォールスペーサと、
前記第 1、第 2 の活性領域の前記サイドウォールスペーサ外方に形成された第 2 導電型の高不純物濃度の第 1、第 2 のソース／ドレイン領域と、
前記第 3、第 4 の活性領域の前記サイドウォールスペーサ外方に形成された第 1 導電型の高不純物濃度の第 3、第 4 のソース／ドレイン領域と、
前記第 1 の活性領域のサイドウォールスペーサ下方に形成され、前記第 1 のソース／ドレイン領域に連続する第 2 導電型の LDD 領域と、
前記第 4 の活性領域のサイドウォールスペーサ下方に形成され、前記第 4 のソース／ドレイン領域に連続する第 1 導電型のエクステンション領域と、
前記第 4 の活性領域の前記第 1 導電型のエクステンション領域を取り囲むように形成された第 2 導電型のポケット領域と、
を有し、前記ゲート絶縁膜は前記サイドウォールスペーサ下方まで延在し、前記高不純物濃度のソース／ドレイン領域上方までは延在せず、前記第 1 のゲート電極側壁のサイドウォールスペーサ下の前記第 1 の活性領域およびその上の第 1 の厚さのゲート絶縁膜中の第 2 導電型不純物濃度分布と、前記第 4 のゲート電極側壁のサイドウォールスペーサ下の前記第 4 の活性領域およびその上の第 2 の厚さのゲート絶縁膜中の第 2 導電型不純物濃度分布とが実質的に等しい半導体装置。

【0188】

(付記 31) 前記第 2 導電型の LDD 領域は、前記第 1 のゲート電極下方から前記第 1 のゲート電極端部を越え、前記サイドウォールスペーサ下方に至る領域で水平方向に不純物濃度勾配を有する付記第 30 項記載の半導体装置。

【0189】

(付記 32) 前記第 1 の厚さは、前記第 2 の厚さの 5 倍以上である付記第 30 項記載の半導体装置。

(付記 33) さらに、

前記第 3 の活性領域のサイドウォールスペーサ下方に形成され、前記第 3 のソース／ドレイン領域に連続する第 1 導電型の LDD 領域と、
前記第 2 の活性領域のサイドウォールスペーサ下方に形成され、前記第 2 のソース／ドレイン領域に連続する第 2 導電型のエクステンション領域と、
前記第 2 の活性領域の前記第 2 導電型のエクステンション領域を取り囲むように形成された第 1 導電型のポケット領域と、
を有し、前記第 3 のゲート電極側壁のサイドウォールスペーサ下の前記第 3 の活性領域およびその上の第 1 の厚さのゲート絶縁膜中の第 1 導電型不純物濃度分布と、前記第 2 のゲート電極側壁のサイドウォールスペーサ下の前記第 2 の活性領域およびその上の第 2 の厚さのゲート絶縁膜中の第 1 導電型不純物濃度分布とが実質的に等しい付記第 30 項記載の半導体装置。

【0190】

(付記 3 4) 前記第 1 導電型の L D D 領域は、前記第 3 のゲート電極下方から前記第 3 のゲート電極端部を越え、前記サイドウォールスペーサ下方に至る領域で水平方向に不純物濃度勾配を有する付記第 3 3 項記載の半導体装置。

【0191】

(付記 3 5) (a) 半導体基板に第 1 導電型の第 1 の活性領域を形成する工程と、
(b) 前記第 1 の活性領域上に第 1 のゲート絶縁膜を形成する工程と、
(c) 前記第 1 のゲート絶縁膜の上に第 1 のゲート電極を形成する工程と、
(d) 前記第 1 の活性領域に対し、ゲート電極をマスクとして第 2 導電型の不純物を基板法線から傾いた複数の方向からイオン注入する工程と、
(e) 前記半導体基板全面に絶縁層を堆積し、異方性エッチングを行い、ゲート電極側壁上にサイドウォールスペーサを形成する工程と、
(f) 前記第 1 のゲート電極および前記サイドウォールスペーサをマスクとして、前記第 1 の活性領域に第 2 導電型の不純物を高濃度にイオン注入する工程と、
を有する半導体装置の製造方法。

【0192】

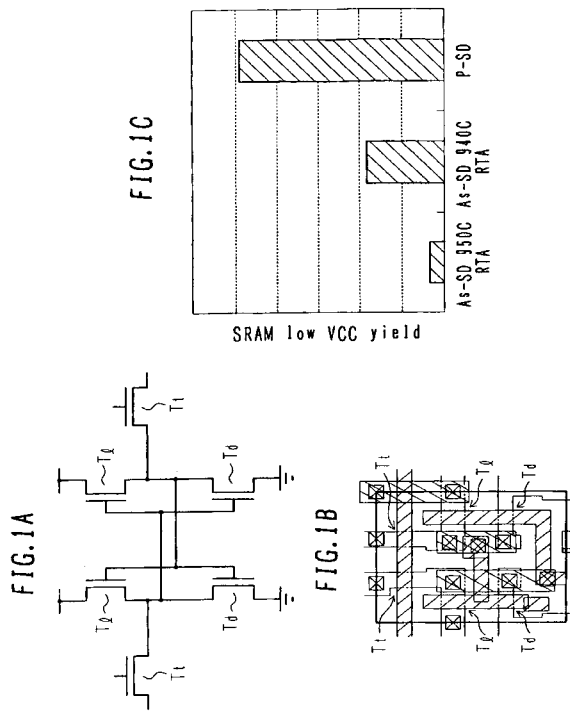
(付記 3 6) 前記工程 (a) が前記半導体基板に第 2 導電型の第 2 の活性領域も形成し、前記工程 (b) が前記第 2 導電型の第 2 の活性領域上に前記第 1 のゲート絶縁膜より著しく薄い第 2 のゲート絶縁膜を形成し、前記工程 (c) が第 2 のゲート絶縁膜の上にも第 2 のゲート電極を形成し、前記工程 (e) が第 2 のゲート電極側壁にもサイドウォールスペーサを形成し、さらに、
(g) 前記第 2 のゲート電極をマスクとして前記第 2 の活性領域に第 1 導電型の不純物をイオン注入して第 1 導電型のエクステンション領域を形成する工程と、
(h) 前記工程 (e) の後、前記第 2 の活性領域に対し、第 2 のゲート電極とサイドウォールスペーサとをマスクとし、第 1 導電型の不純物を高濃度にイオン注入し、高濃度ソース／ドレイン領域を形成する工程と、
を含み、

前記工程 (d) が第 2 の活性領域では前記エクステンション領域を取り囲む第 2 導電型のポケット領域を形成する付記第 3 5 項記載の半導体装置の製造方法。

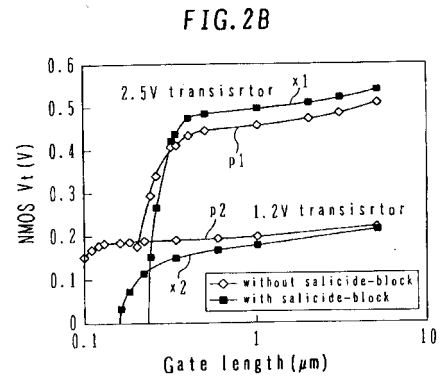
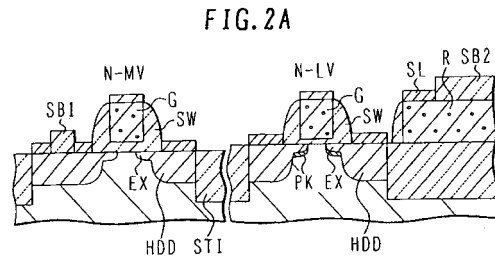
【0193】

(付記 3 7) 半導体基板と、
前記半導体基板内に画定された第 1 導電型の活性領域と、
前記活性領域上に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記ゲート電極側壁上に形成された絶縁性サイドウォールスペーサと、
前記活性領域の前記ゲート電極端部下方から前記絶縁性サイドウォールスペーサ下方まで延在するように形成され、前記ゲート電極端部下方から前記ゲート電極端下方を越え、前記ゲート電極より外方までの領域で面内方向で第 2 導電型の不純物濃度が単調増大する濃度勾配を有する L D D 領域と、
前記サイドウォールスペーサ外方の前記活性領域内に形成され、前記 L D D 領域に連続する第 2 導電型の高不純物濃度ソース／ドレイン領域と、
を有する半導体装置。

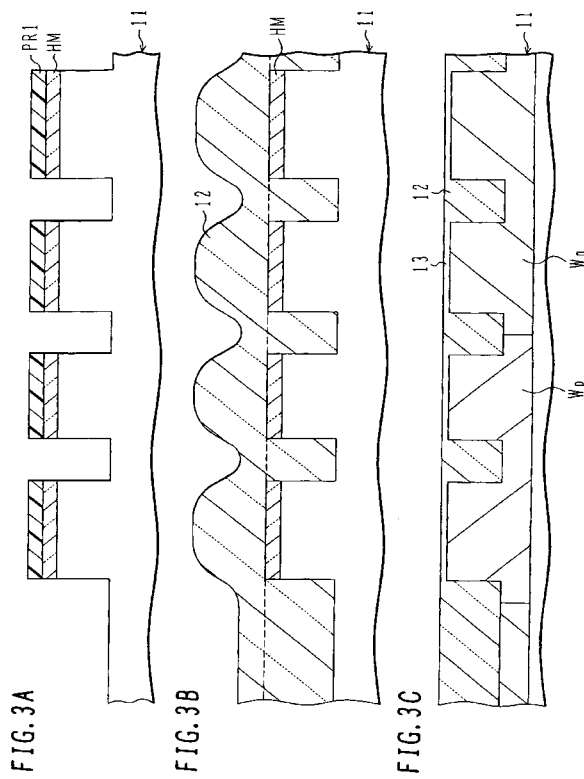
【図 1】



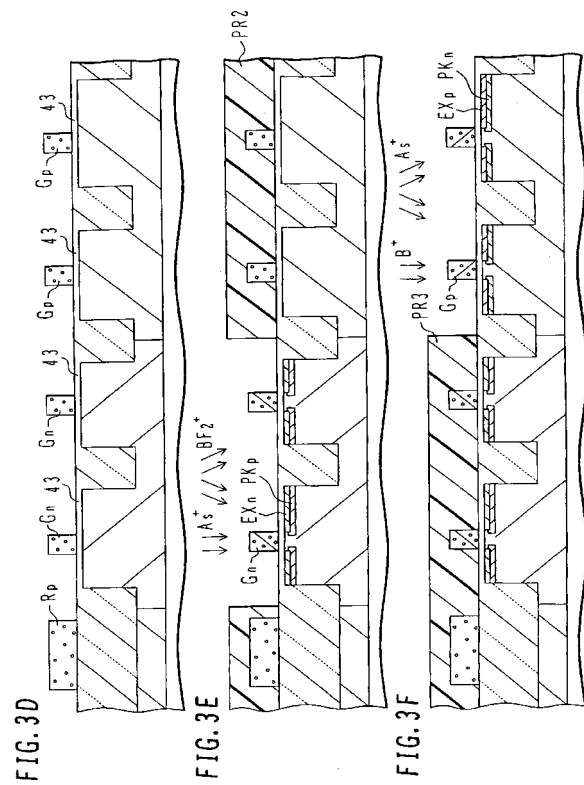
【図 2】



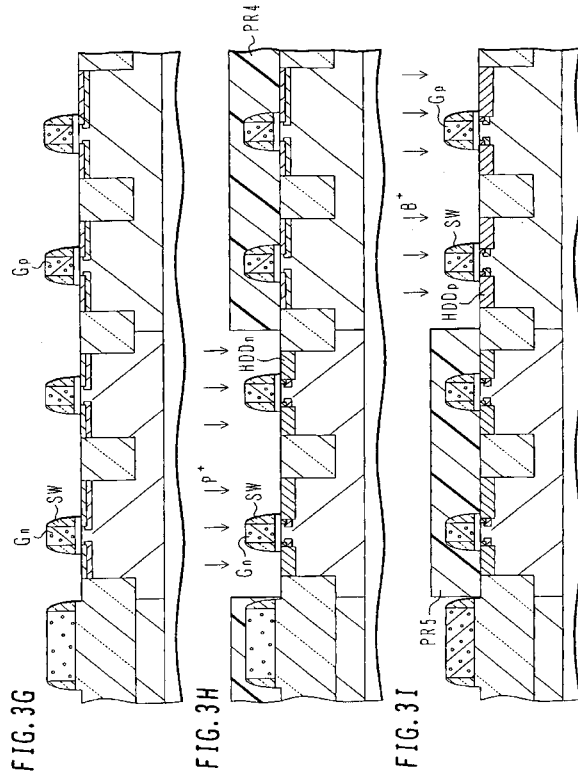
【図 3 - 1】



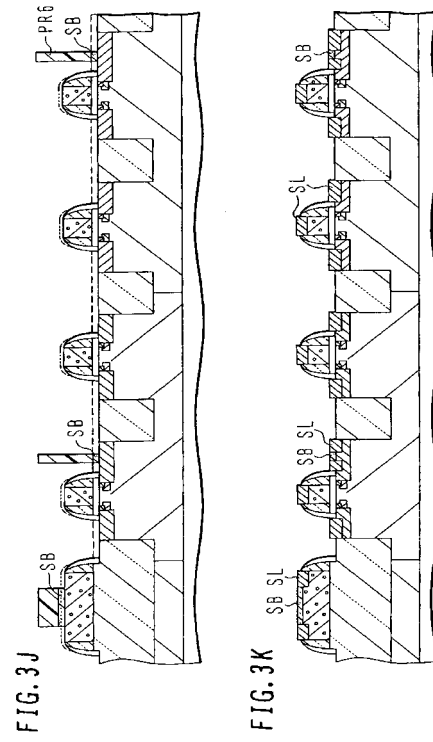
【図 3 - 2】



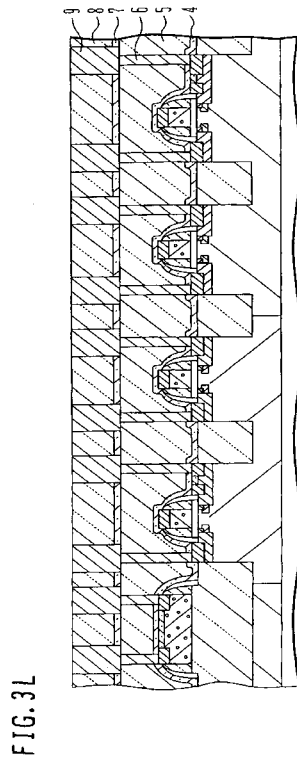
【図 3 - 3】



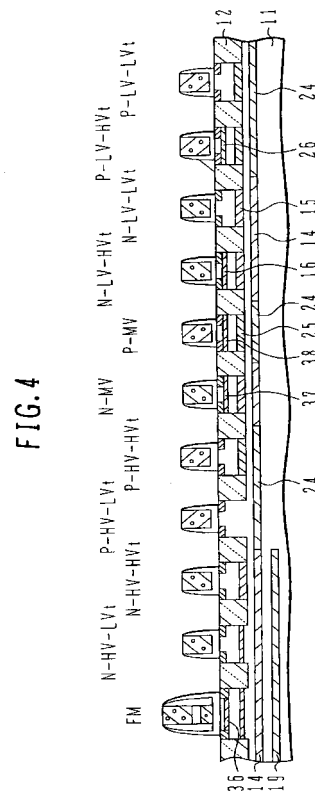
【図 3 - 4】



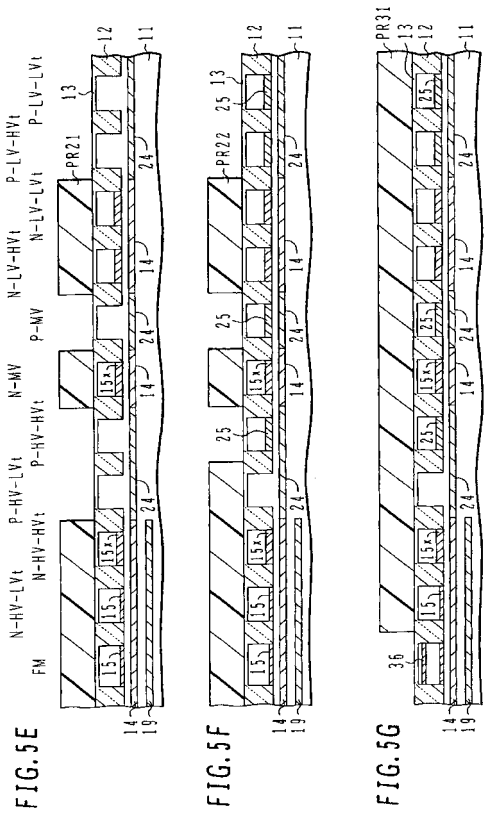
【図 3 - 5】



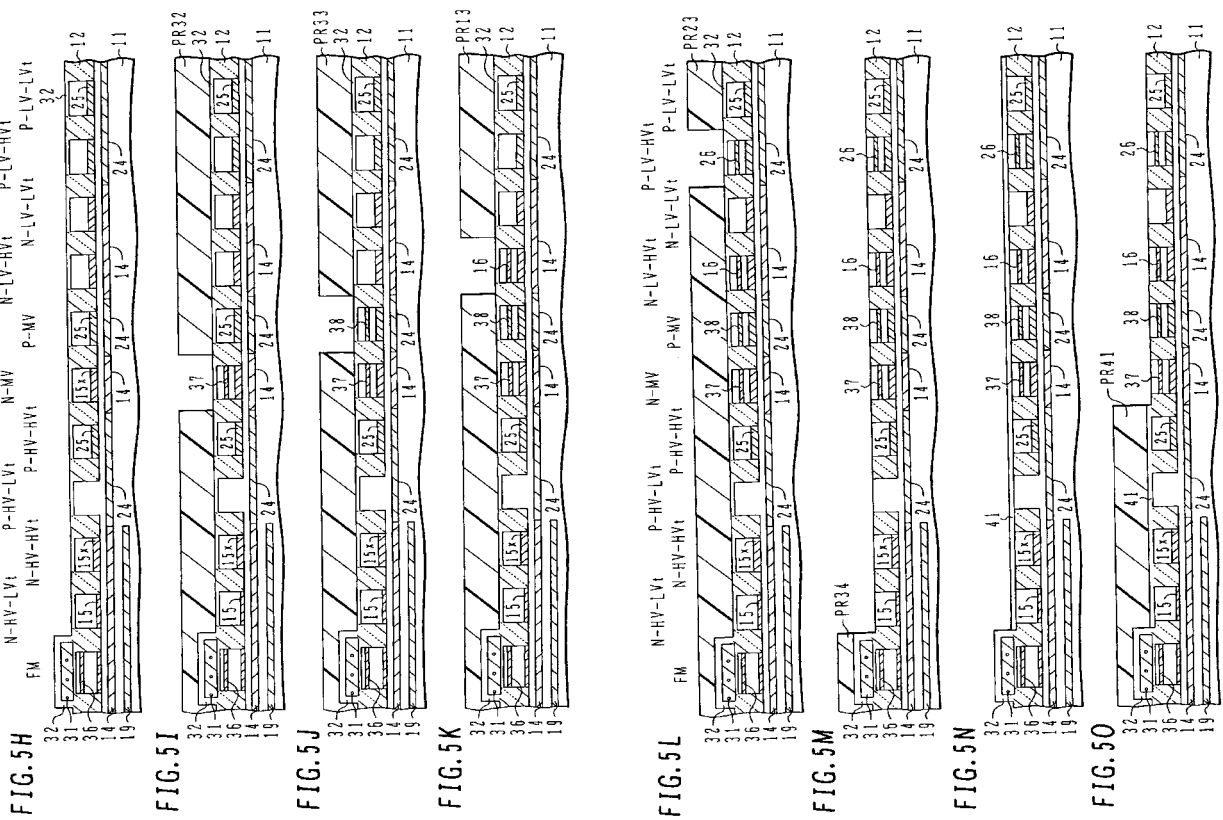
【図 4】



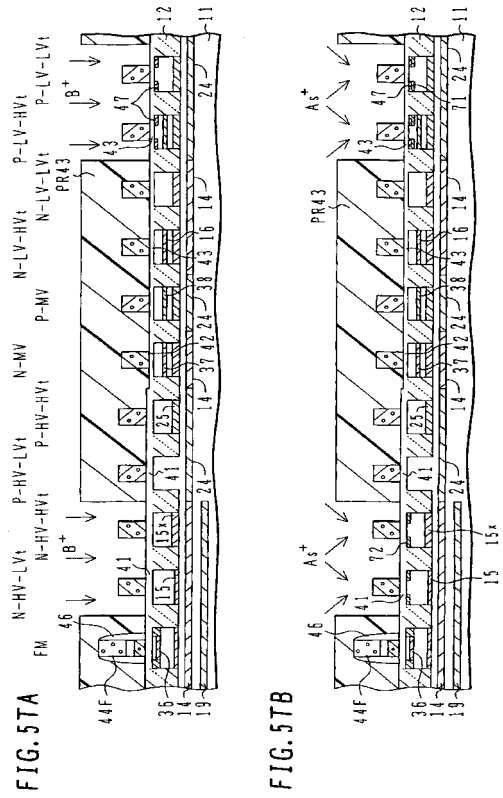
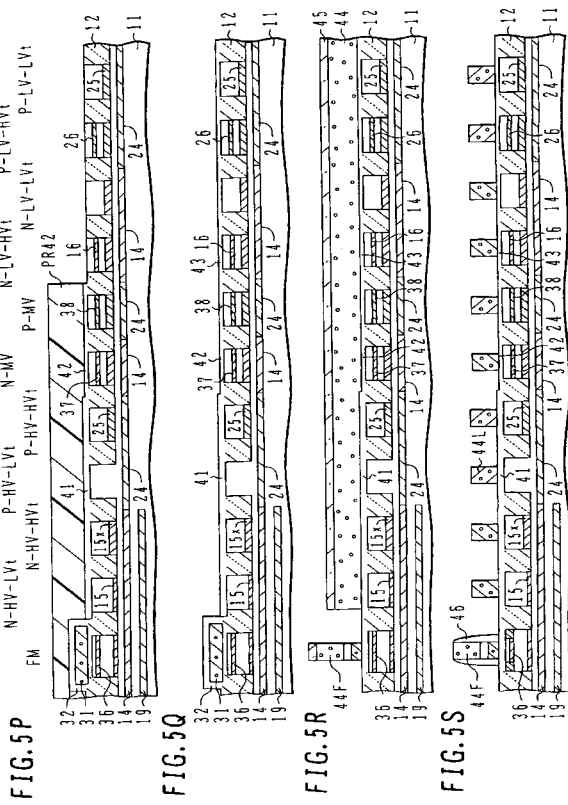
【図 5 - 2】



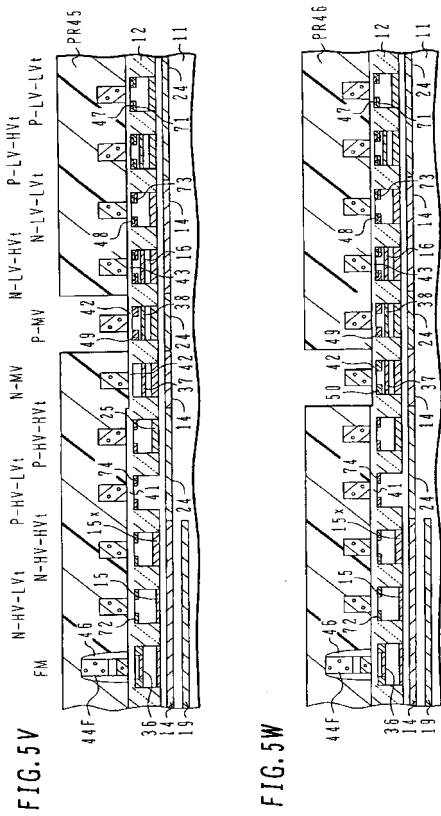
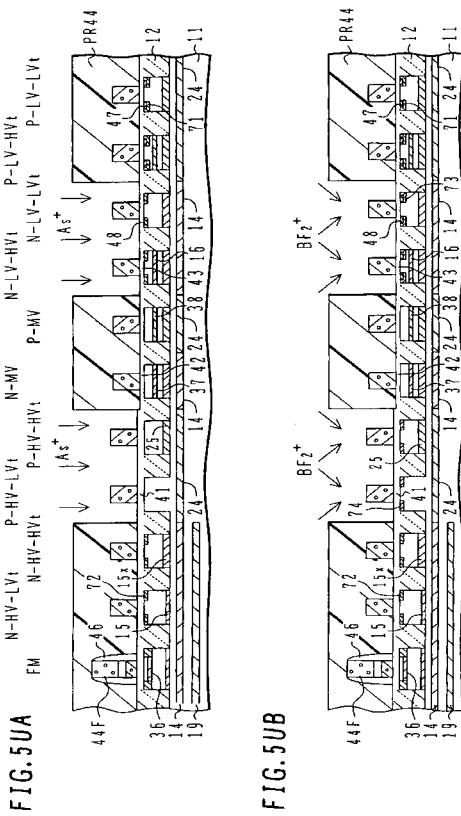
【図 5 - 4】



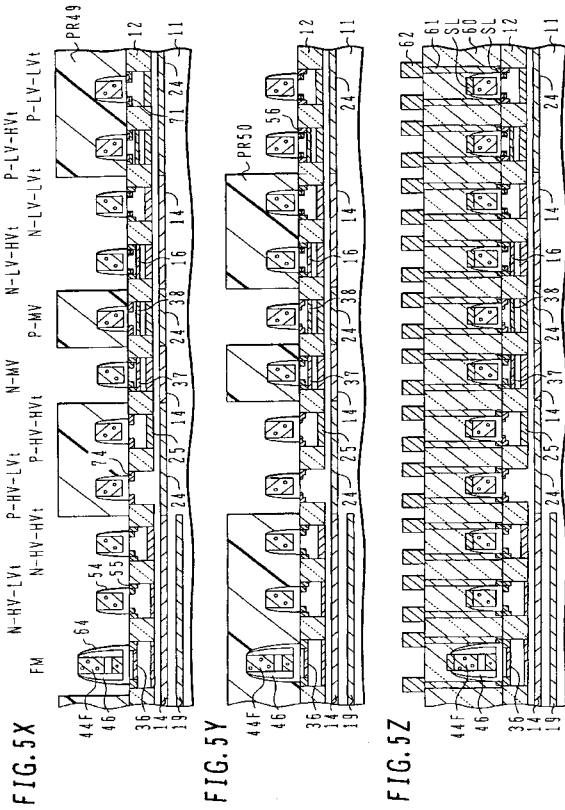
【図 5 - 6】



【図 5-8】



【图 5-9】



【図 6】

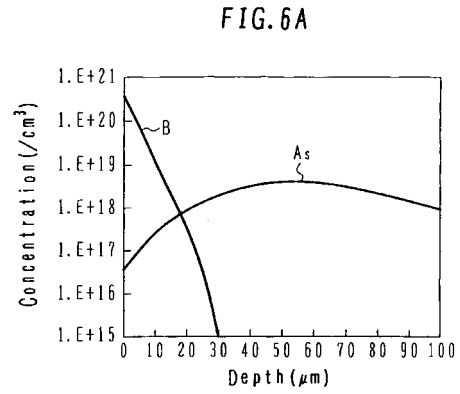
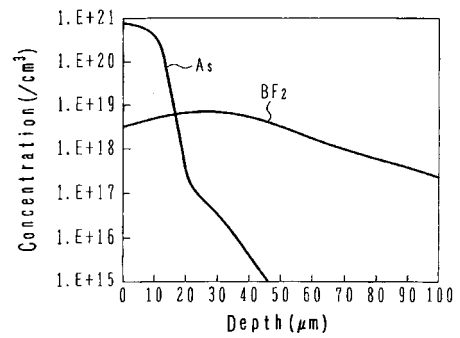
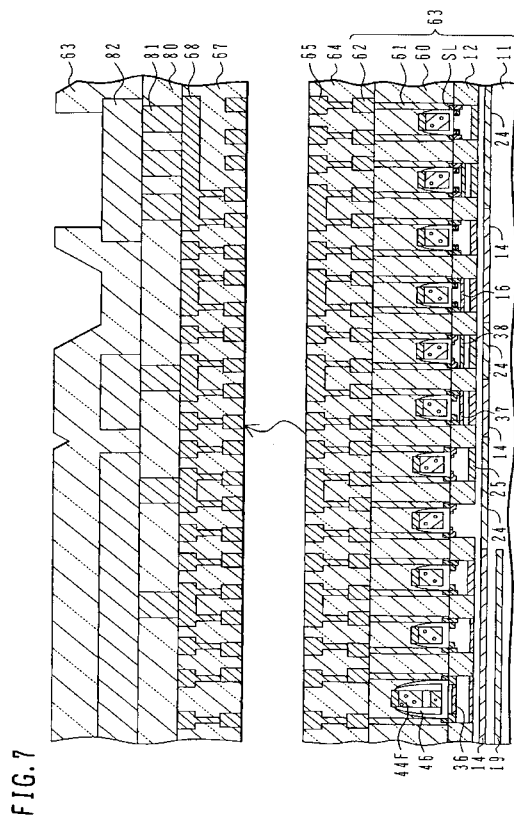


FIG. 6B



【图 7】



【図 8】

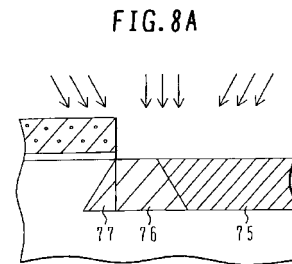
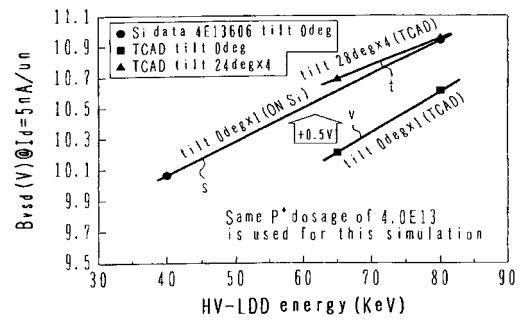
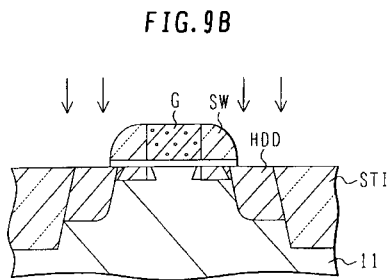
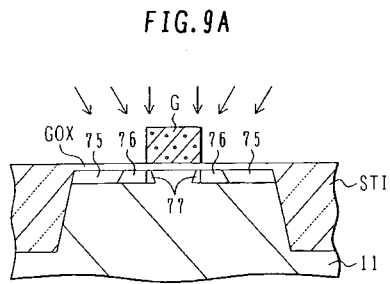


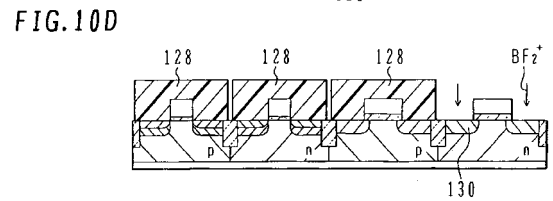
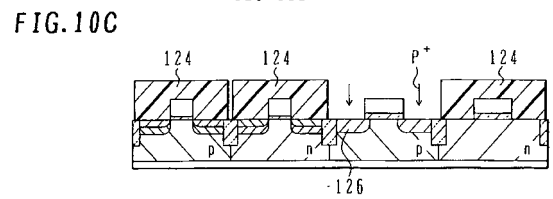
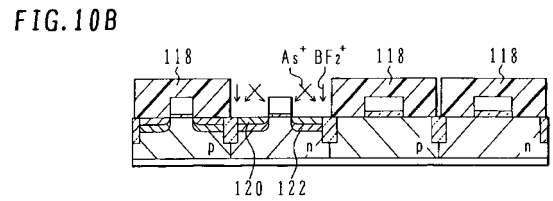
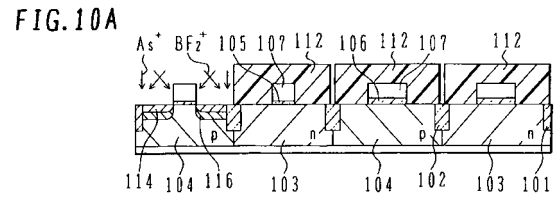
FIG. 8B



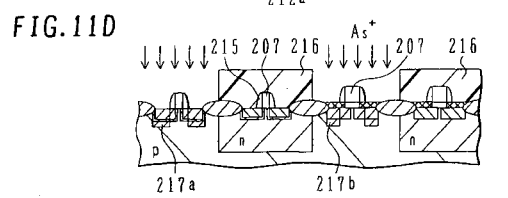
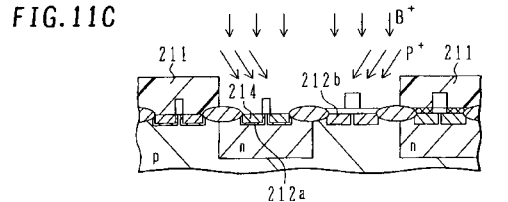
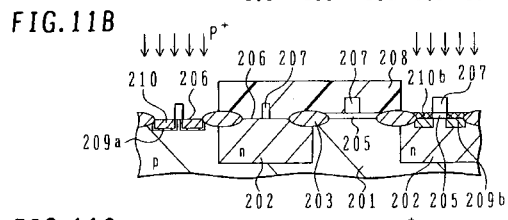
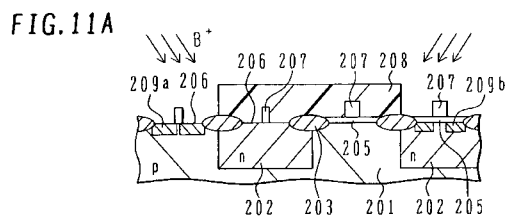
【図 9】



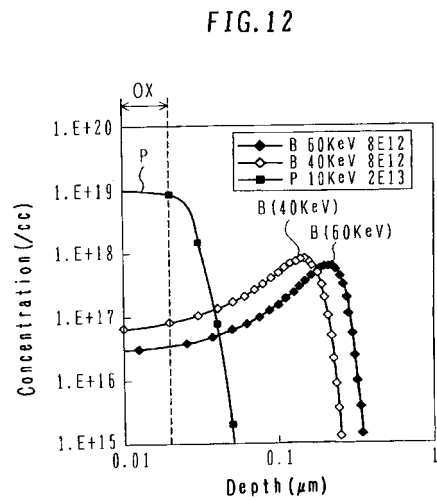
【図 10】



【図 11】



【図 12】



フロントページの続き

(51)Int.Cl.	F I		テーマコード (参考)	
<i>H O 1 L</i>	<i>27/11</i>	<i>(2006.01)</i>	<i>H O 1 L</i>	<i>27/04</i> P
<i>H O 1 L</i>	<i>21/8247</i>	<i>(2006.01)</i>	<i>H O 1 L</i>	<i>27/08</i> 1 0 2 D
<i>H O 1 L</i>	<i>27/115</i>	<i>(2006.01)</i>	<i>H O 1 L</i>	<i>27/08</i> 3 2 1 F
<i>H O 1 L</i>	<i>29/788</i>	<i>(2006.01)</i>	<i>H O 1 L</i>	<i>27/04</i> H
<i>H O 1 L</i>	<i>29/792</i>	<i>(2006.01)</i>		
<i>H O 1 L</i>	<i>21/822</i>	<i>(2006.01)</i>		
<i>H O 1 L</i>	<i>27/04</i>	<i>(2006.01)</i>		
<i>H O 1 L</i>	<i>21/8238</i>	<i>(2006.01)</i>		
<i>H O 1 L</i>	<i>27/092</i>	<i>(2006.01)</i>		

(72)発明者 姉崎 徹

神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

Fターム(参考) 5F038 AR09 BH02 BH13 CD18 DF03 DF05 EZ13 EZ14 EZ15 EZ16
EZ17 EZ20
5F048 AA05 AA07 AA09 AB01 AC03 AC10 BA01 BA12 BB06 BB07
BB08 BB16 BC01 BC03 BC05 BC06 BD04 BE03 BF06 BF07
BF11 BG02 BG03 BG13 DA25 DA30
5F083 BS05 BS17 BS27 EP02 EP23 EP55 JA35 JA53 NA01 PR21
PR34 PR36 PR41
5F101 BA01 BA29 BA36 BB05 BD14 BH09 BH21