

[19] 中华人民共和国国家知识产权局



# [12] 发明专利申请公布说明书

[21] 申请号 200710000810.7

[51] Int. Cl.

H01L 27/04 (2006.01)  
H01L 27/092 (2006.01)  
H01L 21/822 (2006.01)  
H01L 21/8238 (2006.01)  
H01L 21/762 (2006.01)

[43] 公开日 2008年6月18日

[11] 公开号 CN 101202282A

[22] 申请日 2007.1.12

[21] 申请号 200710000810.7

[30] 优先权

[32] 2006.12.11 [33] KR [31] 10-2006-0125688

[32] 2006.7.24 [33] KR [31] 10-2006-0069206

[71] 申请人 海力士半导体有限公司

地址 韩国京畿道

[72] 发明人 李宰渊

[74] 专利代理机构 北京天昊联合知识产权代理有限公司

代理人 顾红霞 张天舒

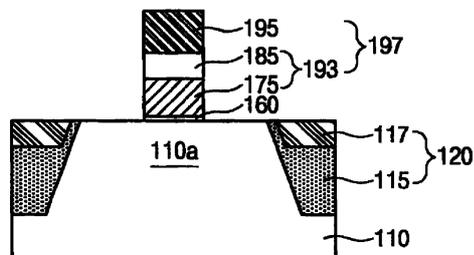
权利要求书 8 页 说明书 10 页 附图 9 页

## [54] 发明名称

具有压缩的器件隔离结构的半导体器件

## [57] 摘要

本发明公开一种半导体器件以及制造所述半导体器件的方法。所述半导体器件包括下部器件隔离结构，所述下部器件隔离结构形成在半导体基板中以限定有源区。所述下部器件隔离结构具有第一压缩应力。上部器件隔离结构设置在所述下部器件隔离结构之上。所述上部器件隔离结构具有大于所述第一压缩应力的第二压缩应力。栅极结构设置在相邻的上部器件隔离结构之间的有源区之上。



1. 一种半导体器件，包括：

下部器件隔离结构，其形成在半导体基板中以限定有源区，所述下部器件隔离结构具有第一压缩应力；

上部器件隔离结构，其设置在所述下部器件隔离结构之上，所述上部器件隔离结构具有大于所述第一压缩应力的第二压缩应力；以及

栅极结构，其设置在相邻的上部器件隔离结构之间的有源区之上。

2. 根据权利要求 1 所述的半导体器件，其中，所述半导体基板在 PMOS 区中。

3. 根据权利要求 1 所述的半导体器件，其中，所述上部器件隔离结构由多氧化物膜所形成。

4. 根据权利要求 1 所述的半导体器件，其中，所述下部器件隔离结构选自由高密度等离子体氧化物膜、旋涂电介质氧化物膜及其组合所构成的群组。

5. 一种半导体器件，包括：

下部器件隔离结构，其形成在半导体基板中以限定有源区，所述半导体基板具有 PMOS 区以及 NMOS 区，所述下部器件隔离结构具有第一压缩应力；

P 型上部器件隔离结构，其在所述 PMOS 区中设置在所述下部器件隔离结构之上，所述 P 型上部器件隔离结构具有大于所述第一压缩应力的第二压缩应力；以及

N 型上部器件隔离结构，其在所述 NMOS 区中设置在所述下部器件隔离结构之上，所述 N 型上部器件隔离结构具有小于所述第一压缩

应力的第三压缩应力。

6. 根据权利要求 5 所述的半导体器件，其中，  
所述 P 型上部器件隔离结构由多氧化物膜所形成。

7. 根据权利要求 5 所述的半导体器件，其中，  
所述 N 型上部器件隔离结构由氮化物膜所形成。

8. 根据权利要求 5 所述的半导体器件，其中，  
所述 N 型上部器件隔离结构的厚度范围是从大约 50Å 至大约 300Å。

9. 根据权利要求 5 所述的半导体器件，其中，  
所述下部器件隔离结构选自由高密度等离子体氧化物膜、旋涂电介质氧化物膜及其组合所构成的群组。

10. 根据权利要求 5 所述的半导体器件，还包括栅极结构，所述栅极结构设置在相邻的下部器件隔离结构之间的有源区之上。

11. 一种用于制造半导体器件的方法，包括：  
在半导体基板中形成器件隔离结构以限定有源区；  
蚀刻掉所述器件隔离结构的规定厚度以形成凹部，所述凹部限定具有第一压缩应力的下部器件隔离结构；  
在包含所述凹部的半导体基板之上形成栅极导电层以及栅极硬掩模层；  
利用栅极掩模来图案化所述栅极硬掩模层以及所述栅极导电层，以在所述半导体基板之上形成栅极结构，其中规定厚度的栅极导电层保留在所述下部器件隔离结构之上；以及  
氧化所述保留的栅极导电层以形成上部器件隔离结构，所述上部器件隔离结构具有大于所述第一压缩应力的第二压缩应力。

12. 根据权利要求 11 所述的方法，其中，  
所述半导体基板在 PMOS 区中。
13. 根据权利要求 11 所述的方法，其中，  
所述蚀刻掉的器件隔离结构的规定厚度范围是从大约  $10\text{\AA}$  至大约  $2,000\text{\AA}$ 。
14. 根据权利要求 11 所述的方法，其中，  
所述栅极导电层包含下部栅极导电层以及上部栅极导电层的叠层结构。
15. 根据权利要求 14 所述的方法，其中，  
所述下部栅极导电层包含多晶硅层。
16. 根据权利要求 14 所述的方法，其中，  
所述上部栅极导电层选自由钛 (Ti) 层、氮化钛 (TiN) 膜、钨 (W) 层、铝 (Al) 层、铜 (Cu) 层、硅化钨 ( $\text{WSi}_x$ ) 层及其组合所构成的群组。
17. 根据权利要求 11 所述的方法，其中，  
所述上部器件隔离结构由多氧化物膜所形成。
18. 根据权利要求 11 所述的方法，其中，  
所述下部器件隔离结构选自由高密度等离子体氧化物膜、旋涂电介质氧化物膜及其组合所构成的群组。
19. 根据权利要求 11 所述的方法，其中，  
所述栅极结构包含栅极电极以及栅极硬掩模层图案的叠层结构。

20. 根据权利要求 11 所述的方法，还包括：氧化所述上部器件隔离结构，以形成体积增大的上部器件隔离结构。

21. 根据权利要求 11 所述的方法，还包括：  
移除所述 NMOS 区中的上部器件隔离结构；以及  
在制品的整个表面上形成绝缘膜，以在所述 NMOS 区中形成上部器件隔离结构，所述上部器件隔离结构具有小于所述第一压缩应力的第三压缩应力。

22. 根据权利要求 21 所述的方法，其中，  
移除所述上部器件隔离结构包括：  
在制品的整个表面上形成光阻膜；  
利用掩模来曝光及显影所述光阻膜以形成光阻膜图案，所述掩模限定所述 PMOS 区中的器件隔离结构；  
移除由所述光阻膜图案所露出的上部器件隔离结构；以及  
移除所述光阻膜图案。

23. 根据权利要求 21 所述的方法，其中，  
所述绝缘膜由氮化物膜所形成。

24. 根据权利要求 21 所述的方法，其中，  
所述 PMOS 区中的上部器件隔离结构由多氧化物膜所形成，所述 NMOS 区中的上部器件隔离结构由氮化物膜所形成。

25. 根据权利要求 21 所述的方法，其中，  
所述下部器件隔离结构选自由高密度等离子体氧化物膜、旋涂电介质氧化物膜及其组合所构成的群组。

26. 根据权利要求 21 所述的方法，其中，

所述 NMOS 区中的上部器件隔离结构的厚度范围是从大约 50Å 至大约 300Å。

27. 一种用于制造半导体器件的方法，包括：

在半导体基板中形成器件隔离结构以限定有源区，所述半导体基板具有 PMOS 区以及 NMOS 区；

蚀刻掉所述器件隔离结构的规定厚度以形成凹部，所述凹部限定具有第一压缩应力的下部器件隔离结构；

在包含所述凹部的半导体基板之上形成栅极导电层以及栅极硬掩模层；

利用栅极掩模来图案化所述栅极硬掩模层以及所述栅极导电层，以在所述半导体基板之上形成栅极结构，其中所述栅极导电层保留在所述下部器件隔离结构之上；

蚀刻掉所述下部器件隔离结构之上所保留的栅极导电层的规定厚度；以及

氧化所述下部器件隔离结构之上的栅极导电层，以在所述 PMOS 区中形成上部器件隔离结构，所述上部器件隔离结构具有大于所述第一压缩应力的第二压缩应力。

28. 根据权利要求 27 所述的方法，其中，

蚀刻掉所述器件隔离结构的规定厚度包括：

在制品的整个表面上形成光阻膜；

利用凹式掩模来曝光及显影所述光阻膜，以形成光阻膜图案，所述光阻膜图案覆盖所述有源区以及与所述有源区相邻的器件隔离结构的一部分；

借助所述光阻膜图案来蚀刻掉所述器件隔离结构的规定厚度以形成凹部，所述凹部限定具有第一压缩应力的下部器件隔离结构；以及

移除所述光阻膜图案。

29. 根据权利要求 28 所述的方法，其中，  
所述蚀刻掉的器件隔离结构的规定厚度范围是从大约  $10\text{\AA}$  至大约  $2,000\text{\AA}$ 。

30. 根据权利要求 27 所述的方法，其中，  
所述栅极导电层包含下部栅极导电层以及上部栅极导电层的叠层结构。

31. 根据权利要求 30 所述的方法，其中，  
所述下部栅极导电层包含多晶硅层。

32. 根据权利要求 30 所述的方法，其中，  
所述上部栅极导电层选自由钛 (Ti) 层、氮化钛 (TiN) 膜、钨 (W) 层、铝 (Al) 层、铜 (Cu) 层、硅化钨 ( $\text{WSi}_x$ ) 层及其组合所构成的群组。

33. 根据权利要求 27 所述的方法，其中，  
蚀刻掉所述栅极导电层的规定厚度包括：  
在制品的整个表面上形成光阻膜；  
利用凹式掩模来曝光及显影所述光阻膜，以形成光阻膜图案，  
所述光阻膜图案覆盖所述有源区以及与所述有源区相邻的器件隔离结构的一部分；  
借助所述光阻膜图案来蚀刻掉所述下部器件隔离结构之上的栅极导电层的规定厚度；以及  
移除所述光阻膜图案。

34. 根据权利要求 27 所述的方法，其中，  
所述上部器件隔离结构由多氧化物膜所形成。

35. 根据权利要求 27 所述的方法，其中，

所述下部器件隔离结构选自由高密度等离子体氧化物膜、旋涂电介质氧化物膜及其组合所构成的群组。

36. 根据权利要求 27 所述的方法，其中，

氧化所述栅极导电层包括：

在制品的整个表面上形成光阻膜图案，以覆盖所述 PMOS 区以及 NMOS 区的一部分，其中所述 NMOS 区的一部分包含所述有源区以及与所述有源区相邻的器件隔离结构的一部分；

借助所述光阻膜图案来移除所述 NMOS 区中的栅极导电层；

移除所述光阻膜图案；以及

使所述 PMOS 区中的下部器件隔离结构之上的栅极导电层氧化，以形成具有第二压缩应力的上部器件隔离结构。

37. 根据权利要求 27 所述的方法，其中，

氧化所述栅极导电层包括：

氧化所述下部器件隔离结构之上的栅极导电层，以形成具有第二压缩应力的上部器件隔离结构；

形成覆盖所述 PMOS 区的光阻膜图案；

利用所述光阻膜图案来移除所述 NMOS 区中的上部器件隔离结构；以及

移除所述光阻膜图案。

38. 根据权利要求 27 所述的方法，还包括：在所述栅极结构与所述半导体基板的交界处形成栅极绝缘膜。

39. 根据权利要求 27 所述的方法，其中，

所述栅极结构包含栅极电极以及栅极硬掩模层图案的叠层结构。

40. 根据权利要求 39 所述的方法，还包括：氧化所述栅极电极

的侧壁。

41. 根据权利要求 27 所述的方法，还包括：在包含所述栅极结构的半导体基板之上形成绝缘膜。

42. 根据权利要求 41 所述的方法，其中，所述绝缘膜由氮化物膜所形成。

## 具有压缩的器件隔离结构的半导体器件

### 技术领域

本发明涉及一种存储器件。更具体而言，本发明涉及一种半导体器件以及一种用于制造所述半导体器件的方法，所述半导体器件具有载流子迁移率得到改善的改进型器件隔离结构。

### 背景技术

一般而言，集成电路（“IC”）的制造商已经缩小器件的尺寸以便于提高构成 IC 的器件（例如，晶体管）的工作速度。虽然缩小的器件可以高速工作，但是对于晶体的性能存在不利的影 响，其称为短沟道效应（“SCE”），例如，源极/漏极区的击穿电压的降低、结电容的增加以及临界电压的不稳定性。

提高器件工作速度的技术已经从缩小器件的尺寸改变为改善晶体管的载流子迁移率并且降低器件的 SCE。晶体管的载流子迁移率可以借助使半导体器件应变来加以改善。当应力施加至晶体管以改善 n 型金属氧化物半导体（“NMOS”）晶体管以及 p 型金属氧化物半导体（“PMOS”）晶体管的工作特性时，拉伸应力及压缩应力分别沿着器件的沟道方向施加。首先，曾经有人尝试借助根据晶体的类型而施加不同的应力以改善载流子迁移率。换言之，所述应力可以根据在栅极间隙壁的形成过程中用于栅极间隙壁的沉积材料及沉积条件而调整。然而，由于栅极材料已经从“硬的”硅化钨层改变为“软的”钨层，所以所述栅极材料起到抵抗施加到栅极结构上的应力的缓冲作用。于是，将所要的应力施加至晶体管是困难的。此外，利用硅锗源极/漏极区或利用绝缘体上硅（“SOI”）基板来改善器件的载流子迁移率的成本是相当大的。

### 发明内容

本发明的实施例涉及半导体器件，所述半导体器件具有载流子迁移率得到改善的改进型器件隔离结构。根据一个实施例，所述改进型器件隔离结构具有上部器件隔离结构以及下部器件隔离结构的叠层结构，其中所述上部器件隔离结构的压缩应力大于所述下部器件隔离结构的压缩应力。

在本发明的一个实施例中，一种半导体器件包括：下部器件隔离结构，其形成在半导体基板中以限定有源区，所述下部器件隔离结构具有第一压缩应力；上部器件隔离结构，其设置在所述下部器件隔离结构之上，所述上部器件隔离结构具有大于所述第一压缩应力的第二压缩应力；以及栅极结构，其设置在相邻的上部器件隔离结构之间的有源区之上。

在一个实施例中，一种半导体器件包括：下部器件隔离结构，其形成在半导体基板中以限定有源区，所述半导体基板具有 PMOS 区以及 n 型金属氧化物半导体（“NMOS”）区，所述下部器件隔离结构具有第一压缩应力；P 型上部器件隔离结构，其在所述 PMOS 区中设置在所述下部器件隔离结构之上，所述 P 型上部器件隔离结构具有大于所述第一压缩应力的第二压缩应力；以及 N 型上部器件隔离结构，其在所述 NMOS 区中设置在所述下部器件隔离结构之上，所述 N 型上部器件隔离结构具有小于所述第一压缩应力的第三压缩应力。

根据本发明的另一实施例，一种用于制造半导体器件的方法包括：在半导体基板中形成器件隔离结构以限定有源区；蚀刻掉所述器件隔离结构的规定厚度以形成凹部，所述凹部限定具有第一压缩应力的下部器件隔离结构；在包含所述凹部的半导体基板之上形成栅极导电层以及栅极硬掩模层；利用栅极掩模来图案化所述栅极硬掩模层以及所述栅极导电层，以在所述半导体基板之上形成栅极结构，其中规定厚度的栅极导电层保留在所述下部器件隔离结构之上；以及氧化所述保留的栅极导电层以形成上部器件隔离结构，所述上部器件隔离结构具有大于所述第一压缩应力的第二压缩应力。

在另一实施例中，一种用于制造半导体器件的方法包括：在半导体基板中形成器件隔离结构以限定有源区，所述半导体基板具有

PMOS 区以及 NMOS 区；蚀刻掉所述器件隔离结构的规定厚度以形成凹部，所述凹部限定具有第一压缩应力的下部器件隔离结构；在包含所述凹部的半导体基板之上形成栅极导电层以及栅极硬掩模层；利用栅极掩模来图案化所述栅极硬掩模层以及所述栅极导电层，以在所述半导体基板之上形成栅极结构，其中所述栅极导电层保留在所述下部器件隔离结构之上；蚀刻掉所述下部器件隔离结构之上所保留的栅极导电层的规定厚度；以及氧化所述下部器件隔离结构之上的栅极导电层，以在所述 PMOS 区中形成上部器件隔离结构，所述上部器件隔离结构具有大于所述第一压缩应力的第二压缩应力。

## 附图说明

图 1 是根据本发明一个实施例的半导体器件的简化横截面图。

图 2 是根据本发明另一实施例的半导体器件的简化横截面图。

图 3a 至 3f 是简化横截面图，示出根据本发明一个实施例的一种用于制造半导体器件的方法。

图 4a 与 4b 是简化横截面图，示出根据本发明另一实施例的一种用于制造半导体器件的方法。

图 5a 至 5f 是简化横截面图，示出根据本发明另一实施例的一种用于制造半导体器件的方法。

## 具体实施方式

本发明涉及一种半导体器件以及一种用于制造所述半导体器件的方法，所述半导体器件具有载流子迁移率得到改善的改进型器件隔离结构。所述改进型器件隔离结构具有压缩应力不同的上部器件隔离结构以及下部器件隔离结构的叠层结构。换言之，PMOS 区中的上部器件隔离结构的压缩应力大于下部器件隔离结构的压缩应力。此外，NMOS 区中的上部器件隔离结构的压缩应力小于下部器件隔离结构的压缩应力。于是，由于将不同的应力施加至 NMOS 晶体管及 PMOS 晶体管，所以所述改进型器件隔离结构提供改善的器件载流子迁移率。

图 1 是根据本发明一个实施例的半导体器件的简化横截面图。

半导体器件包含器件隔离结构 120 以及栅极结构 197。器件隔离结构 120 包含下部器件隔离结构 115 以及上部器件隔离结构 117 的叠层结构,器件隔离结构 120 形成于半导体基板 110 中,以限定有源区 110a。栅极结构 197 包含栅极电极 193 以及栅极硬掩模层图案 195 的叠层结构,栅极结构 197 设置在有源区 110a 之上。此外,栅极绝缘膜 160 设置在栅极结构 197 以及下面的有源区 110a 之间。在本发明的一个实施例中,上部器件隔离结构 117 由多氧化物膜所形成,多氧化物膜具有比例如高密度等离子体 (“HDP”) 氧化物膜等常规器件隔离结构的压缩应力更大的压缩应力。于是,由上部器件隔离结构 117 所提供的压缩应力施加至栅极结构 197 之下的半导体基板 110 上,由此改善器件的载流子迁移率。此外,半导体基板 110 位于 PMOS 区中。在另一实施例中,下部器件隔离结构 115 选自由旋涂电介质 (“SOD”) 氧化物膜、HDP 氧化物膜及其组合所构成的群组。为了改善空隙填充特性,下部器件隔离结构 115 包含 SOD 氧化物膜以及 HDP 氧化物膜的叠层结构。

图 2 是根据本发明另一实施例的半导体器件的简化横截面图,其中图 2 (i) 是在 PMOS 区中的横截面图,而图 2 (ii) 是在 n 型金属氧化物半导体 (“NMOS”) 区中的横截面图。半导体器件包含器件隔离结构 220、栅极绝缘膜 260 以及栅极结构 297。器件隔离结构 220 形成于半导体基板 210 中以限定有源区 210a,半导体基板 210 具有 PMOS 区以及 NMOS 区。栅极结构 297 包含栅极电极 293 以及栅极硬掩模层图案 295 的叠层结构,栅极结构 297 设置在有源区 210a 之上。栅极绝缘膜 260 设置在栅极结构 297 以及下面的有源区 210a 之间。在本发明的一个实施例中,PMOS 区中的器件隔离结构 220 包含下部器件隔离结构 215 以及上部器件隔离结构 217 的叠层结构。PMOS 区中的上部器件隔离结构 217 由多氧化物膜所形成,多氧化物膜具有比例如 HDP 氧化物膜等常规器件隔离结构的压缩应力更大的压缩应力。于是,由上部器件隔离结构 217 所提供的压缩应力施加至栅极结构 297 之下的半导体基板 210 上,由此改善器件的载流子迁移率。在 NMOS 区中,器件隔离结构 220 包含下部器件隔离结构 215 以及上部器件隔

离结构 219'。NMOS 区中的上部器件隔离结构 219' 由氮化物膜所形成，氮化物膜具有比例如 HDP 氧化物膜等常规器件隔离结构的压缩应力或 PMOS 区中的上部器件隔离结构 217 的压缩应力更小的压缩应力。于是，由上部器件隔离结构 219 所提供的压缩应力在 NMOS 区中的栅极结构 297 之下的半导体基板 210 处被减小。于是，器件的载流子迁移率可以在 PMOS 区以及 NMOS 区中同时得到改善。在另一实施例中，PMOS 区中的上部器件隔离结构 217 的厚度范围是从大约 50Å 至大约 300Å。此外，下部器件隔离结构 215 选自由 SOD 氧化物膜、HDP 氧化物膜及其组合所构成的群组。为了改善空隙填充特性，下部器件隔离结构 215 包含 SOD 氧化物膜以及 HDP 氧化物膜的叠层结构。

图 3a 至 3f 是简化横截面图，示出根据本发明一个实施例的一种用于制造半导体器件的方法，其中图 3a (i) 至 3f (i) 是 PMOS 区中的横截面图，而图 3a (ii) 至 3f (ii) 是 NMOS 区中的横截面图。用于器件隔离的沟槽（未显示）借助浅槽隔离（“STI”）方法而形成于具有垫绝缘膜（未显示）的半导体基板 310 中。半导体基板 310 包含 PMOS 区以及 NMOS 区。用于器件隔离的绝缘膜（未显示）形成于制品的整个表面之上（即，在沟槽以及半导体基板 310 之上），以填充用于器件隔离的沟槽。抛光用于器件隔离的绝缘膜，直到垫绝缘膜露出以形成限定有源区 310a 的器件隔离结构 320 为止。在本发明的一个实施例中，用于器件隔离的绝缘膜选自由 SOD 氧化物膜、HDP 氧化物膜及其组合所构成的群组。为了改善空隙填充特性，用于器件隔离的绝缘膜包括 SOD 氧化物膜以及 HDP 氧化物膜的叠层结构。SOD 氧化物膜借助旋转填充方法而形成。

请参照图 3b 与 3c，蚀刻掉器件隔离结构 320 的规定厚度，以形成限定下部器件隔离结构 315 的凹部 330。移除垫绝缘膜以露出半导体基板 310。栅极绝缘膜 360 形成于露出的半导体基板 310 之上。栅极导电层 365 形成于包含凹部 330 的制品的整个表面上（即，在下部器件隔离结构 315 以及栅极绝缘膜 360 之上）。栅极硬掩模层 390 形成于栅极导电层 365 之上。在本发明的一个实施例中，蚀刻掉的器件隔离结构 320 的规定厚度范围是从大约 10Å 至大约 2,000Å。此外，

栅极导电层 365 包括下部栅极导电层 370 以及上部栅极导电层 380 的叠层结构。下部栅极导电层 370 由多晶硅层所形成。上部栅极导电层 380 选自由钛 (Ti) 层、氮化钛 (TiN) 膜、钨 (W) 层、铝 (Al) 层、铜 (Cu) 层、硅化钨 (WSix) 层及其组合所构成的群组。

请参照图 3d 与 3e, 利用栅极掩模 (未显示) 而图案化栅极硬掩模层 390 以及栅极导电层 365, 以形成栅极结构 397, 栅极结构 397 包含栅极硬掩模层图案 395 以及栅极电极 393 的叠层结构。在用于形成栅极结构 397 的工序期间, 将留在下部器件隔离结构 315 之上的栅极导电层 370 与栅极电极 393 分隔开。使栅极结构 397 以及留在下部器件隔离结构 315 之上的栅极导电层 370 的侧壁氧化, 以形成上部器件隔离结构 317。在本发明的一个实施例中, 调整栅极导电层 370 的蚀刻选择性, 以获得厚度相当薄的留在下部器件隔离结构 315 之上的栅极导电层 370。由于留在下部器件隔离结构 315 之上的薄栅极导电层 370 的缘故, 所以在后续的氧化工序中氧化后的栅极导电层 370 不会突出到有源区 310a 之上。此外, 上部器件隔离结构 317 由体积增大的多氧化物膜所形成, 从而将由上部器件隔离结构 317 所提供的压缩应力施加至栅极结构 397 之下的半导体基板 310 上。由于压缩应力的缘故, PMOS 区中的晶体管的载流子迁移率得到改善。于是, 晶体管的工作特性可以得到改善。

请参照图 3f, 光阻膜 (未显示) 形成于制品的整个表面之上 (即, 在半导体基板 310 及 PMOS 区以及 NMOS 区中的器件隔离结构 320 之上)。利用栅极掩模而曝光与显影光阻膜, 以形成露出上部器件隔离结构 317 的光阻膜图案 335。可进一步氧化露出的上部器件隔离结构 317, 以便于增大上部器件隔离结构 317 的体积。在本发明的一个实施例中, 光阻膜由负光阻膜所形成。

图 4a 与 4b 是简化横截面图, 示出根据本发明另一实施例的一种用于制造半导体器件的方法。在此, 图 4a (i) 与 4b (i) 是 PMOS 区中的横截面图, 而图 4a (ii) 与 4b (ii) 是 NMOS 区中的横截面图。

请参照图 4a 与 4b, 光阻膜 (未显示) 形成于图 3f 中所示的制品之上。利用限定 NMOS 区的掩模而曝光与显影光阻膜, 以形成露出

NMOS 区的光阻膜图案 440。移除在 NMOS 区中露出的图 3f 中所示的上部器件隔离结构 317, 以在 NMOS 区中形成限定下部器件隔离结构 415 的凹部 430。移除覆盖 PMOS 区的光阻膜图案 440 以及覆盖有源区 410a 的光阻膜图案 435。绝缘膜 419 形成于包含凹部 430 的制品的整个表面之上 (即, 在栅极结构 497、有源区 410a 以及 PMOS 区以及 NMOS 区中的器件隔离结构 420 之上), 以在 NMOS 区中形成上部器件隔离结构 419'。在本发明的一个实施例中, 上部器件隔离结构 419' 由氮化物膜所形成, 氮化物膜比例如 HDP 氧化物膜等常规器件隔离结构更软。上部器件隔离结构 419' 的厚度范围是从大约 50Å 至大约 300Å。于是, 与 HDP 氧化物膜的器件隔离结构相比, NMOS 区中的器件隔离结构 420 可以相对地减小施加到栅极结构 497 之下的半导体基板 410 上的压缩应力。于是, PMOS 区以及 NMOS 区中的载流子迁移率同时得到改善, 由此改善晶体管的工作特性。

图 5a 至 5f 是简化横截面图, 示出根据本发明另一实施例的一种用于制造半导体器件的方法, 其中图 5a (i) 至 5f (i) 是 PMOS 区中的横截面图, 而图 5a (ii) 至 5f (ii) 是 NMOS 区中的横截面图。用于器件隔离的沟槽 (未显示) 形成于具有垫绝缘膜 (未显示) 的半导体基板 510 中。半导体基板 510 包含 PMOS 区以及 NMOS 区。用于器件隔离的绝缘膜 (未显示) 形成于制品的整个表面之上 (即, 在沟槽以及半导体基板 510 之上), 以填充用于器件隔离的沟槽。抛光用于器件隔离的绝缘膜, 直到垫绝缘膜露出为止, 以形成限定有源区 510a 的器件隔离结构 520。在本发明的一个实施例中, 用于器件隔离的绝缘膜选自由 SOD 氧化物膜、HDP 氧化物膜及其组合所构成的群组。为了改善空隙填充特性, 用于器件隔离的绝缘膜包含 SOD 氧化物膜以及 HDP 氧化物膜的叠层结构。SOD 氧化物膜借助旋转填充方法而形成。

请参照图 5b 与 5c, 光阻膜 (未显示) 形成于制品的整个表面之上 (即, 在有源区 510a 及 PMOS 区以及 NMOS 区中的器件隔离结构 520 之上)。利用凹式掩模 (未显示) 而曝光与显影光阻膜, 以形成光阻膜图案 525, 光阻膜图案 525 露出器件隔离结构 520 的一部分。利用光阻膜图案 525 而蚀刻掉露出的器件隔离结构 520 的规定厚度, 以形

成限定下部器件隔离结构 515 的凹部 530。移除光阻膜图案 525 以及垫绝缘膜以露出半导体基板 510。栅极绝缘膜 560 形成于露出的半导体基板 510 之上。栅极导电层 565 形成于包含凹部 530 的制品的整个表面之上（即，在下部器件隔离结构 515 以及栅极绝缘膜 560 之上）。栅极硬掩模层 590 形成于栅极导电层 565 之上。在本发明的一个实施例中，蚀刻掉的器件隔离结构 520 的规定厚度范围是从大约  $10\text{\AA}$  至大约  $2,000\text{\AA}$ 。此外，栅极导电层 565 包括下部栅极导电层 570 以及上部栅极导电层 580 的叠层结构。下部栅极导电层 570 由多晶硅层所形成。上部栅极导电层 580 选自由钛（Ti）层、氮化钛（TiN）膜、钨（W）层、铝（Al）层、铜（Cu）层、硅化钨（WSix）层及其组合所构成的群组。在另一实施例中，光阻膜图案 525 由负光阻膜所形成。

请参照图 5d，利用栅极掩模（未显示）而图案化栅极硬掩模层 590 以及栅极导电层 565，以形成栅极结构 597，栅极结构 597 包含栅极硬掩模层图案 595 以及栅极电极 593 的叠层结构。栅极电极 593 包含下部栅极电极 575 以及上部栅极电极 585 的叠层结构。在栅极结构 597 的形成工序期间，栅极导电层 570 保留在下部器件隔离结构 515 之上，以和栅极电极 593 分隔开。使栅极电极 593 的侧壁选择性地氧化，以在下部栅极电极 575 的侧壁之上形成氧化物膜 527。绝缘膜 529 形成于制品的整个表面之上（即，在下部器件隔离结构 515 以及包含栅极结构 597 的半导体基板 510 之上）。在本发明的一个实施例中，绝缘膜 529 由氮化物膜所形成。

请参照图 5e 与 5f，光阻膜（未显示）形成于制品的整个表面之上（即，在半导体基板 510 及 PMOS 区以及 NMOS 区中的下部器件隔离结构 515 之上）。利用凹式掩模而曝光与显影光阻膜，以形成光阻膜图案 535，光阻膜图案 535 覆盖有源区 510a 以及与有源区 510a 相邻的器件隔离结构 520 的一部分。借助光阻膜图案 535 而移除露出的绝缘膜 529。借助光阻膜图案 535 而蚀刻掉被移除的绝缘膜 529 下面的栅极导电层 570 的规定厚度。光阻膜图案 540 形成于半导体基板 510 之上，以覆盖 PMOS 区。移除 NMOS 区中保留的栅极导电层 570。移除光阻膜图案 540 及 535。使 PMOS 区中保留的栅极导电层 570 氧化，

以在 PMOS 区中形成上部器件隔离结构 517。在本发明的一个实施例中，上部器件隔离结构 517 由体积增大的多氧化物膜所形成，以将由上部器件隔离结构 517 所提供的压缩应力施加至栅极结构 597 之下的半导体基板 510 上。由于压缩应力的缘故，PMOS 区中的晶体管的载流子迁移率得到改善。因此，晶体管的工作特性可以得到改善。此外，由于在 NMOS 区中的器件隔离结构 520 的上部被移除，所以与 PMOS 区相比，在 NMOS 区中的器件隔离结构的相对较小的压缩应力被施加至栅极结构 597 之下的半导体基板 510 上。于是，NMOS 区中的晶体管的载流子迁移率得到改善。于是，PMOS 区以及 NMOS 区中的晶体管的工作特性可以同时得到改善。

在本发明的另一实施例中，使 PMOS 区以及 NMOS 区中的下部器件隔离结构之上的栅极导电层氧化，以形成上部器件隔离结构。移除 NMOS 区中的上部器件隔离结构。在 PMOS 区中，相对较大的压缩应力施加至栅极结构之下的半导体基板上，而在 NMOS 区中，相对较小的压缩应力施加至栅极结构之下的半导体基板上。于是，PMOS 区以及 NMOS 区中的晶体管的工作特性可以同时得到改善。

如上所述，器件隔离结构根据本发明的实施例而得到改进，以调整施加到栅极结构之下的半导体基板上的压缩应力。于是，器件的载流子迁移率可以得到改善。换言之，相对较大的压缩应力以及相对较小的压缩应力分别施加到 PMOS 晶体管以及 NMOS 晶体管上，由此改善器件的载流子迁移率。于是，器件的工作特性可以得到改善。此外，因为用于上部器件隔离结构的进一步的氧化工序的缘故，可以消除在器件隔离结构的形成期间可能形成的空洞 (void) 或缝隙 (seam)。

本发明的上述实施例是示例性的而非限制性的。各种替代形式及等同实施例都是可行的。本发明并不限于在此所述的沉积、蚀刻抛光以及图案化步骤的类型。本发明也不限于任何特定类型的半导体器件。例如，本发明可以应用于动态随机存取存储器 (DRAM) 或非易失存储器中。考虑到本发明所公开的内容，其它的增加、减少或修改显而易见并且位于所附权利要求书的范围内。

本申请要求分别于 2006 年 7 月 24 日及 2006 年 12 月 11 日提交

---

的韩国专利申请 No. 10-2006-0069206 及 No. 10-2006-0125688 的优先权，这些韩国专利申请的全部内容以引用的方式并入本文。

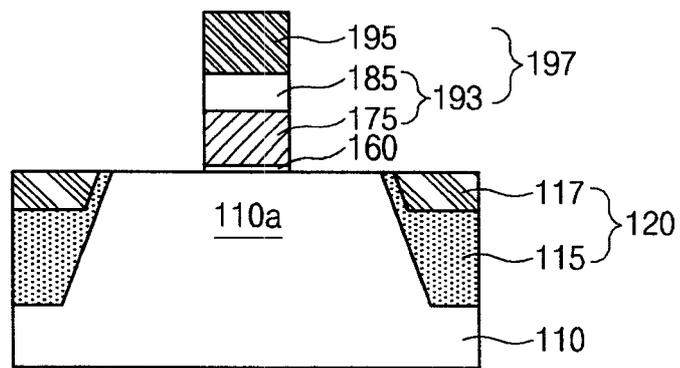


图 1

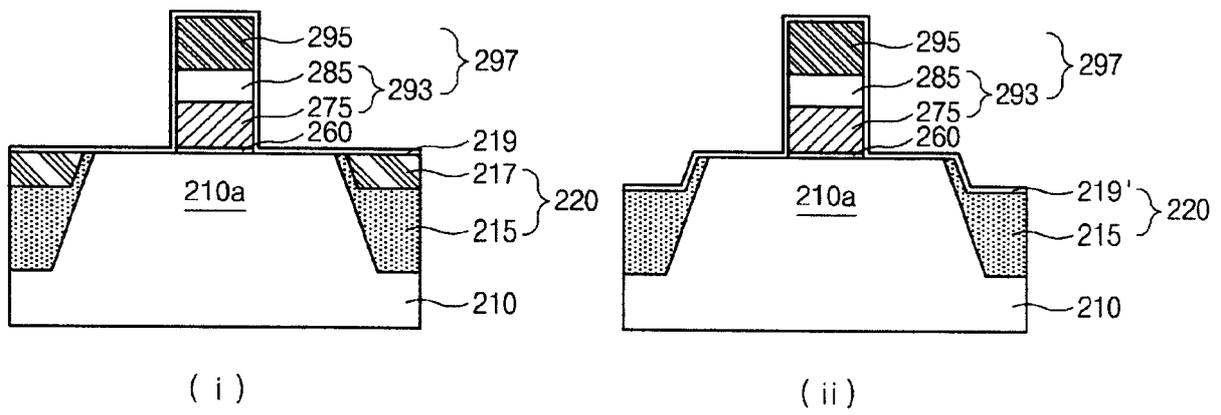


图 2

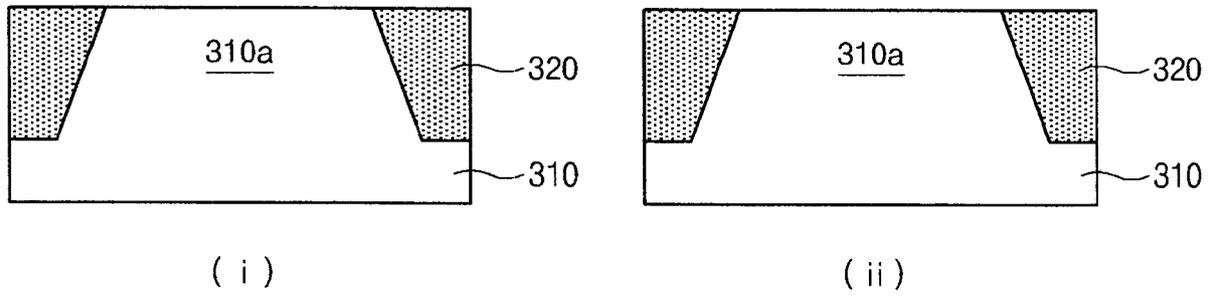


图 3a

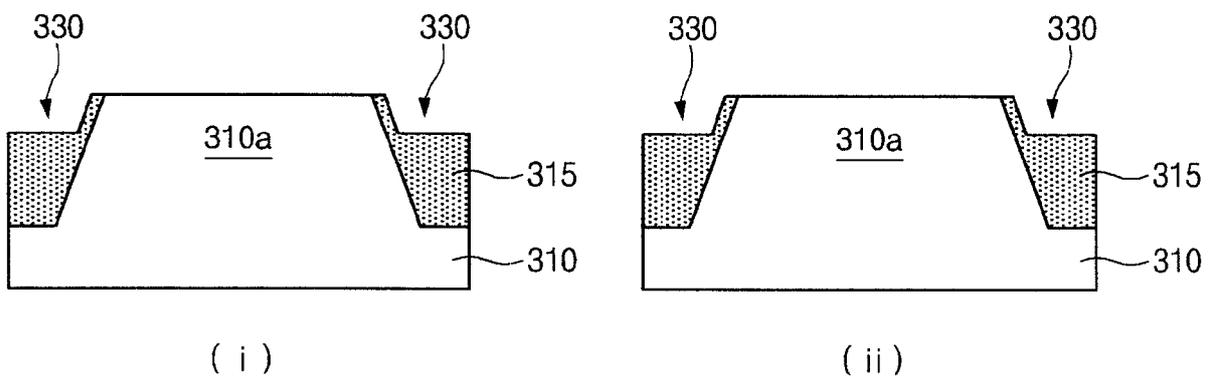


图 3b

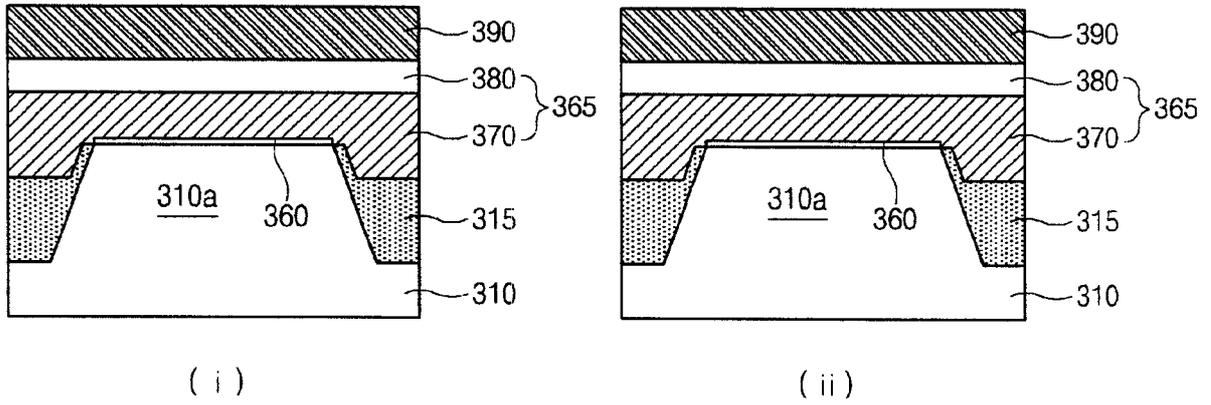


图 3c

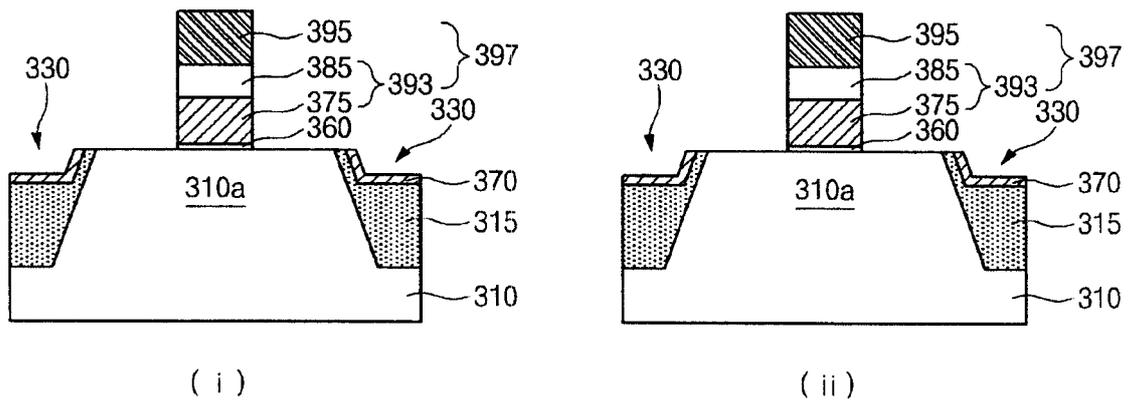


图 3d

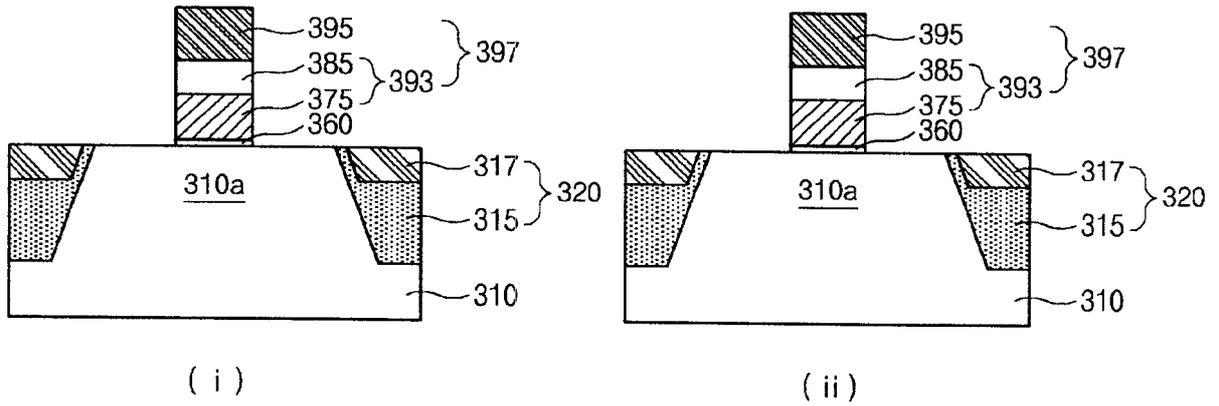


图 3e

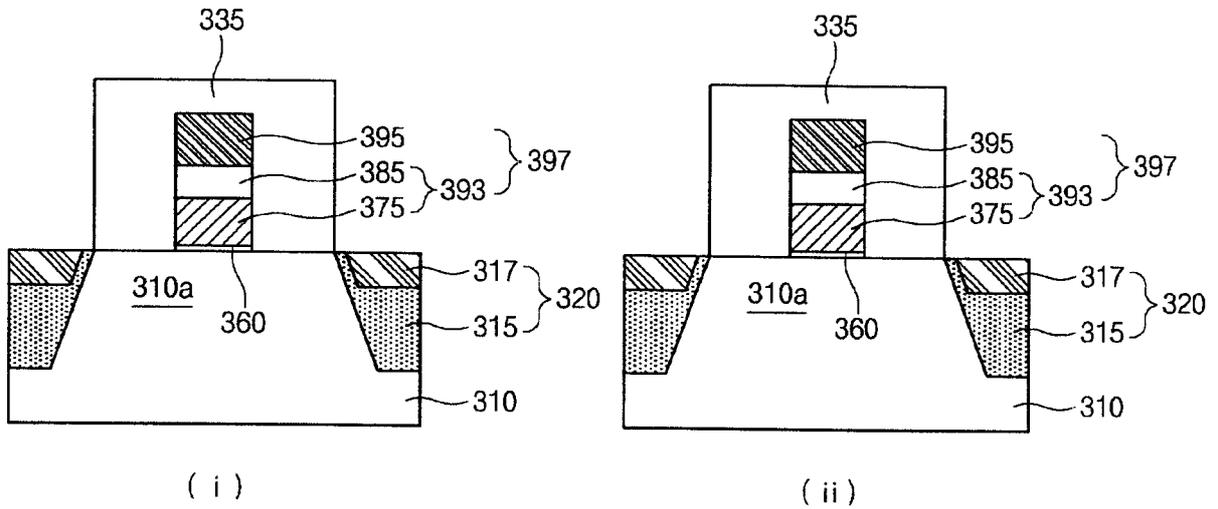


图 3f

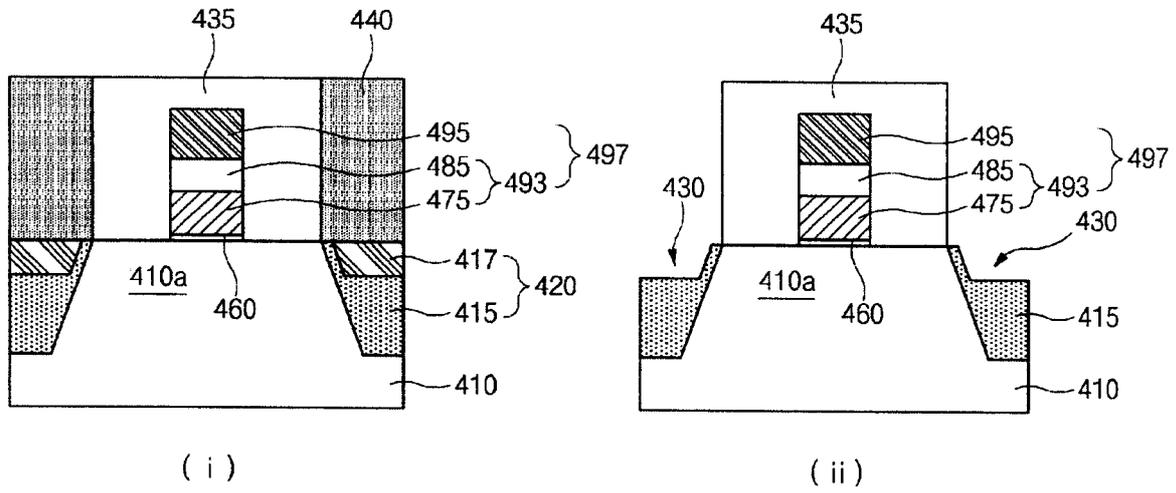


图 4a

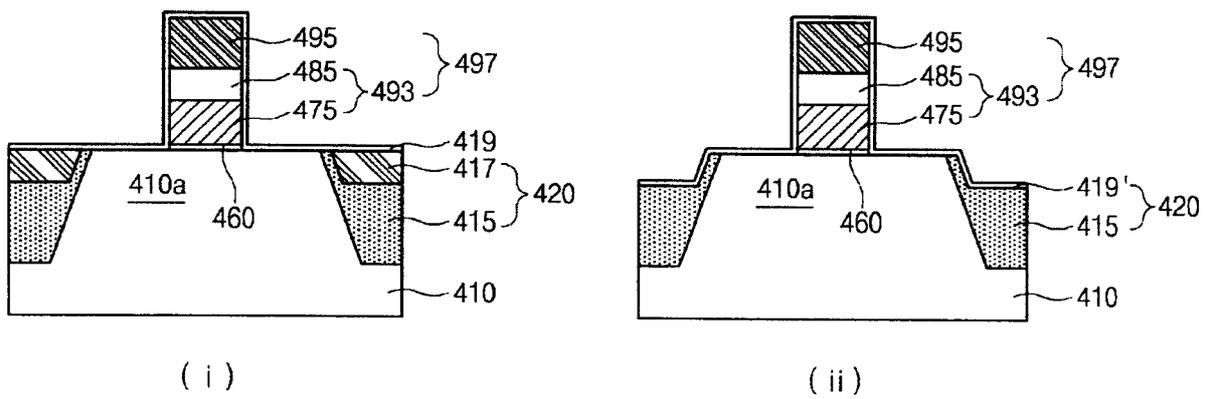


图 4b

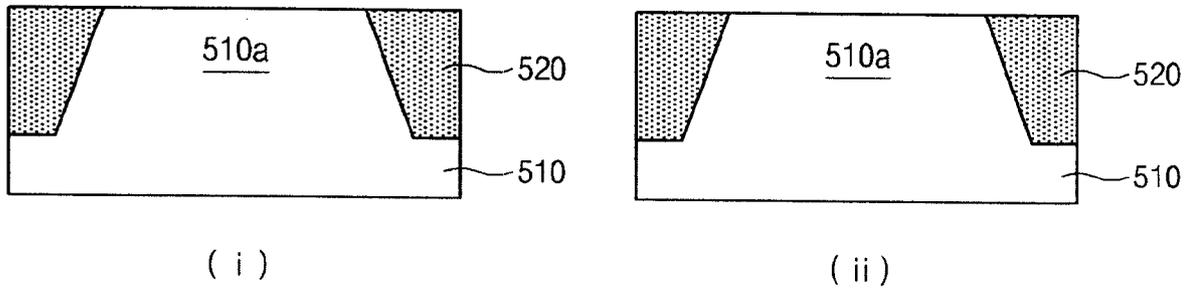


图 5a

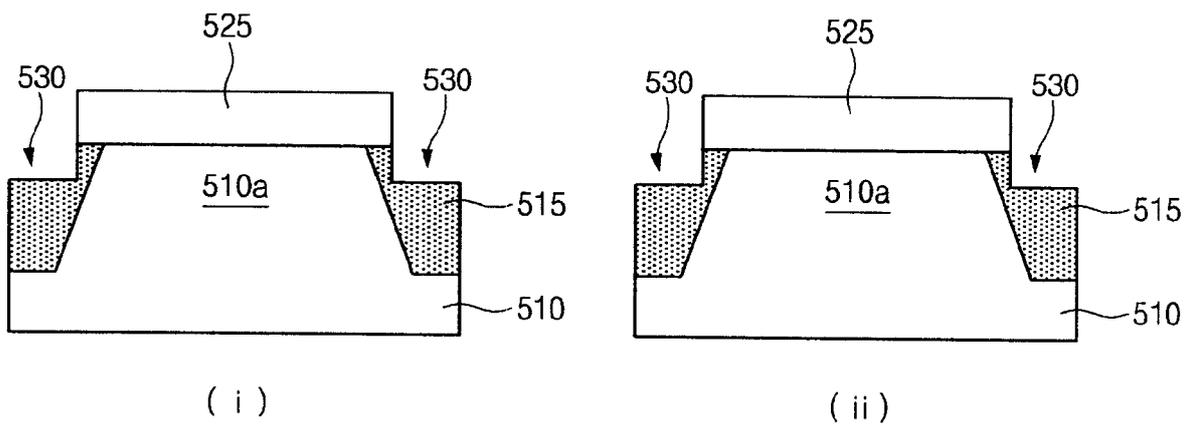


图 5b

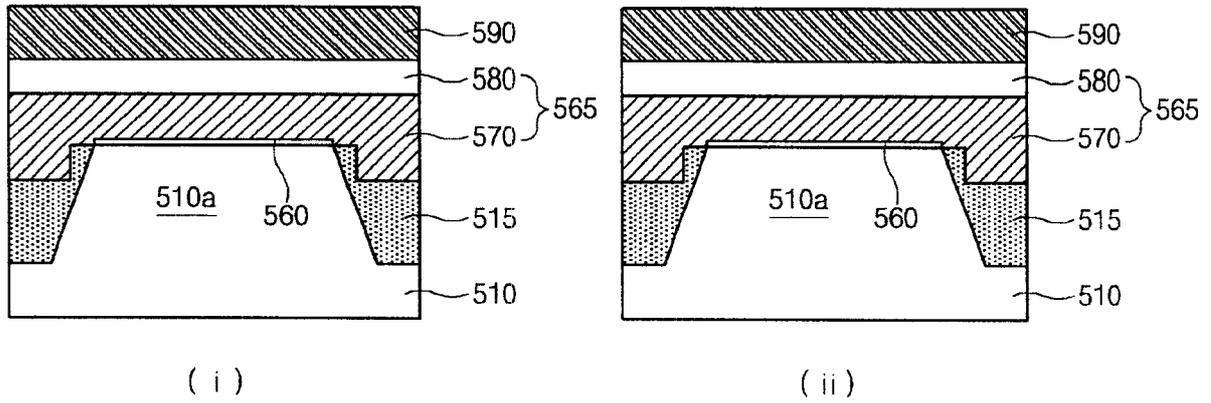


图 5c

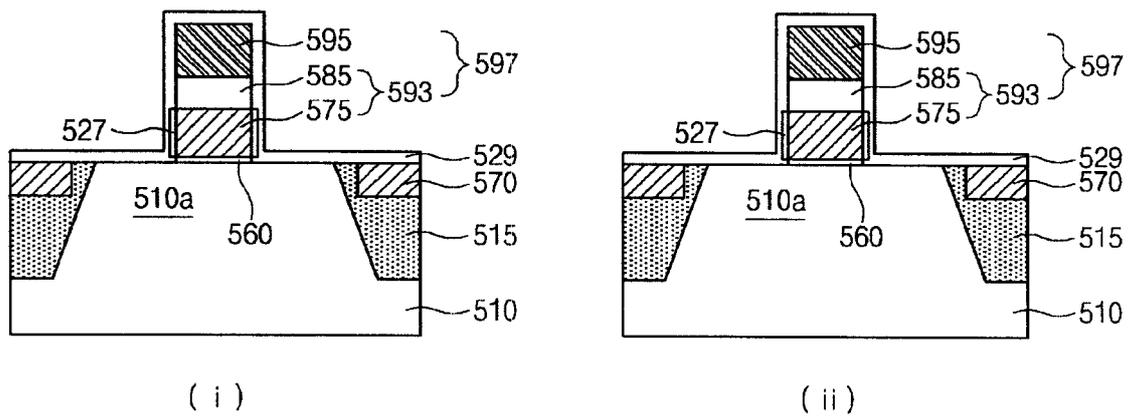


图 5d

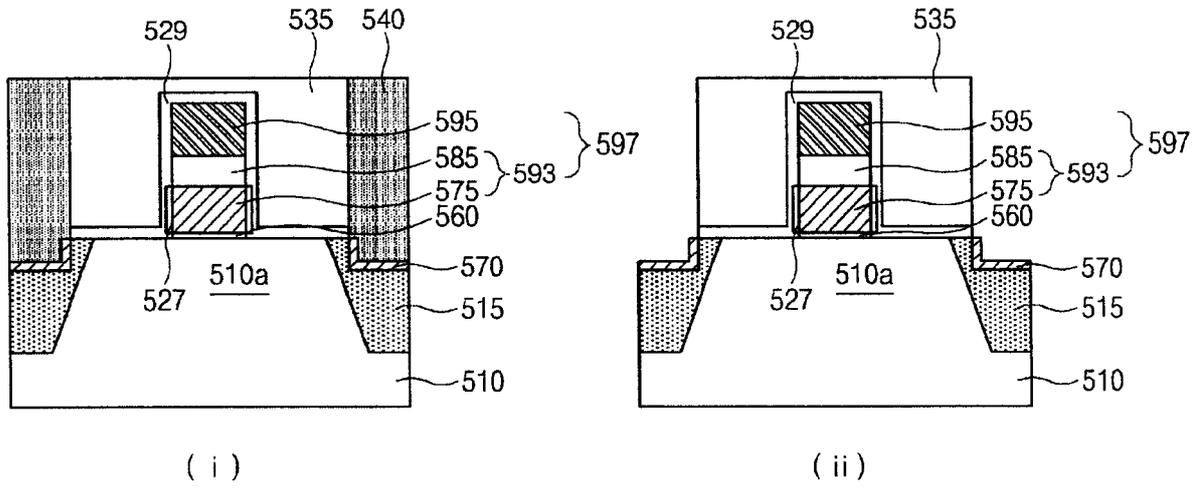


图 5e

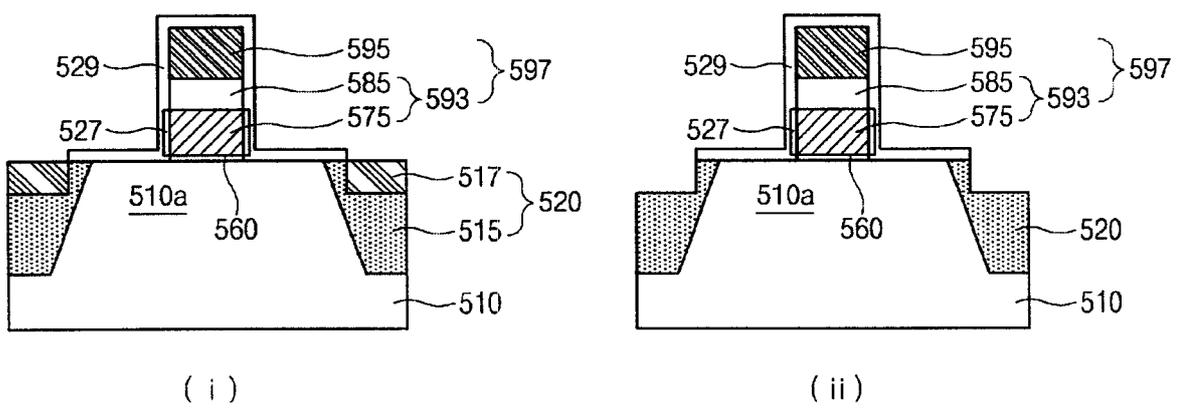


图 5f