

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7610860号  
(P7610860)

(45)発行日 令和7年1月9日(2025.1.9)

(24)登録日 令和6年12月25日(2024.12.25)

(51)国際特許分類	F I			
H 1 0 D 30/01 (2025.01)	H 0 1 L	29/78	3 0 1 Y	
H 1 0 D 30/60 (2025.01)	H 0 1 L	29/78	3 0 1 X	
H 1 0 D 84/83 (2025.01)	H 0 1 L	29/78	3 0 1 R	
H 1 0 D 84/85 (2025.01)	H 0 1 L	27/088	3 3 1 Z	
	H 0 1 L	27/092	G	
請求項の数 16 (全35頁)				

(21)出願番号	特願2022-504920(P2022-504920)	(73)特許権者	311014428 ユニサンティス エレクトロニクス シン ガポール プライベート リミテッド Unisantis Electron ics Singapore Pte L td. シンガポール共和国、179098、ノ ースブリッジロード 111、ペニンシ ュラ プラザ #23-05
(86)(22)出願日	令和2年3月6日(2020.3.6)	(74)代理人	100094569 弁理士 田中 伸一郎
(86)国際出願番号	PCT/JP2020/009721	(74)代理人	100109070 弁理士 須田 洋之
(87)国際公開番号	WO2021/176693	(74)代理人	100067013 弁理士 大塚 文昭
(87)国際公開日	令和3年9月10日(2021.9.10)		
審査請求日	令和4年11月10日(2022.11.10)		
最終頁に続く			

(54)【発明の名称】 柱状半導体装置とその製造方法

(57)【特許請求の範囲】

【請求項1】

基板上部に、第1の半導体柱と、前記第1の半導体柱に隣接して、第2の半導体柱があり、前記第1の半導体柱を囲み第1のゲート絶縁層があり、前記第2の半導体柱を囲み第2のゲート絶縁層があり、前記第1のゲート絶縁層を囲み第1のゲート導体層があり、前記第2のゲート絶縁層を囲み第2のゲート導体層があり、前記第1の半導体柱の下部に接続して第1の不純物領域があり、前記第2の半導体柱の下部に接続して前記第1の不純物領域とは極性が異なる第2の不純物領域があり、前記第1の半導体柱の頂部に接続して第3の不純物領域があり、前記第2の半導体柱の頂部に接続して前記第3の不純物領域とは極性が異なる第4の不純物領域があり、前記第1の不純物領域と前記第3の不純物領域と、の間の前記第1の半導体柱をチャンネルにした第1のSGTと、前記第2の不純物領域と前記第4の不純物領域と、の間の前記第2の半導体柱をチャンネルにした第2のSGTと、を有した柱状半導体装置の製造において、

前記基板表面上に、ドナーまたはアクセプタ不純物を含んだ第1の不純物層を形成する工程と、

平面視において前記第2の不純物領域が形成されることになる前記第1の不純物層内の一部の領域を除去し、前記除去の結果として残存する前記第1の不純物層を前記第1の不純物領域として形成する工程と、

前記第1の不純物領域を形成した後、全面を覆って、第1の半導体層を前記第1の不純物層より薄い膜厚で被覆する工程と、

前記第 1 の半導体層を形成した後、全面を覆って、ドナーまたはアクセプタ不純物を含んだ第 2 の不純物層を前記第 1 の不純物層より厚い膜厚で被覆することで、前記第 1 の不純物領域と前記第 2 の不純物領域が接さないようにする工程と、

前記第 2 の不純物層を、前記第 1 の不純物層の上表面、又は前記第 1 の不純物層上の前記第 1 の半導体層上の表面まで研磨し、前記研磨の結果として残存する前記第 2 の不純物層を前記第 2 の不純物領域として形成する工程と、

前記第 1 の不純物領域の上に前記第 1 の半導体柱を形成すると共に、前記第 2 の不純物領域の上に前記第 2 の半導体柱を形成する工程と、

前記第 1 の半導体柱の上に前記第 3 の不純物領域を形成すると共に、前記第 2 の半導体柱の上に前記第 4 の不純物領域を形成する工程と、

前記第 1 の半導体柱を取り囲む前記第 1 のゲート絶縁層を形成すると共に、前記第 2 の半導体柱を取り囲む前記第 2 のゲート絶縁層を形成する工程と、

前記第 1 のゲート絶縁層を取り囲む前記第 1 のゲート導体層を形成すると共に、前記第 2 のゲート絶縁層を取り囲む前記第 2 のゲート導体層を形成する工程と、を有し、

前記第 1 の半導体層は、前記第 1 の不純物領域及び前記第 2 の不純物領域の不純物濃度より低い不純物濃度である、

ことを特徴とする柱状半導体装置の製造方法。

【請求項 2】

前記第 1 の半導体層が有するドナーまたはアクセプタ不純物拡散係数が、前記第 1 の不純物層と前記第 2 の不純物層が有する不純物拡散係数より小さい、

ことを特徴とする請求項 1 に記載の柱状半導体装置の製造方法。

【請求項 3】

前記基板表面上に、前記第 1 の不純物層と前記第 2 の不純物層の不純物濃度より低い濃度の第 2 の半導体層が形成されている、

ことを特徴とする請求項 1 に記載の柱状半導体装置の製造方法。

【請求項 4】

前記第 2 の半導体層が有するドナーまたはアクセプタ不純物拡散係数が、前記第 1 の不純物層と前記第 2 の不純物層が有する不純物拡散係数より小さい、

ことを特徴とする請求項 3 に記載の柱状半導体装置の製造方法。

【請求項 5】

前記第 1 の不純物層及び前記第 2 の不純物層の上部に、前記第 1 の不純物層と前記第 2 の不純物層の不純物濃度より低い濃度の第 3 の半導体層が形成されている、

ことを特徴とする請求項 1 に記載の柱状半導体装置の製造方法。

【請求項 6】

前記第 3 の半導体層が有するドナーまたはアクセプタ不純物拡散係数が、前記第 1 の不純物層と前記第 2 の不純物層が有する不純物拡散係数より小さい、

ことを特徴とする請求項 5 に記載の柱状半導体装置の製造方法。

【請求項 7】

前記基板上に、前記第 1 の半導体柱と前記第 2 の半導体柱を形成後、前記第 1 のゲート絶縁層と前記第 2 のゲート絶縁層、前記第 1 のゲート導体層、前記第 2 のゲート導体層を順次形成し、その次に、平面視において、前記第 1 の不純物領域、前記第 2 の不純物領域、前記第 1 の不純物領域と前記第 2 の不純物領域の境界に存在する前記第 1 の半導体層の 3 層に電氣的に接触するように第 1 のコンタクトホールを形成する、

ことを特徴とする請求項 1 に記載の柱状半導体装置の製造方法。

【請求項 8】

前記基板上に、前記第 1 の半導体柱と前記第 2 の半導体柱を形成後、前記第 1 のゲート絶縁層と前記第 2 のゲート絶縁層、前記第 1 のゲート導体層、前記第 2 のゲート導体層を順次形成し、その次に、平面視において、少なくとも前記第 2 の不純物領域を含むように第 1 のコンタクトホールを配置し、前記第 1 のコンタクトホールの側壁面で前記第 2 の不純物領域と前記第 1 の半導体層に電氣的に接触し、且つ、前記第 1 のコンタクトホールの

10

20

30

40

50

底面で前記基板に電氣的に接触するように、前記第 1 のコンタクトホールを形成する、  
ことを特徴とする請求項 1 に記載の柱状半導体装置の製造方法。

【請求項 9】

製造工程完了時の、前記第 1 及び第 2 の半導体柱の下部に存在するドナーまたはアクセプタの不純物境界が、前記第 1 の半導体層の膜中に形成されるように、前記第 1 の半導体層の膜厚が定められている、

ことを特徴とする、請求項 1 に記載の柱状半導体装置の製造方法。

【請求項 10】

前記第 1 の半導体層は、2 種類以上の元素によって形成される化合物半導体層であって、前記第 1 及び第 2 の半導体柱の下部に存在するドナーまたはアクセプタの不純物境界が、前記第 1 の半導体層の膜中に形成されるように、前記第 1 の半導体層の化合物比が定められている、

10

ことを特徴とする、請求項 1 に記載の柱状半導体装置の製造方法。

【請求項 11】

製造工程完了時の、前記第 1 及び第 2 の半導体柱の下部に存在するドナーまたはアクセプタの不純物境界が、前記第 2 の半導体層と前記基板との間に位置するように、前記第 2 の半導体層の膜厚が定められている、

ことを特徴とする、請求項 3 に記載の柱状半導体装置の製造方法。

【請求項 12】

前記第 2 の半導体層は、2 種類以上の元素によって形成される化合物半導体層であって、前記第 1 及び第 2 の半導体柱の下部に存在するドナーまたはアクセプタの不純物境界が、前記第 2 の半導体層と前記基板との間に位置するように、前記第 2 の半導体層の化合物比が定められている、

20

ことを特徴とする、請求項 3 に記載の柱状半導体装置の製造方法。

【請求項 13】

前記第 3 の半導体層は、2 種類以上の元素によって形成される化合物半導体層であって、前記第 1 及び第 2 の半導体柱の下部に存在するドナーまたはアクセプタの不純物境界が、前記第 3 の半導体層と前記第 1 の半導体柱及び前記第 2 の半導体柱との間に位置するように、前記第 3 の半導体層の化合物比が定められている、

ことを特徴とする、請求項 5 に記載の柱状半導体装置の製造方法。

30

【請求項 14】

基板上部に、第 1 の半導体柱と、前記第 1 の半導体柱に隣接して、第 2 の半導体柱があり、前記第 1 の半導体柱を囲み第 1 のゲート絶縁層があり、前記第 2 の半導体柱を囲み第 2 のゲート絶縁層があり、前記第 1 のゲート絶縁層を囲み第 1 のゲート導体層があり、前記第 2 のゲート絶縁層を囲み第 2 のゲート導体層があり、前記第 1 の半導体柱の下部に接続して第 1 の不純物領域があり、前記第 2 の半導体柱の下部に接続して前記第 1 の不純物領域とは極性が異なる第 2 の不純物領域があり、前記第 1 の半導体柱の頂部に接続して第 3 の不純物領域があり、前記第 2 の半導体柱の頂部に接続して前記第 3 の不純物領域とは極性が異なる第 4 の不純物領域があり、前記第 1 の不純物領域と前記第 3 の不純物領域と、の間の前記第 1 の半導体柱をチャンネルにした第 1 の SGT と、前記第 2 の不純物領域と前記第 4 の不純物領域と、の間の前記第 2 の半導体柱をチャンネルにした第 2 の SGT と、を有した柱状半導体装置であって、

40

前記第 1 の不純物領域と前記第 2 の不純物領域が接さないように、前記第 1 の不純物領域と前記第 2 の不純物領域との間の境界領域に、薄い膜厚で形成された第 1 の半導体層を備え、

前記第 1 の半導体層は、前記第 1 の不純物領域及び前記第 2 の不純物領域の不純物濃度より低い不純物濃度である、

柱状半導体装置。

【請求項 15】

請求項 14 に記載の柱状半導体装置であって、

50

前記第 1 の不純物領域及び前記第 2 の不純物領域と前記基板との間の境界領域に、薄い膜厚で被覆された第 2 の半導体層を備え、

前記第 2 の半導体層は、前記第 1 の不純物領域及び前記第 2 の不純物領域の不純物濃度より低い不純物濃度である、

柱状半導体装置。

【請求項 16】

請求項 14 に記載の柱状半導体装置であって、

前記第 1 の不純物領域と前記第 1 の半導体柱との間の境界領域、及び、前記第 2 の不純物領域と前記第 2 の半導体柱との間の境界領域に、薄い膜厚で被覆された第 3 の半導体層を備え、

前記第 3 の半導体層は、前記第 1 の不純物領域及び前記第 2 の不純物領域の不純物濃度より低い不純物濃度である、

柱状半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、柱状半導体装置とその製造方法に関する。

【背景技術】

【0002】

近年、LSI (Large Scale Integration) に 3 次元構造トランジスタが使われている。その中で、柱状半導体装置である SGT (Surrounding Gate Transistor) は、高集積な半導体装置を提供する半導体素子として注目されている。また、SGT を有する半導体装置の更なる高集積化、高性能化が求められている。

【0003】

通常のプレーナ型 MOS トランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGT のチャンネルは、半導体基板の上表面に対して垂直方向に延在する (例えば、特許文献 1、非特許文献 1 を参照)。このため、SGT はプレーナ型 MOS トランジスタと比べ、半導体装置の高密度化が可能である。

【0004】

図 10 に、N チャンネル SGT の模式構造図を示す。P 型又は i 型 (真性型) の導電型を有する Si 柱 220 (以下、シリコン半導体柱を「Si 柱」と称する。) 内の上下の位置に、一方がソースとなる場合に、他方がドレインとなる N<sup>+</sup>層 221a、221b (以下、ドナー不純物を高濃度で含む半導体領域を「N<sup>+</sup>層」と称する。) が形成されている。このソース、ドレインとなる N<sup>+</sup>層 221a、221b 間の Si 柱 220 の部分がチャンネル領域 222 となる。このチャンネル領域 222 を囲むようにゲート絶縁層 223 が形成されている。このゲート絶縁層 223 を囲むようにゲート導体層 224 が形成されている。SGT では、ソース、ドレインとなる N<sup>+</sup>層 221a、221b、チャンネル領域 222、ゲート絶縁層 223、ゲート導体層 224 が、全体として柱状に形成される。このため、平面視において、SGT の占有面積は、プレーナ型 MOS トランジスタの単一のソース又はドレイン N<sup>+</sup>層の占有面積に相当する。そのため、SGT を有する回路チップは、プレーナ型 MOS トランジスタを有する回路チップと比較して、更なるチップサイズの縮小化が実現できる。加えて、SGT の駆動能力を向上することが出来れば 1 チップに使用する SGT 数を減らすことが出来、同じくチップサイズの縮小化に寄与する。

【0005】

但し、更なるチップサイズの縮小化を図る場合、克服すべき課題がある。当然のことながら隣接する Si 柱間隔は狭くなるため、例えば図 1U に示した 6Tr 構成の SRAM セルの上部インバータでは 6a と 6b 及び 6b と 6c の Si 柱間隔は狭く形成される。これは各々の Si 柱下部に接続されているソースまたはドレインとなる各不純物層 3aa、4aa、3ab の形成領域が狭くなると共に、各 Si 柱が隣接する逆導電型の不純物層との境界に物理的に近づくことになる。これにより実効的に非常に濃度の低い不純物層領域、

10

20

30

40

50

最悪の場合は所望とは逆の導電型不純物層がSi柱下部に形成されることになり、結果、高抵抗ソース及びドレイン形成による駆動能力低下や逆導電型のソース及びドレイン形成による動作不良等の問題が発生することになる。従って、この問題を回避するには、出来る限りソースまたはドレインとなる各不純物層の拡がりを抑制し、高濃度状態を保持し形成する必要がある。

【0006】

図11に、SRAMセル(Static Random Access Memory)回路図を示す。本SRAMセル回路は2個のインバータ回路を含んでいる。1つのインバータ回路は負荷トランジスタとしてのPチャンネルSGT<sub>Pc1</sub>と、駆動トランジスタとしてのNチャンネルSGT<sub>Nc1</sub>と、から構成されている。もう1つのインバータ回路は負荷トランジスタとしてのPチャンネルSGT<sub>Pc2</sub>と、駆動トランジスタとしてのNチャンネルSGT<sub>Nc2</sub>と、から構成されている。PチャンネルSGT<sub>Pc1</sub>のゲートとNチャンネルSGT<sub>Nc1</sub>のゲートが接続されている。PチャンネルSGT<sub>Pc2</sub>のドレインとNチャンネルSGT<sub>Nc2</sub>のドレインが接続されている。PチャンネルSGT<sub>Pc2</sub>のゲートとNチャンネルSGT<sub>Nc2</sub>のゲートが接続されている。PチャンネルSGT<sub>Pc1</sub>のドレインとNチャンネルSGT<sub>Nc1</sub>のドレインが接続されている。

【0007】

図11に示すように、PチャンネルSGT<sub>Pc1</sub>、Pc2のソースは電源端子V<sub>dd</sub>に接続されている。そして、NチャンネルSGT<sub>Nc1</sub>、Nc2のソースはグラウンド端子V<sub>ss</sub>に接続されている。選択NチャンネルSGT<sub>SN1</sub>、SN2が2つのインバータ回路の両側に配置されている。選択NチャンネルSGT<sub>SN1</sub>、SN2のゲートはワード線端子W<sub>Lt</sub>に接続されている。選択NチャンネルSGT<sub>SN1</sub>のソース、ドレインはNチャンネルSGT<sub>Nc1</sub>、PチャンネルSGT<sub>Pc1</sub>のドレインとビット線端子B<sub>Lt</sub>に接続されている。選択NチャンネルSGT<sub>SN2</sub>のソース、ドレインはNチャンネルSGT<sub>Nc2</sub>、PチャンネルSGT<sub>Pc2</sub>のドレインと反転ビット線端子B<sub>Lrt</sub>に接続されている。このようにSRAMセルを有する回路は、2個のPチャンネルSGT<sub>Pc1</sub>、Pc2と、4個のNチャンネルSGT<sub>Nc1</sub>、Nc2、SN1、SN2とからなる合計6個のSGTから構成されている(例えば、特許文献2を参照)。また、駆動用トランジスタを複数個、並列接続させて、SRAM回路の高速化を図れる。通常、SRAMのメモリセルを構成するSGTは、それぞれ、異なる半導体柱に形成されている。SRAMセル回路の高集積化は、どのようにして、1つのセル領域の中に複数個のSGTを高密度に形成できるかである。他のSGTを用いた回路形成における高集積化においても同様である。

【先行技術文献】

【特許文献】

【0008】

【文献】特開平2-188966号公報

【文献】米国特許出願公開第2010/0219483号明細書

【文献】米国登録US8530960B2号明細書

【非特許文献】

【0009】

【文献】Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573-578 (1991)

【文献】C.Y.Ting, V.J.Vivalda, and H.G.Schaefer: "Study of planarized sputter-deposited SiO<sub>2</sub>", J.Vac.Sci. Technol. 15(3), p.p.1105-1112, May/June (1978)

【文献】A.Raley, S.Thibaut, N. Mohanty, K. Subhadeep, S. Nakamura, etal.: "Self-aligned quadruple patterning integration using spacer on spacer pitch splitting at the resist level for sub-32nm pitch applications" Proc. Of SPIE Vol.9782, 2016

【発明の概要】

## 【発明が解決しようとする課題】

【0010】

S G Tを用いた回路の高集積化において、S G T離間距離が短くなる際に生ずる、ドナー型、アクセプタ型不純物の相互拡散による駆動能力低下や動作不良が発生する。

## 【課題を解決するための手段】

【0011】

本発明の観点に係る柱状半導体装置の製造方法は、

基板上部に、第1の半導体柱と、前記第1の半導体柱に隣接して、第2の半導体柱があり、前記第1の半導体柱を囲み第1のゲート絶縁層があり、前記第2の半導体柱を囲み第2のゲート絶縁層があり、前記第1ゲート絶縁層を囲み第1のゲート導体層があり、前記第2ゲート絶縁層を囲み第2のゲート導体層があり、前記第1の半導体柱の下部に接続して第1の不純物領域があり、前記第2の半導体柱の下部に接続して前記第1の不純物領域とは極性が異なる第2の不純物領域があり、前記第1の半導体柱の頂部に接続して第3の不純物領域があり、前記第2の半導体柱の頂部に接続して前記第3の不純物領域とは極性が異なる第4の不純物領域があり、前記第1の不純物領域と前記第3の不純物領域と、の間の前記第1の半導体柱をチャンネルにした第1のS G Tと、前記第2の不純物領域と前記第4の不純物領域と、の間の前記第2の半導体柱をチャンネルにした第2のS G Tと、を有した柱状半導体装置の製造において、

前記基板表面上に、ドナーまたはアクセプタ不純物を含んだ第1の不純物層を形成する工程と、

平面視において前記第2の不純物領域が形成されることになる前記第1の不純物層内の一部の領域を除去し、前記除去の結果として残存する前記第1の不純物層を前記第1の不純物領域として形成する工程と、

前記第1の不純物領域を形成した後、全面を覆って、第1の半導体層を前記第1の不純物層より薄い膜厚で被覆する工程と、

前記第1の半導体層を形成した後、全面を覆って、ドナーまたはアクセプタ不純物を含んだ第2の不純物層を前記第1の不純物層より厚い膜厚で被覆することで、前記第1の不純物領域と前記第2の不純物領域が接さないようにする工程と、

前記第2の不純物層を、前記第1の不純物層の上表面、又は前記第1の不純物層上の前記第1の半導体層上の表面まで研磨し、前記研磨の結果として残存する前記第2の不純物層を前記第2の不純物領域として形成する工程と、

前記第1の不純物領域の上に前記第1の半導体柱を形成すると共に、前記第2の不純物領域の上に前記第2の半導体柱を形成する工程と、

前記第1の半導体柱の上に前記第3の不純物領域を形成すると共に、前記第2の半導体柱の上に前記第4の不純物領域を形成する工程と、

前記第1の半導体柱を取り囲む前記第1のゲート絶縁層を形成すると共に、前記第2の半導体柱を取り囲む前記第2のゲート絶縁層を形成する工程と、

前記第1のゲート絶縁層を取り囲む前記第1のゲート導体層を形成すると共に、前記第2のゲート絶縁層を取り囲む前記第2のゲート導体層を形成する工程と、を有し、

前記第1の半導体層は、前記第1の不純物領域及び前記第2の不純物領域の不純物濃度より低い不純物濃度である、

ことを特徴とする。

【0012】

前記製造方法は、

前記第1の半導体層が有するドナーまたはアクセプタ不純物拡散係数が、前記第1の不純物層と前記第2の不純物層が有する不純物拡散係数より小さいことが望ましい。

【0013】

前記製造方法は、

前記第1の半導体層が、前記第2の不純物層に対するエッチング選択比または不純物拡散係数または格子定数が異なる2種以上の半導体層の積層で構成されていることが望まし

い。

【0014】

前記製造方法は、

前記基板表面上に、前記第1の不純物層と前記第2の不純物層の不純物濃度より低い濃度の第2の半導体層が形成されていることが望ましい。

【0015】

前記製造方法は、

前記第2の半導体層が有するドナーまたはアクセプタ不純物拡散係数が、前記第1の不純物層と前記第2の不純物層が有する不純物拡散係数より小さいことが望ましい。

【0016】

前記製造方法は、

前記第2の半導体層が、前記第1の不純物層に対するエッチング選択比または不純物拡散係数または格子定数が異なる2種以上の半導体層の積層で構成されていることが望ましい。

【0017】

前記製造方法は、

前記第1の不純物層及び前記第2の不純物層の上部に、前記第1の不純物層と前記第2の不純物層の不純物濃度より低い濃度の第3の半導体層が形成されていることが望ましい。

【0018】

前記製造方法は、

前記第3の半導体層が有するドナーまたはアクセプタ不純物拡散係数が、前記第1の不純物層と前記第2の不純物層が有する不純物拡散係数より小さいことが望ましい。

【0019】

前記製造方法は、

前記第3の半導体層が前記第2の不純物層及び前記第2の半導体層に対するエッチング選択比または不純物拡散係数または格子定数が異なる2種以上の半導体層の積層で構成されていることが望ましい。

【0020】

前記製造方法は、

前記基板に、前記第1の半導体柱と前記第2の半導体柱を形成後、前記第1のゲート絶縁層と前記第2のゲート絶縁層、前記第1のゲート導体層、前記第2のゲート導体層を順次形成し、その次に、平面視において、前記第1の不純物領域、前記第2の不純物領域、前記第1の不純物領域と前記第2の不純物領域の境界に存在する前記第1の半導体層の3層に電氣的に接触するように第1のコンタクトホールを形成することが望ましい。

【0021】

前記製造方法は、

前記基板に、前記第1の半導体柱と前記第2の半導体柱を形成後、前記第1のゲート絶縁層と前記第2のゲート絶縁層、前記第1のゲート導体層、前記第2のゲート導体層を順次形成し、その次に、平面視において、少なくとも前記第2の不純物領域を含むように前記第1のコンタクトホールを配置し、前記第1のコンタクトホールの側壁面で前記第2の不純物領域と前記第1の半導体層に電氣的に接触し、且つ、前記第1のコンタクトホールの底面で前記基板に電氣的に接触するように、前記第1のコンタクトホールを形成することが望ましい。

【0022】

本発明の別の観点に係る柱状半導体装置は、基板上部に、第1の半導体柱と、前記第1の半導体柱に隣接して、第2の半導体柱があり、前記第1の半導体柱を囲み第1のゲート絶縁層があり、前記第2の半導体柱を囲み第2のゲート絶縁層があり、前記第1ゲート絶縁層を囲み第1のゲート導体層があり、前記第2ゲート絶縁層を囲み第2のゲート導体層があり、前記第1の半導体柱の下部に接続して第1の不純物領域があり、前記第2の半導体柱の下部に接続して前記第1の不純物領域とは極性が異なる第2の不純物領域があり、

10

20

30

40

50

前記第1の半導体柱の頂部に接続して第3の不純物領域があり、前記第2の半導体柱の頂部に接続して前記第3の不純物領域とは極性が異なる第4の不純物領域があり、前記第1の不純物領域と前記第3の不純物領域と、の間の前記第1の半導体柱をチャンネルにした第1のSGTと、前記第2の不純物領域と前記第4の不純物領域と、の間の前記第2の半導体柱をチャンネルにした第2のSGTと、を有した柱状半導体装置であって、  
前記第1の不純物領域と前記第2の不純物領域が接さないように、前記第1の不純物領域と前記第2の不純物領域との間の境界領域に、薄い膜厚で形成された第1の半導体層を備え、

前記第1の半導体層は、前記第1の不純物領域及び前記第2の不純物領域の不純物濃度より低い不純物濃度である、  
ことを特徴とする。

10

**【0023】**

前記柱状半導体装置は、  
前記第1の不純物領域及び前記第2の不純物領域と前記基板との間の境界領域に、薄い膜厚で被覆された第2の半導体層を備え、

前記第2の半導体層は、前記第1の不純物領域及び前記第2の不純物領域の不純物濃度より低い不純物濃度である、  
ことを特徴とする。

**【0024】**

前記柱状半導体装置は、  
前記第1の不純物領域と前記第1の半導体柱との間の境界領域、及び、前記第2の不純物領域と前記第2の半導体柱との間の境界領域に、薄い膜厚で被覆された第3の半導体層を備え、

20

前記第3の半導体層は、前記第1の不純物領域及び前記第2の不純物領域の不純物濃度より低い不純物濃度である、  
ことを特徴とする。

**【0025】**

前記製造方法は、  
前記第1の半導体層の膜厚が、前記第1の半導体層が有するドナーまたはアクセプタの製造工程完了時の不純物拡散長で決定されるドナーとアクセプタの不純物境界が、前記第1の半導体層膜中に形成されるように定められていることが望ましい。

30

**【0026】**

前記製造方法は、  
前記第1の半導体層は、2種類以上の元素によって形成される化合物半導体層であって、その化合物比が、それによって決定されるドナーまたはアクセプタの不純物拡散長とその不純物境界が、前記第1の半導体層膜中に形成されるように定められていることが望ましい。

**【0027】**

前記製造方法は、  
前記第2の半導体層の膜厚が、前記第2の半導体層が有するドナーまたはアクセプタの製造工程完了時の不純物拡散領域が、前記第2の半導体層と前記基板との間の境界に位置するように定められていることが望ましい。

40

**【0028】**

前記製造方法は、  
前記第2の半導体層は、2種類以上の元素によって形成される化合物半導体層であって、その化合物比が、それによって決定されるドナーまたはアクセプタの不純物拡散領域が、前記第2の半導体層と前記基板との間の境界に位置するように定められていることが望ましい。

**【0029】**

前記製造方法は、

50

前記第 3 の半導体層の膜厚が、前記第 3 の半導体層が有するドナーまたはアクセプタの製造工程完了時の不純物拡散領域が、前記第 3 の半導体層と前記第 1 の半導体柱及び前記第 2 の半導体柱との間の境界に位置するように定められていることが望ましい。

【 0 0 3 0 】

前記製造方法は、

記第 3 の半導体層は、2 種類以上の元素によって形成される化合物半導体層であって、その化合物比が、それによって決定されるドナーまたはアクセプタの不純物拡散領域が、前記第 3 の半導体層と前記第 1 の半導体柱及び前記第 2 の半導体柱との間の境界に位置するように定められていることが望ましい。

【図面の簡単な説明】

10

【 0 0 3 1 】

【図 1 A】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 B】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 C】第 1 実施形態及び第二実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 D】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 E】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

20

【図 1 F】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 G】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 H】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 I】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 J】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

30

【図 1 K】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 L】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 M】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 N】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 O】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

40

【図 1 P】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 Q】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 R】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 S】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 1 T】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するため

50

の平面図と断面構造図である。

【図 1 U】第 1 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 2 A】本発明の第 2 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 2 B】本発明の第 2 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 2 C】本発明の第 2 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 3 A】本発明の第 3 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

10

【図 3 B】本発明の第 3 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 3 C】本発明の第 1 及び第 3 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 4 A】本発明の第 4 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 4 B】本発明の第 4 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 5 A】本発明の第 5 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

20

【図 5 B】本発明の第 5 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 5 C】本発明の第 1 及び第 5 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 6 A】本発明の第 6 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 6 B】本発明の第 6 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 6 C】本発明の第 6 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

30

【図 6 D】本発明の第 6 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 6 E】本発明の第 6 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 7】本発明の第 1 実施形態及び第 3 実施形態及び第 5 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 8】本発明の第 7 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

【図 9】本発明の第 8 実施形態に係る S G T を有する柱状半導体装置の製造方法を説明するための平面図と断面構造図である。

40

【図 10】従来例の S G T を示す模式構造図である。

【図 11】従来例の S G T を用いた S R A M セル回路図である。

【発明を実施するための形態】

【0032】

以下、本発明の実施形態に係る、柱状半導体装置の製造方法について、図面を参照しながら説明する。

【0033】

(第 1 実施形態)

以下、図 1 A ~ 図 1 U を参照しながら、本発明の第 1 実施形態に係る、S G T を有する

50

例としてSRAM回路の製造方法について説明する。(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY-Y'線に沿う断面構造図を示す。

【0034】

図1Aに示すように、P層1上にN層2をエピタキシャル結晶成長法により形成し、基板を形成する。そして、N層2の表層つまり基板表面に、例えば、N<sup>+</sup>不純物がドーピングされたシリコンN<sup>+</sup>層3をエピタキシャル結晶成長法により形成する。なお、N<sup>+</sup>層3をイオン注入法により形成してもよい。また、N<sup>+</sup>層3は逆導電型であるP<sup>+</sup>層3として形成してもよい。

以降、本実施形態以降、本工程において、基板表面に形成する不純物層をN<sup>+</sup>不純物の場合で説明する。

10

【0035】

次に、図1Bに示すように、P<sup>+</sup>層を所望の位置に形成することを目的とし、対象箇所のN<sup>+</sup>層3をフォトリソグラフィによりレジストマスクを形成し(図示せず)それをマスクとしてエッチングする。なお、レジストマスクではなくエッチングマスクとなりうるマスク材を使用してもよい。

【0036】

次に、図1Cに示すように、全体に、ALD(Atomic Layered Deposition)法により、N<sup>+</sup>層3及びP<sup>+</sup>層4の不純物濃度より低い不純物濃度で半導体層100をN<sup>+</sup>層3より薄い膜厚で形成する。尚、該半導体層100は不純物を含まない真性半導体が望ましい。また、該半導体層100が有するドナーまたはアクセプタ不純物拡散係数が、N<sup>+</sup>層3とP<sup>+</sup>層4各々が有するドナーまたはアクセプタ不純物拡散係数より小さいことが望ましい。

20

【0037】

更に、該半導体層100の膜厚が、該半導体層100が有するドナーまたはアクセプタの製造工程完了時の不純物拡散長で決定されるドナーとアクセプタの不純物境界が、該半導体層100膜中に形成されるように定められていることが望ましい。

【0038】

また、該半導体層100は、2種類以上の元素によって形成される化合物半導体層、例えば、シリコンゲルマニウムやシリコンカーバイトであることが望ましく、また、その化合物比が、それによって決定されるドナーまたはアクセプタの不純物拡散長とその不純物境界が、該半導体層100膜中に形成されるように定められていることが望ましい。

30

【0039】

次に、図1Dに示すように、全体に、N<sup>+</sup>層3とは逆導電型であるP<sup>+</sup>層4をエピタキシャル結晶成長法により、既に形成されている段差が埋まる程度の十分な膜厚で形成する。

【0040】

次に、図1Eに示すように、CMP(Chemical Mechanical Polish)法により、P<sup>+</sup>層4を、N<sup>+</sup>層3上の半導体層100上の表面まで研磨する。尚、図示していないが、N<sup>+</sup>層3上表面まで研磨してもよい。

【0041】

次に、i層6を形成し、例えば、SiO<sub>2</sub>層、酸化アルミニウム(Al<sub>2</sub>O<sub>3</sub>、以後AlOと称する)層、SiO<sub>2</sub>層よりなるマスク半導体層7を形成する。そして、例えば、シリコンゲルマニウム(SiGe)層8を堆積する。そして、SiO<sub>2</sub>層からなるマスク半導体層9を堆積する。そして、図1Fに示すように、SiN層からなるマスク半導体層10を堆積する。なお、i層6はドナーまたはアクセプタ不純物原子を少量に含むN型、またはP型のSiで形成されてもよい。

40

【0042】

次に、リソグラフィ法により形成した平面視においてY方向に伸延した帯状レジスト層(図示せず)をマスクにして、マスク半導体層10をエッチングする。これにより、平面視においてY方向に伸延した帯状マスク半導体層(図示せず)を形成する。レジスト層をマスクにして、この帯状マスク半導体層を等方性エッチングすることにより、帯状マスク半導体層の幅を、レジスト層の幅より細くなるように形成する。これにより、リソグラフ

50

ィ法で形成できる最小のレジスト層の幅より小さい幅を持つ帯状マスク半導体層 10 a、10 b を形成する。そして、帯状マスク半導体層 10 a、10 b をエッチングマスクにして、マスク半導体層 9 を、例えば R I E (Reactive Ion Etching) により、エッチングして帯状マスク半導体層 9 a、9 b を形成する。次に、帯状マスク半導体層 9 a、9 b をマスクにして、S i G e 層 8 を、例えば R I E 法によりエッチングすることにより、図 1 G に示すように、帯状 S i G e 層 8 a、8 b を形成する。前述の帯状マスク半導体層 9 a、9 b 上の帯状マスク半導体層 10 a、10 b は、S i G e 層 8 のエッチングの前に除去してもよく、または残存させていてもよい。

#### 【0043】

次に、全体に、A L D (Atomic Layered Deposition) 法により S i N 層 (図示せず) をマスク半導体層 7、帯状 S i G e 層 8 a、8 b、帯状マスク半導体層 9 a、9 b を覆って形成する。そして、全体を、例えばフロー C V D (Flow Chemical Vapor Deposition) 法による S i O<sub>2</sub> 層 (図示せず) で覆い、そして、C M P (Chemical Mechanical Polishing) により、上表面位置が帯状マスク半導体層 9 a、9 b 上表面位置になるように S i O<sub>2</sub> 層と、S i N 層と、を研磨して、S i N 層 13 a、13 b、13 c を形成する。そして、S i N 層 13 a、13 b、13 c の頂部をエッチングして凹部を形成する。この凹部の底部位置が、帯状マスク半導体層 9 a、9 b の下部位置にあるように形成する。そして、全体に S i N 層 (図示せず) を被覆し、全体を C M P 法により、上面位置がマスク半導体層 9 a、9 b 上面位置になるように S i N 層を研磨する。そして、フロー C V D により形成した S i O<sub>2</sub> 層を除去する。これにより、図 1 H に示すように、帯状マスク半導体層 9 a、9 b の両側に、平面視において S i N 層 13 a、13 b、13 c の頂部形状と同じ形状を有する帯状マスク半導体層 12 a a、12 a b、12 b a、12 b b が形成される。

#### 【0044】

次に、図 1 I に示すように、帯状マスク半導体層 9 a、9 b、12 a a、12 a b、12 b a、12 b b をマスクにして、S i N 層 13 a、13 b、13 c をエッチングして、帯状 S i N 層 13 a a、13 a b、13 b a、13 b b を形成する。この場合、平面視において、帯状 S i N 層 13 a a、13 a b、13 b a、13 b b の幅は同じになる。

#### 【0045】

次に、帯状マスク半導体層 9 a、9 b、帯状 S i G e 層 8 a、8 b を除去する。これにより、図 1 J に示すように、マスク半導体層 7 上に、平面視において Y 方向に伸延し、かつ互いに平行に並んだ帯状マスク半導体層 12 a a、12 a b、12 b a、12 b b を、それぞれの頂部上に有する帯状 S i N 層 13 a a、13 a b、13 b a、13 b b が形成される。

#### 【0046】

次に、全体を覆って、F C V D 法による S i O<sub>2</sub> 層 (図示せず) を形成する。そして、C M P 法により、S i O<sub>2</sub> 層を、その上表面位置が帯状マスク半導体層 12 a a、12 a b、12 b a、12 b b の上表面位置と同じくなるように、研磨して、図 1 K に示すように、S i O<sub>2</sub> 層 15 を形成する。そして、S i O<sub>2</sub> 層 15、帯状マスク半導体層 12 a a、12 a b、12 b a、12 b b 上に、S i N 層 16 を形成する。そして、帯状 S i N 層 13 a a、13 a b、13 b a、13 b b を形成した方法と、同じ基本的な手法を用いて、S i N 層 16 上に X 方向に伸延して、且つ互いに平行に並んだ帯状マスク半導体層 17 a、17 b を形成する。

#### 【0047】

次に、図 1 L に示すように、帯状マスク半導体層 17 a、17 b をマスクにして、S i N 層 16、帯状マスク半導体層 12 a a、12 a b、12 b a、12 b b、帯状 S i N 層 13 a a、13 a b、13 b a、13 b b、マスク半導体層 7 を R I E エッチングする。そして、残存している S i N 層 16、S i O<sub>2</sub> 層 15 を除去する。これにより、平面視において、矩形のマスク半導体層 19 a、19 b、19 c、19 d、19 e、19 f、19 g、19 h を頂部に有する S i N 柱 20 a、20 b、20 c、20 d、20 e、20 f、20 g、20 h を形成する。

10

20

30

40

50

## 【0048】

次に、図1Mに示すように、矩形状のマスク半導体層19b、19g、SiN柱20b、20gを除去する。

## 【0049】

次に、マスク半導体層19a、19c、19d、19e、19f、19hと、SiN柱20a、20c、20d、20e、20f、20hをマスクにして、マスク半導体層7をエッチングして、マスク半導体層7a、7b、7c、7d、7e、7fを形成する。そして、マスク半導体層19a、19c、19d、19e、19f、19hと、SiN柱20a、20c、20d、20e、20f、20hを除去する。そして、マスク半導体層7a、7b、7c、7d、7e、7fをマスクにして、i層6をエッチングして、図1Nに示すように、N<sup>+</sup>層3、P<sup>+</sup>層4a、4b上にSi柱6a、6b、6c、6d、6e、6fを形成する。なお、マスク半導体層7a、7b、7c、7d、7e、7fは、垂直方向において、マスク半導体層7の上部層を除去したものでよい。マスク半導体層7の材料構成は、精度あるマスク半導体層7a、7b、7c、7d、7e、7fを得るために選択される。

10

## 【0050】

次に、図1Oに示すように、Si柱6a、6b、6cの底部に繋がるN<sup>+</sup>層3、P<sup>+</sup>層4a、N層2、P層基板1をエッチングして、P層基板1の上部、N層2a、N<sup>+</sup>層3aa、3ab（第1の不純物層と第2の不純物層の一方）、P<sup>+</sup>層4aa（N<sup>+</sup>層3abが第1の不純物層だと第2の不純物層であり、N<sup>+</sup>層3abが第2の不純物層だと第1の不純物層である）よりなるSi柱台21aを形成する。同時に、Si柱6d、6e、6fの底部に繋がるN<sup>+</sup>層3、P<sup>+</sup>層4b、N層2、P層基板1をエッチングして、P層基板1の上部、N層2b、N<sup>+</sup>層3ba（図示せず、第1の不純物層と第2の不純物層の一方）、3bb（図示せず）、P<sup>+</sup>層4bb（N<sup>+</sup>層3baが第1の不純物層だと第2の不純物層であり、N<sup>+</sup>層3baが第2の不純物層だと第1の不純物層である）、よりなるSi柱台21bを形成する。そして、N<sup>+</sup>層3aa、3ab、3ba、3bb、P<sup>+</sup>層4aa、4bb、N層2a、2bの外周部と、P層基板1上にSiO<sub>2</sub>層22を形成する。そして、ALD法により、全体を覆って、HfO<sub>2</sub>層23、TiN層（図示せず）を形成する。この場合、Si柱6b、6c間と、Si柱6d、6e間と、ではTiN層が、側面同士で接触している。そして、Si柱6aの外周に形成したHfO<sub>2</sub>層23を囲んだTiN層24aと、Si柱6b、6cの外周に形成したHfO<sub>2</sub>層23を囲んだTiN層24bと、Si柱6d、6eの外周に形成したHfO<sub>2</sub>層23を囲んだTiN層24cと、Si柱6fの外周に形成したHfO<sub>2</sub>層23を囲んだTiN層24dと、を形成する。そして、全体にSiO<sub>2</sub>層（図示せず）を被覆し、その後、CMP法により全体を、その上面位置が、マスク半導体層7a、7b、7c、7d、7e、7fの上面位置になるように研磨する。そして、RIE法により平坦化したSiO<sub>2</sub>層（図示せず）をエッチバックして、SiO<sub>2</sub>層25を形成する。次に、マスク半導体層7a、7b、7c、7d、7e、7fと、SiO<sub>2</sub>層25と、をマスクにして、HfO<sub>2</sub>層23、TiN層24a、24b、24c、24dの頂部を除去する。TiN層24a、24b（第1のゲート導体層、第2のゲート導体層）、24c、24d（第1のゲート導体層、第2のゲート導体層）はSGTのゲート導体層となる。

20

30

40

## 【0051】

次に、図1Pに示すように、マスク半導体層7a~7fを除去し、Si柱6a~6fの外周部のSiO<sub>2</sub>層25上に、全体にSiN層27（第1の絶縁層）を形成し、CMP法により全体を、Si柱6a~6fの上部が露出するように研磨する。

## 【0052】

次に、図1Qに示すように、SiN層27上に、全体を覆って、FCVD法によるSiO<sub>2</sub>層28を被覆し、その後、Si柱6b、6e、SiN層27が露出するように、該SiO<sub>2</sub>層28を、例えばRIE（Reactive Ion Etching）によりエッチングして、平面視において帯状溝部28c、帯状被覆部28a、28bを形成し、選択エピタキシャル結晶成長法により、露出しているSi柱6b、6e頂部に、アクセプタ不純物を含んだP<sup>+</sup>層32

50

b (第3の不純物層と第4の不純物層との一方)、32e (第3の不純物層と第4の不純物層との一方)を形成する。

【0053】

次に、全体を覆って、FCVD法によるSiO<sub>2</sub>層29を被覆し、その後、その平面視において、帯状溝部28cと逆パターンになる帯状溝部29a、29bを、Si柱6a、6c、6d、6f、SiN層27が露出するように、例えばRIE (Reactive Ion Etching)により形成する。次に、図1Rに示すように、選択エピタキシャル結晶成長法により、露出しているSi柱6a、6c、6d、6f頂部に、ドナー不純物を含んだN<sup>+</sup>層32a (第3の不純物層と第4の不純物層との一方)、32c (第3の不純物層と第4の不純物層との一方)、32d (第3の不純物層と第4の不純物層との一方)、32f (第3の不純物層と第4の不純物層との一方)を形成する。

10

【0054】

次に、SiO<sub>2</sub>層29を、例えば等方性エッチングにより除去し、CVD法により全体に、SiO<sub>2</sub>層30を被覆し、図1Sに示すように、リソグラフィ法と、RIE (Reactive Ion Etching)により、各32a~32fの少なくとも一部が露出するようエッチングすることで、凹部30a、30b、30c、30d、30e、30fを形成する。

【0055】

次に、薄いTiN層 (図示せず)、W層 (図示せず)、を被覆し、図1Tに示すように、CMP法により全体を、SiO<sub>2</sub>層30の表面が十分露出するように研磨することで、W層33a、33b、33c、33d、33e、33fを形成する。

20

尚、本工程は、SiO層30より先に薄いTiN層、W層、を被覆し、リソグラフィ法と、RIE (Reactive Ion Etching)により、各32a~32fの少なくとも一部にTiN層、W層が残存するようエッチングし、33a、33b、33c、33d、33e、33fを形成した後に、CVD法により全体に、SiO<sub>2</sub>層30を被覆し、CMP法により全体を研磨してもよい。この際、研磨量は、W層表面が露出するまで行っても、W層上にSiO<sub>2</sub>層30が残存したままでもよい。

【0056】

次に、図1Uに示すように、全体を覆って上表面が平坦なSiO<sub>2</sub>層35を形成する。そして、N<sup>+</sup>層3aaとP<sup>+</sup>層4aaと、の平面視における境界上と、TiN層24c上と、に形成したコンタクトホールC1を介して接続配線金属層XC1 (図示せず)を形成する。同時に、N<sup>+</sup>層3bbとP<sup>+</sup>層4bbと、の平面視における境界上と、TiN層24bと、の上に形成したコンタクトホールC2を介して接続配線金属層XC2を形成する。全体を覆って上表面が平坦なSiO<sub>2</sub>層36を形成する。そして、TiN層24a、24d上に形成したコンタクトホールC3、C4を介して、ワード配線金属層WLを形成する。全体を覆って上表面が平坦なSiO<sub>2</sub>層37を形成する。そして、P<sup>+</sup>層32b、32e上のW層33b、33e上に形成したコンタクトホールC5、C6を介して電源配線金属層Vddを形成する。そして、N<sup>+</sup>層32c上のW層33c上に形成したコンタクトホールC7を介して、グランド配線金属層Vss1を形成する。同時に、N<sup>+</sup>層32d上のW層33d上に形成したコンタクトホールC8を介して、グランド配線金属層Vss2を形成する。そして、全体を覆って上表面が平坦なSiO<sub>2</sub>層39を形成する。そして、N<sup>+</sup>層32a、32f上のW層33a、33fに形成したコンタクトホールC9、C10を介してビット出力配線金属層BL、反転ビット出力配線金属層RBLを形成する。これにより、P層基板1上にSRAMセル回路が形成される。本SRAM回路では、Si柱6b、6eに負荷SGTが形成され、Si柱6c、6dに駆動SGTが形成され、Si柱6a、6fに選択SGTが形成されている。

30

40

【0057】

なお、図1Q、図1Rで示したN<sup>+</sup>層32a、32c、32d、32f、P<sup>+</sup>層32b、32eの形成後の熱工程により、N<sup>+</sup>層32a、32c、32d、32f、P<sup>+</sup>層32b、32eからSi柱6a~6fの頂部へのドナー、またはアクセプタ不純物の拡散により、N<sup>+</sup>層40a、40c、40d、40f (図示せず)、P<sup>+</sup>層40b、40e (図示せず)

50

が形成される。N<sup>+</sup>層40a、40c、40d、40f、P<sup>+</sup>層40b、40eの分布形状は、熱工程の履歴、及びSi柱6a~6fの直径により、Si柱6a~6fの表層または、内部全体に形成される。Si柱6a~6fの頂部に繋がって、N<sup>+</sup>層32a、32c、32d、32f、40a、40c、40d、40f、P<sup>+</sup>層32b、32e、40b、40e（P<sup>+</sup>層32b、32e、40b、40eが第1の不純物層の場合、N<sup>+</sup>層32c、32d、40c、40dは第2の不純物層であり、P<sup>+</sup>層32b、32e、40b、40eが第2の不純物層である場合、N<sup>+</sup>層32c、32d、40c、40dは第1の不純物層である）が形成される。

#### 【0058】

また、図1Qに示すように、Si柱6a~6fの下部に、SGTのソースまたはドレインとなるN<sup>+</sup>層3aa、3ab、3ba、3bb、P<sup>+</sup>層4aa、4bbがN層2a、2b上で、繋がって形成された。これに対し、N<sup>+</sup>層3aa、3ab、3ba、3bb、P<sup>+</sup>層4aa、4bbを、Si柱6a~6fの底部に形成して、かつN<sup>+</sup>層3aa、3ab、3ba、3bb、P<sup>+</sup>層4aa、4bb間を金属層、合金層を介して繋げてよい。また、N<sup>+</sup>層3aa、3ab、3ba、3bb、P<sup>+</sup>層4aa、4bbは、Si柱6a~6fの底部側面に接続して形成してもよい。上記のように、SGTのソース、またはドレインとなるN<sup>+</sup>層3aa、3ab、3ba、3bb、P<sup>+</sup>層4aa、4bbは、Si柱6a~6fの底部の内部、または側面外側に接して、その外周に形成されていてもよく、そして、各々が他の導体材料で電氣的に繋がっていてもよい。このことは、本発明に係るその他の実施形態においても同様である。

#### 【0059】

SGTを使用する回路で高集積化を図る際、必然的に半導体柱間の離間距離は小さくなる。例えば本実施形態では、半導体柱6a、6b、6c各々の間隔は小さくなる。これにより、以下の課題が発生する。

##### 課題1 .

高濃度N<sup>+</sup>層3aa、3abに隣接する高濃度P<sup>+</sup>層4aaと接する境界領域が、プロセス工程の熱による各々の不純物の相互拡散により、ドナー不純物とアクセプタ不純物が互いに打ち消しあい、不純物濃度が著しく低下し、高抵抗になってしまう。結果、駆動能力が低下してしまう。

##### 課題2 .

前述した相互拡散が大きい場合、N<sup>+</sup>層3aa、3abが逆導電型のP<sup>+</sup>層に、若しくはP<sup>+</sup>層4aaが逆導電型のN<sup>+</sup>層になり、結果、動作不良を引き起こす。

#### 【0060】

##### 特徴1 .

第1実施形態の製造方法によれば、上記問題に対し以下のような特徴をもつ。N<sup>+</sup>層3aaと3abに隣接するP<sup>+</sup>層4aaとの境界領域に、N<sup>+</sup>層3aa、N<sup>+</sup>層3ab、P<sup>+</sup>層4aaの不純物濃度より低い不純物濃度の半導体層100を形成することにより、高濃度不純物層同士が接しなくなり、ドナー不純物とアクセプタ不純物が互いに打ち消しあう現象が発生しなくなる。このため、課題1の駆動能力低下と課題2の動作不良を回避することが出来る。尚、半導体層100をドナー不純物とアクセプタ不純物を含まない真性半導体で形成、また、半導体層100が有する不純物拡散係数が、N<sup>+</sup>層3aa、N<sup>+</sup>層3ab、P<sup>+</sup>層4aaが有する不純物拡散係数より小さい材料で形成することでより一層の効果が得られる。

##### 特徴2 .

本実施形態では、6個のSGTよりなるSRAMセルについて説明した。これに対して、8個のSGTよりなるSRAMセルに対しても、本発明は適用できる。8個のSGTよりなるSRAMセルでは、Y方向に並んだ2列が、それぞれ4個のSGTより構成される。そして、この4個のSGTの内、負荷用または駆動用のSGTが2個隣接して並ぶ。この場合、3個並んだ負荷用と駆動用のSGTのゲート電極は接続しており、そして、隣接した負荷用と駆動用のSGTの上部の不純物層は離れて形成されなければならない。隣接

した負荷用と駆動用のSGTの関係は、6個のSGTよりなるSRAMセルと同じであるので、本実施形態の方法を適用することによって、高密度の8個のSGTより構成されたSRAMセルを形成できる。本発明は、他の複数のSGTよりなるSRAMセル形成にも適用できる。

特徴3 .

本実施形態では、本発明をSRAMセルに適用した例について説明した。同じチップ上に形成されるロジック回路において、もっとも多く使われるインバータ回路は、少なくとも2つのNチャネルSGTとPチャネルSGTよりなり、NチャネルSGTとPチャネルSGTとのゲート電極は接続している。そして、2つのNチャネルSGTとPチャネルSGTのそれぞれの上部の不純物領域は離れていなければいけない。このように、SRAMセルの負荷SGTと駆動SGTとの関係と、インバータ回路のNチャネルSGTとPチャネルSGTとの関係は同じである。これは、例えばSRAMセル領域とロジック回路領域を含んだマイクロプロセッサ回路に本発明を適用せることにより、高密度マイクロプロセッサ回路が実現できることを示している。

10

特徴4 .

本実施形態では、平面視において、円形状のSi柱6a~6fを形成した。Si柱6a~6fの一部または全ての平面視における形状は、円形、楕円、一方方向に長く伸びた形状などの形状が容易に形成できる。そして、SRAM領域から離れて形成されるロジック回路領域においても、ロジック回路設計に応じて、ロジック回路領域に、平面視形状の異なるSi柱が混在して形成することができる。これにより、高密度で、且つ高性能マイクロプロセッサ回路が実現できる。

20

【0061】

(第2実施形態)

以下、図2A~図2Cを参照しながら、本発明の第2実施形態に係る、SGTを有するSRAM回路の製造方法について説明する。(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY-Y'線に沿う断面構造図を示す。

【0062】

図1A、図1Bまでの工程を行い、次に、図2Aに示すように、半導体層100の被覆後に、全体に、ALD(Atomic Layered Deposition)法により、N<sup>+</sup>層3及びP<sup>+</sup>層4の不純物濃度より低い不純物濃度で且つ半導体層100と格子定数、エッチング選択比、不純物拡散係数が異なる半導体層101を被覆する。尚、該半導体層101は不純物を含まない真性半導体が望ましい。また、本実施形態では、2種の半導体層を積層しているが、それ以上の積層数にしてもよい。

30

【0063】

次に、図2Bに示すように、全体に、N<sup>+</sup>層3とは逆導電型であるP<sup>+</sup>層4をエピタキシャル結晶成長法により、既に形成されている段差が埋まる程度の十分な膜厚で形成する。

【0064】

次に、図2Cに示すように、CMP(Chemical Mechanical Polish)法により、P<sup>+</sup>層4を、N<sup>+</sup>層3上部の半導体層101上の表面まで研磨する。尚、図示していないが、N<sup>+</sup>層3上の半導体層100上の表面、または、N<sup>+</sup>層3上表面まで研磨してもよい。

40

【0065】

以降の工程は、第1実施例の図1F以降と同じである。

【0066】

本実施形態は以下のような特徴をもつ。

特徴1 .

図2Bに示すように、半導体層101直上に不純物P<sup>+</sup>層4をエピタキシャル層で形成する際、半導体層101に例えば真性アモルファスシリコンを使用することで、半導体層100直上にエピタキシャル層を形成するよりも、欠陥の少ない良質なエピタキシャル層を形成することが出来る。

特徴2 .

50

図 2 C に示すように、不純物 P<sup>+</sup>層 4 を CMP 法で研磨する際、半導体層 1 0 1 に研磨レートの遅い材料を使用することで、半導体層 1 0 1 表面上で研磨が停止し、下層まで研磨除去されない、というエッチングストッパーとして寄与出来る。

【 0 0 6 7 】

( 第 3 実施形態 )

以下、図 3 A、図 3 B を参照しながら、本発明の第 3 実施形態に係る、S G T を有する S R A M 回路の製造方法について説明する。( a ) は平面図、( b ) は ( a ) の X - X ' 線に沿う断面構造図、( c ) は ( a ) の Y - Y ' 線に沿う断面構造図を示す。

【 0 0 6 8 】

P 層 1 とその上表面に全面に被覆された N 層 2 とでなる基板上に、図 3 A に示すように、全体に、N<sup>+</sup>層 3 及び P<sup>+</sup>層 4 の不純物濃度より低い不純物濃度で半導体層 1 1 0 を被覆し、次に、全体に、不純物 N<sup>+</sup>層 3 を被覆する。尚、該半導体層 1 1 0 は不純物を含まない真性半導体が望ましい。また、該半導体層 1 1 0 が有するドナーまたはアクセプタ不純物拡散係数が、N<sup>+</sup>層 3 と P<sup>+</sup>層 4 各々が有するドナーまたはアクセプタ不純物拡散係数より小さいことが望ましい。

【 0 0 6 9 】

更に、該半導体層 1 1 0 の膜厚が、該半導体層 1 1 0 が有するドナーまたはアクセプタの製造工程完了時の不純物拡散領域が、該半導体層 1 1 0 と前記基板との間の境界に位置するように定められていることが望ましい。

【 0 0 7 0 】

また、該半導体層 1 1 0 は、2 種類以上の元素によって形成される化合物半導体層、例えば、シリコンゲルマニウムやシリコンカーバイドであることが望ましく、また、その化合物比が、それによって決定されるドナーまたはアクセプタの不純物拡散領域が、半導体層 1 1 0 と前記基板との間の境界に位置するように定められていることが望ましい。

【 0 0 7 1 】

次に、図 3 B に示すように、P<sup>+</sup>層を所望の位置に形成することを目的とし、フォトリソグラフィによりレジストマスクを形成し(図示せず)それをマスクとして、対象箇所の N<sup>+</sup>層 3 及び半導体層 1 1 0 をエッチングする。なお、本実施形態の際、N<sup>+</sup>層 3 のみをエッチングし、半導体層 1 1 0 を残存させてもよい。

【 0 0 7 2 】

以降の実施形態は、第 1 実施形態の図 1 C 以降と同じである。

【 0 0 7 3 】

本実施形態は以下のような特徴をもつ。

基板と不純物 N<sup>+</sup>層 3 との境界に、N<sup>+</sup>層 3 及び P<sup>+</sup>層 4 の不純物濃度より低い不純物濃度の半導体層 1 1 0 を形成することにより、不純物 N<sup>+</sup>層 3 からの基板方向への不純物拡散が抑制され、課題 1 の駆動能力低下と課題 2 の動作不良を回避することが出来る。

【 0 0 7 4 】

第 1 実施形態と本第 3 実施形態を実施した際の最終構造図が図 3 C であり、先ず、図 3 A、図 3 B で第 3 実施形態を形成し、次に、図 1 C ~ 図 1 U を実施することで第 1 実施形態を形成し、結果、図 3 C の構造が得られる。本構造は、第 1 及び第 3 実施形態の両形態の特徴を併せ持ち、本発明が解決しようとしている課題に対し、より大きな効果を持つ。

【 0 0 7 5 】

( 第 4 実施形態 )

以下、図 4 A、図 4 B を参照しながら、本発明の第 4 実施形態に係る、S G T を有する S R A M 回路の製造方法について説明する。( a ) は平面図、( b ) は ( a ) の X - X ' 線に沿う断面構造図、( c ) は ( a ) の Y - Y ' 線に沿う断面構造図を示す。

【 0 0 7 6 】

P 層 1 とその上表面に全面に被覆された N 層 2 とでなる基板上に、半導体層 1 1 0 を被覆後に、図 4 A に示すように、全体に、N<sup>+</sup>層 3 及び P<sup>+</sup>層 4 の不純物濃度より低い不純物濃度で且つ半導体層 1 1 0 と格子定数、エッチング選択比、不純物拡散係数が異なる半導

10

20

30

40

50

体層 1 1 1 を被覆する。尚、該半導体層 1 1 1 は不純物を含まない真性半導体が望ましい。また、本実施形態では、2 種の半導体層を積層しているが、それ以上の積層数にしてもよい。

【0077】

次に、図 4 B に示すように、P<sup>+</sup>層を所望の位置に形成することを目的とし、フォトリソグラフィによりレジストマスクを形成し（図示せず）それをマスクとして、対象箇所の N<sup>+</sup>層 3 及び半導体層 1 1 0 と 1 1 1 をエッチングする。なお、本実施形態の際、N<sup>+</sup>層 3 のみをエッチングし、半導体層 1 1 0 と 1 1 1 を残存させてもよいし、N<sup>+</sup>層 3 と半導体層 1 1 1 をエッチングし、半導体層 1 1 0 を残存させてもよい。

【0078】

以降の実施形態は、第 1 実施例の図 1 C 以降と同じである。

【0079】

本実施形態は以下のような特徴をもつ。

特徴 1 .

図 4 A に示すように、半導体層 1 1 1 直上に不純物 N<sup>+</sup>層 3 をエピタキシャル層で形成する際、半導体層 1 1 1 に例えば真性アモルファスシリコンを使用することで、半導体層 1 1 0 直上にエピタキシャル層を形成するよりも、欠陥の少ない良質なエピタキシャル層を形成することが出来る。

特徴 2 .

図 4 B に示すように、不純物 N<sup>+</sup>層 3 をエッチングする際、半導体層 1 1 1 にエッチングレートの遅い材料を使用することで、半導体層 1 1 1 表面上若しくは 1 1 1 膜中でエッチングが停止し、下層までエッチング除去されない、というエッチングストッパーとして寄与する。

【0080】

（第 5 実施形態）

以下、図 5 A、図 5 B を参照しながら、本発明の第 5 実施形態に係る、SGT を有する SRAM 回路の製造方法について説明する。（a）は平面図、（b）は（a）の X - X' 線に沿う断面構造図、（c）は（a）の Y - Y' 線に沿う断面構造図を示す。

【0081】

第 1 実施形態の図 1 D まで進行後、図 5 A に示すように、CMP（Chemical Mechanical Polish）法により、P<sup>+</sup>層 4 を、N<sup>+</sup>層 3 上表面まで研磨する。

【0082】

次に、図 5 B に示すように、全体に、N<sup>+</sup>層 3 及び P<sup>+</sup>層 4 の不純物濃度より低い不純物濃度の半導体層 1 2 0 を被覆する。尚、該半導体層 1 2 0 は不純物を含まない真性半導体が望ましい。また、該半導体層 1 2 0 が有するドナーまたはアクセプタ不純物拡散係数が、N<sup>+</sup>層 3 と P<sup>+</sup>層 4 各々が有するドナーまたはアクセプタ不純物拡散係数より小さいことが望ましい。

【0083】

更に、該半導体層 1 2 0 の膜厚が、該半導体層 1 2 0 が有するドナーまたはアクセプタの製造工程完了時の不純物拡散領域が、該半導体層 1 2 0 と前記 i 層 6 との間の境界に位置するように定められていることが望ましい。

【0084】

また、該半導体層 1 2 0 は、2 種類以上の元素によって形成される化合物半導体層、例えば、シリコンゲルマニウムやシリコンカーバイトであることが望ましく、また、その化合物比が、それによって決定されるドナーまたはアクセプタの不純物拡散領域が、該半導体層 1 2 0 と前記 i 層 6 との間の境界に位置するように定められていることが望ましい。

【0085】

以降の実施形態は、第 1 実施例の図 1 F 以降と同じである。

【0086】

本実施形態は以下のような特徴をもつ。

10

20

30

40

50

## 特徴 1 .

不純物 N<sup>+</sup>層 3、P<sup>+</sup>層 4 と i 層 6 の境界に、N<sup>+</sup>層 3 及び P<sup>+</sup>層 4 の不純物濃度より低い不純物濃度の半導体層 120 を形成することにより、不純物 N<sup>+</sup>層 3 及び P<sup>+</sup>層 4 からの半導体柱方向への不純物拡散が抑制され、課題 1 の駆動能力低下と課題 2 の動作不良を回避することが出来る。半導体層 120 が真性半導体で、且つ有するドナーまたはアクセプタ不純物拡散係数が、N<sup>+</sup>層 3 と P<sup>+</sup>層 4 各々が有するドナーまたはアクセプタ不純物拡散係数より小さい場合は、得られる効果がより大きい。

## 特徴 2 .

前項 1 の半導体柱方向への不純物拡散が抑制される効果により、半導体柱を不純物拡散分高くする必要がなくなり、半導体柱高さを低く抑えることが出来、半導体柱を倒壊しにくくすることが出来る。

10

## 【0087】

第 1 実施形態と本第 5 実施形態を実施した際の最終構造図が図 5 C であり、先ず、図 1 A ~ 図 1 D で第 1 実施形態を形成し、次に、図 5 A、図 5 B で第 5 実施形態を形成し、次に、図 1 F ~ 図 1 U を実施し、結果、図 5 C の構造が得られる。本構造は、第 1 及び第 5 実施形態の両形態の特徴を併せ持ち、本発明が解決しようとしている課題に対し、より大きな効果を持つ。

## 【0088】

## (第 6 実施形態)

以下、図 6 A ~ 図 6 D を参照しながら、本発明の第 6 実施形態に係る、SGT を有する SRAM 回路の製造方法について説明する。(a) は平面図、(b) は (a) の X - X' 線に沿う断面構造図、(c) は (a) の Y - Y' 線に沿う断面構造図を示す。

20

## 【0089】

第 5 実施形態の図 5 B まで進行後、図 6 A に示すように、半導体層 120 の表面に、全体に、N<sup>+</sup>層 3 及び P<sup>+</sup>層 4 の不純物濃度より低い不純物濃度で、かつ半導体層 120 と格子定数、エッチング選択比、不純物拡散係数が異なる半導体層 121 を被覆する。

## 【0090】

次に、i 層 6 を形成し、例えば、SiO<sub>2</sub>層、酸化アルミニウム (Al<sub>2</sub>O<sub>3</sub>、以後 AlO と称する) 層、SiO<sub>2</sub>層よりなるマスク半導体層 7 を形成する。そして、例えば、シリコンゲルマニウム (SiGe) 層 8 を堆積する。そして、SiO<sub>2</sub>層からなるマスク半導体層 9 を堆積する。そして、図 6 B に示すように、SiN 層からなるマスク半導体層 10 を堆積する。なお、i 層 6 はドナーまたはアクセプタ不純物原子を少量に含む N 型、または P 型の Si で形成されてもよい。

30

## 【0091】

次に、第 1 実施例の図 1 G から図 1 L と全く同じ工程を経て、図 6 C に至る。

## 【0092】

次に、マスク半導体層 19 a、19 c、19 d、19 e、19 f、19 h と、SiN 柱 20 a、20 c、20 d、20 e、20 f、20 h をマスクにして、マスク半導体層 7 をエッチングして、マスク半導体層 7 a、7 b、7 c、7 d、7 e、7 f を形成する。そして、マスク半導体層 19 a、19 c、19 d、19 e、19 f、19 h と、SiN 柱 20 a、20 c、20 d、20 e、20 f、20 h を除去する。そして、マスク半導体層 7 a、7 b、7 c、7 d、7 e、7 f をマスクにして、図 6 D に示すように、i 層 6 を半導体層 121 上までエッチングする。

40

## 【0093】

次に、さらにマスク半導体層 7 a、7 b、7 c、7 d、7 e、7 f をマスクにして、半導体層 121 と 120 を順次エッチングする。そして、図 6 E に示すように、N<sup>+</sup>層 3、P<sup>+</sup>層 4 a、4 b 上に Si 柱 6 a、6 b、6 c、6 d、6 e、6 f を形成する。なお、マスク半導体層 7 a、7 b、7 c、7 d、7 e、7 f は、垂直方向において、マスク半導体層 7 の上部層を除去したものでよい。マスク半導体層 7 の材料構成は、精度あるマスク半導体層 7 a、7 b、7 c、7 d、7 e、7 f を得るために選択される。

50

## 【0094】

本実施形態は以下のような特徴をもつ。

## 特徴1 .

図6Bに示すように、半導体層121直上にi層6をエピタキシャル層で形成する際、半導体層121に例えば真性アモルファスシリコンを使用することで、半導体層120直上にエピタキシャル層を形成するよりも、欠陥の少ない良質なエピタキシャル層を形成することが出来る。

## 特徴2 .

図6Dに示すように、i層6をエッチングする際、半導体層121にエッチングレートの遅い材料を使用することで、半導体層121上で一旦エッチングを停止することが出来る。次に図6Eに示すように、半導体層121、120を順次エッチングし、N<sup>+</sup>層3、P<sup>+</sup>層4a、4b上に柱高さのバラツキが少ないSi柱6a、6b、6c、6d、6e、6fを形成することが出来る。

10

## 【0095】

第1実施形態、第3実施形態、第5実施形態を実施した際の最終構造図が図7であり、先ず、図3A、図3Bで第3実施形態を形成し、次に、図1Cを実施することで第1実施形態を形成し、次に、図5A、図5Bで第5実施形態を形成し、次に、図1F～図1Uを実施し、結果、図7の構造が得られる。本構造は、第1及び第3及び第5実施形態の特徴を併せ持ち、本発明が解決しようとしている課題に対し、より大きな効果を持つ。

## 【0096】

(第7実施形態)

以下、図8を参照しながら、本発明の第7実施形態に係る、SGTを有するSRAM回路の製造方法について説明する。(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY-Y'線に沿う断面構造図を、(d)は(b)における主要部の断面構造拡大図を示す。

20

## 【0097】

図8は、第1実施例の図1Uの工程と同じで、(b)の位置が、(a)の平面視のコンタクトホール頂部C1を通る断面の構造図であり、コンタクトホール頂部C1と下部不純物拡散層との接続配線金属層XC1の断面を示している。

## 【0098】

図8の(b)、(d)が示すように、XC1底部内に、N<sup>+</sup>層3aa、P<sup>+</sup>層4aa、その2層の境界に位置する半導体層100a、の3層に電氣的に接続するようにXC1が形成されていることを特徴とする。

30

## 【0099】

本実施形態は以下のような特徴をもつ。

N<sup>+</sup>層3aaからのドナー不純物拡散とP<sup>+</sup>層4aaからのアクセプタ不純物拡散の両方より、急峻なPN接合が半導体層100aの膜中に形成され、少なくともその半導体層100aを含み、N<sup>+</sup>層3aa、P<sup>+</sup>層4aaと電氣的に接続するようXC1が形成されているため、十分に低いコンタクト抵抗を得ることが出来る。

## 【0100】

(第8実施形態)

以下、図9を参照しながら、本発明の第8実施形態に係る、SGTを有するSRAM回路の製造方法について説明する。(a)は平面図、(b)は(a)のX-X'線に沿う断面構造図、(c)は(a)のY-Y'線に沿う断面構造図を、(d)は(b)における主要部の断面構造拡大図を示す。

40

## 【0101】

図9は、第1実施例の図1Uの工程と同じで、(b)の位置が、(a)の平面視のコンタクトホール頂部C1を通る断面の構造図であり、コンタクトホール頂部C1と下部不純物拡散層との接続配線金属層XC1の断面を示している。

## 【0102】

50

図9の(b)、(d)が示すように、XC1底部がN層2に、XC1側壁部がP<sup>+</sup>層4 a aと半導体層100 aに、電氣的に接続するようにXC1が形成されていることを特徴とする。

【0103】

本実施形態は以下のような特徴をもつ。

N<sup>+</sup>層3 a aからのドナー不純物が、半導体層100 aの下部含むN層2の上表面に拡散し、ドナー不純物が高濃度になっているN層2領域に、XC1底部が電氣的に接続している。且つ、半導体層100 aとP<sup>+</sup>層4 a aに、XC1側壁部が電氣的に接続している。この形態においても、第7実施形態と同様、十分に低いコンタクト抵抗を得ることが出来る。

【0104】

なお、本発明に係る実施形態では、1つの半導体柱に1個のSGTを形成したが、2個以上を形成する回路形成においても、本発明を適用できる。2個以上を形成する回路形成においては、本発明が述べているSGTは、半導体柱の最下部にあるSGTである。

【0105】

また、第1実施形態では、Si柱6 a ~ 6 fを形成したが、ほかの半導体材料よりなる半導体柱であってもよい。このことは、本発明に係るその他の実施形態においても同様である。

【0106】

また、第1実施形態における、N<sup>+</sup>層3 a a、3 a b、3 b a、3 b b、3 2 a、3 2 c、3 2 d、3 2 f、P<sup>+</sup>層4 a a、4 b b、3 2 b、3 2 eは、ドナー、またはアクセプタ不純物を含んだSi、または他の半導体材料層より形成されてもよい。このことは、本発明に係るその他の実施形態においても同様である。

【0107】

また、第1実施形態では、N<sup>+</sup>層3 2 a、3 2 c、3 2 d、3 2 f、P<sup>+</sup>層3 2 b、3 2 eは、選択エピタキシャル結晶成長法を用いて形成した。CDE (Chemical Dry Etching) と通常のエピタキシャル結晶成長とを繰り返して、凹部30 a ~ 30 f内のSi柱6 a ~ 6 fの頂部上にN<sup>+</sup>層3 2 a、3 2 c、3 2 d、3 2 f、P<sup>+</sup>層3 2 b、3 2 eを形成する方法を含め、他の方法によりN<sup>+</sup>層3 2 a、3 2 c、3 2 d、3 2 f、P<sup>+</sup>層3 2 b、3 2 eを選択的に形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

【0108】

また、第1実施形態における、Si柱6 a ~ 6 fの外周部のSiN層27は、本発明の目的に合う材料であれば、単層または複数層よりなる有機材料または無機材料を含む他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

【0109】

また、第1実施形態において、マスク半導体層7はSiO<sub>2</sub>層、酸化アルミニウム (Al<sub>2</sub>O<sub>3</sub>、以後AlOと称する) 層、SiO<sub>2</sub>層より形成した。マスク材料層7は、本発明の目的に合う材料であれば、単層または複数層よりなる有機材料または無機材料を含む他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

【0110】

また、第1実施形態における、各種配線金属層XC1、XC2、WL、Vdd、Vss、BL、RBLの材料は、金属だけでなく、合金、アクセプタ、またはドナー不純物を多く含んだ半導体層などの導電材料層であってもよく、そして、それらを単層、または複数層組み合わせ構成させてもよい。このことは、本発明に係るその他の実施形態においても同様である。

【0111】

また、第1実施形態では、図10に示したように、ゲート導体層として、TiN層24 a、24 b、24 c、24 dを用いた。このTiN層24 a、24 b、24 c、24 dは

10

20

30

40

50

、本発明の目的に合う材料であれば、単層または複数層よりなる材料層を用いることができる。TiN層24a、24b、24c、24dは、少なくとも所望の仕事関数を持つ、単層または複数層の金属層などの導体層より形成できる。この外側に、たとえばW層などの他の導電層を形成してもよい。この場合、W層はゲート導体層を繋げる金属配線層の役割を行う。W層以外に単層、または複数層の金属層を用いても良い。また、ゲート絶縁層として、HfO<sub>2</sub>層23を用いが、それぞれを単層または複数層よりなる他の材料層を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

【0112】

第1実施形態において、Si柱6a~6fの平面視における形状は、円形状であった。そして、Si柱6a~6fの一部または全ての平面視における形状は、円形、楕円、一方方向に長く伸びた形状などの形状が容易に形成できる。そして、SRAM領域から離れて形成されるロジック回路領域においても、ロジック回路設計に応じて、ロジック回路領域に、平面視形状の異なるSi柱が混在して形成することができる。これらのこのことは、本発明に係るその他の実施形態においても同様である。

10

【0113】

また、第1実施形態において、Si柱6a~6fの底部に接続してN<sup>+</sup>層3aa、3ab、3ba、3bb、P<sup>+</sup>層4aa、4bbを形成した。N<sup>+</sup>層3aa、3ab、3ba、3bb、P<sup>+</sup>層4aa、4bb上面に金属、シリサイドなどの合金層を形成してもよい。上記のように、Si柱6a~6fの底部に繋がる不純物領域と、これらの不純物層を繋げる不純物層結合領域の形成は、設計、そして製造上の観点から決めてよい。N<sup>+</sup>層3aa、3ab、3ba、3bb、P<sup>+</sup>層4aa、4bbは、不純物層と、不純物層結合領域と、を兼用している。このことは、本発明に係るその他の実施形態においても同様である。

20

【0114】

また、第1実施形態では、P層基板1上にSGTを形成したが、P層基板1の代わりにSOI (Silicon On Insulator) 基板を用いても良い。または、基板としての役割を行うものであれば他の材料基板を用いてもよい。このことは、本発明に係るその他の実施形態においても同様である。

【0115】

また、第1実施形態では、Si柱6a~6fの上下に、同じ極性の導電性を有するN<sup>+</sup>層3aa、3ab、3ba、3bb、P<sup>+</sup>層4aa、4bbとN<sup>+</sup>層32a、32c、32d、32f、P<sup>+</sup>層32b、32eを用いて、ソース、ドレインを構成するSGTについて説明したが、極性が異なるソース、ドレインを有するトンネル型SGTに対しても、本発明が適用できる。このことは、本発明に係るその他の実施形態においても同様である。

30

【0116】

また、第1実施形態では、ゲートHfO<sub>2</sub>層23、ゲートTiN層24a、24b、24c、24dを形成した後に、N<sup>+</sup>層32a、32c、32d、32f、P<sup>+</sup>層32b、32eを形成した。これに対し、N<sup>+</sup>層32a、32c、32d、32f、P<sup>+</sup>層32b、32eを形成した後に、ゲートHfO<sub>2</sub>層23、ゲートTiN層24a、24b、24c、24dを形成してもよい。このことは、本発明に係るその他の実施形態においても同様である。

40

【0117】

また、縦型NAND型フラッシュメモリ回路では、半導体柱をチャネルにして、この半導体柱を囲んだトンネル酸化層、電荷蓄積層、層間絶縁層、制御導体層から構成されるメモリセルが複数段、垂直方向に形成される。これらメモリセルの両端の半導体柱には、ソースに対応するソース線不純物層と、ドレインに対応するビット線不純物層がある。また、1つのメモリセルに対して、その両側のメモリセルの一方がソースならば、他方がドレインの役割を行う。このように、縦型NAND型フラッシュメモリ回路はSGT回路の1つである。従って、本発明はNAND型フラッシュメモリ回路との混在回路に対しても適用することができる。

【0118】

50

同様に、磁気メモリ回路や強誘電体メモリ回路においても、メモリセル領域内外で使用されるインバータやロジック回路に対しても適用することができる。

【0119】

本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

【産業上の利用可能性】

【0120】

本発明に係る、柱状半導体装置の製造方法によれば、高密度の柱状半導体装置が得られる。

【符号の説明】

【0121】

1：P層基板

2、2a、2b：N層基板

3、3aa、3ab、3ba、3bb、32a、32c、32d、32f：N<sup>+</sup>層

4、4a、4b、32b、32e：P<sup>+</sup>層

6：i層

7、7a、7b、7c、7d、7e、7f、9、10：マスク半導体層

8：SiGe層

9a、9b、10a、10b、12aa、12ab、12ba、12bb、17a、

7b：帯状のマスク半導体層

19a、19b、19c、19d、19e、19f、19g、19h：矩形状のマスク半導体層

12、13a、13b、13c、16、27：SiN層

13aa、13ab、13ba、13bb：帯状SiN層

8a、8b 帯状SiGe層

6a、6b、6c、6d、6e、6f：Si柱

15、22、25、28、28a、28b、29、30、35、36、37、38、

39：SiO<sub>2</sub>層

20a、20b、20c、20d、20e、20f、20g、20h：SiN柱

3a、3b、28c、29a、29b、30a、30b、30c、30d、30e、

30f：凹部

23：HfO<sub>2</sub>層

24a、24b、24c、24d：TiN層

33a、33b、33c、33d、33e、33f：W層

21a、21b：Si柱台

100、101、110、111、120、121：半導体層

C1、C2、C3、C4、C5、C6、C7、C8、C9、C10：コンタクトホール

WL：ワード配線金属層

BL：ビット配線金属層

RBL：反転ビット配線金属層

Vss1、Vss2：グランド配線金属層

Vdd：電源配線金属層

XC1、XC2：接続配線金属層

10

20

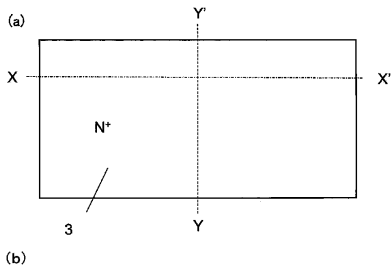
30

40

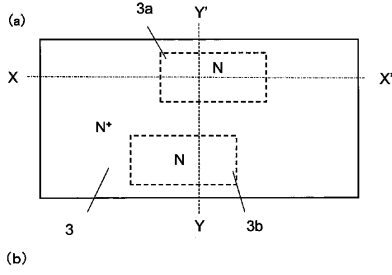
50

【図面】

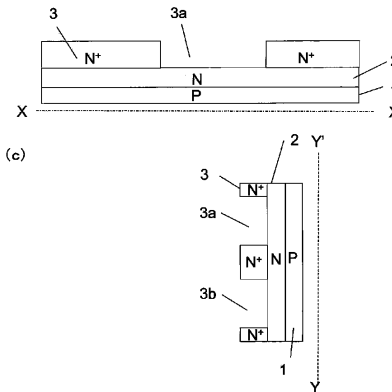
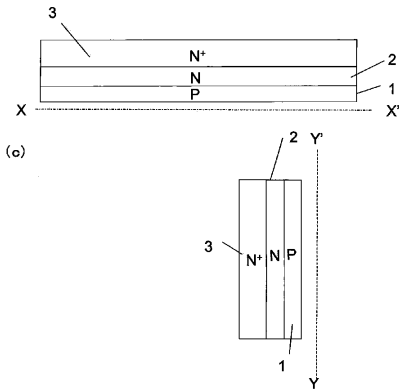
【図 1 A】



【図 1 B】

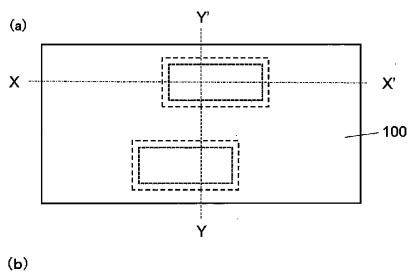


10

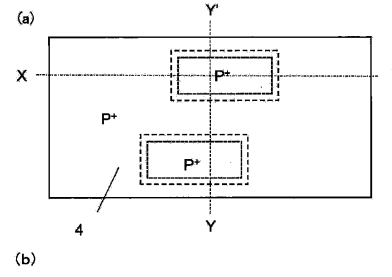


20

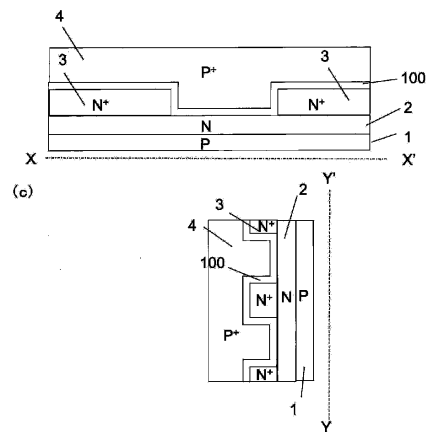
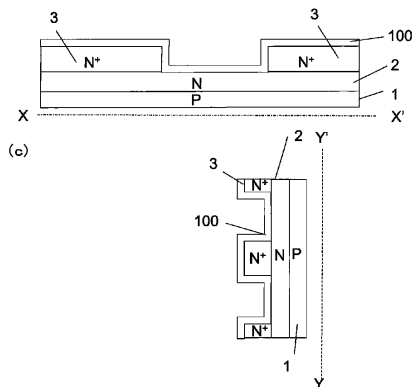
【図 1 C】



【図 1 D】



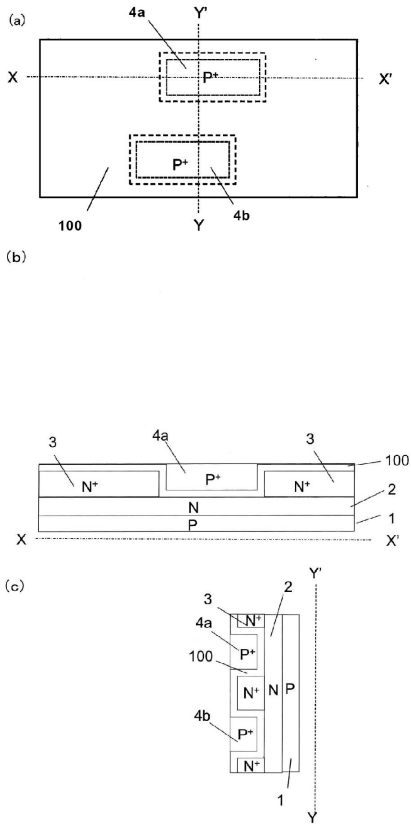
30



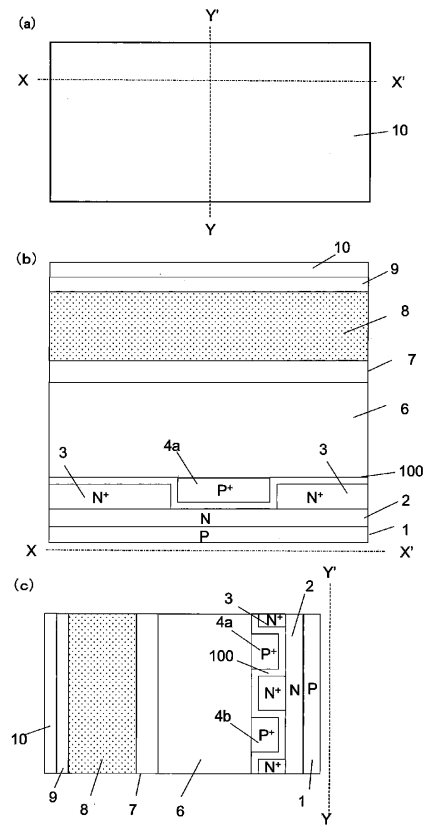
40

50

【図 1 E】



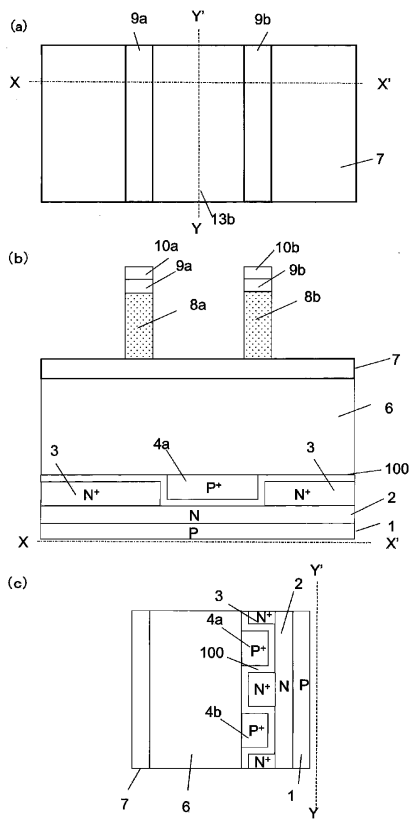
【図 1 F】



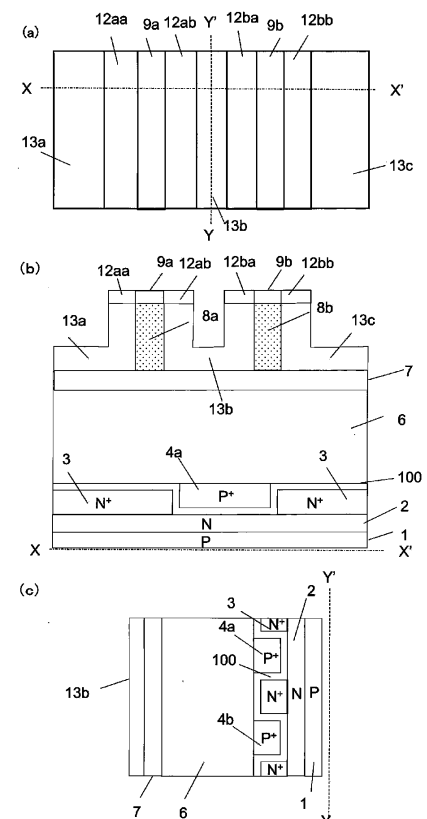
10

20

【図 1 G】



【図 1 H】

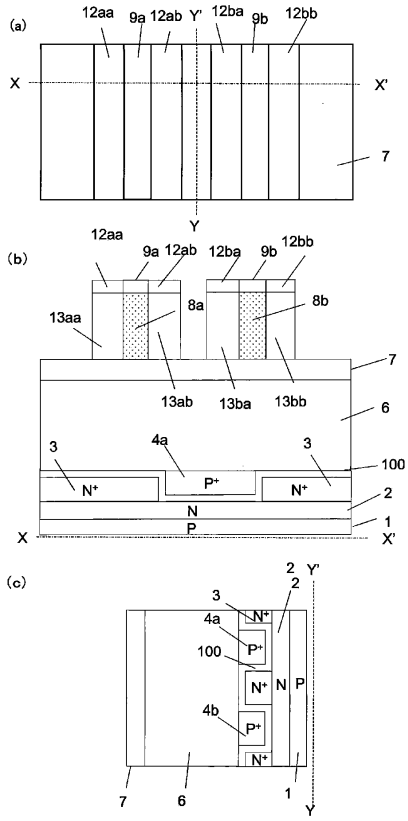


30

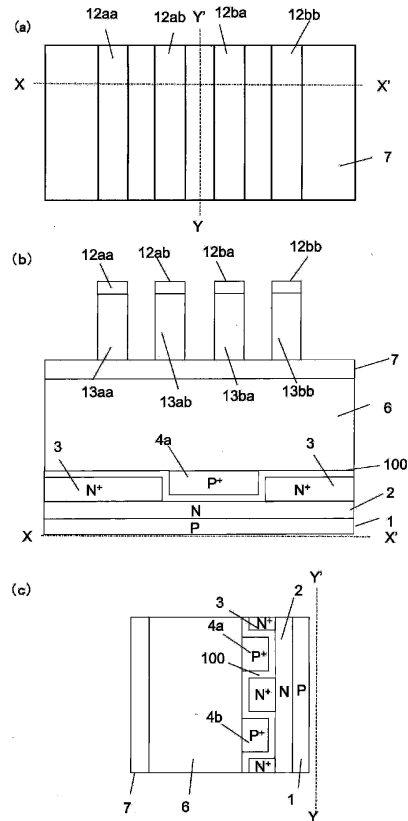
40

50

【図 1 I】



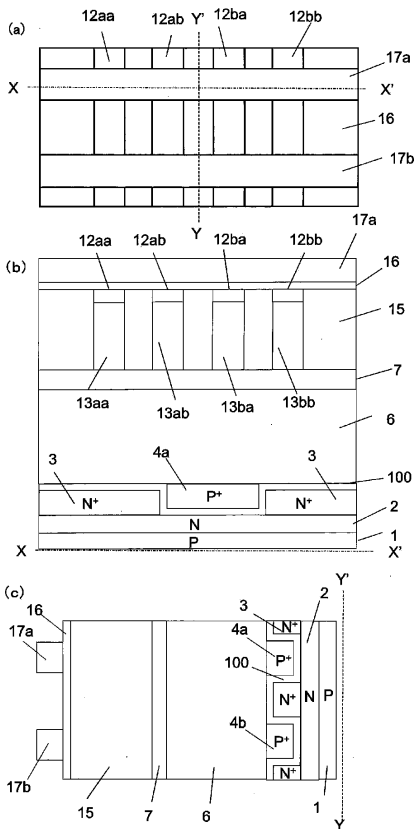
【図 1 J】



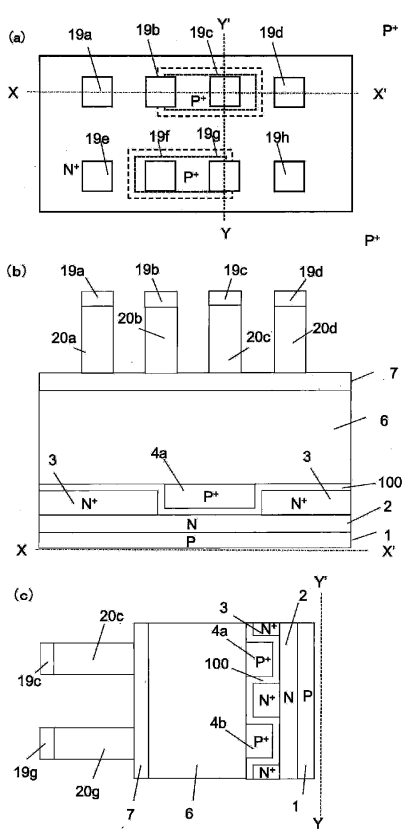
10

20

【図 1 K】



【図 1 L】

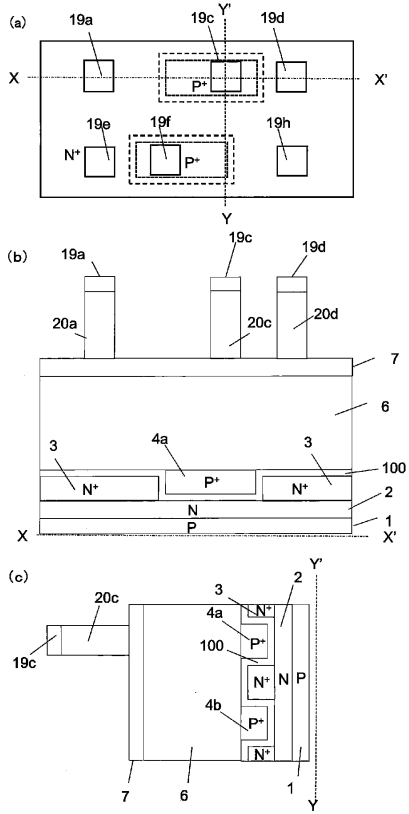


30

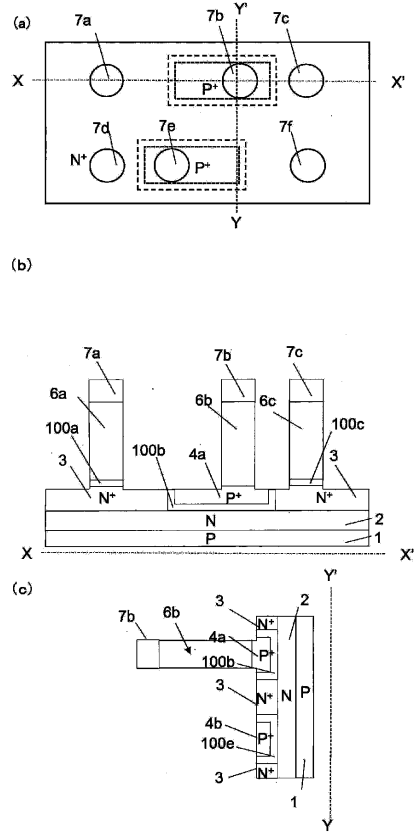
40

50

【図 1 M】



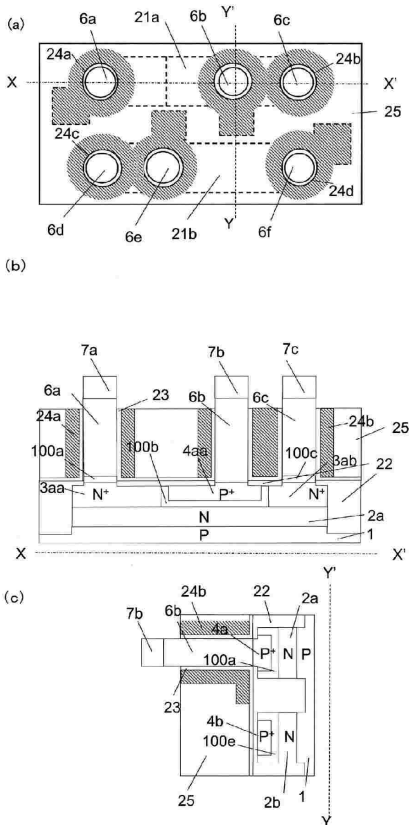
【図 1 N】



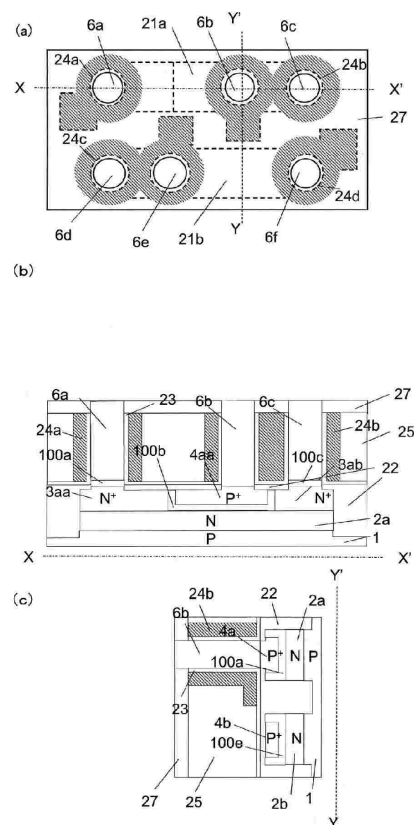
10

20

【図 1 O】



【図 1 P】

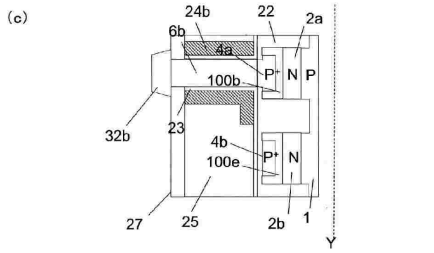
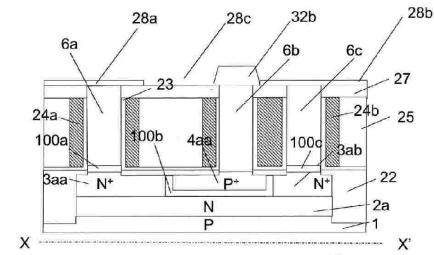
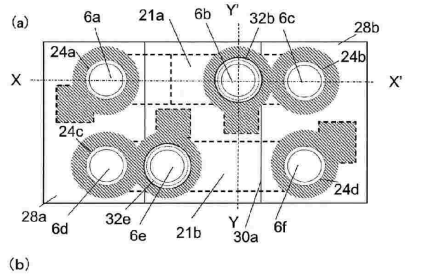


30

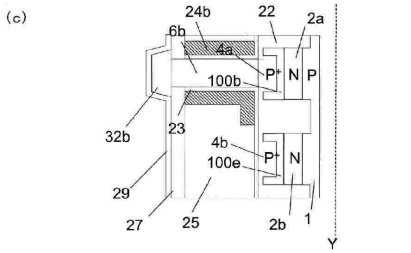
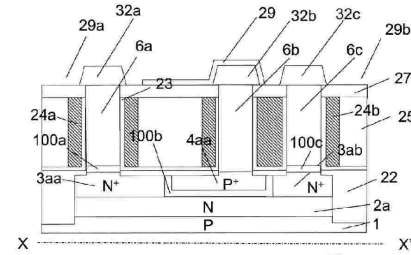
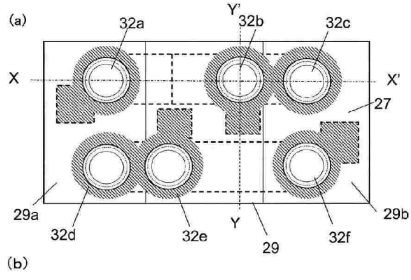
40

50

【図 1 Q】



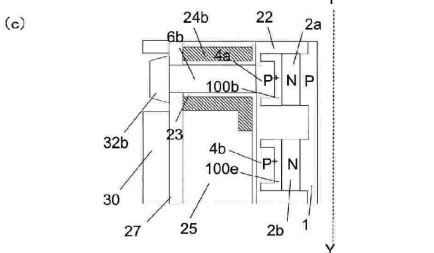
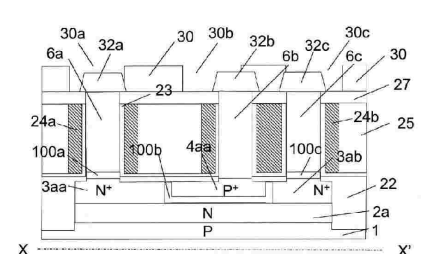
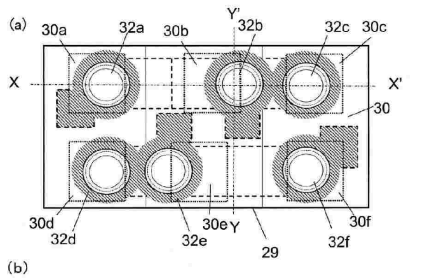
【図 1 R】



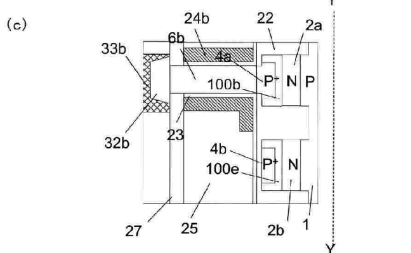
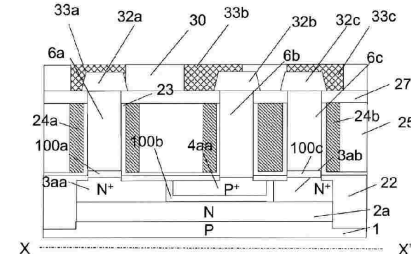
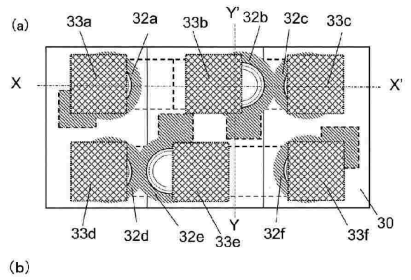
10

20

【図 1 S】



【図 1 T】

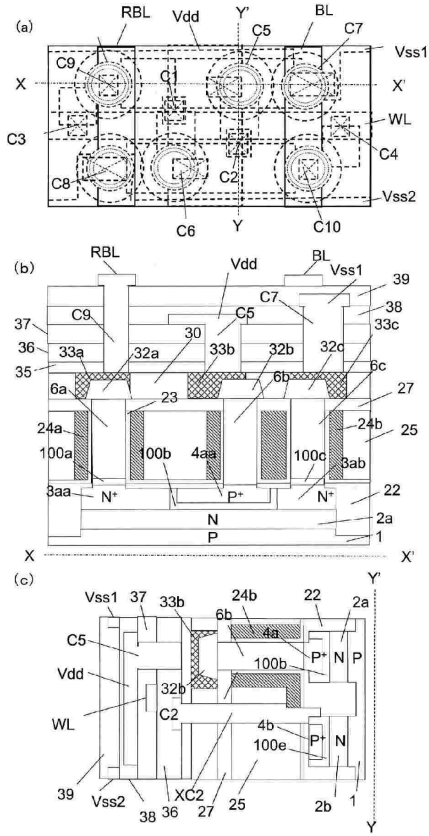


30

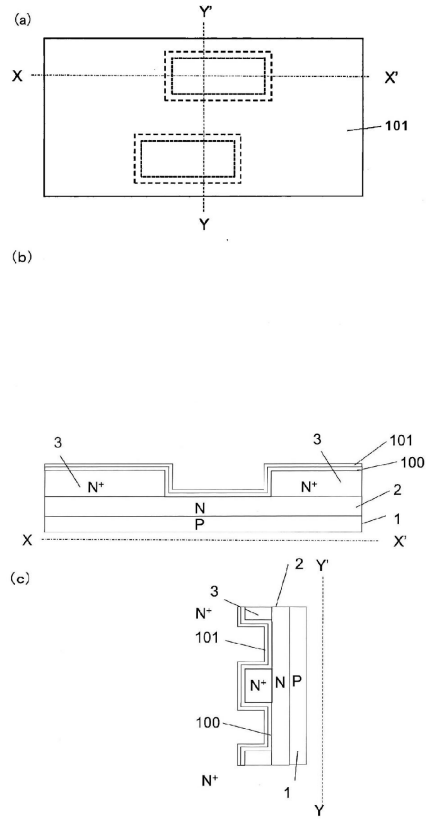
40

50

【図 1 U】



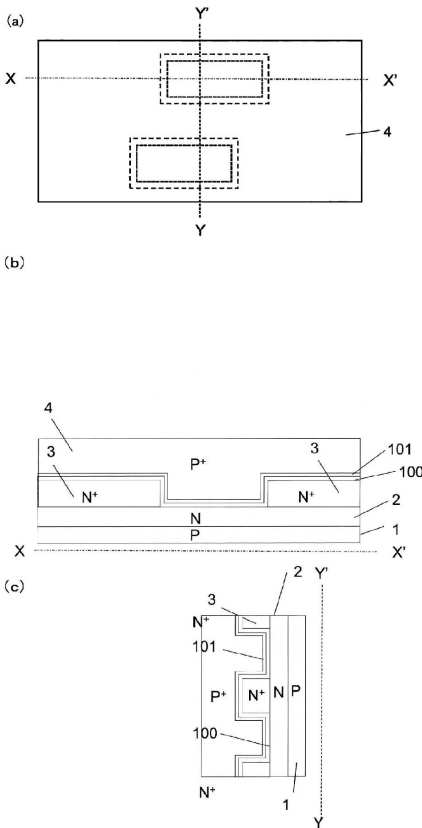
【図 2 A】



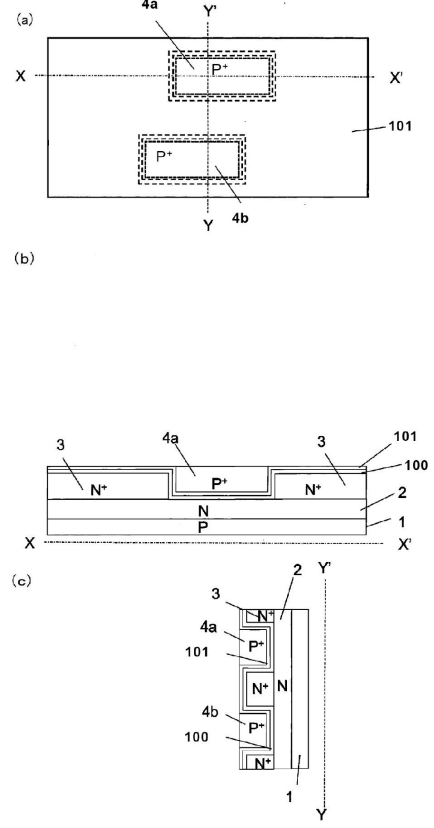
10

20

【図 2 B】



【図 2 C】

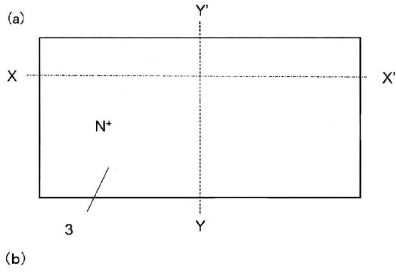


30

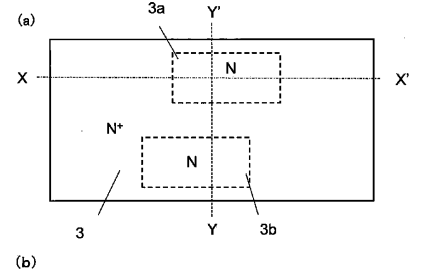
40

50

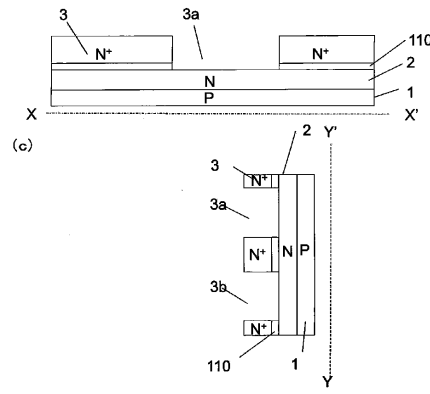
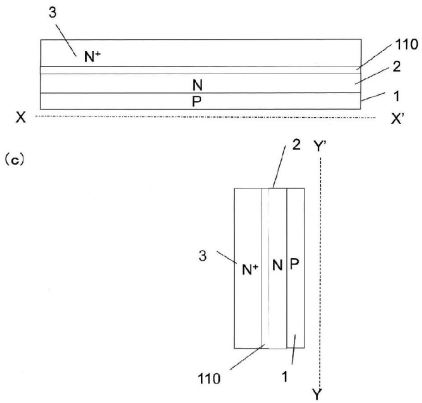
【図 3 A】



【図 3 B】

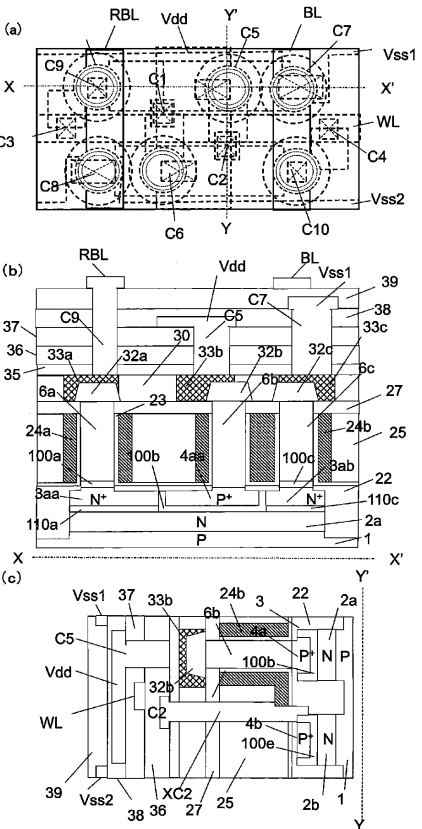


10

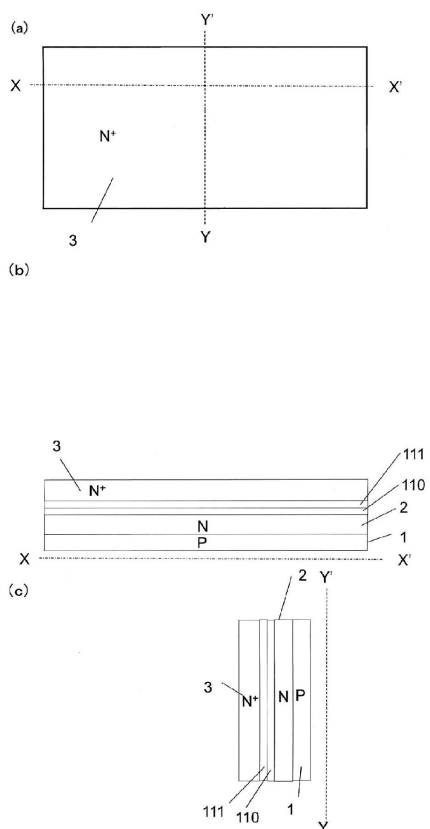


20

【図 3 C】



【図 4 A】



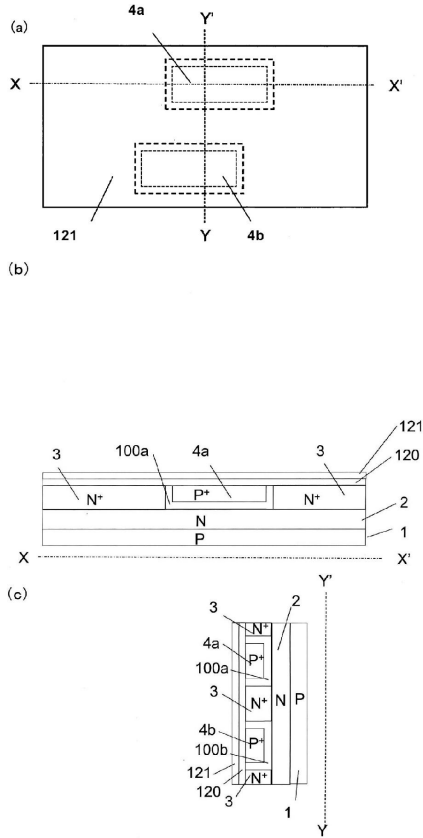
30

40

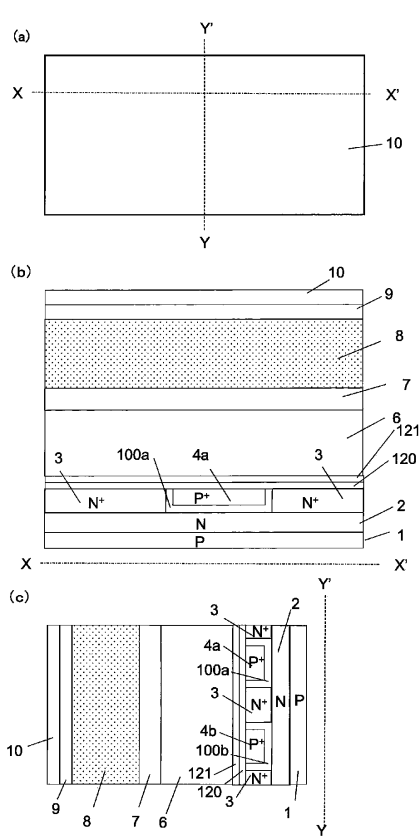
50



【図 6 A】



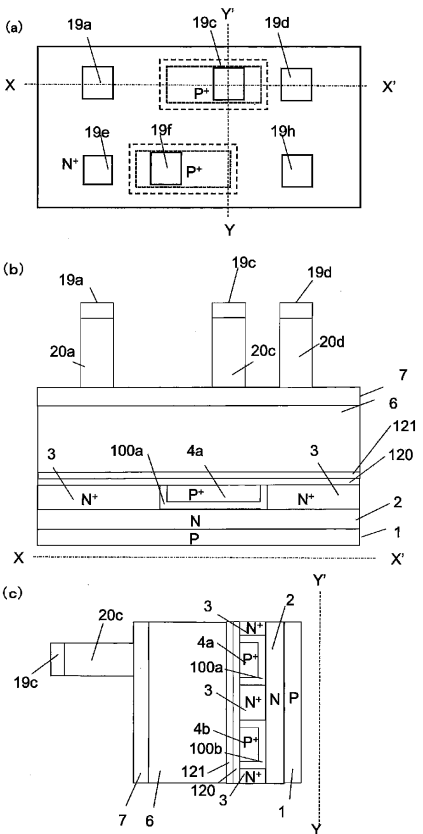
【図 6 B】



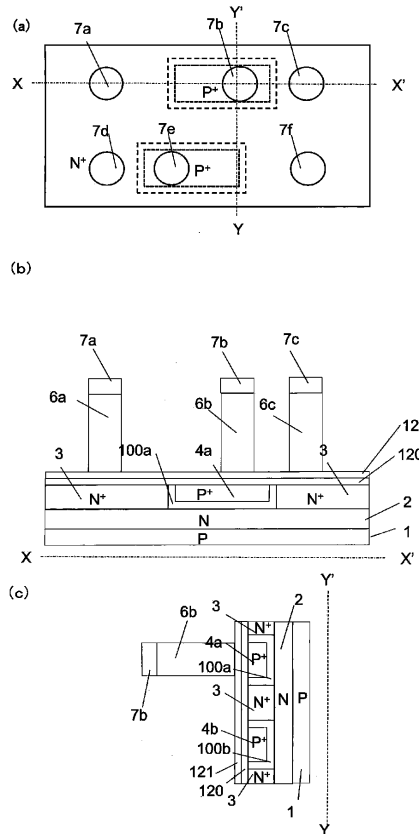
10

20

【図 6 C】



【図 6 D】

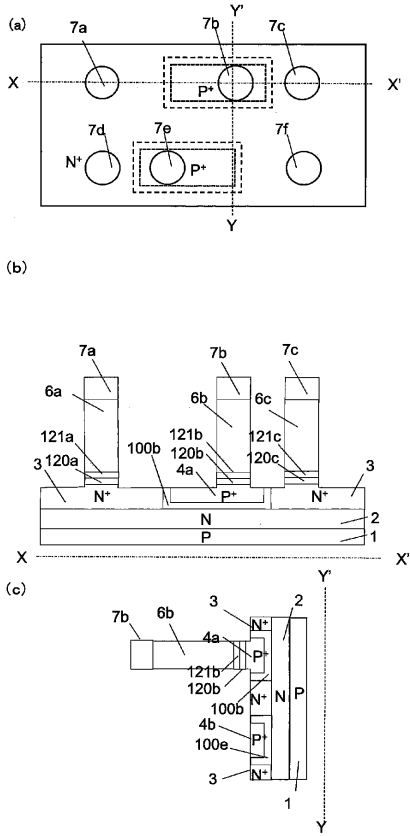


30

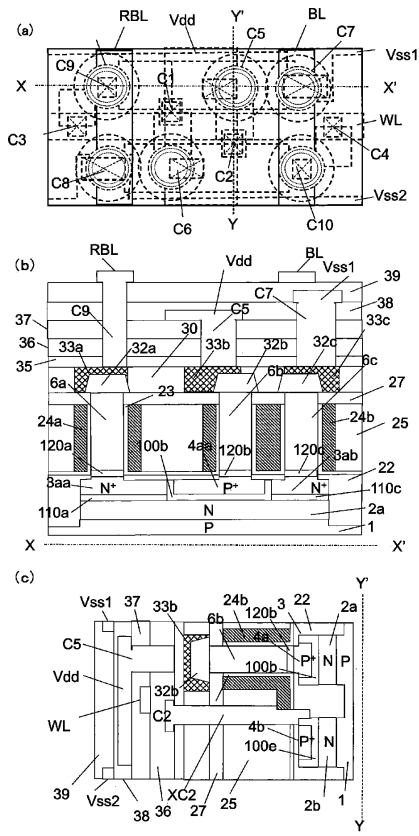
40

50

【図 6 E】



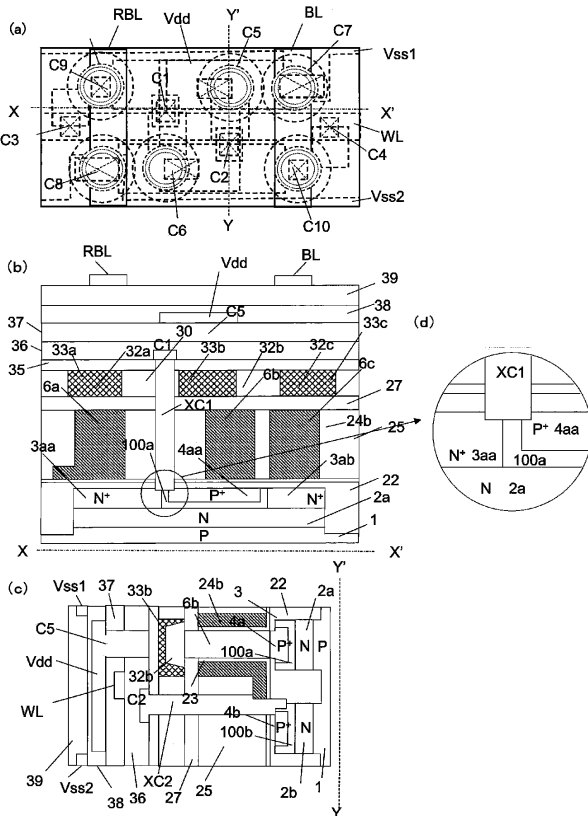
【図 7】



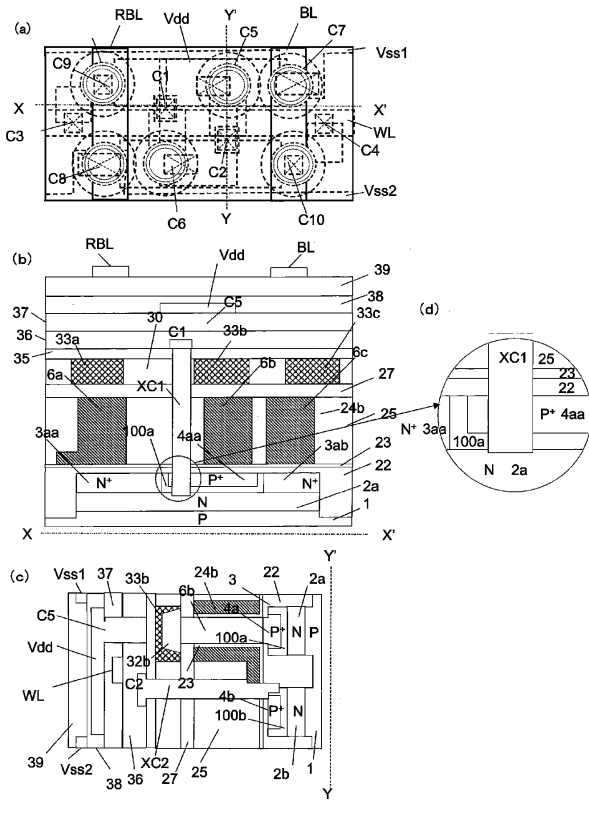
10

20

【図 8】



【図 9】

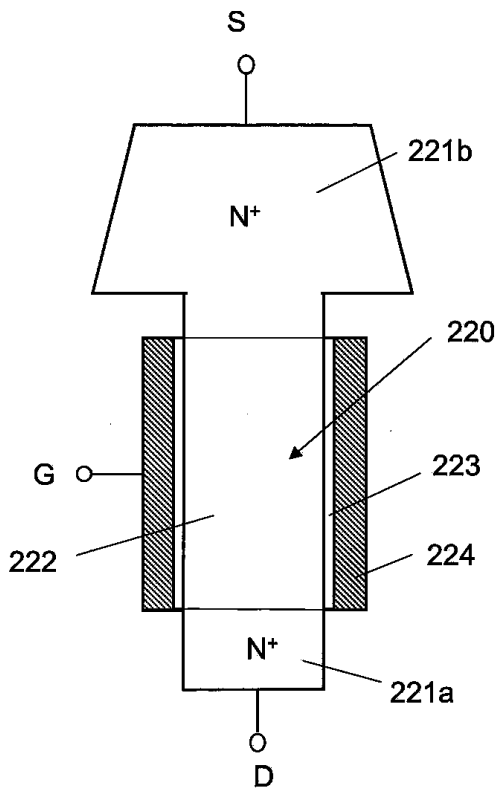


30

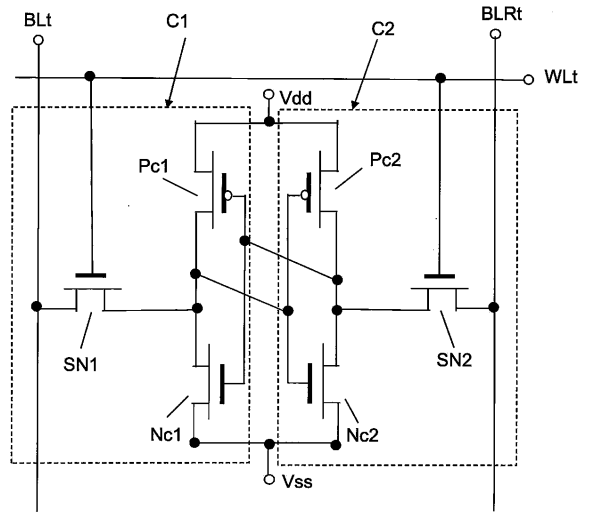
40

50

【図 10】



【図 11】



10

20

30

40

50

## フロントページの続き

(74)代理人 100086771  
弁理士 西島 孝喜

(74)代理人  
上杉 浩

(74)代理人 100141553  
弁理士 鈴木 信彦

(72)発明者 原田 望  
東京都千代田区麹町1丁目3番7号 日月館麹町ビル5階 Semicon Consulting  
株式会社内

(72)発明者 金澤 賢一  
東京都千代田区麹町1丁目3番7号 日月館麹町ビル5階 Semicon Consulting  
株式会社内

(72)発明者 リーソ  
シンガポール共和国 117684 シンガポール、ジ アルファ シンガポール サイエンスパーク  
2、#03-17A、サイエンス パーク ロード 10、ユニサンティス エレクトロニクス シン  
ガポール プライベート リミテッド内

審査官 西村 治郎

(56)参考文献 国際公開第2014/184933(WO, A1)  
国際公開第2019/087328(WO, A1)  
国際公開第2015/059789(WO, A1)  
国際公開第2015/033382(WO, A1)  
国際公開第2017/104066(WO, A1)

(58)調査した分野 (Int.Cl., DB名)  
H01L 29/78  
H01L 27/092  
H01L 21/336  
H01L 27/088  
H01L 21/8238