(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年12月19日(19.12.2024)

WIPO | PCT

(10) 国際公開番号
WO 2024/257277 A1

(51) 国際特許分類:
H01S 5/227 (2006.01)

(21) 国際出願番号： PCT/JP2023/022126

(22) 国際出願日： 2023年6月14日(14.06.2023)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(71) 出願人: 日本電信電話株式会社 (**NIPPON TELEGRAPH AND TELEPHONE CORPORATION**) [JP/JP]; 〒1008116 東京都千代田区大手町一丁目５番１号 Tokyo (JP).

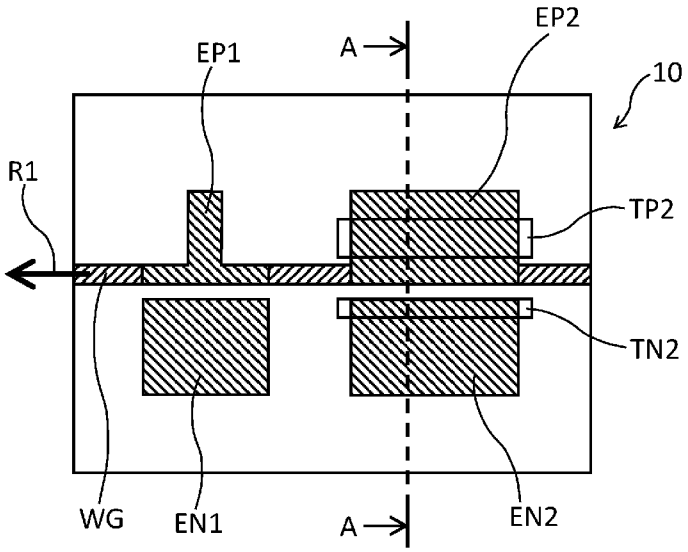
(72) 発明者: 金澤 慈 (**KANAZAWA Shigeru**); 〒1808585 東京都武蔵野市緑町３丁目９－１１ ＮＴＴ知的財産センタ内 Tokyo (JP). 小林 亘(**KOBAYASHI Wataru**); 〒1808585 東京都武蔵野市緑町３丁目９－１１ ＮＴＴ知的財産センタ内 Tokyo (JP). 陳 明晨(**CHIN Meishin**); 〒1808585 東京都武蔵野市緑町３丁目９－１１ ＮＴＴ知的財産センタ内 Tokyo (JP). 小菅 祥平(**KOSUGA Shohei**); 〒1808585 東京都武蔵野市緑町３丁目９－１１ ＮＴＴ知的財産センタ内 Tokyo (JP).

(74) 代理人: 三好 秀和，外 (**MIYOSHI Hidekazu** et al.); 〒1050001 東京都港区虎ノ門１丁目２番８号 虎ノ門琴平タワー Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,

(54) **Title:** OPTICAL MODULE

(54) 発明の名称： 光モジュール



(57) **Abstract:** This optical module is provided with: an optical semiconductor chip, a sub-carrier, and an electrode junction part that electrically connects the optical semiconductor chip and the sub-carrier. The optical semiconductor chip is provided with: an optical waveguide, a first stress relaxation groove and a second stress relaxation groove that are disposed along the optical waveguide so as to sandwich the optical waveguide when viewed from above the optical semiconductor chip, and p-type electrodes and n-type electrodes that are disposed so as to sandwich the first stress relaxation groove and the second stress relaxation groove. The electrode junction part is connected to the p-type electrodes and the n-type electrodes, and the first stress relaxation groove and the second stress relaxation groove are each deeper than the core part of the optical waveguide.

WO 2024/257277 A1

［続葉有］

PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能):ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

(57) 要約:光モジュールは、光半導体チップと、サブキャリアと、光半導体チップとサブキャリアを電気的に接続する電極接合部と、を備える。光半導体チップは、光導波路と、光半導体チップの上方から見て光導波路を挟むように光導波路に沿って配置された、第1応力緩和溝及び第2応力緩和溝と、第1応力緩和溝及び第2応力緩和溝を挟んで配置された、p型電極及びn型電極と、を備える。電極接合部は、p型電極及びn型電極と接続し、第1応力緩和溝及び第2応力緩和溝は、それぞれ光導波路のコア部よりも深い。

明　細　書

発明の名称 ： 光モジュール

技術分野

[0001] 本開示は、光モジュールに関する。

背景技術

[0002] 非特許文献１には、チップ上面にｐ型とｎ型の両方の電極が配置された分布帰還型（ＤＦＢ）レーザのチップが開示されている。当該チップをサブキャリアにフリップチップ実装し、アンダーフィル材をサブキャリアとチップ間の空隙に流し込むことでチップを固定し、光モジュールを形成する。アンダーフィル材は、チップとサブキャリアの間の熱膨張係数差による応力に起因する電極接合部の破断を抑制する。

先行技術文献

非特許文献

[0003] 非特許文献1：A. Marinins et. al., “Wafer-Scale Hybrid Integration of InP DFB Lasers on Si Photonics by Flip-Chip Bonding With sub-300 nm Alignment Precision,” J of Sel. In Quantum Electronics, vol. 29, no. 3, 8200311.

発明の概要

発明が解決しようとする課題

[0004] 非特許文献１に記載された光モジュールによれば、チップをサブキャリアに電気的に接合するため、半田、導電性接着剤、超音波接合などの接合方式が用いられる。これらの接合方式では高温下で接合が行われ、その後、室温に戻ることでチップとサブキャリアの間の接合部が収縮して応力が生じうる。接合部で生じた応力に起因して、レーザの発振波長がずれてしまうなどチップの特性が変化しうるという課題を有する。

[0005] 本開示は、上記課題に鑑みてなされたものである。その目的とするところは、チップをサブキャリアに電気的に接合した際の、チップの特性変動が抑

制された光モジュールを提供することにある。

課題を解決するための手段

[0006] 上述した課題を解決するために、本開示の一態様に係る光モジュールは、光半導体チップと、サブキャリアと、光半導体チップとサブキャリアを電気的に接続する電極接合部と、を備える。光半導体チップは、光導波路と、光半導体チップの上方から見て光導波路を挟むように光導波路に沿って配置された、第１応力緩和溝及び第２応力緩和溝と、第１応力緩和溝及び第２応力緩和溝を挟んで配置された、ｐ型電極及びｎ型電極と、を備える。電極接合部は、ｐ型電極及びｎ型電極と接続し、第１応力緩和溝及び第２応力緩和溝は、それぞれ光導波路のコア部よりも深い。

発明の効果

[0007] 本開示によれば、チップをサブキャリアに電気的に接合した際の、チップの特性変動が抑制された光モジュールを提供することができる。

図面の簡単な説明

[0008] [図1]図１は、本開示の第１実施形態に係る光モジュールが備える光半導体チップの上面図である。

[図2]図２は、図１の光半導体チップのＡ－Ａ線断面図である。

[図3]図３は、図１の光半導体チップに対する電極接合部の配置図である。

[図4]図４は、本開示の第１実施形態に係る光モジュールの側面図である。

[図5]図５は、本開示の第２実施形態に係る光モジュールが備える光半導体チップの上面図である。

発明を実施するための形態

[0009] 次に、図面を参照して、本開示の実施の形態を詳細に説明する。説明において、同一のものには同一符号を付して重複説明を省略する。

[0010] ［第１実施形態の説明］

図１は、本開示の第１実施形態に係る光モジュールが備える光半導体チップの上面図である。図２は、図１の光半導体チップのＡ－Ａ線断面図である

。図３は、図１の光半導体チップに対する電極接合部の配置図である。図４は、本開示の第１実施形態に係る光モジュールの側面図である。光モジュールは、光半導体チップ１０、サブキャリア２０、電極接合部を備える。

[0011] 光半導体チップ１０は、直接変調ＤＦＢレーザチップ、電界吸収型光変調器集積レーザチップのうちの少なくともいずれかである。例えば、光半導体チップ１０は、リン化インジウム（ＩｎＰ）基板上に作成されたチップである。光半導体チップ１０から出力された光（出力光Ｒ１）は、図示しない光波回路に導入される。光半導体チップ１０は、ここに挙げた例に限定されない。

[0012] サブキャリア２０は、光半導体チップ１０に電力を供給するための配線、又は、光半導体チップ１０からの信号を伝送するための配線を内蔵する。例えば、サブキャリア２０は、窒化アルミを基板として、金を配線パターンとしたものである。サブキャリア２０は、ここに挙げた例に限定されない。

[0013] その他、サブキャリア２０の熱膨張係数と、光半導体チップ１０の熱膨張係数が等しいものであってもよい。これにより、光半導体チップ１０とサブキャリア２０の間の熱膨張係数差による応力に起因する、電極接合部の破断が抑制される。

[0014] 図１，２に示すように、光半導体チップ１０は、光導波路ＷＧ、応力緩和溝ＴＰ２（第１応力緩和溝）、応力緩和溝ＴＮ２（第２応力緩和溝）、ｐ型電極ＥＰ１，ＥＰ２、ｎ型電極ＥＮ１，ＥＮ２を備える。ここで、応力緩和溝ＴＰ２，ＴＮ２は、光半導体チップ１０の上方から見て光導波路ＷＧを挟むように光導波路ＷＧに沿って配置される。図１において、応力緩和溝ＴＰ２，ＴＮ２は、光導波路ＷＧの延在する方向に沿って配置されている。応力緩和溝ＴＰ２は、ｐ型電極ＥＰ２の引き出し用の溝を兼ねていてもよい。応力緩和溝ＴＮ２は、ｎ型電極ＥＮ２の引き出し用の溝を兼ねていてもよい。

[0015] ｐ型電極ＥＰ２は、光半導体チップ１０の上面のうち、応力緩和溝ＴＰ２を挟んで光導波路ＷＧとは反対側に配置される。また、ｎ型電極ＥＮ２は、光半導体チップ１０の上面のうち、応力緩和溝ＴＮ２を挟んで光導波路ＷＧ

とは反対側に配置される。

[0016] 図２に示すように、光導波路ＷＧの延在する方向とは垂直な、光半導体チップ１０の断面において、ｎ型電極ＥＮ２、応力緩和溝ＴＮ２、光導波路ＷＧ、応力緩和溝ＴＰ２、ｐ型電極ＥＰ２の順に並んでいることが分かる。なお、光導波路ＷＧはコア部ＣＲを有し、コア部ＣＲの両側面は、半絶縁性半導体ＳＲで埋め込まれている。

[0017] ｐ型電極ＥＰ１，ＥＰ２、ｎ型電極ＥＮ１，ＥＮ２は、電極接合部を介してサブキャリア２０に内蔵された配線と電気的に接続する。ここで、電極接合部は、半田、導電性接着剤、金属のうちの少なくともいずれかである。

[0018] 例えば、光半導体チップ１０のこれらの電極に導電性接着剤を塗布し、光半導体チップ１０をサブキャリア２０にフリップチップ実装する。ｐ型電極ＥＰ１，ＥＰ２、ｎ型電極ＥＮ１，ＥＮ２は、サブキャリア２０に内蔵された配線と電気的に接続される。導電性接着剤の他にも、半田、金属、超音波接合による接着を用いて、電気的な接続を得るものであってもよい。

[0019] その他、応力緩和溝ＴＰ２，ＴＮ２は、それぞれ光導波路ＷＧのコア部ＣＲよりも深く形成されている。また、光半導体チップ１０のレーザ部（図示なし）に比べて、光導波路ＷＧの延在方向に沿って、応力緩和溝ＴＰ２，ＴＮ２は長く形成されている。

[0020] 応力緩和溝ＴＰ２，ＴＮ２を設けたことによる効果を確認するため、比較例として、応力緩和溝ＴＰ２，ＴＮ２を設けない光半導体チップ１０を用意した。そして、図１，２に示す光半導体チップ１０を、比較例と比較した。

[0021] なお、比較する際の条件として、光半導体チップ１０は、電界吸収型光変調器集積レーザチップであって、ＩｎＰ基板上に作成されたチップとした。また、サブキャリア２０は窒化アルミを基板とした。また、電極接合部として、金・スズの半田を用いた。

[0022] 光半導体チップ１０の電極が配置されている上面が、サブキャリア２０の配線側の面と接するように搭載し、金・スズ半田の融点以上の３２０度で加熱して３０秒程度保持し、室温まで冷却することで光モジュールを組み立て

た。

[0023] 図１，２に示す光半導体チップ１０について、サブキャリア２０に実装する前の発振波長を測定したところ、チップ温度２５度、レーザの電流値１００ｍＡで、発振波長は１３０８．１ｎｍであった。また、サブキャリア２０に実装する後の発振波長を測定したところ、同一の動作条件で、発振波長は１３０８．３ｎｍであった。つまり、発振波長のずれは０．２ｎｍであった。

[0024] 一方、比較例について、サブキャリア２０に実装する前の発振波長を測定したところ、チップ温度２５度、レーザの電流値１００ｍＡで、発振波長は１３０６．５ｎｍであった。また、サブキャリア２０に実装する後の発振波長を測定したところ、同一の動作条件で、発振波長は１３０５．０ｎｍであった。つまり、発振波長のずれは１．５ｎｍであった。

[0025] 以上の結果より、比較例に係る光半導体チップに比べて、本実施形態に係る光半導体チップ及び光モジュールによれば、応力によって発生する発振波長の変動を抑制できていることが確認できた。

[0026] ［第２実施形態の説明］

図５は、本開示の第２実施形態に係る光モジュールが備える光半導体チップの上面図である。図１と比較して、本実施形態に係る光モジュールが備える光半導体チップでは、さらに、応力緩和溝ＴＰ１（第１応力緩和溝）及び応力緩和溝ＴＮ１（第２応力緩和溝）が設けられている。応力緩和溝ＴＰ１は、ｐ型電極ＥＰ１の引き出し用の溝を兼ねていてもよい。応力緩和溝ＴＮ１は、ｎ型電極ＥＮ１の引き出し用の溝を兼ねていてもよい。

[0027] 応力緩和溝ＴＰ１，ＴＮ１を設けたことによる効果を確認するため、比較例として、応力緩和溝ＴＰ１，ＴＮ１を設けない光半導体チップを用意した。そして、図５に示す光半導体チップ１０を、比較例と比較した。

[0028] なお、比較する際の条件として、光半導体チップ１０は、電界吸収型光変調器集積レーザチップであって、ＩｎＰ基板上に作成されたチップとした。また、サブキャリア２０は窒化アルミを基板とした。また、電極接合部とし

て、金バンプと導電性接着剤を用いた。

[0029] 導電性接着剤を、サブキャリア２０の配線面に塗布後、光半導体チップ１０の電極が配置されている上面が、サブキャリア２０の配線側の面と接するように搭載した。その後、導電性接着剤の硬化温度である１５０度で２０分ほど保持した後、冷却することで光モジュールを組み立てた。

[0030] 図５に示す光半導体チップ１０について、サブキャリア２０に実装する前の発振波長を測定したところ、チップ温度２５度、レーザの電流値１２０ｍＡで、発振波長は１５５０．４ｎｍであった。また、サブキャリア２０に実装する後の発振波長を測定したところ、同一の動作条件で、発振波長は１５５０．７ｎｍであった。つまり、発振波長のずれは０．３ｎｍであった。

[0031] 一方、比較例について、サブキャリア２０に実装する前の発振波長を測定したところ、チップ温度２５度、レーザの電流値１２０ｍＡで、発振波長は１５４５．５ｎｍであった。また、サブキャリア２０に実装する後の発振波長を測定したところ、同一の動作条件で、発振波長は１５４６．９ｎｍであった。つまり、発振波長のずれは１．４ｎｍであった。

[0032] 以上の結果より、比較例に係る光半導体チップに比べて、本実施形態に係る光半導体チップ及び光モジュールによれば、応力によって発生する発振波長の変動を抑制できていることが確認できた。

[0033] 電界吸収型光変調器集積レーザチップである光半導体チップ１０が有する、ＥＡ変調器の消光特性の測定を行った。

[0034] 図５に示す光半導体チップ１０について、サブキャリア２０に実装する前の段階では、チップ温度２５度、レーザの電流値１２０ｍＡで、ＥＡ変調器のバイアス電圧０Ｖと－２．５Ｖでの光出力パワーを測定したところ、光出力パワーの差は１２．０ｄＢであった。サブキャリア２０に実装した後の段階では、同一の動作条件で、光出力パワーの差は１１．９ｄＢであった。

[0035] 一方、比較例について、サブキャリア２０に実装する前の段階では、チップ温度２５度、レーザの電流値１２０ｍＡで、ＥＡ変調器のバイアス電圧０Ｖと－２．５Ｖでの光出力パワーを測定したところ、光出力パワーの差は１

３．０ｄＢであった。サブキャリア２０に実装した後の段階では、同一の動作条件で、光出力パワーの差は１４．０ｄＢであった。

[0036] 以上の結果より、比較例に係る光半導体チップに比べて、本実施形態に係る光半導体チップ及び光モジュールによれば、応力によって発生するＥＡ変調器の消光特性の変動を抑制できていることが確認できた。

[0037] ［実施形態の効果］

以上詳細に説明したように、本実施形態に係る光モジュールは、光半導体チップと、サブキャリアと、光半導体チップとサブキャリアを電気的に接続する電極接合部と、を備える。光半導体チップは、光導波路と、光半導体チップの上方から見て光導波路を挟むように光導波路に沿って配置された、第１応力緩和溝及び第２応力緩和溝と、光半導体チップの上面のうち、第１応力緩和溝を挟んで光導波路とは反対側に配置されたｐ型電極と、光半導体チップの上面のうち、第２応力緩和溝を挟んで光導波路とは反対側に配置されたｎ型電極と、を備える。電極接合部は、ｐ型電極及びｎ型電極と接続し、第１応力緩和溝及び第２応力緩和溝は、それぞれ光導波路のコア部よりも深い。

[0038] これにより、チップをサブキャリアに電気的に接合した際の、チップの特性変動が抑制された光モジュールを提供することができる。特に、第１応力緩和溝及び第２応力緩和溝が、光導波路のコア部よりも深いことにより、電極接合部で生じた応力が光導波路のコア部に伝わってしまうことが抑制される。その結果、チップの特性変動が抑制される。

[0039] また、本実施形態に係る光モジュールにおいて、光半導体チップはレーザ部をさらに備え、第１応力緩和溝及び第２応力緩和溝は、それぞれレーザ部よりも長いものであってもよい。これにより、電極接合部で生じた応力がレーザ部に伝わってしまうことが抑制される。その結果、レーザの発振波長のずれが抑制される。

[0040] さらに、本実施形態に係る光モジュールにおいて、光半導体チップは、直接変調ＤＦＢレーザチップ、電界吸収型光変調器集積レーザチップのうちの

少なくともいずれかである、これにより、直接変調ＤＦＢレーザチップ、電界吸収型光変調器集積レーザチップにおける高周波特性を改善し、波長安定性を増大させることができる。

[0041] また、本実施形態に係る光モジュールにおいて、コア部の両側面が半絶縁性半導体で埋め込まれているものであってもよい。これにより、コア部が、近接して配置されるｐ型電極、ｎ型電極から絶縁される。その結果、コア部の特性が変動してしまうことが抑制される。

[0042] さらに、本実施形態に係る光モジュールにおいて、ｐ型電極、ｎ型電極は、電極接合部を介してサブキャリアに内蔵された配線と電気的に接続し、電極接合部は、半田、導電性接着剤、金属のうちの少なくともいずれかであってもよい。これにより、光半導体チップ１０の電極と、サブキャリアに内蔵された配線の電気的接続を確保することができる。

[0043] また、本実施形態に係る光モジュールにおいて、サブキャリアの熱膨張係数と、光半導体チップの熱膨張係数が等しいものであってもよい。これにより、光半導体チップをサブキャリアに実装した際の、光半導体チップとサブキャリアの間の熱膨張係数差による応力が抑制される。その結果、光半導体チップとサブキャリアの間の電極接合部の破断を抑制する。

[0044] 以上、実施形態に沿って本開示の内容を説明したが、本開示はこれらの記載に限定されるものではなく、種々の変形及び改良が可能であることは、当業者には自明である。この開示の一部をなす論述および図面は本開示を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施形態、実施例および運用技術が明らかとなろう。

[0045] 本開示はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本開示の技術的範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

符号の説明

[0046] ＣＲ　コア部

ＥＮ１，ＥＮ２　ｎ型電極

ＥＰ１，ＥＰ２　　ｐ型電極

ＴＰ１，ＴＰ２，ＴＮ１，ＴＮ２　　応力緩和溝

ＷＧ　　光導波路

１０　　光半導体チップ

２０　　サブキャリア

請求の範囲

[請求項1] 光半導体チップと、

サブキャリアと、

前記光半導体チップと前記サブキャリアを電気的に接続する電極接合部と、

を備える光モジュールであって、

前記光半導体チップは、

光導波路と、

前記光半導体チップの上方から見て前記光導波路を挟むように前記光導波路に沿って配置された、第１応力緩和溝及び第２応力緩和溝と、

前記光半導体チップの上面のうち、前記第１応力緩和溝を挟んで前記光導波路とは反対側に配置されたｐ型電極と、

前記光半導体チップの上面のうち、前記第２応力緩和溝を挟んで前記光導波路とは反対側に配置されたｎ型電極と、

を備え、

前記電極接合部は、前記ｐ型電極及び前記ｎ型電極と接続し、

前記第１応力緩和溝及び前記第２応力緩和溝は、それぞれ前記光導波路のコア部よりも深い、

光モジュール。

[請求項2] 前記光半導体チップはレーザ部をさらに備え、

前記第１応力緩和溝及び前記第２応力緩和溝は、それぞれ前記レーザ部よりも長い、請求項１に記載の光モジュール。

[請求項3] 前記光半導体チップは、直接変調ＤＦＢレーザチップ、電界吸収型光変調器集積レーザチップのうちの少なくともいずれかである、請求項１に記載の光モジュール。

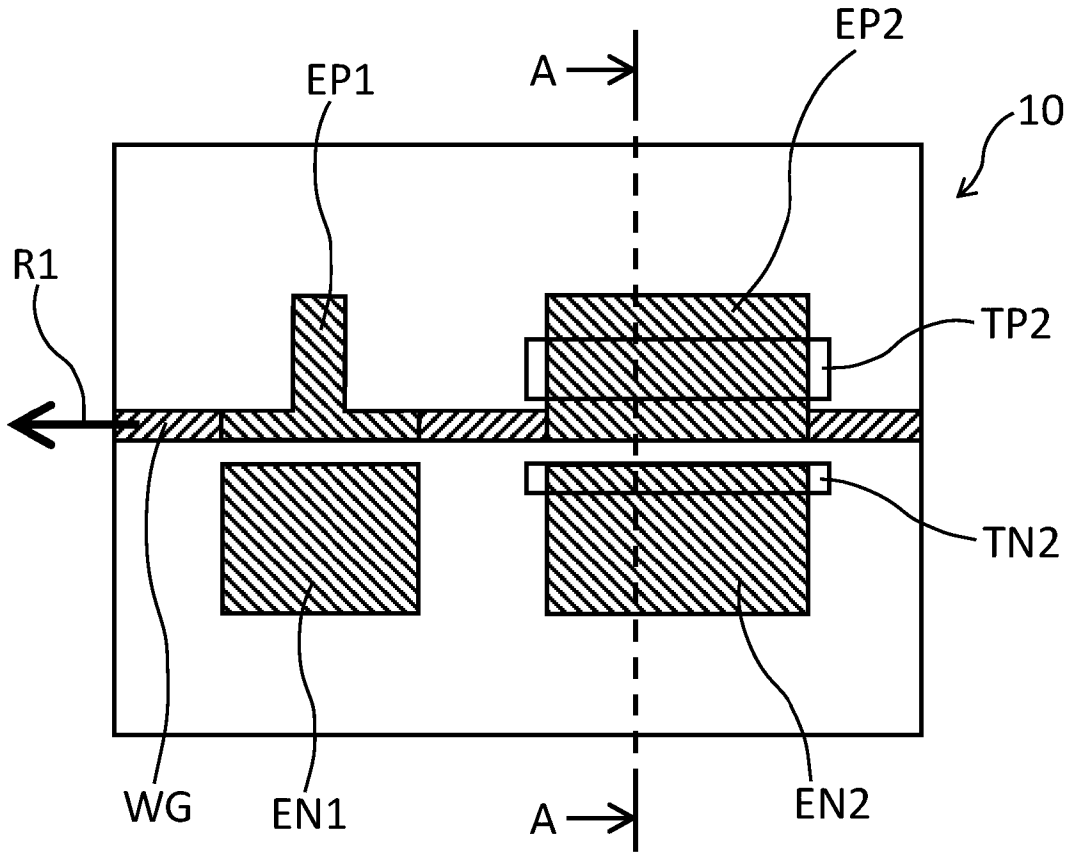
[請求項4] 前記コア部の両側面が半絶縁性半導体で埋め込まれている、請求項１に記載の光モジュール。

[請求項5] 前記ｐ型電極、前記ｎ型電極は、前記電極接合部を介して前記サブキャリアに内蔵された配線と電気的に接続し、

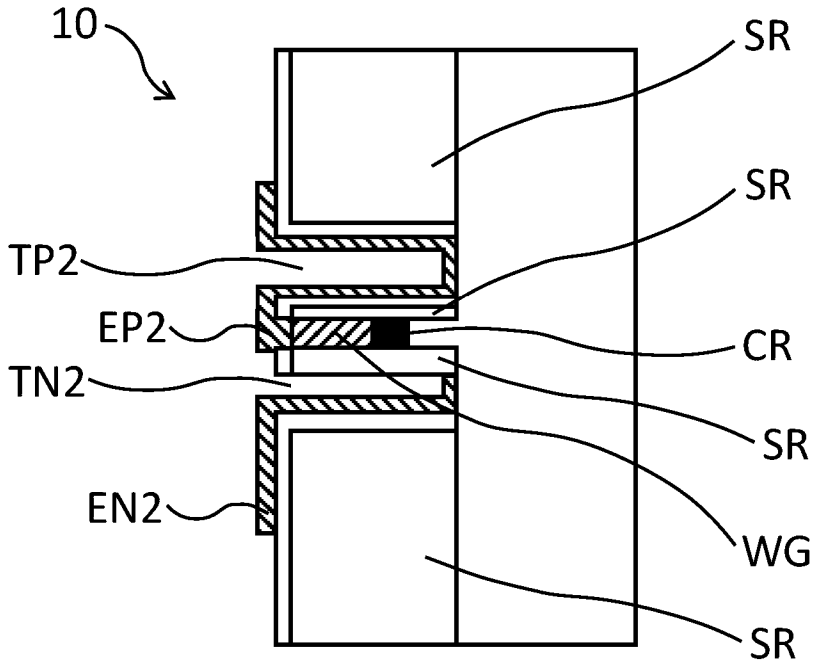
前記電極接合部は、半田、導電性接着剤、金属のうちの少なくともいずれかである、請求項１に記載の光モジュール。

[請求項6] 前記サブキャリアの熱膨張係数と、前記光半導体チップの熱膨張係数が等しい、請求項１～５のいずれか一項に記載の光モジュール。

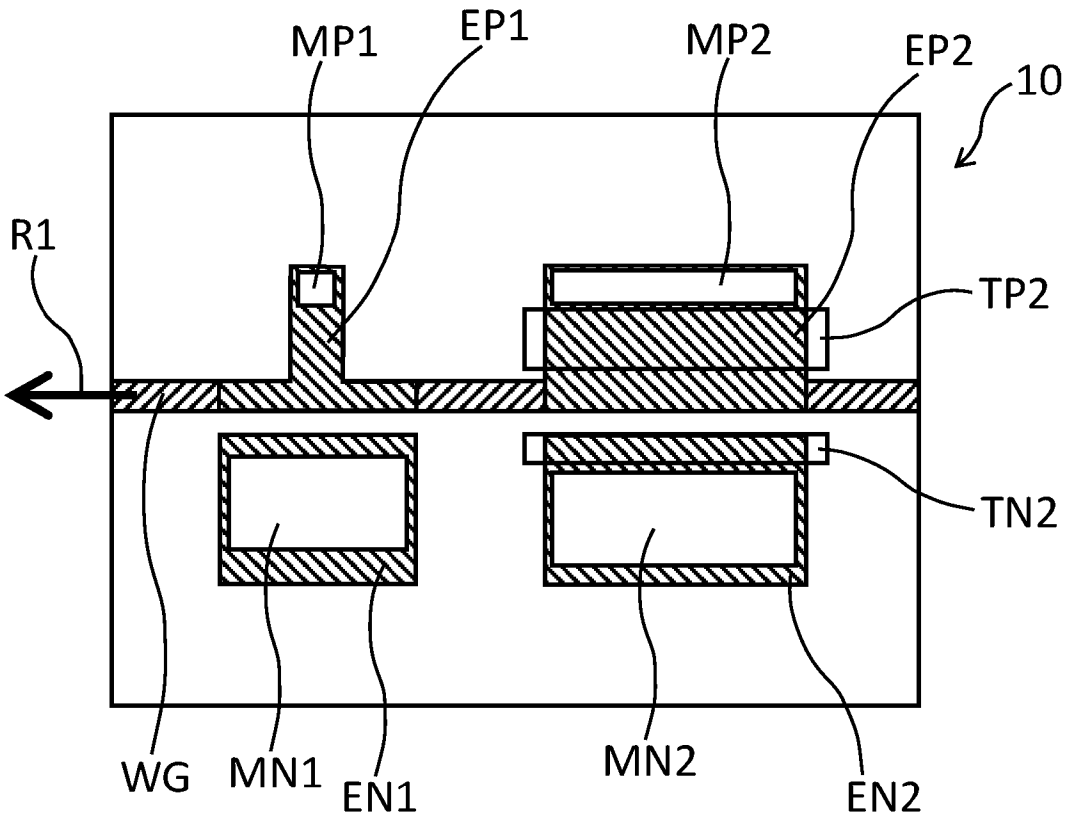
[図1]


EP2
EP1
A
10
R1
TP2
TN2
WG
EN1
A
EN2

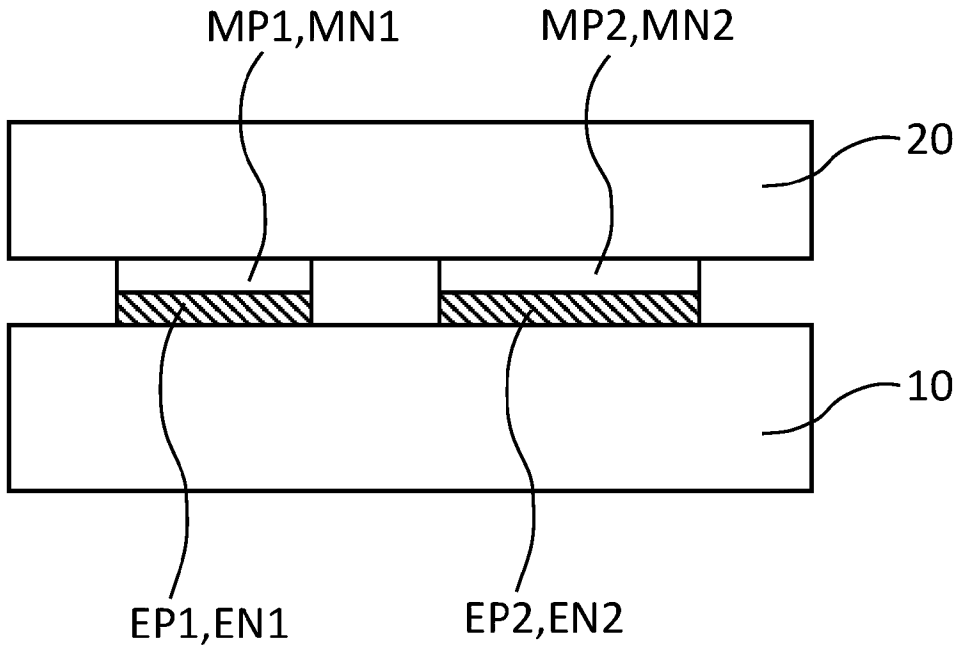
[図2]


10
SR
SR
TP2
EP2
CR
TN2
SR
EN2
WG
SR

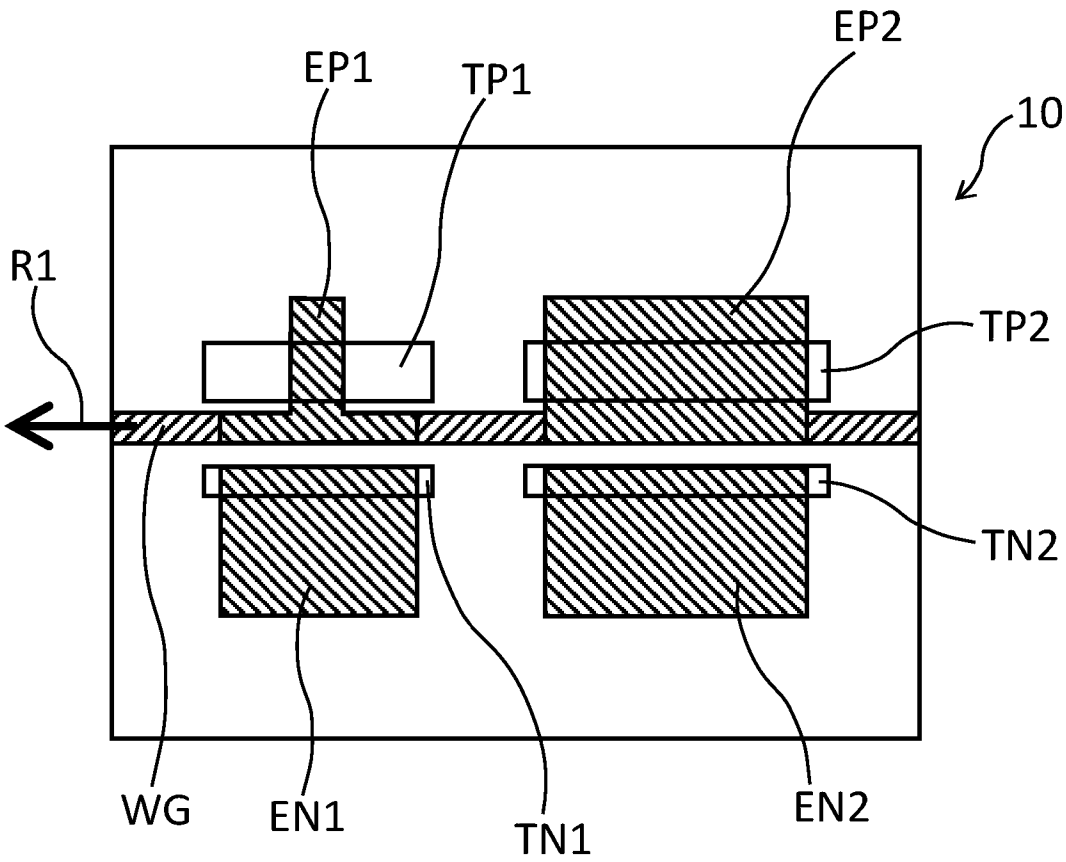
[図3]


MP1
EP1
MP2
EP2
10
R1
TP2
TN2
WG
MN1
EN1
MN2
EN2

[図4]


MP1,MN1
MP2,MN2
20
10
EP1,EN1
EP2,EN2

[図5]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2023/022126

A. CLASSIFICATION OF SUBJECT MATTER

H01S 5/227(2006.01)i
FI: H01S5/227

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01S5/00-5/50

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-264334 A (HITACHI, LTD.) 19 September 2003 (2003-09-19) paragraphs [0030]-[0074] fig. 1-3, 22	1, 3, 5
A		2, 4, 6
A	JP 9-162484 A (OKI ELECTRIC INDUSTRY CO., LTD.) 20 June 1997 (1997-06-20)	1-6
A	JP 7-135369 A (NIPPON TELEGRAPH AND TELEPHONE CORPORATION) 23 May 1995 (1995-05-23)	1-6

☐ Further documents are listed in the continuation of Box C.

☑ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 July 2023	**18 July 2023**
Name and mailing address of the ISA/JP **Japan Patent Office (ISA/JP)** **3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915** **Japan**	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/022126

Patent document cited in search report	Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP 2003-264334 A	19 September 2003	US 2003/0169796 A1 paragraphs [0064]-[0109] fig. 1-3, 22 US 2003/0231685 A1	
JP 9-162484 A	20 June 1997	(Family: none)	
JP 7-135369 A	23 May 1995	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2023/022126

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H01S 5/227(2006.01)i
FI: H01S5/227

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H01S5/00-5/50

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２３年
日本国実用新案登録公報	１９９６－２０２３年
日本国登録実用新案公報	１９９４－２０２３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2003-264334 A (株式会社日立製作所) 19.09.2003 (2003-09-19) [0030]-[0074]図1-3,22	1,3,5
A		2,4,6
A	JP 9-162484 A (沖電気工業株式会社) 20.06.1997 (1997-06-20)	1-6
A	JP 7-135369 A (日本電信電話株式会社) 23.05.1995 (1995-05-23)	1-6

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
“O” 口頭による開示、使用、展示等に言及する文献
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
“Y” 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
“&” 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
07.07.2023	18.07.2023

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

村井　友和 2K 3207

電話番号 03-3581-1101 内線 3255

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2023/022126

引用文献	公表日	パテントファミリー文献	公表日
JP 2003-264334 A	19.09.2003	US 2003/0169796 A1 [0064]-[0109]図1-3,22 US 2003/0231685 A1	
JP 9-162484 A	20.06.1997	（ファミリーなし）	
JP 7-135369 A	23.05.1995	（ファミリーなし）	