



(12) 发明专利

(10) 授权公告号 CN 102598276 B

(45) 授权公告日 2015. 05. 06

(21) 申请号 201080049358. 3

(22) 申请日 2010. 09. 03

(30) 优先权数据

61/239, 729 2009. 09. 03 US

12/873, 147 2010. 08. 31 US

(85) PCT国际申请进入国家阶段日

2012. 05. 02

(86) PCT国际申请的申请数据

PCT/US2010/047827 2010. 09. 03

(87) PCT国际申请的公布数据

W02011/029010 EN 2011. 03. 10

(73) 专利权人 威世硅尼克斯

地址 美国加利福尼亚州

(72) 发明人 汉密尔顿·吕 T·周

凯尔·特里尔

德瓦·N·帕坦纳亚克 莎伦·石

K·陈 罗伯特·许

(74) 专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 陈源 张天舒

(51) Int. Cl.

H01L 29/78(2006. 01)

H01L 21/336(2006. 01)

H01L 21/20(2006. 01)

(56) 对比文件

US 6274904 B1, 2001. 08. 14,

US 2006/0029817 A1, 2006. 02. 09,

US 2007/0290267 A1, 2007. 12. 20,

US 6274904 B1, 2001. 08. 14,

审查员 杜秋雨

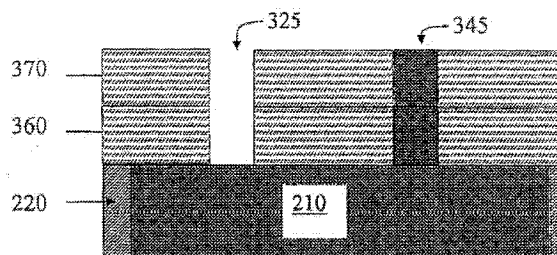
权利要求书1页 说明书7页 附图4页

(54) 发明名称

形成半导体器件的方法

(57) 摘要

用于衬底晶圆背面和边缘截面密封的系统和方法。按照第一方法实施例, 获取第一导电类型的硅晶圆。在该硅晶圆的正面上生长第一导电类型的外延层。对该外延层进行注入以形成一个相反的导电类型的区域。重复上述生长和注入, 以形成一个该相反的导电类型的垂直的柱。上述硅晶圆同样可以被注入, 以形成一个相反的导电类型的区域, 该区域与上述垂直的柱垂直对齐。



1. 一种制作半导体的方法,该方法包括:
获取第一导电类型的硅晶圆;
在所述硅晶圆的正面上生长所述第一导电类型的外延层;
对所述外延层进行注入以形成一个相反的导电类型的区域;以及
重复所述生长和注入,以形成一个所述的相反的导电类型的垂直的柱;
其中所述生长所述第一导电类型的外延层的步骤包括在进行外延生长之前对下面一层的一个区域进行掩膜以通过不对该区域进行外延生长来形成沟槽。
2. 权利要求 1 所述的方法,还包括对所述硅晶圆进行注入,以形成一个所述的相反的导电类型的区域,该区域与所述垂直的柱垂直对齐。
3. 权利要求 1 所述的方法,还包括在所述硅晶圆的全部表面上沉积一层硅氧化物。
4. 权利要求 3 所述的方法,其中所述的沉积一层硅氧化物在所述生长之前执行。
5. 权利要求 4 所述的方法,还包括从所述硅晶圆的正面移除所述硅氧化物。
6. 权利要求 5 所述的方法,其中所述移除在所述生长之前执行。
7. 权利要求 4 所述的方法,还包括在所述硅晶圆的背面上、在所述硅氧化物上沉积一层多晶硅。
8. 权利要求 7 所述的方法,其中所述的沉积一层多晶硅在所述生长之前执行。
9. 权利要求 1 所述的方法,还包括生长至少六层所述外延层。

形成半导体器件的方法

[0001] 相关申请

[0002] 本申请要求“Lu”等人的申请号为61/239,729、代理机构案卷编号为VISH-8781-PRO、提交日为2009年9月3日、标题为“System and Method for Substrate Wafer Back Side and Edge Cross Section Seals”的美国临时申请作为优先权,该临时申请通过引用整体并入本文中。

技术领域

[0003] 本发明的实施例涉及半导体设计和制造领域,特别是衬底晶圆背面和边缘截面密封的系统和方法。

背景技术

[0004] 外延是单晶衬底上生长或沉积一层单晶(如硅)的工艺。典型的工艺包括化学气相沉积(CVD),其中气相硅源,如四氯化硅(SiCl_4)、三氯硅烷(SiHCl_3),二氯硅烷(SiH_2Cl_2)和/或硅烷(SiH_4) 在氢载气中,在例如700°C至1200°C的高温下,通过硅衬底,引起外延生长过程。需要理解的是,外延过程也可以生长非硅材料。

[0005] 在半导体制造业,外延是一个重要的过程,经常被用于在硅晶圆被加工成半导体器件前,在硅晶圆的抛光的平坦的表面上生长预掺杂质的硅层。外延通常被用于功率半导体器件的制造,如用在电脑电源供应器、起搏器、自动售货机控制器、汽车计算机等中的功率半导体器件。

[0006] 图1A(常规工艺)说明了一个众所周知的外延生长的有害的边界效应,称为“自掺杂(auto-doping)”。在自掺杂过程中,源自衬底110的掺杂剂迁移到外延层120中,有害地改变了外延层120的掺杂分布。需要理解的是,从衬底向外延层的掺杂剂迁移可以采用多种途径,包括例如释放到工艺气体中。通常,自掺杂可能会导致许多种不良影响,包括,例如,减少外延层的击穿电压。另外,自掺杂过程通常既不可控制,也不可以预测。因此,自掺杂会导致许多不良影响。

[0007] 晶圆的背面上可有一个可选的氧化物密封层125。氧化物密封层125通常意在降低自掺杂。然而,在多个外延层生长过程之间的多个清洁过程中,氧化物密封层125可能会被侵蚀并且导致“针孔”缺陷。当氧化物密封层125受到这样的腐蚀时,氧化物密封层125不能防止自掺杂。

[0008] 当外延不期望地生长在晶圆背面时,外延过程的另一个问题出现了。图1B(常规工艺)说明了当暴露于工艺气体中时,在晶圆110/氧化物密封层125的背面或反面,形成了一个不规则的硅“凸起”或结节130。氧化物密封层125的针孔缺陷是形成这种结节的主要位置,尽管这种结节可能也会形成于其它位置,包括在没有氧化物密封层125的位置。这种凸起通常是不均匀的。例如,这种非有意的背面外延生长不会形成一个均匀的、平滑的层,而是会形成多个不规则凸起。这些凸起产生了一个不平坦的晶圆背面,这可能会干扰随后的半导体加工步骤,例如它们会阻碍晶圆在加工装置中的准确对齐。例如,如图1B所示,

由于结节 130, 晶圆 110 无法平坦地放置。

[0009] 虽然有许多系统和方法, 以减轻自掺杂和不期望的背面外延生长, 包括对其效果的认可, 然而这些传统的工艺方法不是在任何环境下都是能被接受的。此外, 众所周知的方法是使用多个外延层。在这种情况下, 由于多个外延生长过程, 自掺杂和 / 或背面结节的累积量可能是巨大的, 或者寻求不到令人满意的传统的缓解技术。

发明内容

[0010] 总的来说, 本文公开了一种用于衬底晶圆背面和边缘截面密封的系统和方法。用于衬底晶圆背面和边缘截面密封的系统和方法是有需求的。另外, 制作没有有害的边界效应累积的多个外延层的系统和方法是有需求的。进一步, 制作具有垂直沟槽和 / 或垂直掺杂柱的多个外延层的系统和方法是有需求的。再进一步, 与传统的晶圆制作系统兼容和互补的衬底晶圆背面和边缘截面密封的系统和方法是有需求的。依照本发明的实施例为这些需求而提供。

[0011] 本文公开了一种用于衬底晶圆背面和边缘截面密封的系统和方法。按照第一方法实施例, 获取第一导电类型的硅晶圆。在该硅晶圆的正面上生长一个第一导电类型的外延层。对外延层进行注入以形成一个相反的导电类型的区域。重复上述生长和注入, 以形成该相反的导电类型的垂直的柱。上述硅晶圆同样可以被注入, 以形成一个相反的导电类型的区域, 该区域与上述垂直的柱垂直对齐。

[0012] 按照第二方法实施例, 在硅晶圆的全部表面及边缘上沉积一层硅氧化物。从所述硅晶圆的正面移除硅氧化物。在所述硅晶圆的背面、在硅氧化物上沉积一层多晶硅。在硅晶圆的正面上生长一层外延硅。所述外延硅层的自掺杂, 相比较于没有硅氧化物层的晶圆上的外延硅的生长过程中产生的自掺杂减少了。

[0013] 按照本发明的另一实施例, 一种半导体器件包括一个由大块硅构成的硅衬底, 以及在所述衬底的正面上沉积的多个堆叠的外延硅层。所述的多个外延硅层中的每一个包括一个掺杂区域, 这些掺杂区域在所述半导体器件中聚集成一个垂直的掺杂柱。

附图说明

[0014] 图 1A (常规工艺) 说明了一个众所周知的外延生长的有害边界效应, 被称为“自掺杂”。

[0015] 图 1B (常规工艺) 说明了当晶圆暴露于工艺气体中时, 在晶圆的背面或反面形成了一个不规则的硅“凸起”或结节。

[0016] 图 2A、图 2B 及图 2C 说明了根据本发明的实施例, 密封晶圆衬底以防止自掺杂和 / 或背面结节生长的过程。

[0017] 图 3A 说明了根据本发明的实施例, 在密封晶圆上的外延生长。

[0018] 图 3B 说明了根据本发明的实施例, 在外延层的上 / 顶面上的不均匀的 (例如选择性的) 外延层的外延生长。

[0019] 图 3C 说明了根据本发明的实施例, 多个外延层的重复掺杂。

[0020] 图 4 说明了根据本发明的实施例的进一步的处理过程后, 最终形成的半导体晶圆衬底。

具体实施方式

[0021] 现在详细参照本发明的若干实施例,这些实施例的实例在附图中予以说明。虽然将会通过这些实施例对本发明进行描述,但是,需要理解的是,它们并不是意在将本发明限制在这些实施例中。相反,本发明意在覆盖可能包含于本发明所附的权利要求所界定的思想和范围内的备选方案、修改和等价物。此外,在下面对本发明的详细描述中,阐述了很多具体细节,以为本发明提供一个详尽的理解。然而,所属领域的技术人员应当认识到可在没有这些具体细节的情况下实行本发明。在其它例子中,众所周知的方法、程序、组成部分及工序,由于不是本发明的主要方面,没有进行不必要的详细的描述。

[0022] 衬底晶圆背面和边缘截面密封的系统和方法

[0023] 图 2A- 图 2C 说明了,根据本发明的实施例,密封晶圆衬底以防止自掺杂和 / 或背面结节生长的过程。在图 2A 中,将硅衬底 210 均匀地涂上了一层厚度大约在 800 至 1200 埃 (例如,约 1000 埃) 的硅氧化物 220。在一个实施例中,组件 210 的背面上还可以包含一个氧化物密封层,例如图 1A 的氧化物密封层 125。例如,硅氧化物 220 沉积在晶圆 210 的正面、背面及边缘上。

[0024] 在图 2B 中,移除 (例如,通过抛光) 硅氧化物涂层 220 的顶部 (例如,晶圆 210 的顶面或正面之上的硅氧化物 220 部分)。能够理解的是,也可以移除少量的晶圆 210 的顶面。

[0025] 在图 2C 中,在晶圆 210 的背面、硅氧化物 220 之上沉积一个多晶硅层 230。例如,硅氧化物 220 倚着晶圆 210,多晶硅 230 倚着硅氧化物 220。多晶硅 230 的厚度大约在 8000 至 9000 埃 (例如,约 8500 埃)。在一个实施例中,多晶硅 230 只沉积在晶圆的背面上。一个合适的方法是在一个密封的晶圆环境中在碳化硅衬托器上通过化学气相沉积进行的沉积。

[0026] 需要理解的是,图 2B 和图 2C 所示的工艺操作可能会以与所示出的顺序不同的顺序发生。例如,根据本发明的实施例,可以在晶圆的全部表面上沉积多晶硅,随后再从正面上移除,例如,连同硅氧化物涂层 220 的顶部一起移除。

[0027] 根据本发明的实施例,硅氧化物涂层 220 阻止了外延生长过程中的自掺杂。例如,硅氧化物涂层 220 防止源自晶圆 210 的掺杂剂迁移进入到用于形成外延层的工艺气体混合物中。另外,根据本发明的实施例,多晶硅 230 防止了晶圆 210 的背面上的不均匀的结节的生长。例如,多晶硅 230 为外延硅生长提供了均匀的成核。因此,尽管外延材料可能仍然在晶圆 210 的背面上生长,但是,这样的生长是大体上均匀的,例如,相对于如图 1B 所示的、可能发生在传统工艺过程中的、可能直接形成在无涂层的晶圆的背面上的有害的、不均匀的结节,这种生长形成了一个平滑层。

[0028] 图 3A 说明了,根据本发明的实施例,在密封晶圆上的外延生长。在晶圆 210 的底面及边缘上涂上一层硅氧化物 220。在晶圆 210 的底面上涂上一层多晶硅 230,该层多晶硅沉积于部分硅氧化物 220 之上。

[0029] 外延层 310 生长于晶圆 210 的上 / 顶面之上。可选择地,外延层 320 生长于外延层 310 的顶面之上。需要理解的是,外延层 320 可以具有与外延层 310 不同的厚度和 / 或掺杂成分。由于硅氧化物 220 的密封效果,在外延生长过程中没有任何有害的自掺杂发生,

并且外延层 310、320 有利地得到了期望的掺杂特性。

[0030] 图 3A 进一步示出了一个位于晶圆 210 的底面上的大体上均匀的外延层 330。层 330 形成于层 310 和 / 或层 320 的生长过程中。层 330 不会使晶圆 210 遭受不均匀的硅结节（例如，如图 1B 所示的结节 130）的有害的处理效应。

[0031] 根据本发明的实施例，晶圆 210 的正面 / 顶面上的外延生长不必是均匀的。图 3B 说明了，根据本发明的实施例，在外延层 310 的正面 / 顶面上的不均匀的（例如，有选择性的）外延层 321 的外延生长。例如，缺乏外延生长在一个区域形成了沟槽 325。层 321 的形成非常适合各种众所周知的选择性外延生长过程。例如，在沟槽 325 区域的下面一层（例如，外延层 310 或衬底 210）的一个区域上，在进行外延生长之前，可以用介电薄膜（如二氧化硅或氮化硅）进行掩模。

[0032] 类似地，可以如层 310 和 320 所示的均匀地或者如层 321 和 322 所示的不均匀地生长多个外延层。作为一个有益的结果，相比于通过移除材料来形成如沟槽 325 的特征的方法，如沟槽 325 的特征可以通过形成材料的缺乏构造。可以理解的是，各外延层的掺杂浓度可能会有所不同，从而形成一个令人满意的掺杂分布。进一步可以理解的是，可生长不同厚度和 / 或掺杂特性的许多外延层，这样，如沟槽 325 的特征可以具有一个令人满意的深度。当然，沟槽 325 可以终止于衬底（如衬底 210），或者终止于多个外延层（如 310, 321, 322 等）中的一个的内部。

[0033] 此外，根据本发明的实施例可以结合其它构造沟槽的方法，如移除材料的方法，以形成终止于衬底内（如衬底 210 内）的沟槽。

[0034] 图 3C 说明了根据本发明的实施例，多个外延层的重复掺杂。例如，以层 320 所示的相同的方式（图 3A），生长外延层 341。层 341 形成后，通过众所周知的方法，对层 341 的一部分（如区域 345）进行掺杂。随后，在层 341 上生长外延层 342，并通过众所周知的方法，对层 342 的一部分（如区域 345）进行掺杂。

[0035] 例如，如果衬底 210 用 n 型掺杂剂掺杂，外延层 310、341、342 可以是 n 型外延层。区域 345 可以用 p 型掺杂剂掺杂。在这种新颖的方式中，可以创建一个掺杂剂类型（例如，p 型）的垂直的柱或阱。由于各层是单独生长和掺杂的，各层的厚度、掺杂深度、掺杂浓度、掺杂类型等，以及各层的生长和掺杂过程可能会不同。可以理解的是，这种柱或阱具有的特征（例如，深度和 / 或掺杂级和 / 或掺杂分布），是很难或不可能通过其它掺杂方法（例如，传统的从表面上的阱注入）获得的。

[0036] 图 4 示例了根据本发明的实施例的进一步加工之后的最终的半导体晶圆衬底。如图 4 所示，可以例如通过研磨或背面磨合、或其它众所周知的方法移除晶圆 210 的背面上的沉积物（例如，外延层 330、多晶硅层 230、以及硅氧化物层 220 的背面部分），这样使晶圆 210 具有期望厚度。硅氧化物层 220 的侧面、边缘部分同样可以被移除。但是，可以理解的是，晶圆边缘一般不用于最终的半导体器件，因此可以不必去除硅氧化物层 220 的边缘部分。

[0037] 图 4 进一步示例了可选的、通过多个外延层（例如，外延层 360、367）中的缺口形成的垂直的沟槽 325。此外，图 4 示例了可选的、通过重复一个生长外延材料层的周期、随后掺杂该层的方法形成的掺杂柱 345。

[0038] 根据本发明的实施例非常适合于利用多个外延层形成半导体器件。例如，众所周

知的沟槽半导体（例如沟槽金属氧化物半导体场效应晶体管（MOSFET））使用的沟槽，可以通过多个（例如，从 2 个至 20 个）选择性生长的外延层的生长形成。根据本发明的实施例消除、降低或减轻了多种传统工艺下、可能在这种多个外延生长周期过程中出现的有害影响。

[0039] 根据本发明的实施例同样非常适合于硅衬底上的非硅材料的外延生长。非硅外延层可以包括如氮化镓 (GaN)、碳化硅 (SiC)、蓝宝石、锗 (Ge)、砷化镓 (GaAs)、铟化镓 (InSb)、硫化铅 (PbS)、硒化铅 (PbSe) 等。为了在硅衬底顶面上生长这样的非硅材料，通常需要在硅衬底上首先生长一个或多个缓冲层，以在硅衬底与非硅外延层之间形成缓冲。这样的缓冲层通常意在减轻硅衬底与非硅外延层之间的诸如种晶 (seeding)、晶格失配、应力释放、自行开裂等问题。典型的缓冲层可包括氮化铝 (AlN)、图案化蓝宝石 (PS)、氮化铪 (HfN)、氟化钡 (BaF₂) 等。

[0040] 通常，为了生长这些缓冲层，需要高温 (800°C -1250°C) 处理操作，以为单晶非硅外延层提供高质量的缓冲层。在这样的高温范围 (800°C -1250°C) 下，在生长缓冲层的过程中，通常从硅衬底的背面和边缘会释放气体硅和 / 或砷（参见图 1A）。这些释放出来的气体被有害地吸收到缓冲层中（自掺杂），形成一个低质量的、污染的缓冲层。依次，该污染的缓冲层会导致沉积于其上的外延层的质量变低。

[0041] 根据本发明的实施例，可以制作一个密封层用以减少和 / 或阻止这种在生长缓冲层的过程中、从衬底的背面和边缘的气体释放。在这种新颖的方式中，可获得高质量的缓冲层，有利地允许在硅衬底上生长高质量的非硅外延层。

[0042] 总的来说，本发明的实施例提供了衬底晶圆背面和边缘截面密封的系统和方法。另外，提供了制作无有害的边界效应的累积的多个外延层的系统和方法。进一步，提供了制作具有垂直的沟槽和 / 或垂直的掺杂柱的多个外延层的系统和方法。进一步，根据本发明的实施例提供了与传统的晶圆加工系统相兼容及互补的衬底晶圆背面和边缘截面密封的系统和方法。

[0043] 这样，已经描述了本发明技术的实施例。尽管本技术是通过详细的实施例进行描述的，需要理解的是，本发明不应解释为局限于这些实施例，而是应按照下面的权利要求进行解释。优选地，包括在此描述的所有的元件、部件及步骤。需要理解的是，对于所属领域的技术人员显而易见的是，这些元件、部件及步骤中的任意一个都可以被其它的元件、部件及步骤所替代或一起删除。

[0044] 作为简短的概要，本文至少披露了如下的主要的概念：

[0045] 概念 1. 一种制作半导体的方法，该方法包括：

[0046] 获取第一导电类型的硅晶圆；

[0047] 在所述硅晶圆的正面上生长所述第一导电类型的外延层；

[0048] 对所述外延层进行注入以形成一个相反的导电类型的区域；并且

[0049] 重复所述生长和注入，以形成一个所述的相反的导电类型的垂直的柱。

[0050] 概念 2. 概念 1 所述的方法，还包括对所述硅晶圆进行注入，以形成一个所述的相反的导电类型的区域，该区域与所述垂直的柱垂直对齐。

[0051] 概念 3. 概念 1 所述的方法，还包括在所述硅晶圆的全部表面上沉积一层硅氧化物。

- [0052] 概念 4. 概念 3 所述的方法,其中所述的沉积一层硅氧化物在所述生长之前执行。
- [0053] 概念 5. 概念 4 所述的方法,还包括从所述硅晶圆的正面移除所述硅氧化物。
- [0054] 概念 6. 概念 5 所述的方法,其中所述移除在所述生长之前执行。
- [0055] 概念 7. 概念 4 所述的方法,还包括在所述硅晶圆的背面上、在所述硅氧化物上沉积一层多晶硅。
- [0056] 概念 8. 概念 7 所述的方法,其中所述的沉积一层多晶硅在所述生长之前执行。
- [0057] 概念 9. 概念 1 所述的方法,还包括生长至少六层所述外延层。
- [0058] 概念 10. 一种在硅晶圆上生长外延硅的方法,所述方法包括:
- [0059] 在所述硅晶圆的全部表面及边缘上沉积一层硅氧化物;
- [0060] 从所述硅晶圆的正面移除所述硅氧化物;
- [0061] 在所述硅晶圆的背面、在所述硅氧化物上沉积一层多晶硅;并且
- [0062] 在所述硅晶圆的所述正面上生长一层外延硅。
- [0063] 概念 11. 概念 10 所述的方法,其中所述外延硅层的自掺杂,相比于没有所述硅氧化物层的晶圆上的外延硅生长过程中产生的自掺杂减少了。
- [0064] 概念 12. 概念 10 所述的方法,还包括在所述外延硅层上生长另一层外延硅。
- [0065] 概念 13. 概念 12 所述的方法,还包括在所述的生长另一层外延硅之前,对所述外延硅层的一部分区域进行掺杂。
- [0066] 概念 14. 概念 12 所述的方法,其中所述的另一层外延硅包括一个以缺少外延硅为特征的缺口。
- [0067] 概念 15. 概念 10 所述的方法,其中任何生长在所述多晶硅层之上的外延硅的特征在于相比于生长在缺少所述多晶硅层的晶圆的背面上的外延硅更光滑。
- [0068] 概念 16. 一种半导体器件,包括:
- [0069] 包括大块硅的硅衬底;及
- [0070] 沉积在所述衬底正面上的多个堆叠的外延硅层;及
- [0071] 其中所述的多个外延硅层中的每一个均包括一个掺杂区域,这些掺杂区域在所述半导体器件中聚集成一个垂直的掺杂柱。
- [0072] 概念 17. 概念 16 所述的半导体器件,包括至少六个堆叠的外延层。
- [0073] 概念 18. 概念 16 所述的半导体器件,其中所述的垂直的掺杂柱的特征为具有比通过表面注入可以得到的深度更大的深度。
- [0074] 概念 19. 一种硅晶圆,包括:
- [0075] 大块硅;
- [0076] 在所述的大块硅的至少一个平坦的表面或边缘上的硅氧化物涂层;及
- [0077] 在所述大块硅的所述的一个平坦的表面上的所述硅氧化物涂层上布置的一个多晶硅层。
- [0078] 概念 20. 一种方法,包括:
- [0079] 在所述硅晶圆的全部表面及边缘上沉积一层硅氧化物;
- [0080] 从所述硅晶圆的正面移除硅氧化物;
- [0081] 在所述硅晶圆的背面、在所述硅氧化物上沉积一层多晶硅;
- [0082] 在所述硅晶圆的所述正面上沉积一个缓冲层;且

[0083] 在所述硅晶圆的所述正面上的缓冲层上生长一个非硅外延层。

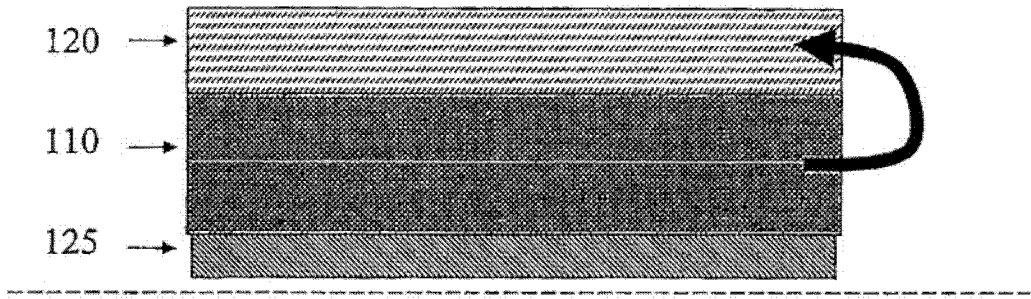


图 1A(常规技术)

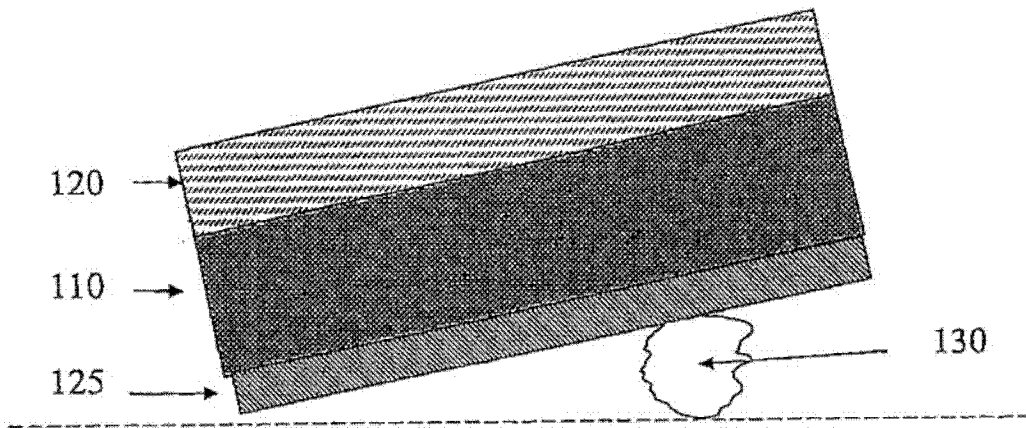


图 1B(常规技术)

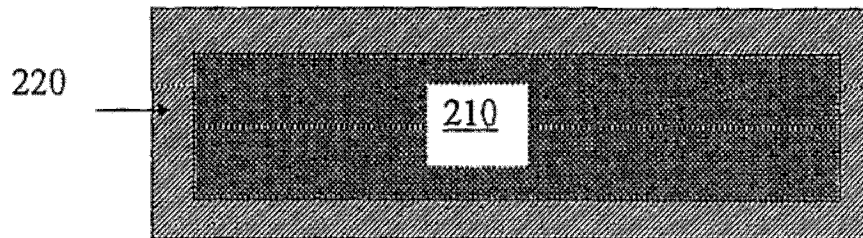


图 2A

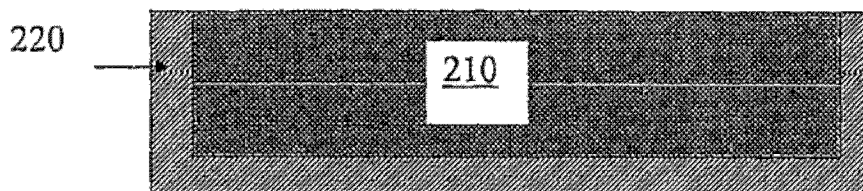


图 2B

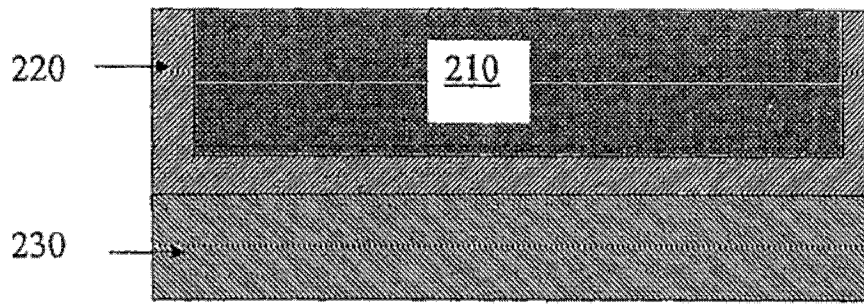


图 2C

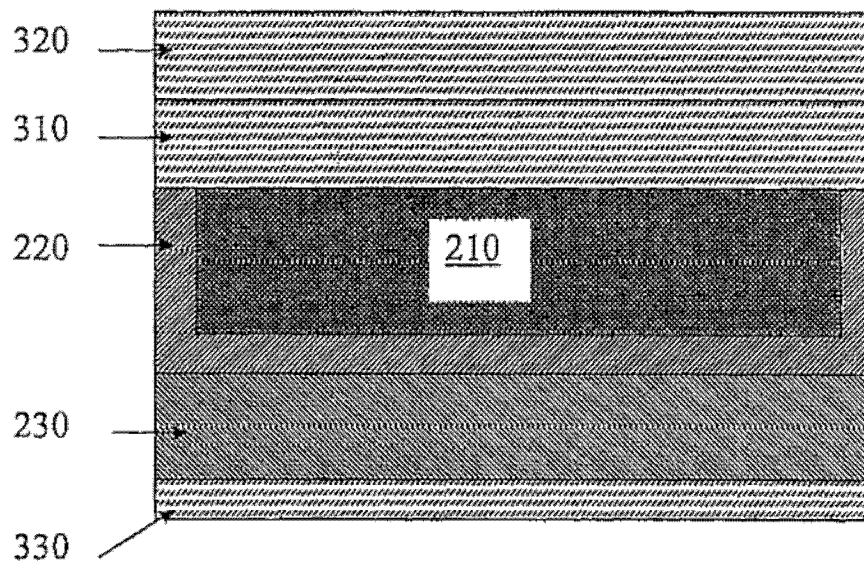


图 3A

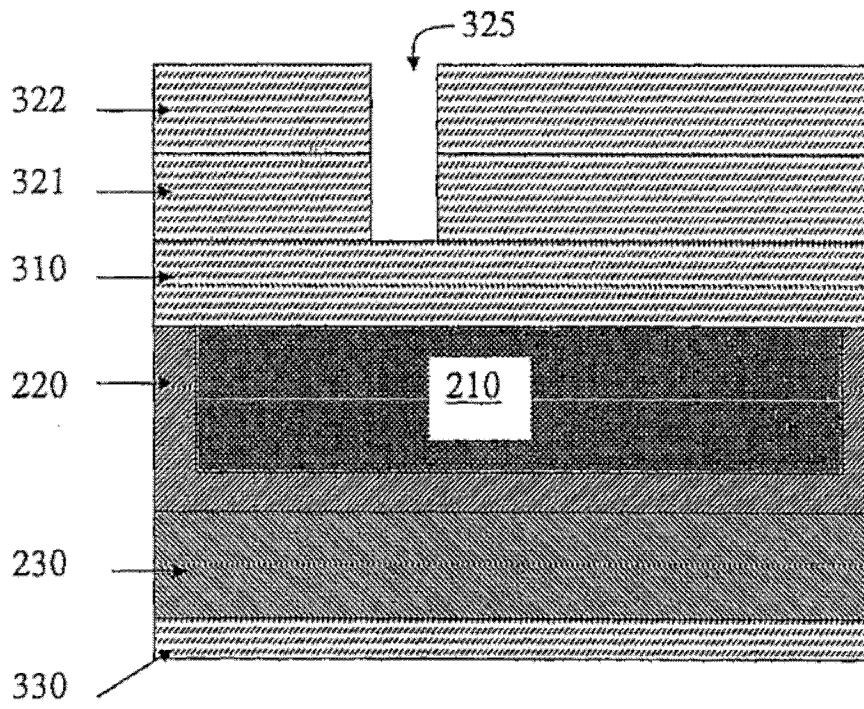


图 3B

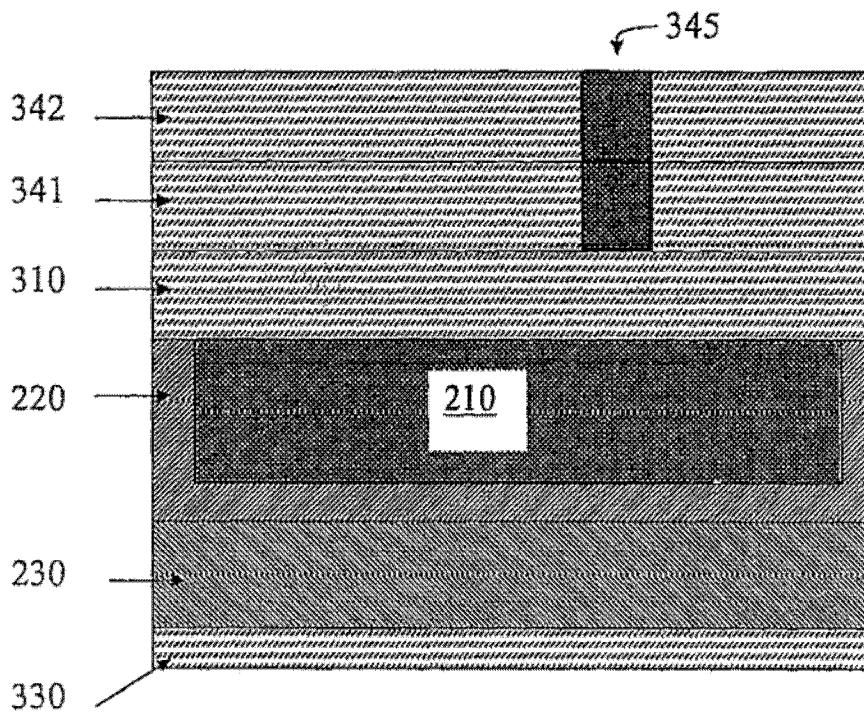


图 3C

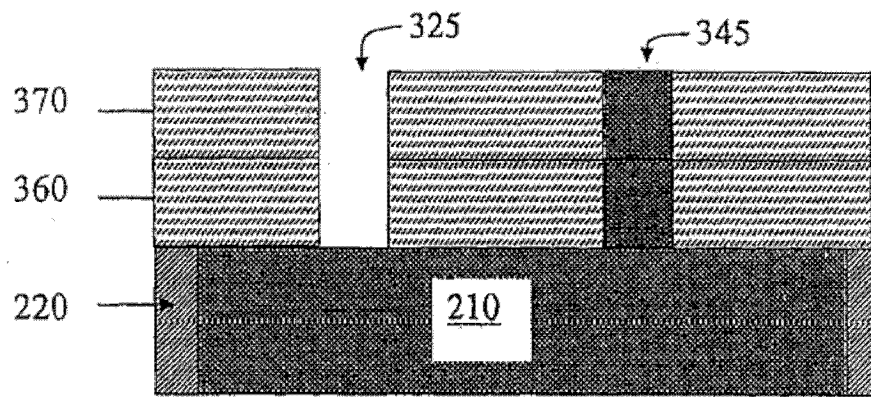


图 4