(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0034051
(43) 공개일자 2022년03월17일

(51) 국제특허분류(Int. Cl.)
H01L 27/11 (2006.01) *H01L 29/66* (2006.01)
H01L 29/78 (2006.01)
(52) CPC특허분류
H01L 27/1104 (2013.01)
H01L 29/66666 (2013.01)
(21) 출원번호 10-2021-7042116
(22) 출원일자(국제) 2019년07월11일
심사청구일자 2021년12월22일
(85) 번역문제출일자 2021년12월22일
(86) 국제출원번호 PCT/JP2019/027541
(87) 국제공개번호 WO 2021/005789
국제공개일자 2021년01월14일

(71) 출원인
유니산티스 일렉트로닉스 싱가포르 프라이빗 리미티드
싱가포르 179098 싱가포르 노스 브릿지 로드 111 페닌슐라 플라자 넘버23-05
(72) 발명자
마스오카 후지오
일본 도쿄도 지요다쿠 고지마치 1쵸메 3방 7고 니치게츠칸 고지마치 비루 5카이 세미콘 컨설팅 가부시키가이샤 나이
하라다 노조무
일본 도쿄도 지요다쿠 고지마치 1쵸메 3방 7고 니치게츠칸 고지마치 비루 5카이 세미콘 컨설팅 가부시키가이샤 나이
(74) 대리인
특허법인코리아나

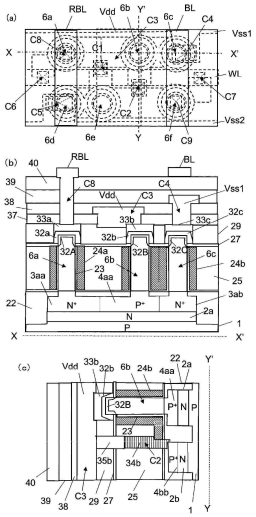
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **주상 반도체 장치와, 그 제조 방법**

(57) 요 약

SRAM 셀의 형성에 있어서, 평면에서 보았을 때, Si 기둥 (6a, 6c, 6d, 6f) 의 정부의 외주와 위에 형성한 N^+ 층 (32a, 32c, 32d, 32af) 과 겹침이 없고, 또한 Si 기둥 (6b, 6e) 의 정부에 연결된 P^+ 층 (32b, 32e) 상에 있는 W 층 (33b, 33e) 의 일부와 겹치고, 또한 X 방향, Y 방향의 양방에서 연결되고, 또한 Y 방향으로 연장된 띠상 컨택트홀 (C3) 을 형성한다. 그리고, 컨택트홀 (C3) 을 개재하여 P^+ 층 (32b, 32e) 을 접속하는 전원 배선 금속층 (Vdd) 을 형성한다. 그리고, 전원 배선 금속층 (Vdd) 을 형성한 후에, 전원 배선 금속층 (Vdd) 과 평면에서 보았을 때 직교하는 워드 배선 금속층 (WL) 을 형성한다.

대 표 도 - 도1t



(52) CPC특허분류
H01L 29/7827 (2013.01)

명 세 서

청구범위

청구항 1

기판 상에 수직 방향으로 선 반도체 기둥과, 상기 반도체 기둥을 둘러싼 게이트 절연층과, 상기 게이트 절연층을 둘러싼 게이트 도체층과, 수직 방향에 있어서, 상기 게이트 절연층 상단에 하단이 위치하는, 상기 반도체 기둥과 접속한 제 1 불순물 영역과, 상기 게이트 절연층 하단에 상단이 위치하는, 상기 반도체 기둥과 접속한 제 2 불순물 영역을 갖는 복수의 SGT (Surrounding Gate Transistor) 를, 부하용 SGT 와, 구동용 SGT 와, 선택용 SGT 에 사용한 SRAM (Static Random Access Memory) 셀 회로의 형성 공정에 있어서,

평면에서 보았을 때, 상기 SGT 를 형성하는 제 1 반도체 기둥과, 상기 제 1 반도체 기둥에 인접한 상기 SGT 를 형성하는 제 2 반도체 기둥을 상기 반도체 기둥으로서 형성하는 공정과,

상기 제 1 반도체 기둥의 정부에 접속한 제 1 불순물층과, 상기 제 2 반도체 기둥의 정부에 접속한 제 2 불순물층을, 각각 상기 제 1 불순물 영역으로서 형성하는 공정과,

상기 제 1 불순물층과, 상기 제 2 불순물층을 덮어 제 1 층간 절연층을 형성하는 공정과,

상기 제 1 층간 절연층에, 평면에서 보았을 때, 상기 제 1 불순물층과, 상기 제 2 불순물층에 연결된 제 1 띠상 컨택트홀을 형성하는 공정과,

상기 제 1 띠상 컨택트홀을 개재하여, 상기 제 1 불순물층과, 상기 제 2 불순물층에 접속한 배선 도체층을 형성하는 공정을 갖고,

수직 방향에 있어서, 상기 제 1 불순물층과, 상기 제 2 불순물층의 상면과, 상기 제 1 띠상 컨택트홀의 상면 사이에 있는 영역이고, 또한, 평면에서 보았을 때, 상기 제 1 띠상 컨택트홀과 겹치는 영역에 있어서, 상기 배선 도체층과는 별도의 다른 배선 도체층이 존재하지 않고,

평면에서 보았을 때, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥과는 별도의 다른 반도체 기둥이, 상기 제 1 띠상 컨택트홀이 형성된 영역에는 존재하지 않는 것을 특징으로 한 주상 반도체 장치의 제조 방법.

청구항 2

제 1 항에 있어서,

상기 배선 도체층이, 금속, 합금, 도너 또는 억셉터 불순물 원자를 많이 포함한 반도체층의 단층 또는 복수층으로 형성되는 것을 특징으로 한 주상 반도체 장치의 제조 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 불순물층과, 상기 제 2 불순물층의 상면에, 금속 또는 합금에 의한 제 1 도체층을 형성하는 공정을 갖고,

평면에서 보았을 때, 상기 제 1 띠상 컨택트홀이, 상기 제 1 도체층의 일부 영역과 겹쳐 존재하는 것을 특징으로 한 주상 반도체 장치의 제조 방법.

청구항 4

제 1 항에 있어서,

상기 게이트 도체층 상면보다 위에 있고, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥의 정부 외주부에, 제 2 층간 절연층을 형성하는 공정과,

상기 제 2 층간 절연층 상에 있고, 또한 상기 제 1 반도체 기둥의 정부 측면을 둘러싼 제 1 재료층과, 상기 제 2 반도체 기둥의 정부 측면을 둘러싼 제 2 재료층을 형성하는 공정과,

상기 제 1 재료층과, 상기 제 2 재료층의 측면에 접한 외주부에, 제 3 층간 절연층을 형성하는 공정과,

상기 제 1 재료층과, 상기 제 2 재료층을 제거하여, 상기 제 1 반도체 기둥의 정부를 둘러싼 제 1 오목부와, 상기 제 2 반도체 기둥의 정부를 둘러싼 제 2 오목부를 형성하는 공정과,

상기 제 1 반도체 기둥의 정부를 둘러싸고, 또한 상기 제 1 오목부 내에 상기 제 1 불순물층을 형성하는 공정과, 동시에, 상기 제 2 반도체 기둥의 정부를 둘러싸고, 또한 상기 제 2 오목부 내에 상기 제 2 불순물층을 형성하는 공정과,

상기 제 1 불순물층 상에 있고, 또한 상기 제 1 오목부 내에 제 2 도체층을 형성하는 공정과, 동시에, 상기 제 2 불순물층 상에 있고, 또한 상기 제 2 오목부 내에 제 3 도체층을 형성하는 공정과,

상기 제 3 층간 절연층과, 상기 제 2 도체층과, 상기 제 3 도체층 상에 제 4 층간 절연층을 형성하는 공정과,

평면에서 보았을 때, 상기 제 2 도체층과, 상기 제 3 도체층의 양방에 적어도 일부가 겹쳐 있고, 상기 제 4 층간 절연층에, 저부가 접한 상기 제 1 띠상 컨택트홀을 형성하는 공정을 갖는 것을 특징으로 한 주상 반도체 장치의 제조 방법.

청구항 5

제 4 항에 있어서,

상기 제 1 불순물층과, 상기 제 2 불순물층을 에피텍셜 결정 성장에 의해 형성하는 것을 특징으로 한 주상 반도체 장치의 제조 방법.

청구항 6

기판 상에 수직 방향으로 선 반도체 기둥과, 상기 반도체 기둥을 둘러싼 게이트 절연층과, 상기 게이트 절연층을 둘러싼 게이트 도체층과, 수직 방향에 있어서, 상기 게이트 절연층 상단에 하단이 위치하는, 상기 반도체 기둥과 접속한 제 1 불순물 영역과, 상기 게이트 절연층 하단에 상단이 위치하는, 상기 반도체 기둥과 접속한 제 2 불순물 영역을 갖는 복수의 SGT (Surrounding Gate Transistor) 를 사용한 회로의 형성 공정에 있어서,

평면에서 보았을 때, 상기 SGT 를 형성하는 제 1 반도체 기둥과, 상기 제 1 반도체 기둥에 인접한 상기 SGT 를 형성하는 제 2 반도체 기둥을 상기 반도체 기둥으로서 형성하는 공정과,

상기 게이트 도체층 상면보다 위에 있고, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥의 정부 외주부에, 제 1 층간 절연층을 형성하는 공정과,

상기 제 1 층간 절연층 상에 있고, 또한 상기 제 1 반도체 기둥의 정부 측면을 둘러싼 제 1 재료층과, 상기 제 2 반도체 기둥의 정부 측면을 둘러싼 제 2 재료층을 형성하는 공정과,

상기 제 1 재료층과, 상기 제 2 재료층의 측면에 접한 외주부에, 제 2 층간 절연층을 형성하는 공정과,

평면에서 보았을 때, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥과, 상기 제 1 재료층과, 상기 제 2 재료층에 적어도 일부가 겹치고, 또한 연결된 제 1 띠상 오목부를, 상기 제 1 재료층, 상기 제 2 재료층, 상기 제 2 층간 절연층에 형성하는 공정과,

상기 제 1 재료층과, 상기 제 2 재료층을 제거하여, 평면에서 보았을 때, 상기 제 1 띠상 오목부를 포함한 제 2 띠상 오목부를 형성하는 공정과,

상기 제 2 띠상 오목부 내에 제 1 불순물층을 형성하는 공정과,

상기 제 1 불순물층에 접속한 제 1 배선 도체층을 형성하는 공정을 갖고,

상기 제 1 불순물층은, 상기 제 1 불순물 영역과, 상기 제 2 불순물 영역이 일체적으로 연결되어 있는 것을 특징으로 한 주상 반도체 장치의 제조 방법.

청구항 7

제 6 항에 있어서,

상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥에 형성한 상기 SGT 는, SRAM 회로에 있어서의 부하용 SGT 인

것을 특징으로 한 주상 반도체 장치의 제조 방법.

청구항 8

제 6 항에 있어서,

상기 제 1 배선 도체층이, 금속, 합금, 도너 또는 억셉터 불순물 원자를 많이 포함한 반도체층의 단층 또는 복수층으로 형성되는 것을 특징으로 한 주상 반도체 장치의 제조 방법.

청구항 9

제 6 항에 있어서,

상기 제 2 띠상 오목부 내의 상면에 단결정 반도체 박막층을 형성하는 공정과,

계속해서, 상기 제 2 띠상 오목부에 상기 제 1 불순물층을 형성하는 공정을 갖는 것을 특징으로 한 주상 반도체 장치의 제조 방법.

청구항 10

제 6 항에 있어서,

상기 제 1 배선 도체층이, 상기 제 1 불순물층 상에 있고, 또한 상기 제 2 띠상 오목부 내에 형성되어 있는 것을 특징으로 한 주상 반도체 장치의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제 1 배선 도체층 상에, 제 3 층간 절연층을 형성하는 공정과,

상기 제 3 층간 절연층에, 평면에서 보았을 때, 상기 제 1 배선 도체층보다 작은 면적을 갖는 제 1 컨택트홀을 형성하는 공정과,

상기 제 1 컨택트홀을 개재하여, 상기 제 1 배선 도체층에 연결되는 제 2 배선 도체층을 형성하는 공정을 갖는 것을 특징으로 한 주상 반도체 장치의 제조 방법.

청구항 12

기판 상에 수직 방향으로 선 반도체 기둥과, 상기 반도체 기둥을 둘러싼 게이트 절연층과, 상기 게이트 절연층을 둘러싼 게이트 도체층과, 수직 방향에 있어서, 상기 게이트 절연층 상단에 하단이 위치하는, 상기 반도체 기둥과 접속한 제 1 불순물 영역과, 상기 게이트 절연층 하단에 상단이 위치하는, 상기 반도체 기둥과 접속한 제 2 불순물 영역을 갖는 복수의 SGT (Surrounding Gate Transistor) 를, 부하용 SGT 와, 구동용 SGT 와, 선택용 SGT 에 사용한 SRAM (Static Random Access Memory) 셀 회로에 있어서,

평면에서 보았을 때, 상기 반도체 기둥으로서 상기 부하용 SGT 를 구성하는 제 1 반도체 기둥과, 상기 반도체 기둥으로서 상기 부하용 SGT 를 구성하는 상기 제 1 반도체 기둥에 인접한 제 2 반도체 기둥과,

상기 제 1 불순물 영역으로서 상기 제 1 반도체 기둥의 정부에 접속한 제 1 불순물층과,

상기 제 1 불순물 영역으로서 상기 제 2 반도체 기둥의 정부에 접속한 제 2 불순물층과,

상기 제 1 불순물층과, 상기 제 2 불순물층을 덮은 제 1 층간 절연층과,

상기 제 1 층간 절연층에 있고, 평면에서 보았을 때, 제 1 불순물층과, 상기 제 2 불순물층에, 적어도 일부가 겹치고, 또한 연결된 제 1 띠상 컨택트홀과,

상기 제 1 띠상 컨택트홀을 개재하여, 상기 제 1 불순물층과, 상기 제 2 불순물층에 접속한 제 1 배선 도체층을 갖고,

수직 방향에 있어서, 상기 제 1 불순물층과, 상기 제 2 불순물층의 상면과, 상기 제 1 띠상 컨택트홀의 상면 사이에 있는 영역이고, 또한, 평면에서 보았을 때, 상기 제 1 띠상 컨택트홀과 겹치는 영역에 있어서, 상기 제 1 배선 도체층과는 별도의 다른 배선 도체층이 존재하지 않고,

평면에서 보았을 때, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥과는 별도의 다른 반도체 기둥이, 상기 제 1 띠상 컨택트홀이 형성된 영역에는 존재하지 않는 것을 특징으로 한 주상 반도체 장치.

청구항 13

제 12 항에 있어서,

상기 게이트 도체층 상면보다 위에 있고, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥의 정부 외주부에 있고, 그 상면 위치가 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥의 상면 위치보다 아래에 있는 제 2 층간 절연층과,

상기 제 1 반도체 기둥 정부의 측면과 상면을, 동심원상으로 둘러싼 제 3 불순물층과, 상기 제 2 반도체 기둥 정부의 측면과 상면을, 동심원상으로 둘러싼 제 4 불순물층과,

상기 제 3 불순물층 상에 있고, 또한 상기 제 3 불순물층과 동일한 형상의 제 1 도체층과, 상기 제 4 불순물층 상에 있고, 또한 상기 제 4 불순물층과 동일한 형상의 제 2 도체층을 갖고,

상기 제 1 띠상 컨택트홀은, 평면에서 보았을 때, 상기 제 1 도체층과, 상기 제 2 도체층에 적어도 일부가 겹쳐 있는 것을 특징으로 한 주상 반도체 장치.

청구항 14

제 13 항에 있어서,

상기 제 1 불순물층과 상기 제 2 불순물층이, 상기 제 3 불순물층과, 상기 제 4 불순물층을 포함하고, 또한 일체적으로 연결되어 상기 제 1 띠상 컨택트홀 내에 있고,

상기 제 1 불순물층과 상기 제 2 불순물층 상에 있고, 또한 상기 제 1 띠상 컨택트홀 내에, 상기 제 1 배선 도체층을 갖는 것을 특징으로 한 주상 반도체 장치.

청구항 15

제 14 항에 있어서,

상기 제 1 배선 도체층 상의 제 3 층간 절연층과,

상기 제 3 층간 절연층에 있는, 평면에서 보았을 때, 상기 제 1 배선 도체층보다 작은 면적을 갖는 제 2 띠상 컨택트홀과,

상기 제 2 띠상 컨택트홀을 개재하여, 상기 제 1 배선 도체층에 연결된 제 2 배선 도체층을 갖는 것을 특징으로 한 주상 반도체 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 주상 반도체 장치와, 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 최근, LSI (Large Scale Integration) 에 3 차원 구조 트랜지스터가 사용되고 있다. 그 중에서, 주상 반도체 장치인 SGT (Surrounding Gate Transistor) 는, 고집적인 반도체 장치를 제공하는 반도체 소자로서 주목받고 있다. 또, SGT 를 갖는 반도체 장치의 추가적인 고집적화, 고성능화가 요구되고 있다.

[0003] 통상적인 플레이너형 MOS 트랜지스터에서는, 채널이 반도체 기판의 상표면을 따른 수평 방향으로 연장된다. 이에 대해, SGT 의 채널은, 반도체 기판의 상표면에 대해 수직 방향으로 연장된다 (예를 들어, 특허문헌 1, 비특허문헌 1 을 참조). 이 때문에, SGT 는 플레이너형 MOS 트랜지스터와 비교하여, 반도체 장치의 고밀도화가 가능하다.

[0004] 도 5 에, N 채널 SGT 의 모식 구조도를 나타낸다. (a) 도는 단면도이고, (b) 도는 평면도이다. P 형 또는 i 형 (진성형) 의 도전형을 갖는 Si 기둥 (120) (이하, 실리콘 반도체 기둥을 「Si 기둥」 이라고 칭한다.)

내의 상하의 위치에, 일방이 소스가 되는 경우에, 타방이 드레인이 되는 N^+ 층 (121a, 121b) (이하, 도너 불순물을 고농도로 포함하는 반도체 영역을 「N^+ 층」 이라고 칭한다.) 이 형성되어 있다. 이 소스, 드레인이 되는 N^+ 층 (121a, 121b) 간의 Si 기둥 (120) 의 부분이 채널 영역 (122) 이 된다. 이 채널 영역 (122) 을 둘러싸도록 게이트 절연층 (123) 이 형성되어 있다. 수직 방향에 있어서, 게이트 절연층 (123) 의 상단에 하단이 위치하는 N^+ 층 (121b) 이 형성되고, 수직 방향에 있어서, 게이트 절연층 (123) 의 하단에 상단이 위치하는 N^+ 층 (121b) 이 형성된다. 이 게이트 절연층 (123) 을 둘러싸도록 게이트 도체층 (124) 이 형성되어 있다. SGT 는, 소스, 드레인이 되는 N^+ 층 (121a, 121b), 채널 영역 (122), 게이트 절연층 (123), 게이트 도체층 (124) 으로 구성되어 있다. N^+ 층 (121b) 상의 절연층 (125) 으로 개방되어 컨택트홀 (C) 을 개재하여 N^+ 층 (121b) 과 소스 배선 금속층 (S) 이 접속되어 있다. 이로써, 평면에서 보았을 때, SGT 의 점유 면적은, 플레이너형 MOS 트랜지스터의 단일 소스 또는 드레인 N^+ 층의 점유 면적에 상당한다. 그 때문에, SGT 를 갖는 회로 칩은, 플레이너형 MOS 트랜지스터를 갖는 회로 칩과 비교하여, 추가적인 칩 사이즈의 축소화를 실현할 수 있다.

[0005] 그리고, 추가로 칩 사이즈의 축소화를 도모하는 경우, 극복해야 할 과제가 있다. 도 5 에 나타내는 바와 같이, 소스 배선 금속층 (S) 과 N^+ 층 (121b) 을 연결하는 컨택트홀 (C) 이, 평면에서 보았을 때 Si 기둥 (120) 상에 형성된다. 칩 사이즈의 축소화가 진행되면, Si 기둥 (120) 과 인접하는 Si 기둥의 거리가 짧아진다. 이에 수반하여, 평면에서 보았을 때 컨택트홀 (C) 에 인접하는 컨택트홀의 거리가 짧아진다. 이 때문에, 컨택트홀 형성 공정의 미세화와 고밀도화가 요구된다.

[0006] 도 6 에, SGT 를 사용한 SRAM 셀 (Static Random Access Memory) 회로도를 나타낸다. 본 SRAM 셀 회로는 2 개의 인버터 회로를 포함하고 있다. 1 개의 인버터 회로는 부하 트랜지스터로서의 P 채널 SGT_Pc1 과, 구동 트랜지스터로서의 N 채널 SGT_Nc1 로 구성되어 있다. 또 하나의 인버터 회로는 부하 트랜지스터로서의 P 채널 SGT_Pc2 와, 구동 트랜지스터로서의 N 채널 SGT_Nc2 로 구성되어 있다. P 채널 SGT_Pc1 의 게이트와 N 채널 SGT_Nc1 의 게이트가 접속되어 있다. P 채널 SGT_Pc2 의 드레인과 N 채널 SGT_Nc2 의 드레인이 접속되어 있다. P 채널 SGT_Pc2 의 게이트와 N 채널 SGT_Nc2 의 게이트가 접속되어 있다. P 채널 SGT_Pc1 의 드레인과 N 채널 SGT_Nc1 의 드레인이 접속되어 있다.

[0007] 도 6 에 나타내는 바와 같이, P 채널 SGT_Pc1, Pc2 의 소스는 전원 단자 (Vdd) 에 접속되어 있다. 그리고, N 채널 SGT_Nc1, Nc2 의 소스는 그라운드 단자 (Vss) 에 접속되어 있다. 선택 N 채널 SGT_SN1, SN2 가 2 개의 인버터 회로의 양측에 배치되어 있다. 선택 N 채널 SGT_SN1, SN2 의 게이트는 워드선 단자 (WLt) 에 접속되어 있다. 선택 N 채널 SGT_SN1 의 소스, 드레인은 N 채널 SGT_Nc1, P 채널 SGT_Pc1 의 드레인과 비트선 단자 (BLt) 에 접속되어 있다. 선택 N 채널 SGT_SN2 의 소스, 드레인은 N 채널 SGT_Nc2, P 채널 SGT_Pc2 의 드레인과 반전 비트선 단자 (BLRt) 에 접속되어 있다. 이와 같이 SRAM 셀을 갖는 회로는, 2 개의 부하 P 채널 SGT_Pc1, Pc2 와, 2 개의 구동용 N 채널 SGT_Nc1, Nc2 와, 2 개의 선택용 SN1, SN2 로 이루어지는 합계 6 개의 SGT 로 구성되어 있다 (예를 들어, 특허문헌 2 를 참조). 이 SRAM 셀에 있어서, 2 개의 부하 P 채널 SGT_Pc1, Pc2 의 Si 기둥이 가장 가깝게 접근하여 형성된다. 이 경우, 부하 P 채널 SGT_Pc1, Pc2 의 상부 P^+ 층 상의 컨택트홀 형성이 SRAM 셀의 고집적화에 있어서 문제가 된다.

선행기술문헌

특허문헌

[0008] (특허문헌 0001) 일본 공개특허공보 평2-188966호

(특허문헌 0002) 미국 특허출원공개 제2010/0219483호 명세서

(특허문헌 0003) 미국 등록 US8530960B2호 명세서

비특허문헌

[0009] (비특허문헌 0001) Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka : IEEE Transaction on Electron Devices, Vol.38, No.3, pp.573 - 578 (1991)

(비특허문헌 0002) C. Y. Ting, V. J. Vivalda, and H. G. Schaefer : "Study of planarized sputter-deposited SiO2", J. Vac. Sci. Technol. 15(3), p.p.1105 - 1112, May/June (1978)

(비특허문헌 0003) A. Raley, S. Thibaut, N. Mohanty, K. Subhadeep, S. Nakamura, et al. : "Self-aligned quadruple patterning integration using spacer on spacer pitch splitting at the resist level for sub-32nm pitch applications" Proc. Of SPIE Vol.9782, 2016

발명의 내용

해결하려는 과제

[0010] SGT 를 사용한 회로의 고집적화가 요구되고 있다.

과제의 해결 수단

[0011] 본 발명의 관점에 관련된 제조 방법은,

[0012] 기판 상에 수직 방향으로 선 반도체 기둥과, 상기 반도체 기둥을 둘러싼 게이트 절연층과, 상기 게이트 절연층을 둘러싼 게이트 도체층과, 수직 방향에 있어서, 상기 게이트 절연층 상단에 하단이 위치하는, 상기 반도체 기둥과 접속한 제 1 불순물 영역과, 상기 게이트 절연층 하단에 상단이 위치하는, 상기 반도체 기둥과 접속한 제 2 불순물 영역을 갖는 복수의 SGT (Surrounding Gate Transistor) 를, 부하용 SGT 와, 구동용 SGT 와, 선택용 SGT 에 사용한 SRAM (Static Random Access Memory) 셀 회로의 형성 공정에 있어서,

[0013] 평면에서 보았을 때, 상기 SGT 를 형성하는, 제 1 반도체 기둥과, 상기 제 1 반도체 기둥에 인접한 상기 SGT 를 형성하는 제 2 반도체 기둥을 상기 반도체 기둥으로서 형성하는 공정과,

[0014] 상기 제 1 반도체 기둥의 정부에 접속한 제 1 불순물층과, 상기 제 2 반도체 기둥의 정부에 접속한 제 2 불순물층을, 각각 상기 제 1 불순물 영역으로서 형성하는 공정과,

[0015] 상기 제 1 불순물층과, 상기 제 2 불순물층을 덮어 제 1 층간 절연층을 형성하는 공정과,

[0016] 상기 제 1 층간 절연층에, 평면에서 보았을 때, 상기 제 1 불순물층과, 상기 제 2 불순물층에 연결된 제 1 띠상 컨택트홀을 형성하는 공정과,

[0017] 상기 제 1 띠상 컨택트홀을 개재하여, 상기 제 1 불순물층과, 상기 제 2 불순물층에 접속한 배선 도체층을 형성하는 공정을 갖고,

[0018] 수직 방향에 있어서, 상기 제 1 불순물층과, 상기 제 2 불순물층의 상면과, 상기 제 1 띠상 컨택트홀의 상면 사이에 있는 영역이고, 또한, 평면에서 보았을 때, 상기 제 1 띠상 컨택트홀과 겹치는 영역에 있어서, 상기 배선 도체층과는 별도의 다른 배선 도체층이 존재하지 않고,

[0019] 평면에서 보았을 때, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥과는 별도의 다른 반도체 기둥이, 상기 제 1 띠상 컨택트홀이 형성된 영역에는 존재하지 않는

[0020] 것을 특징으로 한다.

[0021] 상기 제조 방법은,

[0022] 상기 배선 도체층이, 금속, 합금, 도너 또는 억셉터 불순물 원자를 많이 포함한 반도체층의 단층 또는 복수층으로 형성되는

[0023] 것이 바람직하다.

[0024] 상기 제조 방법은,

[0025] 상기 제 1 불순물층과, 상기 제 2 불순물층의 상면에, 금속 또는 합금에 의한 제 1 도체층을 형성하는 공정을

갖고,

[0026] 평면에서 보았을 때, 상기 제 1 띠상 컨택트홀이, 상기 제 1 도체층의 일부 영역과 겹쳐 존재하는

[0027] 것이 바람직하다.

[0028] 상기 제조 방법은,

[0029] 상기 게이트 도체층 상면보다 위에 있고, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥의 정부 외주부에, 제 2 층간 절연층을 형성하는 공정과,

[0030] 상기 제 2 층간 절연층 상에 있고, 또한 상기 제 1 반도체 기둥의 정부 측면을 둘러싼 제 1 재료층과, 상기 제 2 반도체 기둥의 정부 측면을 둘러싼 제 2 재료층을 형성하는 공정과,

[0031] 상기 제 1 재료층과, 상기 제 2 재료층의 측면에 접한 외주부에, 제 3 층간 절연층을 형성하는 공정과,

[0032] 상기 제 1 재료층과, 상기 제 2 재료층을 제거하여, 상기 제 1 반도체 기둥의 정부를 둘러싼 제 1 오목부와, 상기 제 2 반도체 기둥의 정부를 둘러싼 제 2 오목부를 형성하는 공정과,

[0033] 상기 제 1 반도체 기둥의 정부를 둘러싸고, 또한 상기 제 1 오목부 내에 상기 제 1 불순물층을 형성하는 공정과, 동시에, 상기 제 2 반도체 기둥의 정부를 둘러싸고, 또한 상기 제 2 오목부 내에 상기 제 2 불순물층을 형성하는 공정과,

[0034] 상기 제 1 불순물층 상에 있고, 또한 상기 제 1 오목부 내에 제 2 도체층을 형성하는 공정과, 동시에, 상기 제 2 불순물층 상에 있고, 또한 상기 제 2 오목부 내에 제 3 도체층을 형성하는 공정과,

[0035] 상기 제 3 층간 절연층과, 상기 제 2 도체층과, 상기 제 3 도체층의 위에 제 4 층간 절연층을 형성하는 공정과,

[0036] 평면에서 보았을 때, 상기 제 2 도체층과, 상기 제 3 도체층의 양방에 적어도 일부가 겹쳐 있고, 상기 제 4 층간 절연층에, 저부가 접한 상기 제 1 띠상 컨택트홀을 형성하는 공정을 갖는

[0037] 것이 바람직하다.

[0038] 상기 제조 방법은,

[0039] 상기 제 1 불순물층과, 상기 제 2 불순물층을 에피텍셜 결정 성장에 의해 형성하는 것이 바람직하다.

[0040] 본 발명의 다른 관점에 관련된 제조 방법은,

[0041] 기판 상에 수직 방향으로 선 반도체 기둥과, 상기 반도체 기둥을 둘러싼 게이트 절연층과, 상기 게이트 절연층을 둘러싼 게이트 도체층과, 수직 방향에 있어서, 상기 게이트 절연층 상단에 하단이 위치하는, 상기 반도체 기둥과 접속한 제 1 불순물 영역과, 상기 게이트 절연층 하단에 상단이 위치하는, 상기 반도체 기둥과 접속한 제 2 불순물 영역을 갖는 복수의 SGT (Surrounding Gate Transistor) 를 사용한 회로의 형성 공정에 있어서,

[0042] 평면에서 보았을 때, 상기 SGT 를 형성하는, 제 1 반도체 기둥과, 상기 제 1 반도체 기둥에 인접한 상기 SGT 를 형성하는 제 2 반도체 기둥을 상기 반도체 기둥으로서 형성하는 공정과,

[0043] 상기 게이트 도체층 상면보다 위에 있고, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥의 정부 외주부에, 제 1 층간 절연층을 형성하는 공정과,

[0044] 상기 제 1 층간 절연층 상에 있고, 또한 상기 제 1 반도체 기둥의 정부 측면을 둘러싼 제 1 재료층과, 상기 제 2 반도체 기둥의 정부 측면을 둘러싼 제 2 재료층을 형성하는 공정과,

[0045] 상기 제 1 재료층과, 상기 제 2 재료층의 측면에 접한 외주부에, 제 2 층간 절연층을 형성하는 공정과,

[0046] 평면에서 보았을 때, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥과, 상기 제 1 재료층과, 상기 제 2 재료층에 적어도 일부가 겹치고, 또한 연결된 제 1 띠상 오목부를, 상기 제 1 재료층, 상기 제 2 재료층, 상기 제 2 층간 절연층에 형성하는 공정과,

[0047] 상기 제 1 재료층과, 상기 제 2 재료층을 제거하여, 평면에서 보았을 때, 상기 제 1 띠상 오목부를 포함한 제 2 띠상 오목부를 형성하는 공정과,

[0048] 상기 제 2 띠상 오목부 내에 제 1 불순물층을 형성하는 공정과,

[0049] 상기 제 1 불순물층에 접속한, 제 1 배선 도체층을 형성하는 공정을 갖고,

[0050] 상기 제 1 불순물층은, 상기 제 1 불순물 영역과, 상기 제 2 불순물 영역이 일체적으로 연결되어 있는

[0051] 것을 특징으로 한다.

[0052] 상기 제조 방법은,

[0053] 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥에 형성한 상기 SGT 는, SRAM 회로에 있어서의 부하용 SGT 인

[0054] 것이 바람직하다.

[0055] 상기 제조 방법은,

[0056] 상기 제 1 배선 도체층이, 금속, 합금, 도너 또는 억셉터 불순물 원자를 많이 포함한 반도체층의 단층 또는 복수층으로 형성되는

[0057] 것이 바람직하다.

[0058] 상기 제조 방법은,

[0059] 상기 제 2 띠상 오목부 내의 상면에 단결정 반도체 박막층을 형성하는 공정과,

[0060] 계속해서, 상기 제 2 띠상 오목부에 상기 제 1 불순물층을 형성하는 공정을 갖는

[0061] 것이 바람직하다.

[0062] 상기 제조 방법은,

[0063] 상기 제 1 배선 도체층이, 상기 제 1 불순물층의 위에 있고, 또한 상기 제 2 띠상 오목부 내에 형성되어 있는

[0064] 것이 바람직하다.

[0065] 상기 제조 방법은,

[0066] 상기 제 1 배선 도체층 상에, 제 3 층간 절연층을 형성하는 공정과,

[0067] 상기 제 3 층간 절연층에, 평면에서 보았을 때, 상기 제 1 배선 도체층보다 작은 면적을 갖는 제 1 컨택트홀을 형성하는 공정과,

[0068] 상기 제 1 컨택트홀을 개재하여, 상기 제 1 배선 도체층에 연결되는 제 2 배선 도체층을 형성하는 공정을 갖는

[0069] 것이 바람직하다.

[0070] 본 발명의 다른 관점에 관련된 주상 반도체 장치는,

[0071] 기판 상에 수직 방향으로 선 반도체 기둥과, 상기 반도체 기둥을 둘러싼 게이트 절연층과, 상기 게이트 절연층을 둘러싼 게이트 도체층과, 수직 방향에 있어서, 상기 게이트 절연층 상단에 하단이 위치하는, 상기 반도체 기둥과 접속한 제 1 불순물 영역과, 상기 게이트 절연층 하단에 상단이 위치하는, 상기 반도체 기둥과 접속한 제 2 불순물 영역을 갖는 복수의 SGT (Surrounding Gate Transistor) 를, 부하용 SGT 와, 구동용 SGT 와, 선택용 SGT 에 사용한 SRAM (Static Random Access Memory) 셀 회로에 있어서,

[0072] 평면에서 보았을 때, 상기 반도체 기둥으로서 상기 부하용 SGT 를 구성하는 제 1 반도체 기둥과, 상기 반도체 기둥으로서 상기 부하용 SGT 를 구성하는 상기 제 1 반도체 기둥에 인접한 제 2 반도체 기둥과,

[0073] 상기 제 1 불순물 영역으로서 상기 제 1 반도체 기둥의 정부에 접속한 제 1 불순물층과,

[0074] 상기 제 1 불순물 영역으로서 상기 제 2 반도체 기둥의 정부에 접속한 제 2 불순물층과,

[0075] 상기 제 1 불순물층과, 상기 제 2 불순물층을 덮은 제 1 층간 절연층과,

[0076] 상기 제 1 층간 절연층에 있고, 평면에서 보았을 때, 제 1 불순물층과, 상기 제 2 불순물층에, 적어도 일부가 겹치고, 또한 연결된 제 1 띠상 컨택트홀과,

[0077] 상기 제 1 띠상 컨택트홀을 개재하여, 상기 제 1 불순물층과, 상기 제 2 불순물층에 접속한 제 1 배선 도체층을 갖고,

[0078] 수직 방향에 있어서, 상기 제 1 불순물층과, 상기 제 2 불순물층의 상면과, 상기 제 1 띠상 컨택트홀의 상면 사이에 있는 영역이고, 또한, 평면에서 보았을 때, 상기 제 1 띠상 컨택트홀과 겹치는 영역에 있어서, 상기 제 1 배선 도체층과는 별도의 다른 배선 도체층이 존재하지 않고,

[0079] 평면에서 보았을 때, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥과는 별도의 다른 반도체 기둥이, 상기 제 1 띠상 컨택트홀이 형성된 영역에는 존재하지 않는

[0080] 것을 특징으로 한다.

[0081] 상기 주상 반도체 장치는,

[0082] 상기 게이트 도체층 상면보다 위에 있고, 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥의 정부 외주부에 있고, 그 상면 위치가 상기 제 1 반도체 기둥과, 상기 제 2 반도체 기둥의 상면 위치보다 아래에 있는 제 2 층간 절연층과,

[0083] 상기 제 1 반도체 기둥 정부의 측면과 상면을, 동심원상으로 둘러싼 제 3 불순물층과, 상기 제 2 반도체 기둥 정부의 측면과 상면을, 동심원상으로 둘러싼 제 4 불순물층과,

[0084] 상기 제 3 불순물층 상에 있고, 또한 상기 제 3 불순물층과 동일한 형상의 제 1 도체층과, 상기 제 4 불순물층 상에 있고, 또한 상기 제 4 불순물층과 동일한 형상의 제 2 도체층을 갖고,

[0085] 상기 제 1 띠상 컨택트홀은, 평면에서 보았을 때, 상기 제 1 도체층과, 상기 제 2 도체층에 적어도 일부가 겹쳐 있는

[0086] 것이 바람직하다.

[0087] 상기 주상 반도체 장치는,

[0088] 상기 제 1 불순물층과 상기 제 2 불순물층이, 상기 제 3 불순물층과, 상기 제 4 불순물층을 포함하고, 또한 일체적으로 연결되어 상기 제 1 띠상 컨택트홀 내에 있고,

[0089] 상기 제 1 불순물층과 상기 제 2 불순물층의 위에 있고, 또한 상기 제 1 띠상 컨택트홀 내에, 상기 제 1 배선 도체층을 갖는

[0090] 것이 바람직하다.

[0091] 상기 주상 반도체 장치는,

[0092] 상기 제 1 배선 도체층 상의 제 3 층간 절연층과,

[0093] 상기 제 3 층간 절연층에 있는, 평면에서 보았을 때, 상기 제 1 배선 도체층보다 작은 면적을 갖는 제 2 띠상 컨택트홀과,

[0094] 상기 제 2 띠상 컨택트홀을 개재하여, 상기 제 1 배선 도체층에 연결된 제 2 배선 도체층을 갖는

[0095] 것이 바람직하다.

도면의 간단한 설명

[0096] 도 1a 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1b 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1c 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1d 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1e 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1f 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1g 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1h 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1i 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1j 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1k 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1l 은, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1m 은, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1n 은, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1o 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1p 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1q 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1r 은, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1s 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 1t 는, 제 1 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 2a 는, 본 발명의 제 2 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 2b 는, 본 발명의 제 2 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 2c 는, 본 발명의 제 2 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 2d 는, 본 발명의 제 2 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 2e 는, 본 발명의 제 2 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 2f 는, 본 발명의 제 2 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 2g 는, 본 발명의 제 2 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 3a 는, 본 발명의 제 3 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 3b 는, 본 발명의 제 3 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 3c 는, 본 발명의 제 3 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 4 는, 본 발명의 제 3 실시형태에 관련된 SGT 를 갖는 주상 반도체 장치의 제조 방법을 설명하기 위한 평면도와 단면 구조도이다.

도 5 는, 종래예의 SGT 를 나타내는 모식 구조도이다.

도 6 은, 종래예의 SGT 를 사용한 SRAM 셀 회로도이다.

발명을 실시하기 위한 구체적인 내용

[0097] 이하, 본 발명의 실시형태에 관련된 주상 반도체 장치의 제조 방법에 대해, 도면을 참조하면서 설명한다.

[0098] (제 1 실시형태)

[0099] 이하, 도 1a ~ 도 1t 를 참조하면서, 본 발명의 제 1 실시형태에 관련된 SGT 를 갖는 SRAM 셀 회로의 제조 방법에 대해 설명한다. (a) 는 평면도, (b) 는 (a) 의 X-X' 선을 따른 단면 구조도, (c) 는 (a) 의 Y-Y' 선을 따른 단면 구조도를 나타낸다.

[0100] 도 1a 에 나타내는 바와 같이, P 층 기판 (1) 상에 N 층 (2) 을 에피텍셜 결정 성장법에 의해 형성한다. 그리고, N 층 (2) 의 표층에 N^+ 층 (3) 과 P^+ 층 (4a, 4b) 을 이온 주입법에 의해 형성한다. 그리고, i 층 (6) 을 형성한다. 그리고, 예를 들어, SiO_2 층, 산화알루미늄 (Al_2O_3, 이후 AlO 라고 칭한다) 층, SiO_2 층으로 이루어지는 마스크 재료층 (7) 을 형성한다. 그리고, 실리콘 게르마늄 (SiGe) 층 (8) 을 퇴적한다. 그리고, SiO_2 층으로 이루어지는 마스크 재료층 (9) 을 퇴적한다. 그리고, SiN 층으로 이루어지는 마스크 재료층 (10) 을 퇴적한다. 또한, i 층 (6) 은 도너 또는 억셉터 불순물 원자를 소량으로 포함하는 N 형, 또는 P 형의 Si 로 형성되어도 된다.

[0101] 다음으로, 리소그래피법에 의해 형성한 평면에서 보았을 때 Y 방향으로 신연한 띠상 레지스트층 (도시 생략) 을 마스크로 하여, 마스크 재료층 (10) 을 에칭한다. 이로써, 평면에서 보았을 때 Y 방향으로 신연한 띠상 마스크 재료층 (도시 생략) 을 형성한다. 레지스트층을 마스크로 하여, 이 띠상 마스크 재료층을 등방성 에칭함으로써, 띠상 마스크 재료층의 폭을, 레지스트층의 폭보다 가늘어지도록 형성한다. 이로써, 리소그래피법으로 형성할 수 있는 최소의 레지스트층의 폭보다 작은 폭을 갖는 띠상 마스크 재료층 (10a, 10b) 을 형성한다.

그리고, 띠상 마스크 재료층 (10a, 10b) 을 에칭 마스크로 하여, 마스크 재료층 (9) 을, 예를 들어 RIE (Reactive Ion Etching) 에 의해, 에칭하여 띠상 마스크 재료층 (9a, 9b) 을 형성한다. 등방 에칭에 의해 형성한 띠상 마스크 재료층 (10a, 10b) 의 단면은 저부의 폭이, 정부의 폭보다 큰 사다리꼴상이 되는 데에 대해, 띠상 마스크 재료층 (9a, 9b) 의 단면은 RIE 에 의해 에칭되므로, 직사각형상이 된다. 이 직사각형 단면은, 띠상 마스크 재료층 (9a, 9b) 을 마스크로 한, 에칭 패턴의 정밀도 향상으로 연결된다. 다음으로, 띠상 마스크 재료층 (9a, 9b) 을 마스크로 하여, SiGe 층 (8) 을, 예를 들어 RIE 법에 의해 에칭함으로써, 도 1b 에 나타내는 바와 같이, 띠상 SiGe 층 (8a, 8b) 을 형성한다. 전술한 띠상 마스크 재료층 (9a, 9b) 상의 띠상 마스크 재료층 (10a, 10b) 은, SiGe 층 (8) 의 에칭 전에 제거해도 되고, 또는 잔존시키고 있어도 된다.

[0102] 다음으로, 전체적으로, ALD (Atomic Layered Deposition) 법에 의해 SiN 층 (도시 생략) 을 마스크 재료층 (7), 띠상 SiGe 층 (8a, 8b), 띠상 SiN 층 (9a, 9b) 을 덮어 형성한다. 이 경우, SiN 층 (12) 의 단면은 정부에서 둥근 부분을 발생시킨다. 이 둥근 부분은 띠상 마스크 재료층 (8a, 8b) 보다 상부가 되도록 형성하는 것이 바람직하다. 그리고, 전체를, 예를 들어 플로우 CVD (Flow Chemical Vapor Deposition) 법에 의한 SiO_2 층 (도시 생략) 으로 덮고, 그리고, CMP (Chemical Mechanical Polishing) 에 의해, 상표면 위치가 띠

상 마스크 재료층 (9a, 9b) 상표면 위치가 되도록 SiO_2 층과, SiN 층을 연마하여, SiN 층 (13a, 13b, 13c) 을 형성한다. 그리고, SiN 층 (13a, 13b, 13c) 의 정부를 에칭하여 오목부를 형성한다. 이 오목부의 저부 위치가, 띠상 마스크 재료층 (9a, 9b) 의 하부 위치에 있도록 형성한다. 그리고, 전체적으로 SiN 층 (도시 생략) 을 피복하고, 전체를 CMP 법에 의해, 상면 위치가 마스크 재료층 (9a, 9b) 상면 위치가 되도록 SiN 층을 연마한다. 그리고, 플로우 CVD 에 의해 형성한 SiO_2 층을 제거한다. 이로써, 도 1c 에 나타내는 바와 같이, 띠상 마스크 재료층 (9a, 9b) 의 양측에, 평면에서 보았을 때 SiN 층 (13a, 13b, 13c) 의 정부 형상과 동일한 형상을 갖는 띠상 마스크 재료층 (12aa, 12ab, 12ba, 12bb) 이 형성된다.

[0103] 다음으로, 도 1d 에 나타내는 바와 같이, 띠상 마스크 재료층 (9a, 9b, 12aa, 12ab, 12ba, 12bb) 을 마스크로 하여, SiN 층 (13a, 13b, 13c) 을 에칭하여, 띠상 SiN 층 (13aa, 13ab, 13ba, 13bb) 을 형성한다. 이 경우, 평면에서 보았을 때, 띠상 SiN 층 (13aa, 13ab, 13ba, 13bb) 의 폭은 동일해진다.

[0104] 다음으로, 띠상 마스크 재료층 (9a, 9b), 띠상 SiGe 층 (8a, 8b) 을 제거한다. 이로써, 도 1e 에 나타내는 바와 같이, 마스크 재료층 (7) 상에, 평면에서 보았을 때 Y 방향으로 신연하고, 또한 서로 평행하게 늘어선 띠상 마스크 재료층 (12aa, 12ab, 12ba, 12bb) 을, 각각의 정부 상에 갖는 띠상 SiN 층 (13aa, 13ab, 13ba, 13bb) 이 형성된다.

[0105] 다음으로, 전체를 덮어, FCVD 법에 의한 SiO_2 층 (도시 생략) 을 형성한다. 그리고, CMP 법에 의해, SiO_2 층을, 그 상표면 위치가 띠상 마스크 재료층 (12aa, 12ab, 12ba, 12bb) 의 상표면 위치와 동일해지도록 연마하여, 도 1f 에 나타내는 바와 같이, SiO_2 층 (15) 을 형성한다. 그리고, SiO_2 층 (15), 띠상 마스크 재료층 (12aa, 12ab, 12ba, 12bb) 상에, SiN 층 (16) 을 형성한다. 그리고, 띠상 SiN 층 (13aa, 13ab, 13ba, 13bb) 을 형성한 방법과, 동일한 기본적인 수법을 사용하여, SiN 층 (16) 상에 X 방향으로 신연하고, 또한 서로 평행하게 늘어선 띠상 마스크 재료층 (17a, 17b) 을 형성한다.

[0106] 다음으로, 도 1g 에 나타내는 바와 같이, 띠상 마스크 재료층 (17a, 17b) 을 마스크로 하여, SiN 층 (16), 띠상 마스크 재료층 (12aa, 12ab, 12ba, 12bb), 띠상 SiN 층 (13aa, 13ab, 13ba, 13bb), 마스크 재료층 (7) 을 RIE 에칭한다. 그리고, 잔존해 있는 SiN 층 (16), SiO_2 층 (15) 을 제거한다. 이로써, 평면에서 보았을 때, 직사각형상의 마스크 재료층 (19a, 19b, 19c, 19d, 19e, 19f, 19g, 19h) 을 정부에 갖는 SiN 기둥 (20a, 20b, 20c, 20d, 20e, 20f, 20g, 20h) 을 형성한다.

[0107] 다음으로, 도 1h 에 나타내는 바와 같이, 직사각형상의 마스크 재료층 (19b, 19g), SiN 기둥 (20b, 20g) 을 제거한다.

[0108] 다음으로, 마스크 재료층 (19a, 19c, 19d, 19e, 19f, 19h) 과, SiN 기둥 (20a, 20c, 20d, 20e, 20f, 20h) 을 마스크로 하여, 마스크 재료층 (7) 을 에칭하여, 도 1i 에 나타내는 바와 같이, 마스크 재료층 (7a, 7b, 7c, 7d, 7e, 7f) 을 형성한다. 이 에칭에 있어서, 예를 들어 CDE (Chemical Dry Etching) 법에 의한 등방 에칭을 실시함으로써, 평면에서 보았을 때, 마스크 재료층 (7a, 7b, 7c, 7d, 7e, 7f) 의 형상을 원형상으로 한다. 이 CDE 에칭은, 이 공정 전에 마스크 재료층 (7a, 7b, 7c, 7d, 7e, 7f) 의 평면에서 본 형상이 원형상으로 되어 있는 경우에는 필요 없다. 그리고, 마스크 재료층 (19a, 19c, 19d, 19e, 19f, 19h) 과, SiN 기둥 (20a, 20c, 20d, 20e, 20f, 20h) 을 제거한다. 그리고, 마스크 재료층 (7a, 7b, 7c, 7d, 7e, 7f) 을 마스크로 하여, i 층 (6) 을 에칭하여, N^+ 층 (3), P^+ 층 (4a, 4b) 상에 Si 기둥 (6a, 6b, 6c, 6d, 6e, 6f) 을 형성한다.

[0109] 다음으로, 도 1j 에 나타내는 바와 같이, Si 기둥 (6a, 6b, 6c) 의 저부에 연결되는 N^+ 층 (3), P^+ 층 (4a), N 층 (2), P 층 기판 (1) 을 에칭하여, P 층 기판 (1) 의 상부, N 층 (21a), N^+ 층 (3aa, 3ab), P^+ 층 (4aa) 으로 이루어지는 Si 주대 (柱臺) (21a) 를 형성한다. 동시에, Si 기둥 (6d, 6e, 6f) 의 저부에 연결되는 N^+ 층 (3), P^+ 층 (4b), N 층 (2), P 층 기판 (1) 을 에칭하여, P 층 기판 (1) 의 상부, N 층 (2b), N^+ 층 (3ba (도시 생략), 3bb (도시 생략)), P^+ 층 (4bb) 으로 이루어지는 Si 주대 (21b) 를 형성한다. 그리고, N^+ 층 (3aa, 3ab, 3ba, 3bb), P^+ 층 (4aa, 4bb), N 층 (2a, 2b) 의 외주부와, P 층 기판 (1) 상에 SiO_2 층 (22) 을 형성한다. 그리고, ALD 법에 의해, 전체를 덮어, HfO_2 층 (23), TiN 층 (도시 생략) 을 형성한다. 이

경우, Si 기둥 (6b, 6c) 간과, Si 기둥 (6d, 6e) 간에서는 TiN 층이 측면끼리에서 접촉하고 있다. 그리고, Si 기둥 (6a) 의 외주를 둘러싼 HfO_2 층 (23) 상에 TiN 층 (24a), Si 기둥 (6b, 6c) 의 외주의 HfO_2 층 (23) 을 둘러싸서 TiN 층 (24b) 을, Si 기둥 (6d, 6e) 의 외주의 HfO_2 층 (23) 을 둘러싸서 TiN 층 (24c) 을, Si 기둥 (6f) 의 외주의 HfO_2 층 (23) 을 둘러싸서 TiN 층 (24d) 을 형성한다. 그리고, 전체적으로 SiO_2 층 (도시 생략) 을 피복하고, 그 후에, CMP 법에 의해 전체를, 그 상면 위치가, 마스크 재료층 (7a, 7b, 7c, 7d, 7e, 7f) 의 상면 위치가 되도록 연마한다. 그리고, RIE 법에 의해 평탄화한 SiO_2 층 (도시 생략) 을 에치 백하여, SiO_2 층 (25) 을 형성한다. 그리고, 마스크 재료층 (7a, 7b, 7c, 7d, 7e, 7f) 과, SiO_2 층 (25) 을 마스크로 하여, HfO_2 층 (23), TiN 층 (24a, 24b, 24c, 24d) 의 정부를 제거한다. TiN 층 (24a, 24b, 24c, 24d) 은 SGT 의 게이트 도체층이 된다. 이 게이트 도체층은, SGT 의 임계값 전압의 설정에 기여하는 층이고, 단층 또는 복수층으로 이루어지는 게이트 도체 재료층으로 형성해도 된다. 이 게이트 도체 재료층은, Si 기둥 (6b, 6c) 간, 및 Si 기둥 (6d, 6e) 간의 측면 전체에 접하여 형성된다. 또한, 게이트 도체 재료층에 연결되어, 예를 들어 텅스텐 (W) 층을 형성하고, 이 W 층을 배선 도체층으로서 사용해도 된다. 이 W 층은, 다른 도체 재료층이어도 된다.

[0110] 다음으로, 도 1k 에 나타내는 바와 같이, Si 기둥 (6a ~ 6f) 의 외주부의 SiO_2 층 (25) 상에, SiN 층 (27) 을 형성한다. 그리고, 전체적으로 SiO_2 층 (도시 생략) 을 피복한다. 그리고, RIE 법에 의해, 이 SiO_2 층을 에칭함으로써, 노출되어 있는 Si 기둥 (6a ~ 6f) 의 정부와, 마스크 재료층 (7a ~ 7f) 의 측면에, 평면에서 보았을 때, 등폭의 SiO_2 층 (28a, 28b, 28c, 28d, 28e, 28f) 을 형성한다. 이 경우, SiO_2 층 (28b) 과 SiO_2 층 (28c) 은 떨어져서 형성시킨다. 동일하게, SiO_2 층 (28d) 과 SiO_2 층 (28e) 은 떨어져서 형성시킨다.

[0111] 다음으로, 전체적으로 SiN 층 (도시 생략) 을 피복한다. 그리고, 도 1l 에 나타내는 바와 같이, CMP 법에 의해, SiN 층의 상면 위치가, 마스크 재료층 (7a ~ 7f) 의 상표면 위치가 되도록 연마하여, SiN 층 (29) 을 형성한다. 그리고, Si 기둥 (6a ~ 6f) 의 정부를 둘러싼 SiO_2 층 (28a, 28b, 28c, 28d, 28e, 28f) 을 제거하여, Si 기둥 (6a ~ 6f) 의 정부를 둘러싼 오목부 (30a, 30b, 30c, 30d, 30e, 30f) 를 형성한다. SiO_2 층 (28a, 28b, 28c, 28d, 28e, 28f) 이 Si 기둥 (6a ~ 6f) 에 대해 자기 정합으로 형성되므로, 오목부 (30a, 30b, 30c, 30d, 30e, 30f) 는, Si 기둥 (6a ~ 6f) 에 대해 자기 정합으로 형성된다.

[0112] 다음으로, 도 1m 에 나타내는 바와 같이, 마스크 재료층 (7a, 7b, 7c, 7d, 7e, 7f) 을 제거하여, Si 기둥 (6a ~ 6f) 의 정부 외주와 상부에, 오목부 (30A, 30B, 30C, 30D, 30E, 30F) 를 형성한다.

[0113] 다음으로, CVD 법에 의해 전체적으로, SiO_2 층 (도시 생략) 을 피복한다. 그리고, 도 1n 에 나타내는 바와 같이, CMP 법에 의해, SiO_2 층의 상면 위치를, SiN 층 (29) 의 상면 위치까지 연마하고, Si 기둥 (6a ~ 6f) 의 정부를 덮고, 또한 오목부 (30A, 30B, 30C, 30D, 30E, 30F) 내에, SiO_2 층 (31a, 31b (도시 생략) 31c, 31d, 31e (도시 생략), 31f) 을 형성한다. 그리고, 리소그래피법과, 케미컬 에칭법에 의해, SiO_2 층 (31b, 31e) 을 제거한다. 그리고, 선택 에피텍셜 결정 성장법에 의해 억셉터 불순물을 포함한 P^+ 층 (32b, 32e) 을, Si 기둥 (6b, 6e) 의 정부를 덮고, 또한 오목부 (30B, 30E) 내에 형성한다. P^+ 층 (32b, 32e) 의 외주가, 평면에서 보았을 때, 오목부 (30B, 30E) 의 외주보다 외측이 되지 않게 형성한다. 또한, P^+ 층 (32b, 32e) 을 형성하기 전에, Si 기둥 (6b, 6e) 의 정부를 얇게 산화한 후에, 이 산화막을 제거하는 처리를 실시하고, Si 기둥 (6b, 6e) 의 정부 표층의 데미지층의 제거, 및 세정을 실시하는 것이 바람직하다. 또한, P^+ 층 (32b, 32e) 은, 선택 에피텍셜 결정 성장법 이외의, 예를 들어 분자선 결정 성장법 등의 다른 방법을 사용하여 단결정인 P^+ 층 (32b, 32e) 을 형성해도 된다. 또, P^+ 층 (32b, 32e) 은, 전체면에 억셉터 불순물을 포함한 반도체층을 피복한 후에, CMP 법에 의해, 그 상면 위치가 SiN 층 (29) 의 상면 위치까지 연마한 후에, 상면을 CDE 법, 또는 케미컬 에치하여 형성해도 된다.

[0114] 다음으로, 전체적으로 SiO_2 층 (도시 생략) 을 피복하고, CMP 법에 의해, SiO_2 층의 상면 위치가, SiN 층 (29) 의 상면 위치와 동일해지도록 연마하고, P^+ 층 (32b, 32e) 상에, SiO_2 층 (도시 생략) 을 피복시킨다. 그리

고, 리소그래피법과 케미컬 에치에 의해, SiO_2 층 (31a, 31c, 31d, 31f) 을 제거한다. 그리고, 도 1o 에 나타내는 바와 같이, 선택 에피텍셜 결정 성장법에 의해 도너 불순물을 포함한 N^+ 층 (32a, 32c, 32d, 32f) 을, Si 기둥 (6a, 6c, 6d, 6f) 의 정부를 덮고, 또한 오목부 (30A, 30C, 30D, 30F) 내에 형성한다. N^+ 층 (32a, 32c, 32d, 32f) 의 외주가, 평면에서 보았을 때, 오목부 (30A, 30C, 30D, 30F) 의 외주보다 외측이 되지 않게 형성한다. 그리고, P^+ 층 (32b, 32e) 상의 SiO_2 층을 제거한다.

[0115] 다음으로, 전체적으로 얇은 Ta 층 (도시 생략) 과 W 층 (도시 생략) 을 피복한다. 그리고, 도 1p 에 나타내는 바와 같이, CMP 법에 의해, W 층의 상면 위치가 SiN 층 (29) 의 상면 위치가 되도록 연마하여, W 층 (33a, 33b, 33c, 33d, 33e, 33f) 을 형성한다. 이 경우, N^+ 층 (32a, 32c, 32d, 32f), P^+ 층 (32b, 32e) 과, W 층 (33a, 33b, 33c, 33d, 33e, 33f) 사이에 있는 Ta 층은, 이들 2 개의 층의 접촉 저항을 작게 하기 위한 버퍼층이다. 이 버퍼층은 단층 또는 복수층의 다른 재료층이어도 된다.

[0116] 다음으로, 도 1q 에 나타내는 바와 같이, TiN 층 (24c) 과, N^+ 층 (3aa) 과, P^+ 층 (4aa) 상에, 컨택트홀 (C1) 을 형성한다. 동시에, TiN 층 (24b) 과, N^+ 층 (3bb) 과, P^+ 층 (4bb) 상에, 컨택트홀 (C2) 을 형성한다. 그리고, 전체적으로 얇은 버퍼 Ti 층 (도시 생략) 과 W 층 (도시 생략) 을 피복한다. 그리고, W 층의 상면 위치가 컨택트홀 (C1, C2) 의 상면 위치보다 아래가 되도록, RIE 에 의한 에치 백을 실시하여, 컨택트홀 (C1, C2) 내에 W 층 (34a (도시 생략), 34b) 을 형성한다. 그리고, 전체적으로 SiN 층 (도시 생략) 을 피복한다. 그리고, CMP 법을 사용하여, SiN 층을 상면 위치가, W 층 (33a, 33b, 33c, 33d, 33f) 의 상면 위치가 되도록 연마하여, 컨택트홀 (C1) 내의 W 층 (34a) 상과, 컨택트홀 (C2) 내의 W 층 (34b) 상에 SiN 층 (35a (도시 생략), 35b) 을 형성한다.

[0117] 다음으로, 전체적으로 SiO_2 층 (도시 생략) 을 피복한다. 그리고, 도 1r 에 나타내는 바와 같이, 전체적으로, SiO_2 층 (37) 을 형성한 후에, 리소그래피법과, RIE 법을 사용하여, 평면에서 보았을 때, Si 기둥 (6b, 6e) 상의 W 층 (33b, 33e) 의 적어도 일부와 겹치고, Y 방향으로 신연한 띠상 컨택트홀 (C3) 을 형성한다. 또한, 띠상 컨택트홀 (C3) 의 저부는 SiN 층 (27) 의 상면까지 달하고 있어도 된다.

[0118] 다음으로, 도 1s 에 나타내는 바와 같이, 띠상 컨택트 (C3) 를 메워, W 층 (33b 와, 33e) 을 접속한 전원 배선 금속층 (Vdd) 을 형성한다. 또한, 전원 배선 금속층 (Vdd) 은, 금속 뿐만 아니라, 합금, 도너 또는 억셉터 불순물을 많이 포함한 반도체로 이루어지는 재료층을 단층, 또는 복수층 사용하여 형성해도 된다.

[0119] 다음으로, 도 1t 에 나타내는 바와 같이, 전체를 덮어 상표면이 평탄한 SiO_2 층 (38) 을 형성한다. 그리고, N^+ 층 (32c) 상의 W 층 (33c) 상에 형성한 컨택트홀 (C4) 을 개재하여, 그라운드 배선 금속층 (Vss1) 을 형성한다. 동시에, N^+ 층 (32d) 상의 W 층 (33d) 상에 형성한 컨택트홀 (C5) 을 개재하여, 그라운드 배선 금속층 (Vss2) 을 형성한다. 전체를 덮어 상표면이 평탄한 SiO_2 층 (39) 을 형성한다. 그리고, TiN 층 (24a, 24d) 상에 형성한 컨택트홀 (C6, C7) 을 개재하여, 워드 배선 금속층 (WL) 을 형성한다. 전체를 덮어 상표면이 평탄한 SiO_2 층 (7) 을 형성한다. 그리고, 전체를 덮어 상표면이 평탄한 SiO_2 층 (40) 을 형성한다.

그리고, N^+ 층 (32a, 32f) 상의 W 층 (33a, 33f) 에 형성한 컨택트홀 (C8, C9) 을 개재하여, 반전 비트 출력 배선 금속층 (RBL), 비트 출력 배선 금속층 (BL) 을 형성한다. 이로써, P 층 기판 (1) 상에 SRAM 셀 회로가 형성된다. 본 SRAM 회로에서는, Si 기둥 (6b, 6e) 에 부하 SGT 가 형성되고, Si 기둥 (6c, 6d) 에 구동 SGT 가 형성되고, Si 기둥 (6a, 6f) 에 선택 SGT 가 형성되어 있다.

[0120] 또한, 도 1n, 도 1o 에서 나타낸 N^+ 층 (32a, 32c, 32d, 32f), P^+ 층 (32b, 32e) 의 형성 후의 열공정에 의해, N^+ 층 (32a, 32c, 32d, 32f), P^+ 층 (32b, 32e) 으로부터 Si 기둥 (6a ~ 6f) 의 정부로의 도너, 또는 억셉터 불순물의 확산에 의해, N^+ 층 (32A, 32C, 32D, 32F (도시 생략)), P^+ 층 (32B, 32E (도시 생략)) 이 형성된다. N^+ 층 (32A, 32C, 32D, 32F), P^+ 층 (32B, 32E) 의 분포 형상은, 열공정의 이력, 및 Si 기둥 (6a ~ 6f) 의 직경에 의해, Si 기둥 (6a ~ 6f) 의 정부 표층, 또는 정부 내부 전체에 형성된다. 이로써, N^+ 층 (32a, 32c, 32d, 32f), P^+ 층 (32b, 32e), N^+ 층 (32A, 32C, 32D, 32F), P^+ 층 (32B, 32E) 은, Si 기둥 (6a ~ 6f)

의 정부에 접속하여 형성된다. 또한, N^+ 층 (32A, 32C, 32D, 32F), P^+ 층 (32B, 32E) 의 수직 방향의 하단의 위치는, 게이트 TiN 층 (24a, 24b, 24c, 24d) 의 상단 위치와 동일해도 되고, 또 떨어져 있어도 되고, 또 겹쳐 있어도 되고, 정상적인 SGT 동작이 이루어지면, 어느 것이어도 된다.

[0121] 또, 도 1j 의 상태에 있어서, 마스크 재료층 (7a, 7b, 7c, 7d, 7e, 7f) 은 없어도 된다. 이 경우, 도 1k, 또는 도 1l 에 있어서, Si 기둥 (6a ~ 6f) 의 정부를 에칭, 또는 Si 기둥 (6a ~ 6f) 의 정부를 산화한 후에 제거하는 공정 등에 의해, Si 기둥 (6a ~ 6f) 정부의 상면 위치를 SiN 층 (29) 보다 낮게 할 수 있다.

[0122] 또한, 상기 띠상 컨택트홀 (C3) 의 형성에 있어서, 하기의 조건이 필요하다.

[0123] (조건 1)

[0124] 평면에서 보았을 때, 띠상 컨택트홀 (C3) 의 영역 내에는 부하 SGT 이외의 Si (본 실시형태에서는 6a, 6c, 6d, 6f 가 대응한다) 는 없다.

[0125] (조건 2)

[0126] 띠상 컨택트홀 (C3) 이 형성되는 띠상 영역 전체에 있어서, 띠상 컨택트홀 (C3) 의 상면으로부터, 저부까지의 전체에 도체층인 전원 배선 금속층 (Vdd) 이 형성된다. 이 때문에, 평면에서 보았을 때, 띠상 컨택트홀 (C3) 과 교차하는 배선 금속층 (본 실시형태에서는 워드 배선 금속층 (WL) 이 대응한다) 은, 전원 배선 금속층 (Vdd) 과의 전기적 단락을 방지하기 위해, 수직 방향에 있어서, 띠상 컨택트홀 (C3) 보다 상부에 형성되어야 한다.

[0127] (조건 3)

[0128] 평면에서 보았을 때, 띠상 컨택트홀 (C3) 은 Y 방향에 있어서 인접한 다른 SRAM 셀에 연결되어 형성되어도 되고, 또 분리되어 형성되어도 된다. 그러나, 평면에서 보았을 때, 부하 SGT 를 형성하는 Si 기둥 (본 실시형태에서는 Si 기둥 (6b, 6c) 이 대응한다) 사이는 X 방향, Y 방향의 양방에 있어서 연결되어 있어야 한다.

[0129] (조건 4)

[0130] 띠상 컨택트홀 (C3) 은, Si 기둥의 정부에 접속한 SGT 의 소스, 또는 드레인이 되는 불순물 영역 (본 실시형태에서는 P^+ 층 (32b, 32e) 이 대응한다) 과, 금속, 합금 등의 배선 도전층의 접속을 위해서 형성된다.

[0131] 제 1 실시형태의 제조 방법에 의하면, 다음과 같은 특징이 얻어진다.

[0132] (특징 1)

[0133] 종래, 부하 SGT 가 형성되는 Si 기둥 (6b, 6e) 상의 각각에 독립된 컨택트홀이 형성된다. 이 2 개의 컨택트홀의 거리는, 다른 구동 SGT, 선택 SGT 의 컨택트에서의 거리와 비교하여 가장 가깝다. 이 경우, SRAM 셀의 고집적화가 진행되면, 이 2 개의 독립된 컨택트홀을, 1 회의 리소그래피법과, RIE 에칭법으로 형성하는 것이 어려워진다. 이 때문에, 예를 들어, 리소그래피법과, RIE 에칭법의 공정을 2 회로 나누어 실시할 필요성이 생긴다. 이 경우, 공정수의 증가에 수반하는 비용 증가의 문제에 더하여, 2 회의 리소그래피 공정간의 마스크 맞댐 마진을 도입하기 위한 집적도의 저하가 문제가 된다. 또, 독립된, 미세한 인접한 2 개의 컨택트홀을 양호한 정밀로 형성하기 위한 제조상의 곤란성이 문제가 된다. 이에 대해, 본 실시형태에서는, 평면에서 보았을 때, 부하 SGT 가 형성되는 2 개의 Si 기둥 (6b, 6e) 상의 P^+ 층 (32b, 32e), W 층 (33b, 33e) 과 겹쳐서 띠상 컨택트홀 (C3) 이 형성된다. 이로써, 전원 배선 금속층 (Vdd) 과, P^+ 층 (32b, 32e) 이 띠상 컨택트홀 (C3) 을 개재하여 접속된다. 이와 같이, 본 실시형태에서는, Si 기둥 (6b, 6e) 상에 독립된 컨택트홀이 형성되지 않는다. 이로써, 1 회의 리소그래피법과, RIE 에칭법에 의해 컨택트홀이 형성되는 것에 의한 비용 저감과, 마스크 맞댐 마진 문제가 없는 것에 의한 집적도의 저하를 방지할 수 있다. 그리고, 띠상 컨택트홀 (C3) 은, 종래의 2 개의 독립된 컨택트홀을 형성하는 방법과 비교하여, 넓게 형성할 수 있으므로, 패턴 정밀도를 양호하게 할 수 있는 이점이 있다. 이로써, 본 실시형태에 의해 저비용이고, 고집적도, 고정밀도의 SGT 를 사용한 SRAM 셀이 형성된다.

[0134] (특징 2)

[0135] 띠상 컨택트홀 (C3) 에 인접하여, 컨택트홀 (C4, C5) 이 형성된다. Si 기둥 (6b, 6c) 과 Si 기둥 (6d, 6e) 이 고밀도로 형성되면, 띠상 컨택트홀 (C3) 과, 컨택트홀 (C4, C5) 의 간격이 짧아져, 전원 배선 금속층 (Vdd)

과, 그라운드 배선 금속층 (Vss1, Vss2) 간의 전기적 단락이 발생하기 쉬워진다. 이에 대해, 본 실시형태에서는, 자기 정합으로 형성한 SiO_2 층 (28b, 28c, 28d, 28e) 을 제거하여 형성한 오목부 (30B, 30E) 내에, P^+ 층 (32b, 32d) 과, 이 P^+ 층 (32b, 32d) 을 덮어 저항이 낮은 W 층 (33b, 33d) 이 형성되어 있다. 이로써, 평면에서 보았을 때, 띠상 컨택트홀 (C3) 은, W 층 (33b, 33d) 의 일부과 겹쳐 형성되면 된다. 이로써, SRAM 셀의 집적도를 떨어뜨리는 일 없이, 띠상 컨택트홀 (C3) 과, 컨택트홀 (C4, C5) 을 형성할 수 있다.

[0136] 또한, 본 실시형태에서는, 1 개의 SRAM 셀을 6 개의 SGT 로 이루어지는 SRAM 셀 형성에 대해 설명했지만, 6 개 이외의 SGT 를 사용한 SRAM 셀에 있어서도, 상기 조건을 만족시키면, 동일한 효과가 얻어진다. 또, 복수의 SGT 로 이루어지는 로직 소자 형성에 있어서, SGT 를 형성하는 인접한 반도체 기둥의 정부에 접속한 불순물층끼리를 연결하는 회로 형성에 있어서도 본 실시형태가 제공하는 제조 방법을 적용할 수 있다. 이로써, 로직 회로의 고집적화가 도모된다.

[0137] (제 2 실시형태)

[0138] 이하, 도 2a ~ 도 2c 를 참조하면서, 본 발명의 제 2 실시형태에 관련된 SGT 를 갖는 SRAM 셀 회로의 제조 방법에 대해 설명한다. (a) 는 평면도, (b) 는 (a) 의 X-X' 선을 따른 단면 구조도, (c) 는 (a) 의 Y-Y' 선을 따른 단면 구조도를 나타낸다.

[0139] 도 1a ~ 도 1q 까지의 공정을 실시한다. 그리고, 전체적으로 레지스트층 (도시 생략) 을 피복한다. 그리고, 리소그래피법을 사용하여, 도 2a 에 나타내는 바와 같이, SiN 층 (41), 마스크 재료층 (7a ~ 7f), SiO_2 층 (28a ~ 28f) 상에, 평면에서 보았을 때, Si 기둥 (6b, 6e) 에 겹쳐진 띠상 창을 갖는 레지스트층 (42) 을 형성한다.

[0140] 다음으로, 도 2b 에 나타내는 바와 같이, 레지스트층 (42) 을 마스크로 하여, SiN 층 (41), 마스크 재료층 (7a ~ 7f), SiO_2 층 (6a ~ 6f) 을, 그 상면 위치가 Si 기둥 (6b, 6e) 의 정부 상면 위치보다 아래가 되도록, RIE 법에 의해 에칭하여, 오목부 (43) 를 형성한다. 또한, 이 오목부 (43) 의 저부는 SiN 층 (27) 까지 달해도 된다.

[0141] 다음으로, 레지스트층 (42) 을 제거한다. 그리고, 도 2c 에 나타내는 바와 같이, Si 기둥 (6b, 6e) 상의 마스크 재료층 (7b, 7e), SiO_2 층 (28b, 28e) 을 제거하여, 오목부 (43A) 를 형성한다. 오목부 (43A) 는, Y 방향으로 연장된 직사각형부와, Si 기둥 (6b, 6e) 의 정부를 둘러싸고, 제거한 SiO_2 층 (28b, 28e) 부분으로 이루어진다.

[0142] 다음으로, 전체적으로 ALD 법에 의한 얇은 Si 층 (도시 생략) 과, 에피텍셜 결정 성장법에 의한 억셉터 불순물을 포함한 P^+ 층 (도시 생략) 을 피복한다. 그리고, P^+ 층, 얇은 Si 층을, 그 상면 위치가 SiN 층 (41) 의 상면 위치가 되도록 연마하여, 도 2d 에 나타내는 바와 같이, 얇은 Si 층 (45b), P^+ 층 (46) 을 형성한다.

[0143] 다음으로, 도 2e 에 나타내는 바와 같이 얇은 Si 층 (45), $^+$ 층 (46) 의 상부를 에칭하여 P^+ 층 (46b) 을 형성한다. 그리고, CVD 법과 CMP 법을 사용하여, P^+ 층 (46b) 의 상부에 있고, 또한 그 상면 위치가 SiN 층 (41) 의 상면 위치에 있는 마스크 재료층 (49b) 을 형성한다. 그리고, Si 기둥 (6a, 6c, 6d, 6f) 의 정부의 외주부와 위에 있는 마스크 재료층 (7a, 7c, 7d, 7f), SiO_2 층 (28a, 28c, 28d, 28f) 을 제거하여, Si 기둥 (6a, 6c, 6d, 6f) 의 정부 상에 오목부 (43A, 43C, 43D, 43E) 를 형성한다. 또한, P^+ 층 (46b) 은, 제 1 실시형태에 있어서와 같이, 선택 에피텍셜 결정 성장법에 의해 형성해도 된다. 또, 예를 들어 분자선 결정 성장법 등의 다른 방법을 사용하여 단결정인 P^+ 층 (46b) 을 형성해도 된다.

[0144] 다음으로, 도 2f 에 나타내는 바와 같이, P^+ 층 (46b) 과 동일한 방법을 사용하여, 오목부 (43A, 43C, 43D, 43E) 내에, 얇은 Si 층 (45a, 45c (도시 생략), 45d, 45e (도시 생략)) 과, 도너 불순물을 포함한 N^+ 층 (46a, 46c, 46d (도시 생략), 46e (도시 생략)) 을 형성한다. 그리고, N^+ 층 (46a, 46c, 46d, 46e) 상에, 그 상면 위치가 SiN 층 (41) 의 상면 위치와 동일해지는 마스크 재료층 (49a, 49c, 49d, 49e) 을 형성한다.

[0145] 다음으로, 마스크 재료층 (49a, 49b, 49c, 49d, 49e) 을 제거한다. 그리고, 도 2g 에 나타내는 바와 같이,

CVD 법과, CMP 법을 사용하여, N^+ 층 (46a, 46c, 46d, 46e), P^+ 층 (46b, 46e) 상에 W 층 (50a, 50b, 50c, 50d, 50e) 을 형성한다. 그리고, 전체적으로 SiO_2 층 (52) 을 형성한다. 그리고, 리소그래피법과, RIE 에칭법을 사용하여, W 층 (50b) 상의 SiO_2 층 (52) 을 제거한 띠상 컨택트홀 (C10) 을 형성한다. 그리고, 띠상 컨택트홀 (50b) 을 개재하여, W 층 (50b) 과 연결된 띠상 전원 배선 금속층 (VDD) 을 형성한다. 그리고, 도 1t 에서 나타낸 공정을 실시함으로써, P 층 기판 (1) 상에 SRAM 셀 회로가 형성된다. 또한, W 층 (50a, 50b, 50c, 50d, 50e) 은, 단층 또는 복수층의 다른 금속, 또는 합금에 의한 도체층으로 형성해도 된다.

[0146] 또한, 제 1 실시형태와 동일하게, 얇은 Si 층 아래의 Si 기둥 (6a, 6c, 6d, 6f) 의 정부에는, 도너 불순물 원자를 포함한 불순물층과, Si 기둥 (6b, 6e) 의 정부에는 억셉터 불순물 원자를 포함한 불순물층이 형성되어 있어도 된다. 이 불순물층은, 얇은 Si 층 (45a ~ 45f) 의 형성 후에, P^+ 층 (46b), N^+ 층 (46a, 46c, 46d, 46e) 으로부터의 억셉터 불순물 원자, 및 도너 불순물 원자의 열확산에 의해 형성해도 된다. 또, 이 불순물층은, 얇은 Si 층 (45a ~ 45f) 의 형성 전에, Si 기둥 (6a ~ 6f) 의 정부에 억셉터 불순물 원자, 및 도너 불순물 원자를 포함시켜, P^+ 층 (46b), N^+ 층 (46a, 46c, 46d, 46e) 을 형성시켜도 된다.

[0147] 제 2 실시형태의 제조 방법에 의하면, 다음과 같은 특징이 얻어진다.

[0148] (특징 1)

[0149] 제 1 실시형태에서는, P^+ 층 (32b, 32e) 은, 선택 에피텍셜 결정 성장법에 의해, Si 기둥 (6b, 6e) 의 정부 외주부의 오목부 (30B, 30E) 중에 형성되었다. Si 기둥 (6b, 6e) 의 정부와 접하는 P^+ 층 (32b, 32e) 은 양호한 결정성을 가질 것이 요구된다. 이 결정성이 양호하지 않으면, P^+ 층 (32b, 32e) 에 의한 다이오드의 저항이 커지거나, 또는 리크 전류가 커지거나, 또는 접합 내압이 저하되는 등의 문제를 일으킨다. 이 결정성을 양호하게 하기 위해서는, 결정 성장시키는 오목부 (32b, 32e) 의 평면에서 보았을 때의 면적을 넓게 하는 것이 요구된다. 그러나, SRAM 셀의 고밀도화에 의해, 오목부 (32b, 32e) 의 면적이 작아지므로, 양호한 결정성을 갖는 P^+ 층 (32b, 32e) 을 형성하는 것이 어려워진다. 이에 대해, 본 실시형태에서는, 에피텍셜 결정 성장시키는 오목부 (43A) 의 면적이, 제 1 실시형태의 오목부 (32b, 32e) 보다 크기 때문에, 결정성이 양호한 P^+ 층 (46) 을 형성할 수 있다. 이로써, 다이오드 저항, 리크 전류의 저감과, 고내압화가 도모된다.

[0150] (특징 2)

[0151] 본 실시형태에서는, P^+ 층 (46b), N^+ 층 (46a, 46c, 46d, 46e) 이, Si 기둥 (6a ~ 6f) 의 정부에 대해, 자기 정합으로 동심원상으로 둘러싼 불순물 영역을 포함하고 있다. 이로써, 인접하는 Si 기둥 (6b, 6c) 과, 동일하게 인접하는 Si 기둥 (6d, 6e) 의 2 개의 Si 기둥간 거리를 짧게 할 수 있다. 이로써 SRAM 셀의 고밀도화가 도모된다. 동일하게, P^+ 층 (46b), N^+ 층 (46a, 46c, 46d, 46e) 상에 있는 W 층 (50a ~ 50e) 은, 자기 정합에 의해 형성된 오목부 (43A ~ 43E) 내에 형성되어 있다. 이로써, W 층 (50b) 상과 전원 배선 금속층 (VDD) 을 접속하기 위한 컨택트홀 (C10) 을, 인접하는 Si 기둥 (6a, 6c, 6d, 6f) 상의 W 층 (50a, 50c, 50d, 50e) 으로부터 떨어트릴 수 있다. 이로써, SRAM 셀의 고밀도화가 도모된다.

[0152] (제 3 실시형태)

[0153] 이하, 도 3a ~ 도 3c 를 참조하면서, 본 발명의 제 3 실시형태에 관련된 SGT 를 갖는 SRAM 셀 회로의 제조 방법에 대해 설명한다. (a) 는 평면도, (b) 는 (a) 의 X-X' 선을 따른 단면 구조도, (c) 는 (a) 의 Y-Y' 선을 따른 단면 구조도를 나타낸다.

[0154] 도 3a 에 나타내는 바와 같이, P 층 기판 (1) 상에, N 층 (2A), N^+ 층 (3Aa, 3Ab), P^+ 층 (4Aa) 으로 이루어지는 Si 주대 (55a) 와, N 층 (2B), N^+ 층 (3Ba (도시 생략), 3Bb (도시 생략)), P^+ 층 (4Ba) 으로 이루어지는 Si 주대 (55b) 가 형성된다. 그리고, Si 주대 (55a, 55b) 상에, Si 기둥 (6A, 6B, 6C, 6D, 6E, 6F) 이 형성된다. Si 기둥 (6B, 6E) 의 중심을 연결하는 직선은 Y 방향을 따르고 있다. 동일하게, Si 기둥 (6A, 6D) 을 연결하는 직선과, Si 기둥 (6C, 6F) 의 중심을 연결하는 직선도 Y 방향을 따르고 있다. 그리고, Si 기둥 (6A ~ 6F) 의 저부 외주부에, SiO_2 층 (22a) 이 형성된다. 그리고, 전체를 덮어 ALD 법에 의해 게이트 HfO_2 층 (23a) 이 형성된다. 그리고, Si 기둥 (6A) 을 둘러싸는 HfO_2 층 (23a) 을 둘러싸서 게이트 TiN 층

(24A) 이 형성된다. 동시에, Si 기둥 (6B, 6C) 을 둘러싸는 HfO_2 층 (23a) 을 둘러싸서 게이트 TiN 층 (24B) 이 형성된다. 동시에, Si 기둥 (6D, 6E) 을 둘러싸는 HfO_2 층 (23a) 을 둘러싸서 게이트 TiN 층 (24C) 이 형성된다. 동시에, Si 기둥 (6F) 을 둘러싸는 HfO_2 층 (23a) 을 둘러싸서 게이트 TiN 층 (24D) (도시 생략) 이 형성된다. 그리고, 게이트 TiN 층 (24A, 24B, 24C, 24D) 을 둘러싸서, SiO_2 층 (25a) 을 형성한다. 그리고, SiO_2 층 (25a) 에 형성한 컨택트홀 (Ca) 을 개재하여, TiN 층 (24C) 과, N^+ 층 (3Aa) 과, P^+ 층 (4Aa) 에 접속하고, 또한 상면 위치가 TiN 층 (24A ~ 24D) 상면 위치보다 낮은 W 층 (26a) 을 형성한다.

동시에, SiO_2 층 (25a) 에 형성한 컨택트홀 (Cb) 을 개재하여, TiN 층 (24B) 과, N^+ 층 (3Bb) 과, P^+ 층 (4Ba) 에 접속하고, 또한 상면 위치가 TiN 층 (24A ~ 24D) 상면 위치보다 낮은 W 층 (26b) 을 형성한다. 그리고, Si 기둥 (6A ~ 6F) 의 정부의 외주부에 있고, 게이트 TiN 층 (24A ~ 24D) 의 상단 상에 SiN 층 (27a) 을 형성한다. 그리고, Si 기둥 (6A, 6C, 6D, 6F) 의 정부에 N^+ 층 (46a, 46c, 46d (도시 생략), 46f (도시 생략)) 과, P^+ 층 (46b, 46e) 을 형성한다. 그리고, 선택 에피텍셜 결정 성장법에 의해, N^+ 층 (47a, 47c, 47d (도시 생략), 47f (도시 생략)) 과, P^+ 층 (47b, 47e) 을 형성한다.

[0155] 다음으로, 도 3b 에 나타내는 바와 같이, 전체적으로 SiO_2 층 (49) 을 형성한다. 그리고, 리소그래피법과, RIE 에칭에 의해, 저부 위치가 P^+ 층 (47b, 47e) 의 상면 위치보다 아래에 있고, 또한, 평면에서 보았을 때, Si 기둥 (6B, 6E) 과 겹치고 Y 방향으로 신연한 띠상 컨택트홀 (Cc) 을 형성한다. 그리고, 컨택트홀 (Cc) 을 개재하여, P^+ 층 (47b, 47e) 과 접속한 전원 배선 금속층 (Vdd) 을 형성한다.

[0156] 다음으로, 도 3c 에 나타내는 바와 같이, 전체를 덮어 상표면이 평탄한 SiO_2 층 (49) 을 형성한다. 그리고, N^+ 층 (47a) 상에 형성한 컨택트홀 (Cd) 을 개재하여, 그라운드 배선 금속층 (Vss1) 을 형성한다. 동시에, N^+ 층 (47f) 상에 형성한 컨택트홀 (Ce) 을 개재하여, 그라운드 배선 금속층 (Vss2) 을 형성한다. 그리고, 전체를 덮어 상표면이 평탄한 SiO_2 층 (51) 을 형성한다. 그리고, TiN 층 (24A, 24D) 상에 형성한 컨택트홀 (Cf, Cg) 을 개재하여, 워드 배선 금속층 (WL) 을 형성한다. 그리고, 전체를 덮어 상표면이 평탄한 SiO_2 층 (52) 을 형성한다. 그리고, N^+ 층 (47c, 47d) 상에 형성한 컨택트홀 (Ch, Ci) 을 개재하여, 비트 출력 배선 금속층 (BL) 과, 반전 비트 출력 배선 금속층 (RBL) 을 형성한다. 이로써, P 층 기판 (1) 상에 SRAM 셀 회로가 형성된다.

[0157] 제 3 실시형태의 제조 방법에 의하면, 다음과 같은 특징을 얻을 수 있다.

[0158] 제 1 실시형태에서는 Si 기둥 (6b 와, 6e) 이 X 방향에 있어서, 어긋나게 형성되어 있다. 이에 대해, 본 실시형태에서는, Si 기둥 (6C, 6E) 의 중심은, Y 방향으로 연장된 1 개의 선 상에 있다.

[0159] 본 실시형태에서의 Si 기둥 (6A ~ 6F) 의 SRAM 셀 내에서의 배치가, 제 1 실시형태에서의 Si 기둥 (6a ~ 6f) 과의 배치와 상이하지만, 본 실시형태는 제 1 실시형태와 동일한 특징을 갖는다. 본 실시형태에서는, 평면에서 보았을 때, 부하 SGT 가 형성되는 2 개의 Si 기둥 (6B, 6E) 상의 P^+ 층 (47b, 47e) 과 겹쳐서 띠상 컨택트홀 (Cc) 이 형성된다. 이로써, 전원 배선 금속층 (Vdd) 과, P^+ 층 (47b, 47e) 이 띠상 컨택트홀 (Cc) 을 개재하여 접속된다. 이와 같이, 본 실시형태에서는, Si 기둥 (6B, 6E) 상에 독립된 컨택트홀이 형성되지 않는다. 이로써, 1 회의 리소그래피법과, RIE 에칭법에 의해 컨택트홀이 형성되는 것에 의한 비용 저감과, 마스크 맞댐 마진 문제가 없는 것에 의한 집적도의 저하를 방지할 수 있다. 그리고, 띠상 컨택트홀 (Cc) 은, 종래의 2 개의 독립된 컨택트홀을 형성하는 방법과 비교하여, 넓게 형성할 수 있으므로, 패턴 정밀도를 양호하게 할 수 있는 이점이 있다. 이로써, 본 실시형태에 의해 저비용이고, 고집적도, 고정밀도의 SGT 를 사용한 SRAM 셀이 형성된다.

[0160] (제 4 실시형태)

[0161] 이하, 도 4 를 참조하면서, 본 발명의 제 4 실시형태에 관련된 SGT 를 갖는 SRAM 셀 회로의 제조 방법에 대해 설명한다. (a) 는 평면도, (b) 는 (a) 의 X-X' 선을 따른 단면 구조도, (c) 는 (a) 의 Y-Y' 선을 따른 단

면 구조도를 나타낸다.

[0162] 도 4 에 나타내는 바와 같이, 도 2g 에 나타낸, 컨택트홀 (C10) 과, 전원 배선 금속층 (VDD) 이 형성되지 않는다. W 층 (50b) 이 전원 배선 금속층 (VDD) 으로 되어 있다.

[0163] 제 4 실시형태의 제조 방법에 의하면, 컨택트홀 (C10) 과, 도 2g 에 있어서의 전원 배선 금속층 (VDD) 의 형성 공정이 없기 때문에, 제조의 간이화가 도모된다.

[0164] 또한, 본 발명에 관련된 실시형태에서는, 1 개의 반도체 기둥에 1 개의 SGT 를 형성했지만, 2 개 이상을 형성하는 회로 형성에 있어서도, 본 발명을 적용할 수 있다.

[0165] 또한, 제 1 실시형태에서는, Si 기둥 (6a ~ 6f) 을 형성했지만, 다른 반도체 재료로 이루어지는 반도체 기둥이어도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0166] 또, 제 1 실시형태에 있어서의 N^+ 층 (32a, 32c, 32d, 32f), P^+ 층 (32b, 32e) 은, 도너, 또는 억셉터 불순물을 포함한 Si, 또는 다른 반도체 재료층으로 형성되어도 된다. 또, N^+ 층 (32a, 32c, 32d, 32f) 과, P^+ 층 (32b, 32e) 은 상이한 반도체 재료층으로 형성되어도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0167] 또, 제 1 실시형태에서는, N^+ 층 (32a, 32c, 32d, 32f), P^+ 층 (32b, 32e) 은, 선택 에피텍셜 결정 성장법을 사용하여 형성하였다. CDE (Chemical Dry Etching) 와 통상적인 에피텍셜 결정 성장을 반복하여, 오목부 (30A ~ 30F) 내의 Si 기둥 (6a ~ 6f) 의 정부 상에 N^+ 층 (32a, 32c, 32d, 32f), P^+ 층 (32b, 32e) 을 형성하는 방법을 포함하여, 다른 방법에 의해 N^+ 층 (32a, 32c, 32d, 32f), P^+ 층 (32b, 32e) 을 선택적으로 형성해도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0168] 또, 제 1 실시형태에 있어서의 Si 기둥 (6a ~ 6f) 의 외주부의 SiN 층 (27) 과, 노출된 Si 기둥 (6a ~ 6f) 의 정부, 마스크 재료층 (7a ~ 7f) 의 측면에 형성한 SiO_2 층 (28a ~ 28f) 과, SiO_2 층 (28a ~ 28f) 을 둘러싼 SiN 층 (29) 은, 본 발명의 목적에 맞는 재료이면, 단층 또는 복수층으로 이루어지는 유기 재료 또는 무기 재료를 포함하는 다른 재료층을 사용해도 된다. 또, Si 기둥 (6a ~ 6f) 의 외주부의 SiN 층 (27) 은, Si 기둥 (6a ~ 6f) 의 외주부 전체에 형성되지 않아도 되고, 적어도 게이트 TiN 층 (24a, 24b, 24c, 24d) 상에 형성되어 있으면 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0169] 또, 제 1 실시형태에 있어서, 마스크 재료층 (7) 은 SiO_2 층, 산화알루미늄 (Al_2O_3, 이후 AlO 라고 칭한다) 층, SiO_2 층으로 형성하였다. 마스크 재료층 (7) 은, 본 발명의 목적에 맞는 재료이면, 단층 또는 복수층으로 이루어지는 유기 재료 또는 무기 재료를 포함하는 다른 재료층을 사용해도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0170] 또, 제 1 실시형태에 있어서, 도 1c, 도 1d 에 나타낸 바와 같이, 전체적으로, ALD 법에 의해 형성한 띠상 SiN 층 (13aa, 13ab, 13ba, 13bb) 을 띠상 SiGe 층 (8a, 8b) 의 양측에 형성하였다. 띠상 SiN 층 (13aa, 13ab, 13ba, 13bb) 과, 띠상 SiGe 층 (8a, 8b) 은 본 발명의 목적에 맞는 재료이면, 단층 또는 복수층으로 이루어지는 유기 재료 또는 무기 재료를 포함하는 다른 재료층을 사용해도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0171] 또, 도 1a ~ 도 1g 에 있어서 서술한 바와 같이, Y 방향으로 신연한 띠상 마스크 재료층 (12a, 12ab, 12ba, 12bb), 띠상 SiN 층 (13aa, 13ab, 13ba, 13bb) 에 직교하고, X 방향으로 신연한 띠상 마스크 재료층 (17a, 17b) 을, 띠상 SiN 재료층 (13aa, 13ab, 13ba, 13bb) 을 형성한 것과 동일한 방법에 의해 형성하였다. 이로써, X 방향, Y 방향 모두, 고정밀도로, 또한 고밀도로, Si 기둥 (6a ~ 6f) 이 형성된다. 그리고, 본 실시형태의 설명에서는, 띠상 마스크 재료층 (12a, 12ab, 12ba, 12bb), 띠상 SiN 층 (13aa, 13ab, 13ba, 13bb) 을 형성한 후에, 띠상 마스크 재료층 (17a, 17b) 을 형성하였다. 이에 대해, 띠상 마스크 재료층 (17a, 17b) 을 형성한 후에, 띠상 SiN 재료층 (12a, 12ab, 12ba, 12bb), 띠상 SiN 층 (13aa, 13ab, 13ba, 13bb) 을 형성하는 공정에서도, 동일하게 고정밀도로, 또한 고밀도로 Si 기둥 (6a ~ 6f) 을 형성할 수 있다. 또, 설계에 있어서, Y 방향으로 여유가 있는 경우에는, 본 방법을 사용하지 않고, 리소그래피법과 RIE 에칭법에 의해, 직접 띠상 마스크 재료층 (17a, 17b) 을 형성해도 된다. 또, X 방향으로 여유가 있는 경우에는, 본 방법을 사용하지 않고, 리소그래피법과 RIE 에칭법에 의해, 직접 띠상 마스크 재료층 (13aa, 13ab, 13ba, 13bb) 을 형

성해도 된다. 또, SRAM 셀 성능을 만족할 수 있으면, X 방향으로 신연한 띠상 마스크 재료층 (12a, 12ab, 12ba, 12bb), 띠상 SiN 층 (17a, 17b) 을, SADP (Self Aligned Double Patterning, 예를 들어 비특허문헌 3 을 참조), SAQP (Self Aligned Quadruple Patterning, 예를 들어 비특허문헌 3 을 참조) 를 사용하여 형성해도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0172] 또, 제 1 실시형태에 있어서, 도 1h, 도 1i 에서 설명한 바와 같이, 직사각형상의 마스크 재료층 (19a, 19b, 19c, 19d, 19e, 19f, 19g, 19h) 을 정부에 갖는 SiN 기둥 (20a, 20b, 20c, 20d, 20e, 20f, 20g, 20h) 을 형성한 후에, 직사각형상의 마스크 재료층 (19b, 19g), SiN 기둥 (20b, 20g) 을 제거하였다. 이에 의해, 평면에서 보았을 때, 도 1 에서 나타낸 컨택트홀 (C1, C2) 이 있는 영역에 Si 기둥이 없는 컨택트홀 (C1, C2) 형성 영역을 형성하였다. 이에 대해, 컨택트홀 (C1, C2) 형성 영역에 Si 기둥을 형성한 후에, 이들 Si 기둥을 제거하여, 컨택트홀 (C1, C2) 형성 영역을 형성해도 된다. 또, 띠상 마스크 재료층 (17a, 17b) 을 형성한 후에, 컨택트홀 (C1, C2) 형성 영역의 띠상 마스크 재료층 (17a, 17b) 을 제거하는 공정을 실시함으로써, 컨택트홀 (C1, C2) 이 있는 영역에 Si 기둥을 형성시키지 않는 방법에 의해, 컨택트홀 (C1, C2) 형성 영역을 형성해도 된다. 상기와 같이, 제 1 실시형태에서 설명한 방법 이외에도 있다. 이 이외의 방법에 의해, 컨택트홀 (C1, C2) 형성 영역을 만들어도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0173] 또, 제 1 실시형태에 있어서, 도 1t 에 나타내는 바와 같이, Si 기둥 (6a ~ 6f) 의 하부에, SGT 의 소스 또는 드레인이 되는 N^+ 층 (3aa, 3ab, 3ba, 3bb), P^+ 층 (4aa, 4bb) 이 N 층 (2a, 2b) 상에서 연결되어 형성되었다.

이에 대해, N^+ 층 (3aa, 3ab, 3ba, 3bb), P^+ 층 (4aa, 4bb) 을, Si 기둥 (6a ~ 6f) 의 저부에 형성하고, 또한 N^+ 층 (3aa, 3ab, 3ba, 3bb), P^+ 층 (4aa, 4bb) 간을 금속층, 합금층을 개재하여 연결해도 된다. 또, N^+ 층 (3aa, 3ab, 3ba, 3bb), P^+ 층 (4aa, 4bb) 은, Si 기둥 (6a ~ 6f) 의 저부 측면에 접속하여 형성해도 된다.

상기와 같이, SGT 의 소스, 또는 드레인이 되는 N^+ 층 (3aa, 3ab, 3ba, 3bb), P^+ 층 (4aa, 4bb) 은, Si 기둥 (6a ~ 6f) 의 저부의 내부, 또는 측면 외측에 접하고, 그 외주에 형성되어 있어도 되고, 그리고, 각각이 다른 도체 재료로 전기적으로 연결되어 있어도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0174] 또, 제 1 실시형태에 있어서, 띠상 마스크 재료층 (9a, 9b, 12aa, 12ab, 12ba, 12bb) 의 각각의 상표면과, 저부의 수직 방향에 있어서의 위치가, 동일하도록 형성했지만, 본 발명의 목적에 맞는다면, 각각의 상표면과, 저부의 위치가 수직 방향에서 상이해도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0175] 또, 제 1 실시형태에 있어서, 띠상 마스크 재료층 (9a, 9b, 12aa, 12ab, 12ba, 12bb) 의 두께, 및 형상은, CMP 에 의한 연마, 및 RIE 에칭, 세정에 의해 변화한다. 이 변화는, 본 발명의 목적에 맞는 정도 내이면 문제없다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0176] 또, 제 1 실시형태에 있어서의 각종 배선 금속층 (34a, 34b, WL, Vdd, Vss, BL, RBL) 의 재료는, 금속 뿐만 아니라, 합금, 억셉터, 또는 도너 불순물을 많이 포함한 반도체층 등의 도전 재료층이어도 되고, 그리고, 그것들을 단층, 또는 복수층 조합하여 구성시켜도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0177] 또, 제 1 실시형태에서는, 도 1j 에 나타낸 바와 같이, 게이트 금속층으로서, TiN 층 (24a, 24b, 24c, 24d) 을 사용하였다. 이 TiN 층 (24a, 24b, 24c, 24d) 은, 본 발명의 목적에 맞는 재료이면, 단층 또는 복수층으로 이루어지는 재료층을 사용할 수 있다. TiN 층 (24a, 24b, 24c, 24d) 은, 적어도 원하는 일 함수를 갖는 단층 또는 복수층의 금속층 등의 도체층으로 형성할 수 있다. 이 외측에, 예를 들어 W 층 등의 다른 도전층을 형성해도 된다. 이 경우, W 층은 게이트 금속층을 연결하는 금속 배선층의 역할을 실시한다. W 층 이외에 단층, 또는 복수층의 금속층을 사용해도 된다. 또, 게이트 절연층으로서, HfO_2 층 (23) 을 사용했지만, 각각을 단층 또는 복수층으로 이루어지는 다른 재료층을 사용해도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0178] 제 1 실시형태에 있어서, Si 기둥 (6a ~ 6f) 의 평면에서 보았을 때의 형상은 원형상이었다. 그리고, Si 기둥 (6a ~ 6f) 의 일부 또는 모든 평면에서 보았을 때의 형상은, 원형, 타원, 일방향으로 길게 연장된 형상

등의 형상을 용이하게 형성할 수 있다. 그리고, SRAM 셀 영역으로부터 떨어져서 형성되는 로직 회로 영역에 있어서도, 로직 회로 설계에 따라, 로직 회로 영역에, 평면에서 보았을 때의 형상이 상이한 Si 기둥이 혼재되어 형성할 수 있다. 이들의 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0179] 또, 제 1 실시형태에 있어서, Si 기둥 (6a ~ 6f) 의 저부에 접속하여 N^+ 층 (3aa, 3ab, 3ba, 3bb), P^+ 층 (4aa, 4bb) 을 형성하였다. N^+ 층 (3aa, 3ab, 33ba, 3bb), P^+ 층 (4aa, 4bb) 상면에 금속, 실리사이드 등의 합금층을 형성해도 된다. 또, Si 기둥 (6a ~ 6f) 의 저부의 외주에 예를 들어 에피텍셜 결정 성장법에 의해 형성한 도너, 또는 억셉터 불순물 원자를 포함한 P^+ 층, 또는 N^+ 층을 형성하여 SGT 의 소스, 또는 드레인 불순물 영역을 형성해도 된다. 이 경우, 에피텍셜 결정 성장법으로 형성된 N^+ 층 또는 P^+ 층에 접한 Si 기둥 내부에 N^+ 층 또는 P^+ 층이 형성되어 있어도 되고, 되어 있지 않아도 된다. 또는, 이들 P^+ 층, N^+ 층에 접하고, 그리고 신연한 금속층, 또는 합금층을 형성해도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0180] 또, 제 1 실시형태에서는, P 층 기판 (1) 상에 SGT 를 형성했지만, P 층 기판 (1) 대신에 SOI (Silicon On Insulator) 기판을 사용해도 된다. 또는, 기판으로서의 역할을 실시하는 것이면 다른 재료 기판을 사용해도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0181] 또, 제 1 실시형태에서는, Si 기둥 (6a ~ 6f) 의 상하에, 동일한 극성의 도전성을 갖는 N^+ 층 (3aa, 3ab, 3ba, 3bb, 3aa, 3ab, 3ba, 3bb), P^+ 층 (44b, 44g) 과 N^+ 층 (32a, 32c, 32d, 32f), P^+ 층 (32b, 32e) 을 사용하여, 소스, 드레인을 구성하는 SGT 에 대해 설명했지만, 극성이 상이한 소스, 드레인을 갖는 터널형 SGT 에 대해서도, 본 발명을 적용할 수 있다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0182] 또, 제 1 실시형태에서는, 게이트 HfO_2 층 (23), 게이트 TiN 층 (24a, 24b, 240c, 24d) 을 형성한 후에, N^+ 층 (43a, 43c, 43d, 43e, 43f, 44a, 44c, 44d, 44e, 44f, 44h), P^+ 층 (43b, 43g, 44b, 44g) 을 형성하였다. 이에 대해, N^+ 층 (32a, 32c, 32d, 32f), P^+ 층 (32b, 32e) 을 형성한 후에, 게이트 HfO_2 층 (23), 게이트 TiN 층 (24a, 24b, 240c, 24d) 을 형성해도 된다. 이러한 점은, 본 발명에 관련된 그 밖의 실시형태에 있어서도 동일하다.

[0183] 또, 제 2 실시형태에 있어서, ALD 법에 의한 얇은 Si 층 (45) 과, 에피텍셜 결정 성장법에 의한 억셉터 불순물을 포함한 P^+ 층 (46) 을 형성하였다. 얇은 Si 층 (45) 은, 결정성이 양호한 P^+ 층 (46) 을 얻기 위한 재료층이다. 결정성이 양호한 P^+ 층 (46) 을 얻기 위한 재료층이면, 다른 단층 또는 복수층의 재료층이어도 된다.

[0184] 또, 세로형 NAND 형 플래시 메모리 회로에서는, 반도체 기둥을 채널로 하고, 이 반도체 기둥을 둘러싼 터널 산화층, 전하 축적층, 층간 절연층, 제어 도체층으로 구성되는 메모리 셀이 복수단, 수직 방향으로 형성된다. 이들 메모리 셀의 양단의 반도체 기둥에는, 소스에 대응하는 소스선 불순물층과, 드레인에 대응하는 비트선 불순물층이 있다. 또, 1 개의 메모리 셀에 대해, 그 양측의 메모리 셀의 일방이 소스라면, 타방이 드레인의 역할을 실시한다. 이와 같이, 세로형 NAND 형 플래시 메모리 회로는 SGT 회로의 하나이다. 따라서, 본 발명은 NAND 형 플래시 메모리 회로와의 혼재 회로에 대해서도 적용할 수 있다.

[0185] 본 발명은, 본 발명의 광의의 정신과 범위를 일탈하는 일 없이, 여러 가지 실시형태 및 변형이 가능하게 되는 것이다. 또, 상기 서술한 실시형태는, 본 발명의 일 실시예를 설명하기 위한 것이고, 본 발명의 범위를 한정하는 것은 아니다. 상기 실시예 및 변형예는 임의로 조합할 수 있다. 또한, 필요에 따라 상기 실시형태의 구성 요건의 일부를 제외해도 본 발명의 기술 사상의 범위 내가 된다.

[0186] 산업상 이용가능성

[0187] 본 발명에 관련된 주상 반도체 장치와, 그 제조 방법에 의하면, 고밀도의 주상 반도체 장치가 얻어진다.

부호의 설명

[0188] 1 P 층 기판

2, 2a, 2b, 2A, 2B N 층

3, 3aa, 3ab, 3ba, 3bb, 3Aa, 3Ab, 3Ba, 3Bb, 32a, 32c, 32d, 32f, 32A, 32C, 32D, 32F, 46a, 46c, 46d, 46e, 47a, 47c, 47d, 47e N^+ 층

4a, 4b, 4aa, 4bb, 4Aa, 4Ba, 32b, 32e, 32B, 32E, 40b, 46, 46b, 47b, 47e P^+ 층

6 i 층

7, 10, 7a, 7b, 7c, 7d, 7e, 7f, 49a, 49b, 49c, 49d, 49e 마스크 재료층

9a, 9b, 10, 10a, 10b, 12aa, 12ab, 2ba, 12bb, 17a, 17b 띠상 마스크 재료층

19a, 19b, 19c, 19d, 19e, 19f, 19g, 19h 직사각형상의 마스크 재료층

8 SiGe 층

8a, 8b 띠상 SiGe 층

13a, 13b, 13c, 16, 27, 27a, 29, 35a, 35b, 41 SiN 층

9a, 9b, 13aa, 13ab, 13ba, 13bb 띠상 SiN 층

8a, 8b 띠상 SiGe 층

6a, 6b, 6c, 6d, 6e, 6f, 6A, 6B, 6C, 6D, 6E, 6F Si 기둥

15, 22, 22a, 25, 25a, 28a, 28b, 28c, 28d, 28e, 28f, 31a, 31b, 31c, 31d, 31e, 31f, 37, 38, 38, 39, 40, 49, 50, 51, 52 SiO_2 층

20a, 20b, 20c, 20d, 20e, 20f, 20g, 20h SiN 기둥

21a, 21b Si 주대

30a, 30b, 30c, 30d, 30e, 30f, 30A, 30B, 30C, 30D, 30E, 30F, 43, 43A 오목부

23, 23a HfO_2 층

24a, 24b, 24c, 24d, 24A, 24B, 24C, 24D TiN 층

33a, 33b, 33c, 33d, 33e, 33f, 34a, 34b, 50a, 50b, 50c, 50d, 50e W 층

21a, 21b, 55a, 55b Si 주대

42 레지스트층

45 Si 층

C1, C2, C3, C4, C5, C6, C7, C8, C9, C10, Ca, Cb, Cc, Cd, Ce, Cf, Cg, Ch 컨택트홀

WL 워드 배선 금속층

BL 비트 배선 금속층

RBL 반전 비트 배선 금속층

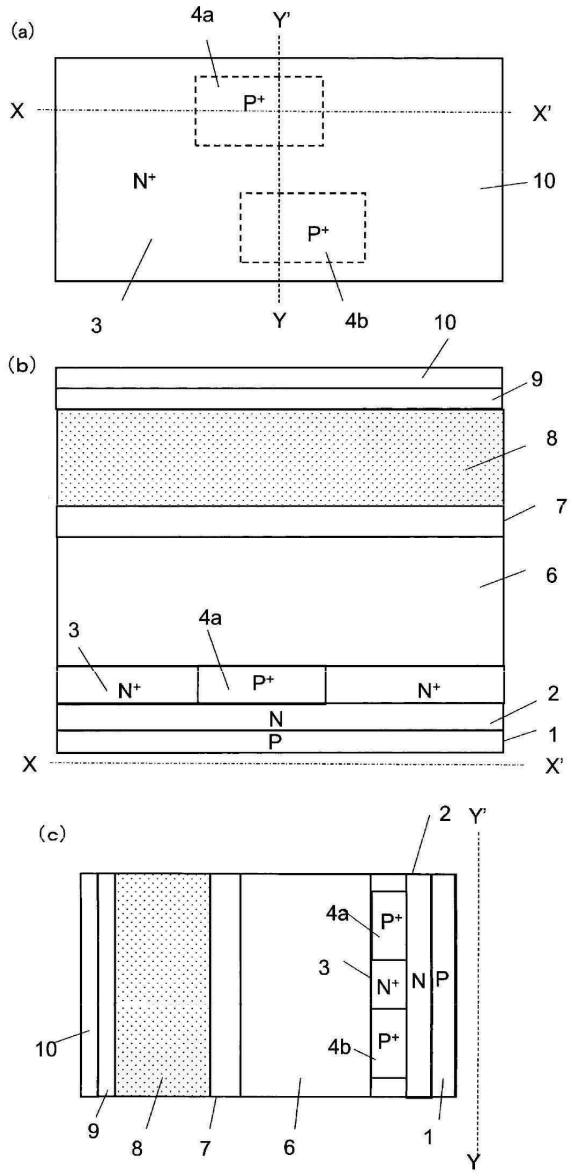
Vss1, Vss2 그라운드 배선 금속층

Vdd, VDD 전원 배선 금속층

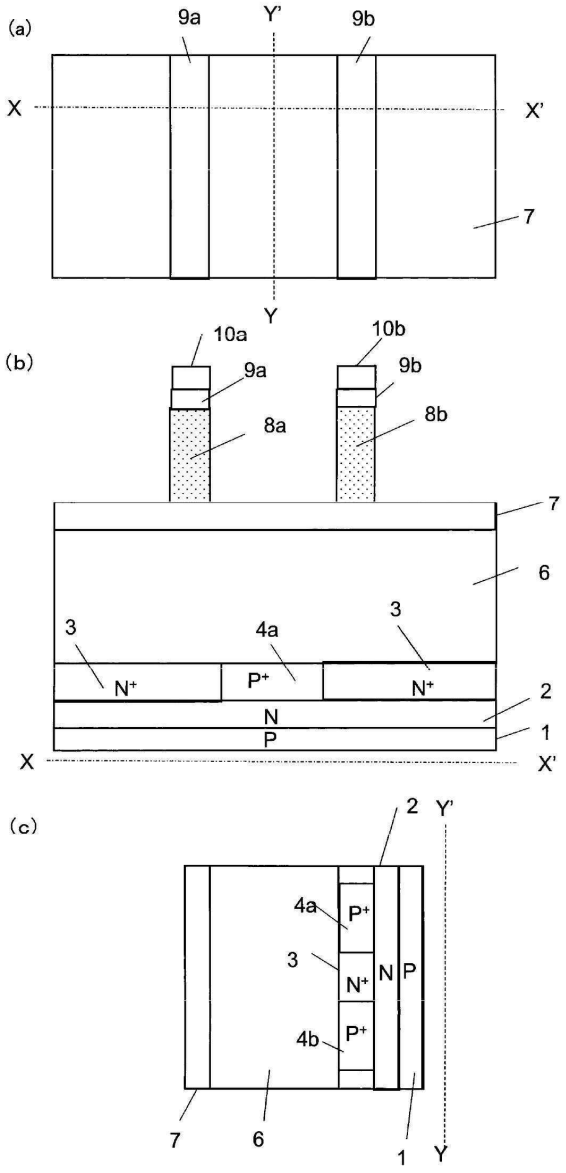
XC1, XC2 접속 배선 금속층

도면

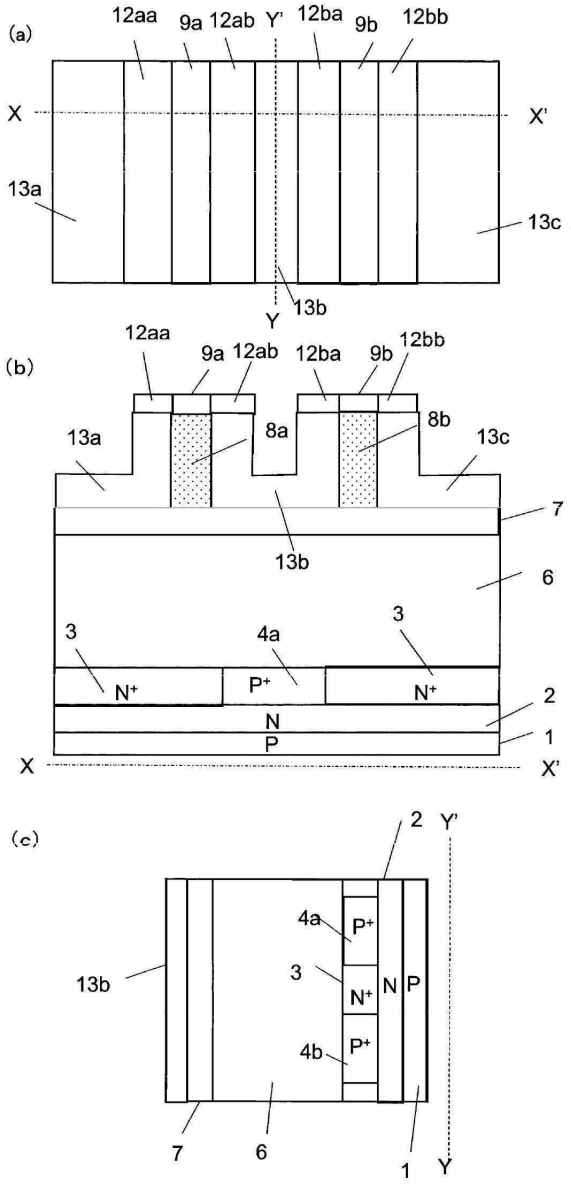
도면1a


(a)
4a
Y'
X
P+
X'
N+
10
P+
3
Y
4b
10
(b)
9
8
7
6
3
4a
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4a
P+
3
N+
N
P
10
4b
P+
9
8
7
6
1
Y

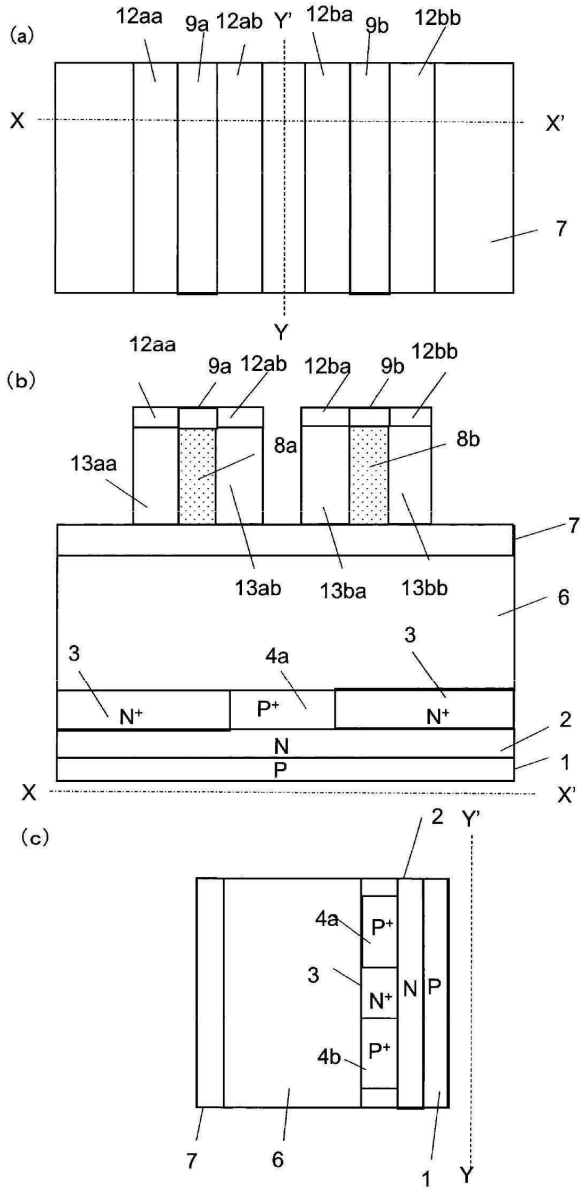
도면1b


(a)
9a
Y'
9b
X
X'
7
Y
(b)
10a
10b
9a
9b
8a
8b
7
6
3
4a
3
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
4a
P+
3
N+
N
P
4b
P+
7
6
1
Y

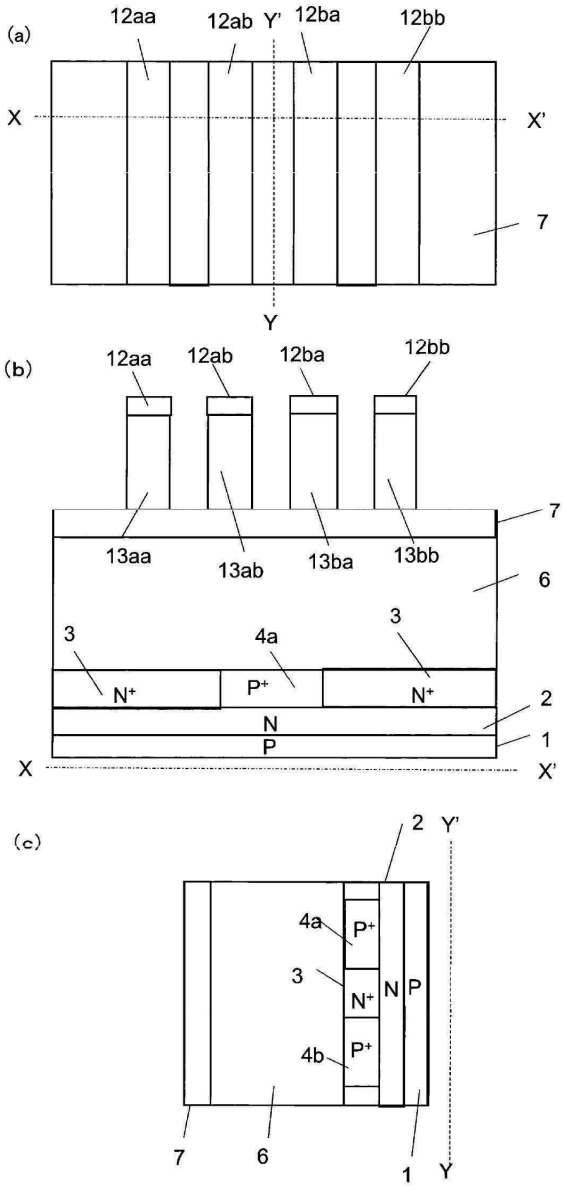
도면1c


(a)
12aa
9a
12ab
Y'
12ba
9b
12bb
X
X'
13a
13c
Y
13b
(b)
12aa
9a
12ab
12ba
9b
12bb
13a
8a
8b
13c
7
13b
6
3
4a
3
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4a
P+
13b
3
N+
N
P
4b
P+
7
6
1
Y

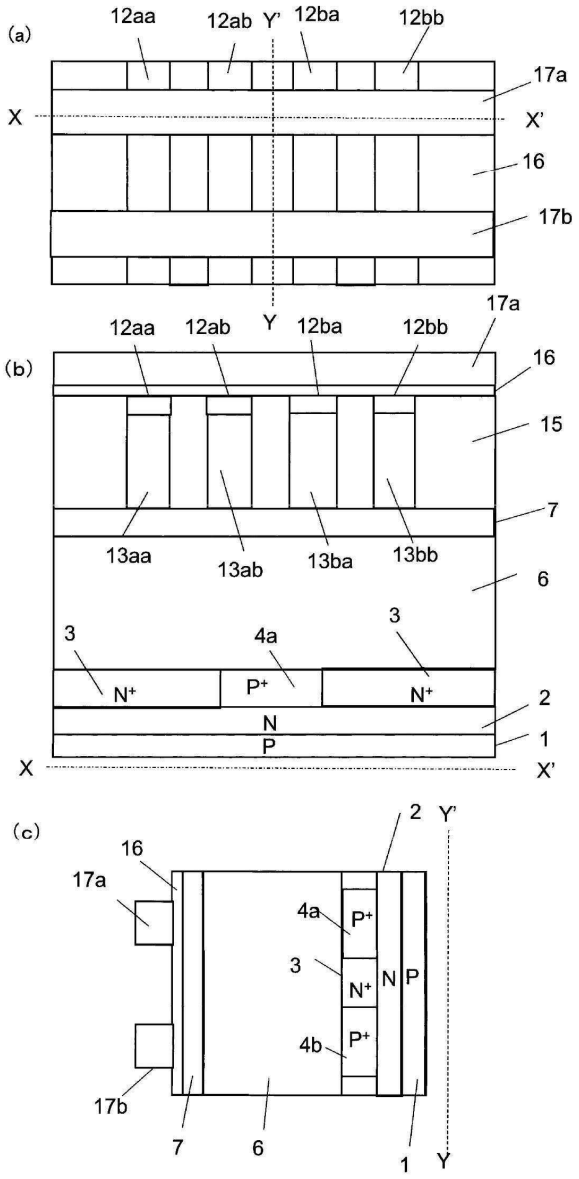
도면1d


(a)
12aa
9a
12ab
Y'
12ba
9b
12bb
X
X'
7
Y
(b)
12aa
9a
12ab
12ba
9b
12bb
13aa
8a
8b
7
13ab
13ba
13bb
6
3
4a
3
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
4a
P+
3
N+
N
P
4b
P+
7
6
1
Y

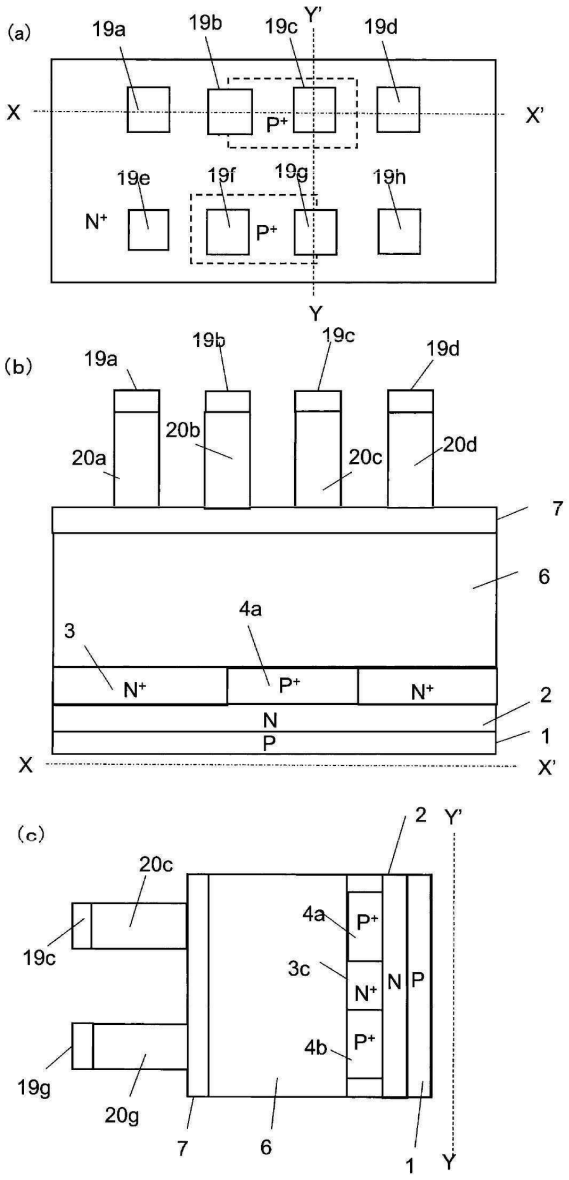
도면1e


(a)
12aa
12ab
Y'
12ba
12bb
X
X'
7
Y
(b)
12aa
12ab
12ba
12bb
7
13aa
13ab
13ba
13bb
6
3
4a
3
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
4a
P+
3
N+
N
P
4b
P+
7
6
1
Y

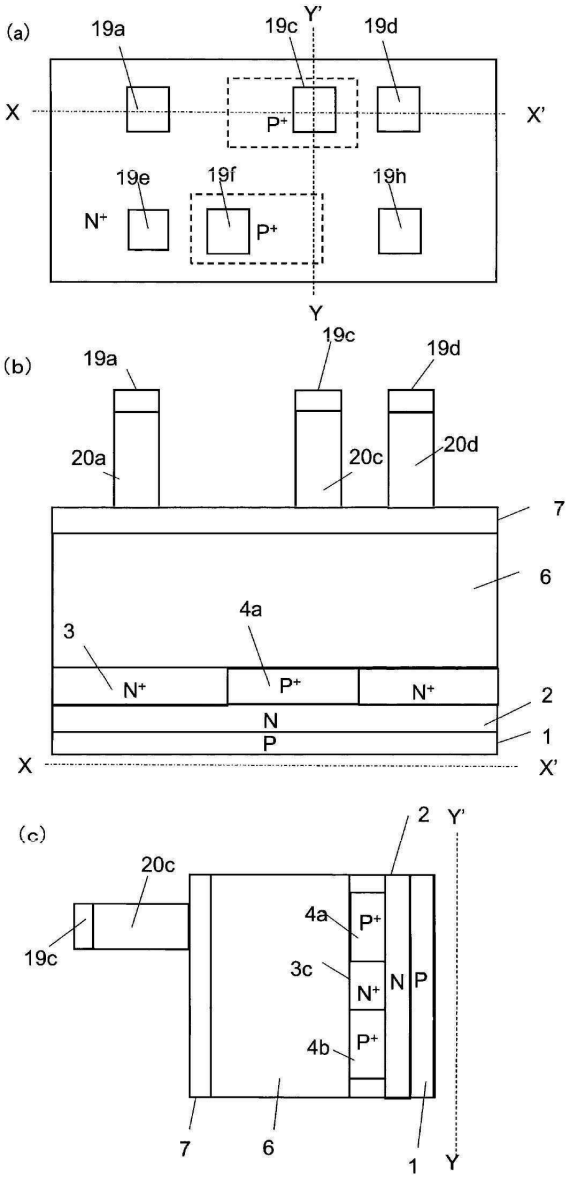
도면1f


(a)
12aa
12ab
Y'
12ba
12bb
17a
X
X'
16
17b
Y
(b)
12aa
12ab
12ba
12bb
17a
16
15
7
13aa
13ab
13ba
13bb
6
3
4a
3
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
16
17a
4a
P+
3
N+
N
P
4b
P+
17b
7
6
1
Y

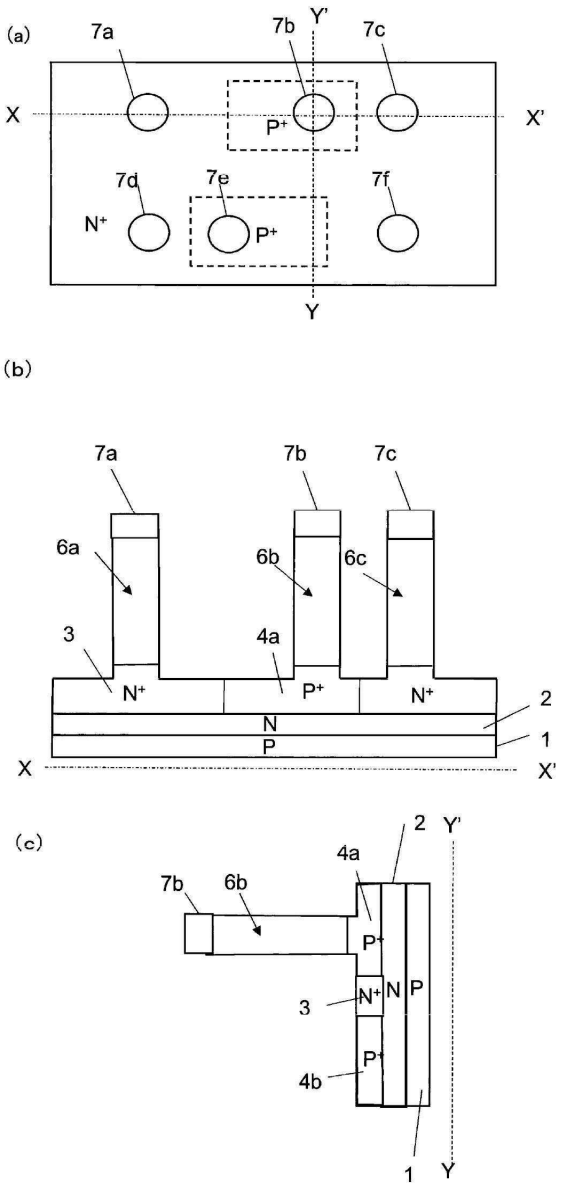
도면1g


(a)
19a
19b
19c
Y'
19d
X
X'
P+
19e
19f
19g
19h
N+
P+
Y
(b)
19a
19b
19c
19d
20a
20b
20c
20d
7
6
4a
3
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
20c
19c
4a
P+
3c
N+
N
P
4b
P+
19g
20g
7
6
1
Y

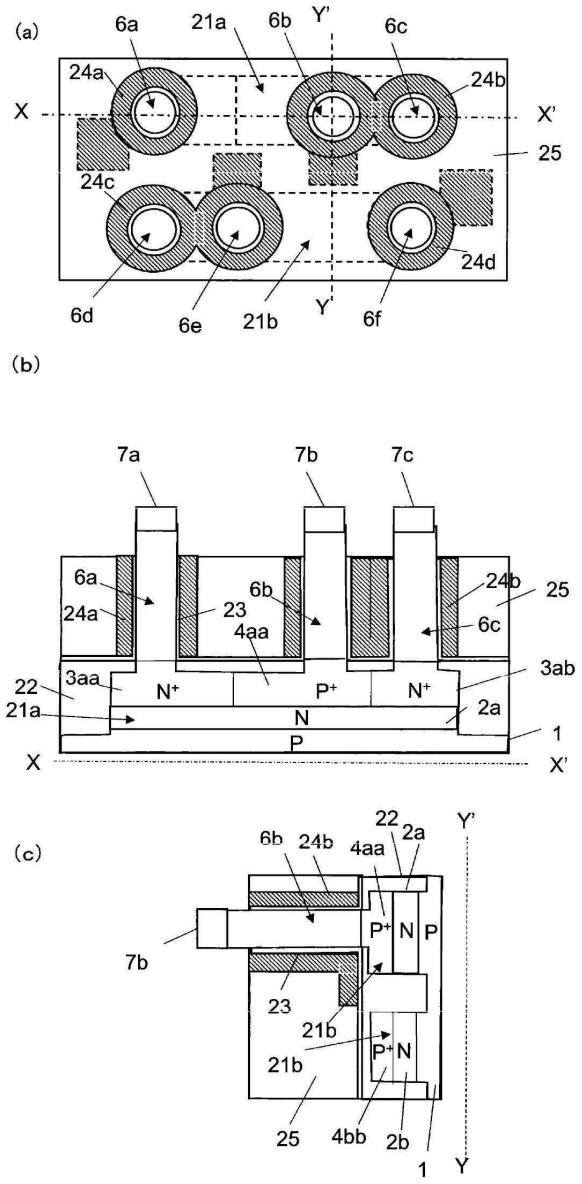
도면1h


(a)
19a
19c
Y'
19d
X
X'
P+
19e
19f
19h
N+
P+
Y
(b)
19a
19c
19d
20a
20c
20d
7
6
4a
3
N+
P+
N+
2
N
P
1
X
X'
(c)
2
Y'
20c
19c
4a
P+
3c
N+
N
P
4b
P+
7
6
1
Y

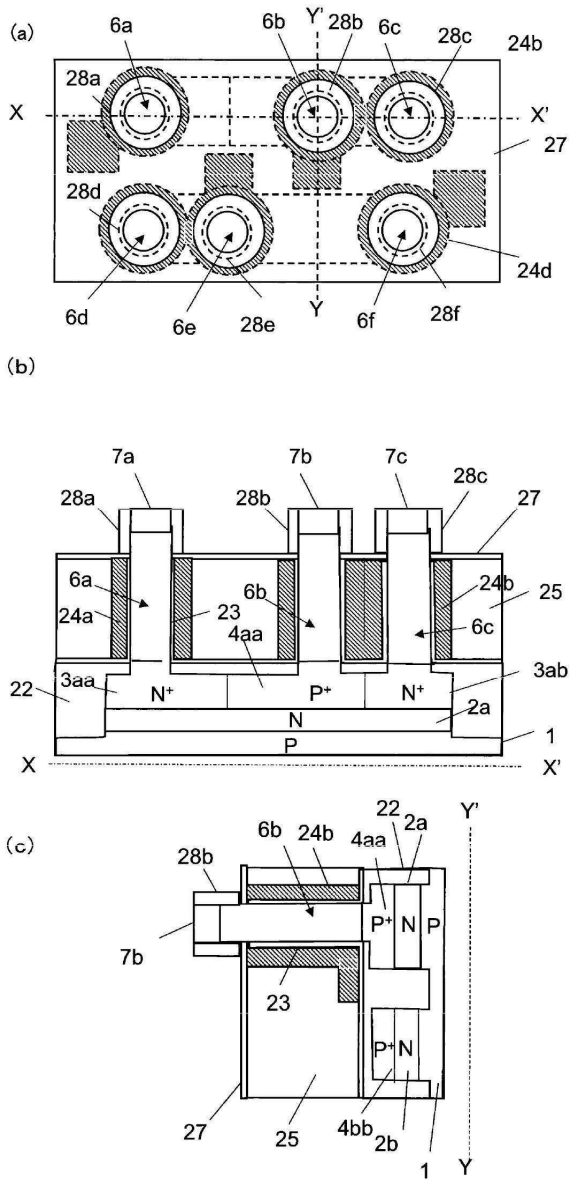
도면1i


(a)
7a
7b
Y'
7c
X
X'
P+
7d
7e
7f
N+
P+
Y
(b)
7a
7b
7c
6a
6b
6c
3
4a
N+
P+
N+
2
N
1
P
X
X'
(c)
2
Y'
4a
7b
6b
P+
N+
N
P
3
P+
4b
1
Y

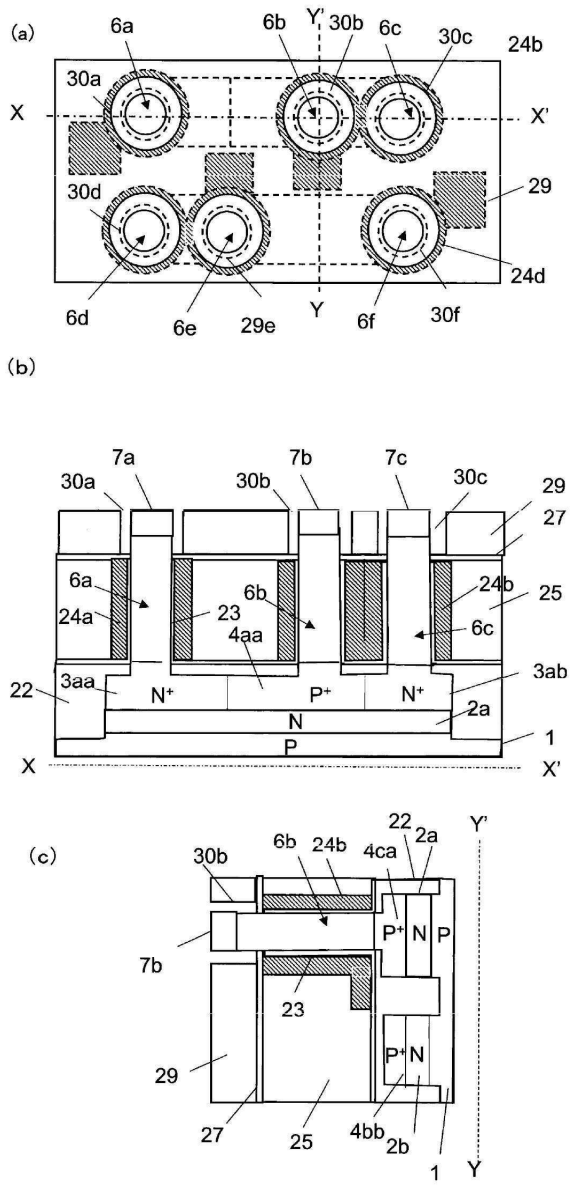
도면1j


(a)
6a
21a
6b
Y'
6c
24a
24b
X
X'
25
24c
24d
6d
6e
21b
Y'
6f
(b)
7a
7b
7c
6a
24a
6b
23
4aa
24b
25
6c
3ab
22
3aa
N+
P+
N+
21a
N
2a
1
P
X
X'
(c)
6b
24b
4aa
22
2a
Y'
P+
N
P
7b
23
21b
P+
N
21b
25
4bb
2b
1
Y

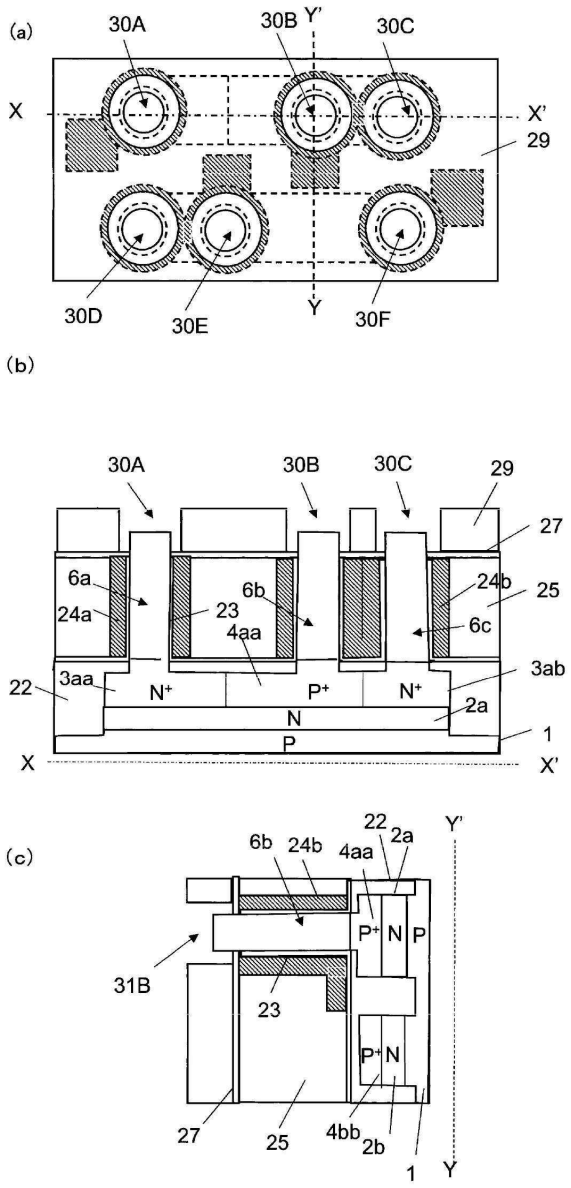
도면1k


(a)
6a
6b
Y'
28b
6c
28c
24b
28a
X
X'
27
28d
24d
6d
6e
28e
Y
6f
28f
(b)
7a
7b
7c
28c
28a
28b
27
6a
6b
24b
25
24a
23
6c
4aa
22
3aa
N+
P+
N+
3ab
2a
N
1
P
X
X'
(c)
22
2a
Y'
6b
24b
4aa
28b
P+
N
P
7b
23
P+
N
27
25
4bb
2b
1
Y

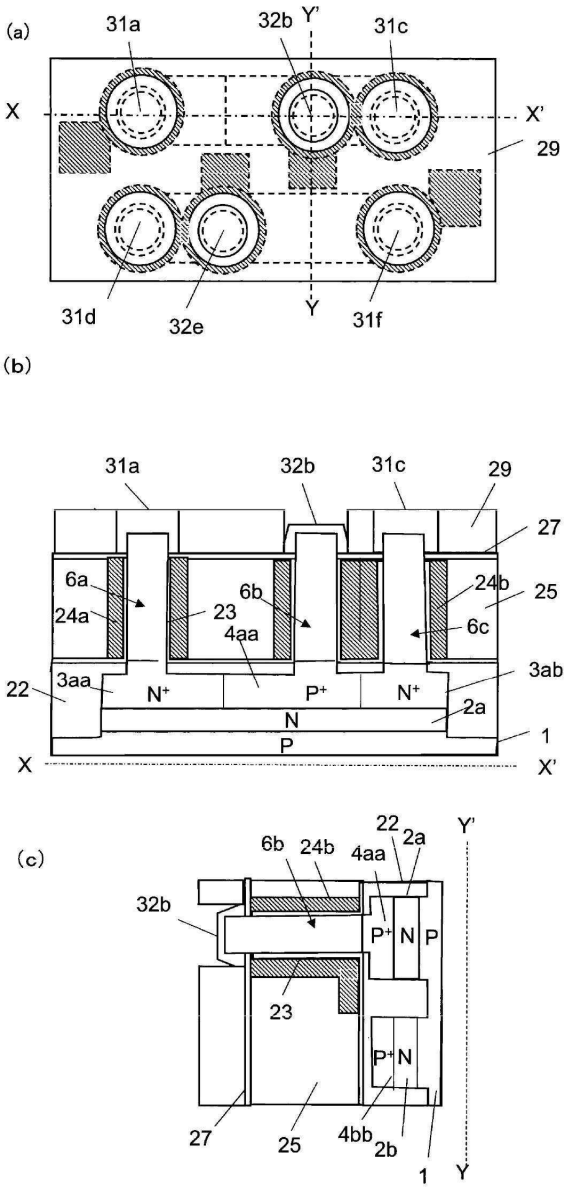
도면11


(a)
6a
6b
Y'
30b
6c
30c
24b
30a
X
X'
30d
29
24d
6d
6e
29e
Y
6f
30f
(b)
7a
30a
7b
30b
7c
30c
29
27
6a
24a
6b
23
4aa
24b
25
6c
22
3aa
N+
P+
N+
3ab
2a
N
P
1
X
X'
(c)
22
2a
Y'
30b
6b
24b
4ca
P+
N
P
7b
23
29
P+
N
27
25
4bb
2b
1
Y

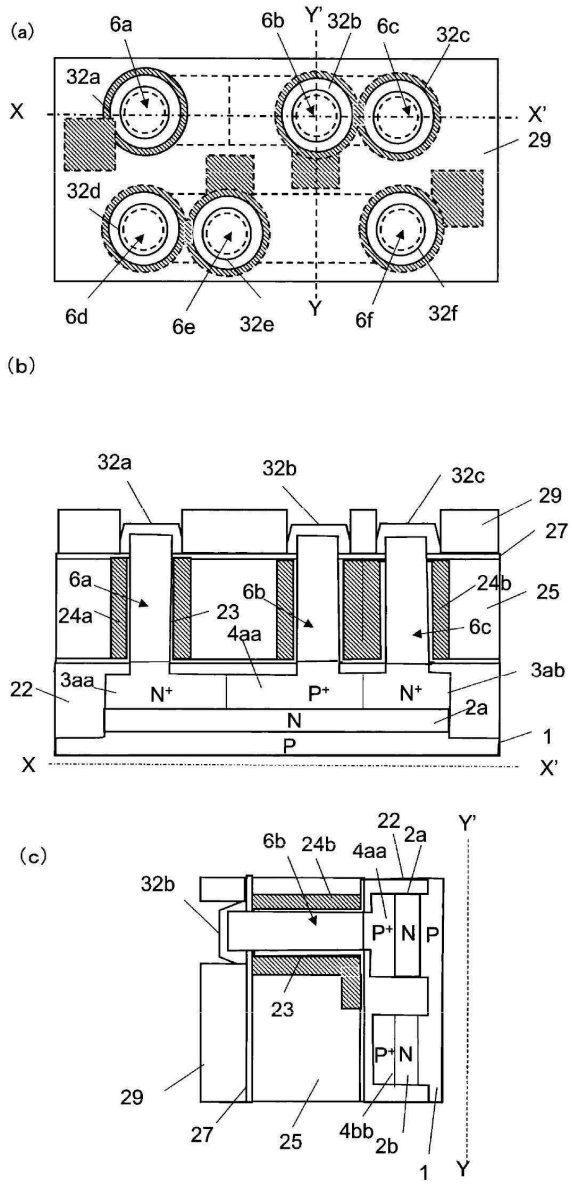
도면1m


(a)
30A
30B
Y'
30C
X
X'
29
30D
30E
Y
30F
(b)
30A
30B
30C
29
27
6a
24a
23
6b
4aa
24b
25
6c
22
3aa
N+
P+
N+
3ab
2a
N
P
1
X
X'
(c)
22
2a
Y'
6b
24b
4aa
P+
N
P
31B
23
P+
N
27
25
4bb
2b
1
Y

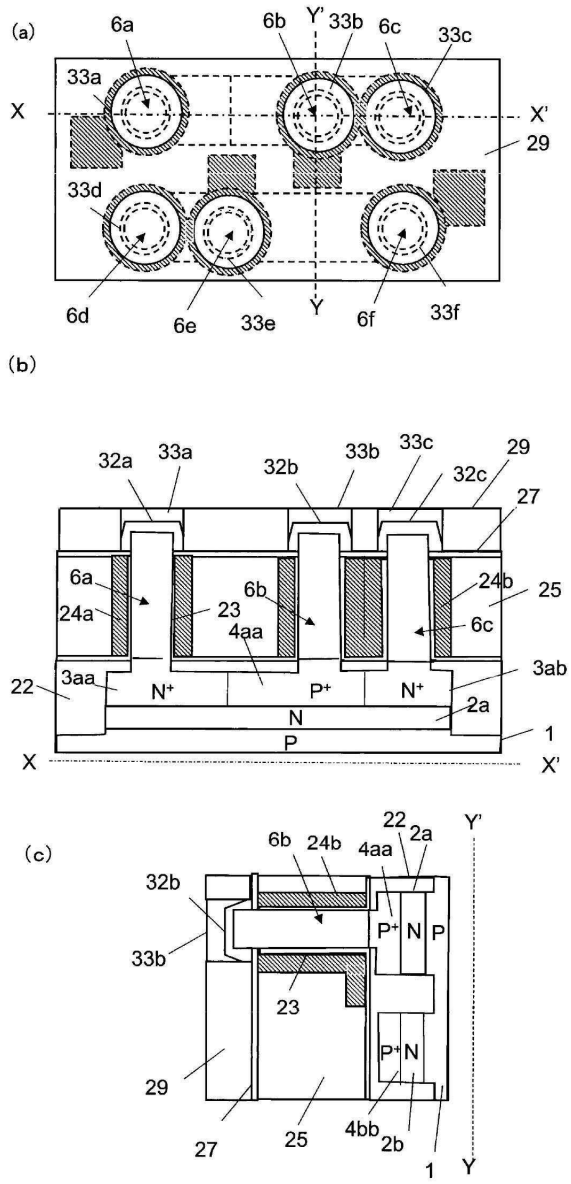
도면1n


(a)
31a
32b
Y'
31c
X
X'
29
31d
32e
Y
31f
(b)
31a
32b
31c
29
27
6a
6b
24b
25
24a
23
4aa
6c
3aa
3ab
22
N+
P+
N+
2a
N
1
P
X
X'
(c)
22
2a
Y'
6b
24b
4aa
32b
P+
N
P
23
P+
N
27
25
4bb
2b
1
Y

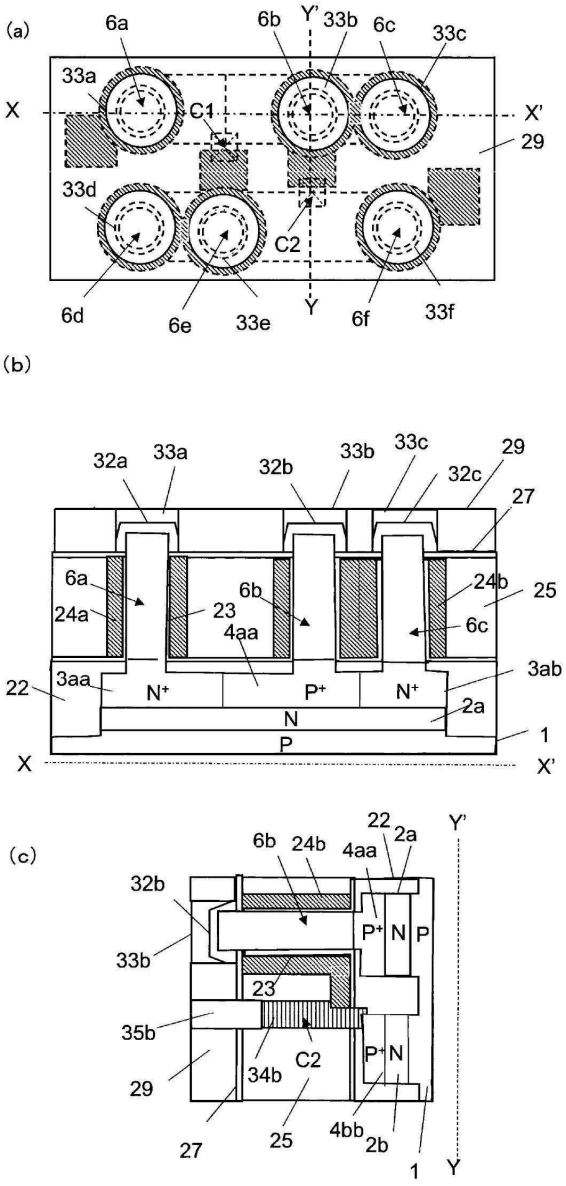
도면10


(a)
6a
6b
Y'
32b
6c
32c
32a
X
X'
29
32d
6d
6e
32e
Y
6f
32f
(b)
32a
32b
32c
29
27
6a
6b
24b
25
24a
23
4aa
6c
22
3aa
N+
P+
N+
3ab
2a
N
1
P
X
X'
(c)
22
2a
Y'
6b
24b
4aa
32b
P+
N
P
23
P+
N
29
27
25
4bb
2b
1
Y

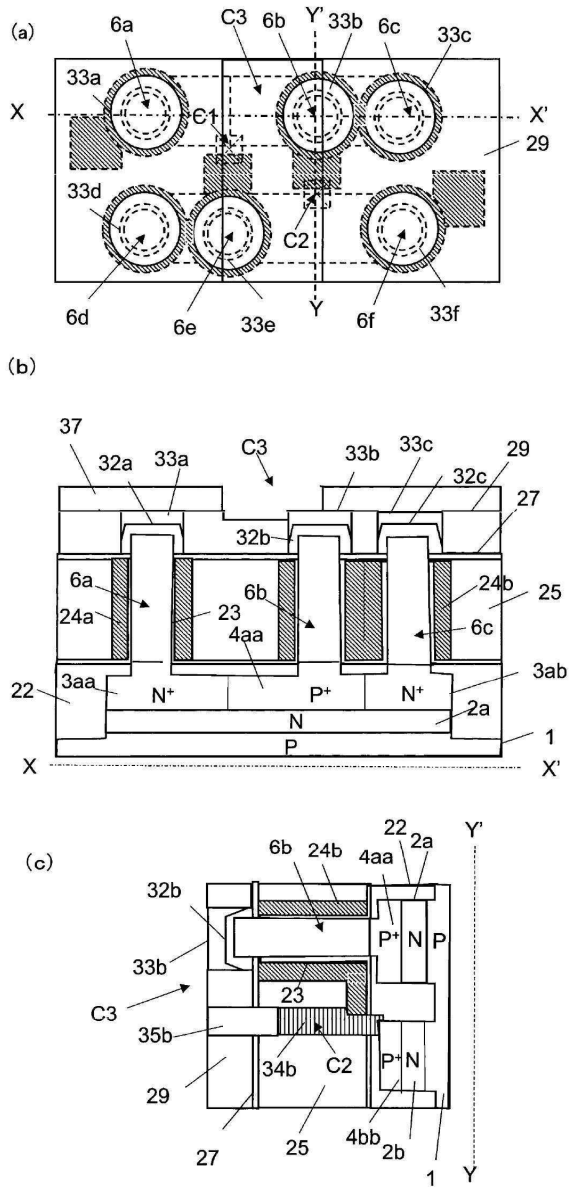
도면1p


(a)
6a
6b
Y'
33b
6c
33c
33a
X
X'
29
33d
6d
6e
33e
Y
6f
33f
(b)
32a
33a
32b
33b
33c
32c
29
27
6a
24a
23
6b
4aa
24b
25
6c
22
3aa
N+
P+
N+
3ab
2a
N
P
1
X
X'
(c)
22
2a
Y'
6b
24b
4aa
32b
33b
P+
N
P
23
P+
N
29
27
25
4bb
2b
1
Y

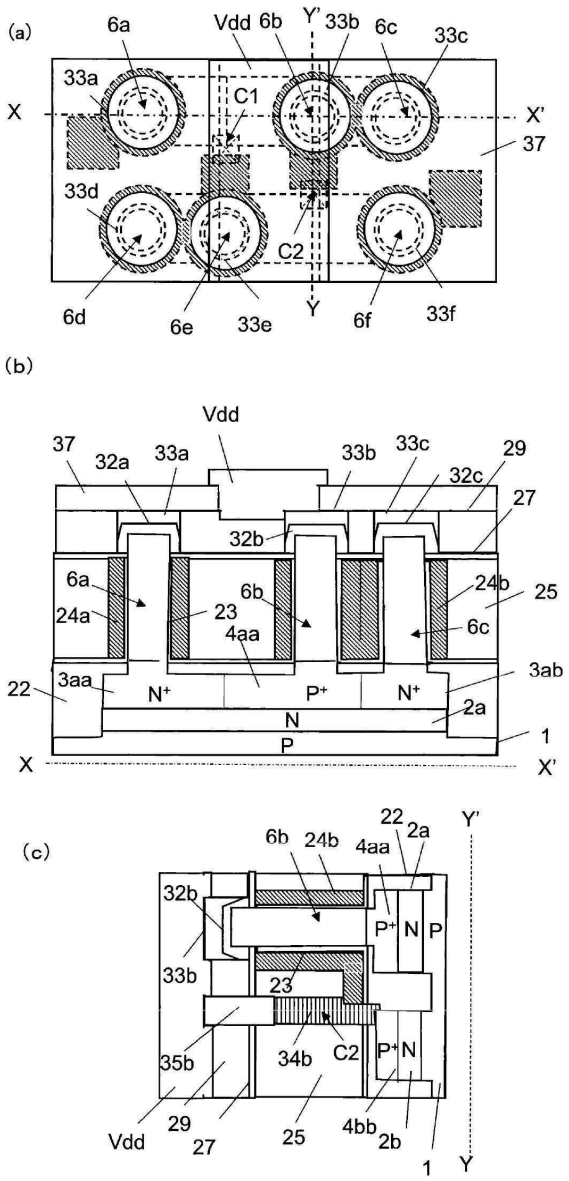
도면1q


(a)
6a
6b
Y'
33b
6c
33c
33a
X
C1
X'
29
33d
C2
6d
6e
33e
Y
6f
33f
(b)
32a
33a
32b
33b
33c
32c
29
27
6a
6b
24b
25
24a
23
4aa
6c
3aa
N+
P+
N+
3ab
22
2a
N
1
P
X
X'
(c)
22
Y'
6b
24b
4aa
2a
32b
P+
N
P
33b
23
35b
C2
P+
N
29
34b
4bb
2b
27
25
1
Y

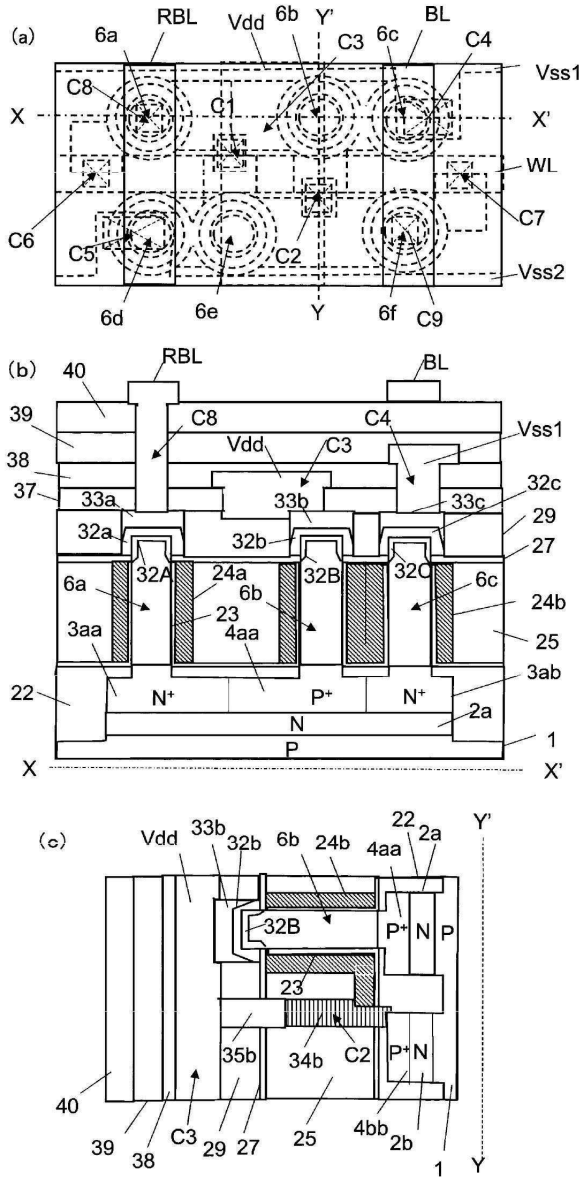
도면1r


(a)
6a
C3
6b
Y'
33b
6c
33c
33a
X
C1
X'
29
33d
C2
6d
6e
33e
Y
6f
33f
(b)
37
32a
33a
C3
33b
33c
29
32c
27
32b
6a
6b
24b
25
24a
23
6c
4aa
3aa
N+
P+
N+
3ab
22
2a
N
1
P
X
X'
(c)
22
2a
Y'
6b
24b
4aa
32b
P+
N
P
33b
23
C3
35b
34b
C2
P+
N
29
27
25
4bb
2b
1
Y

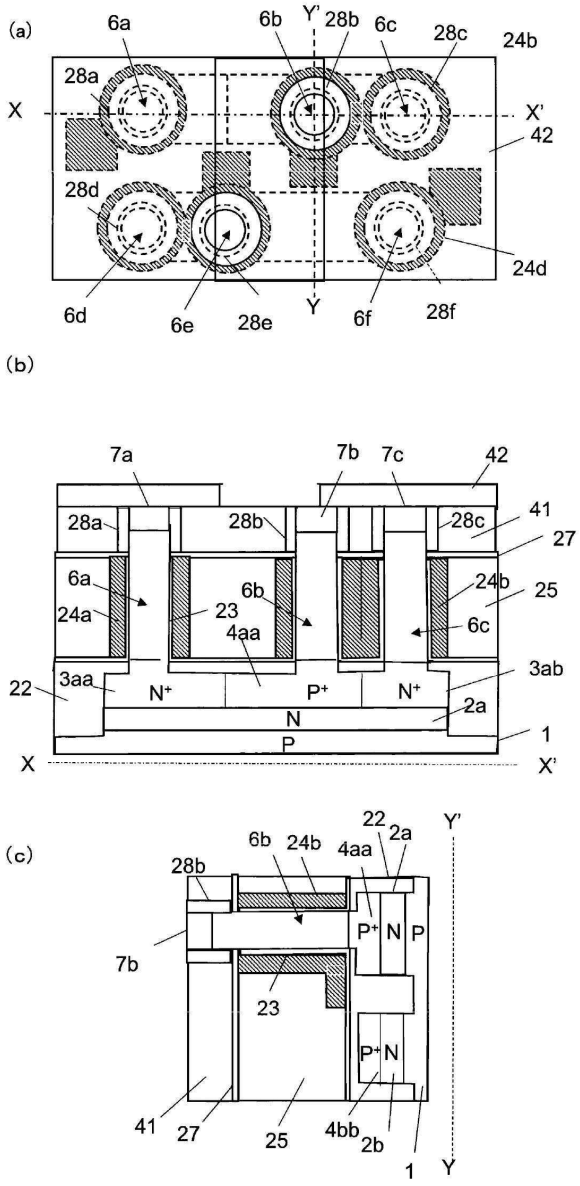
도면1s


(a)
6a
Vdd
6b
Y'
33b
6c
33c
33a
C1
X
X'
37
33d
C2
6d
6e
33e
Y
6f
33f
(b)
Vdd
37
32a
33a
33b
33c
29
32c
27
32b
6a
6b
24b
25
24a
23
4aa
6c
3aa
3ab
22
N+
P+
N+
2a
N
1
P
X
X'
(c)
22
2a
Y'
6b
24b
4aa
32b
P+
N
P
33b
23
35b
34b
C2
P+
N
Vdd
29
27
25
4bb
2b
1
Y

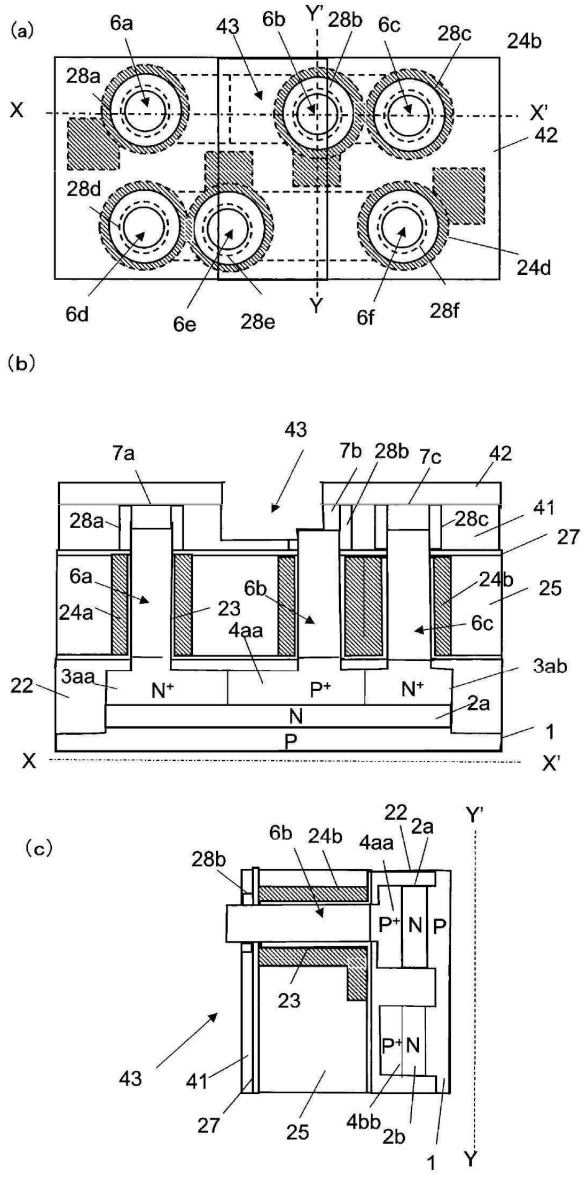
도면1t


(a)
RBL
Vdd
6b
Y'
BL
6a
C3
6c
C4
Vss1
C8
C1
X
X'
WL
C7
C6
C5
C2
Vss2
6d
6e
Y
6f
C9
(b)
40
RBL
BL
39
C8
C4
Vss1
Vdd
C3
38
37
33a
33b
33c
32c
29
32a
32b
27
32A
24a
32B
32C
6c
6a
6b
24b
23
3aa
4aa
25
3ab
22
N+
P+
N+
2a
N
1
P
X
X'
(c)
Vdd
33b
32b
6b
24b
4aa
22
2a
Y'
32B
P+
N
P
23
35b
34b
C2
P+
N
40
39
38
C3
29
27
25
4bb
2b
1
Y

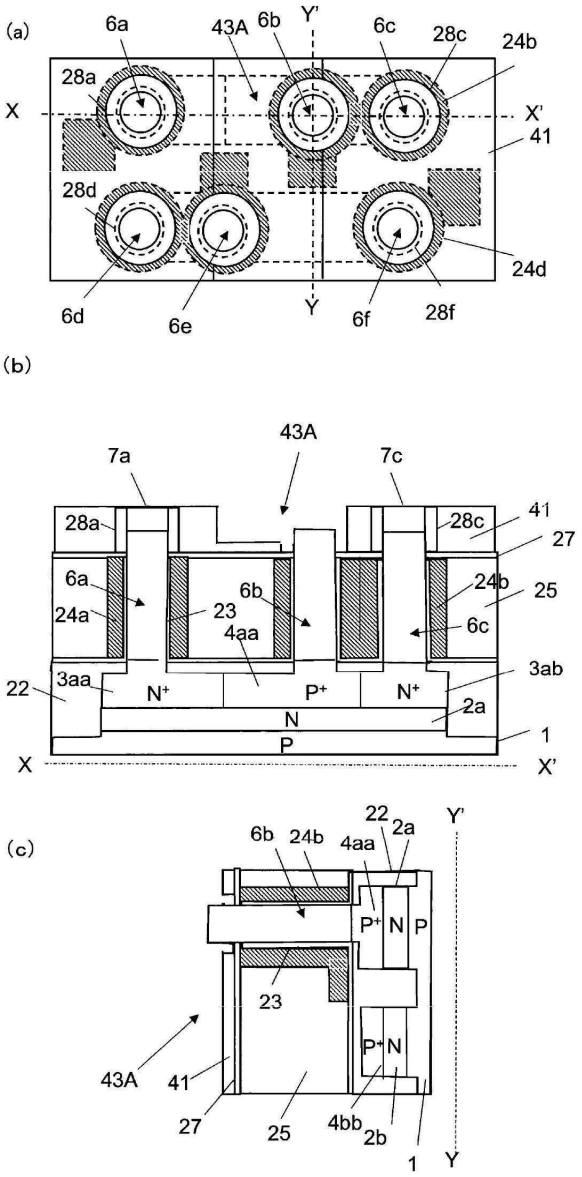
도면2a


(a)
6a
6b
Y'
28b
6c
28c
24b
28a
X
X'
42
28d
24d
6d
6e
28e
Y
6f
28f
(b)
7a
7b
7c
42
41
28a
28b
28c
27
6a
6b
24b
25
24a
23
6c
4aa
3aa
N+
P+
N+
3ab
22
2a
N
1
P
X
X'
(c)
22
2a
Y'
6b
24b
4aa
28b
P+
N
P
7b
23
P+
N
41
27
25
4bb
2b
1
Y

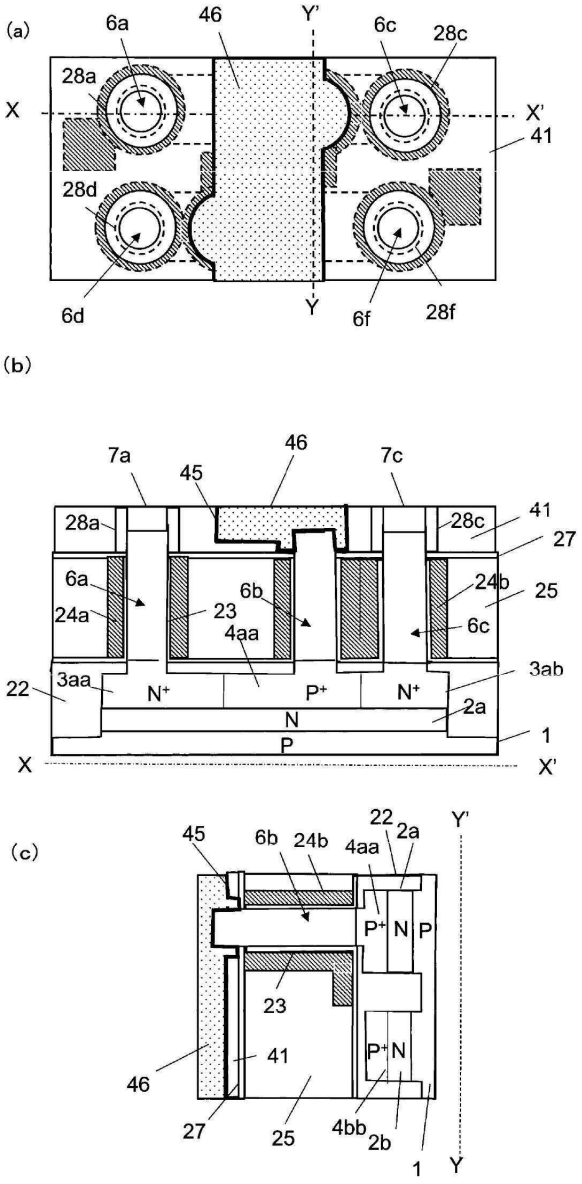
도면2b


(a)
6a
43
6b
Y'
28b
6c
28c
24b
28a
X
X'
42
28d
24d
6d
6e
28e
Y
6f
28f
(b)
43
7a
7b
28b
7c
42
28a
28c
41
27
6a
6b
24b
25
24a
23
6c
4aa
3aa
3ab
22
N+
P+
N+
2a
N
1
P
X
X'
(c)
22
2a
Y'
6b
24b
4aa
28b
P+
N
P
23
P+
N
43
41
27
25
4bb
2b
1
Y

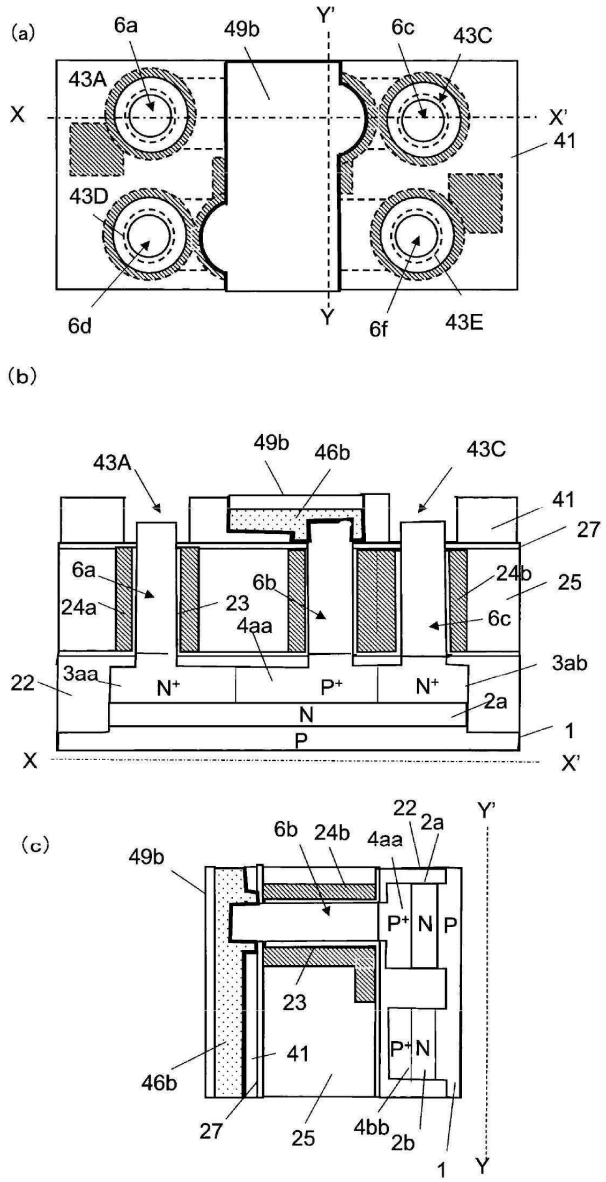
도면2c


(a)
6a
43A
6b
Y'
6c
28c
24b
28a
X
X'
41
28d
24d
6d
6e
Y
6f
28f
(b)
43A
7a
7c
41
28a
28c
27
6a
6b
24b
25
24a
23
6c
4aa
3aa
3ab
22
N+
P+
N+
2a
N
1
P
X
X'
(c)
22
2a
Y'
6b
24b
4aa
P+
N
P
23
P+
N
43A
41
27
25
4bb
2b
1
Y

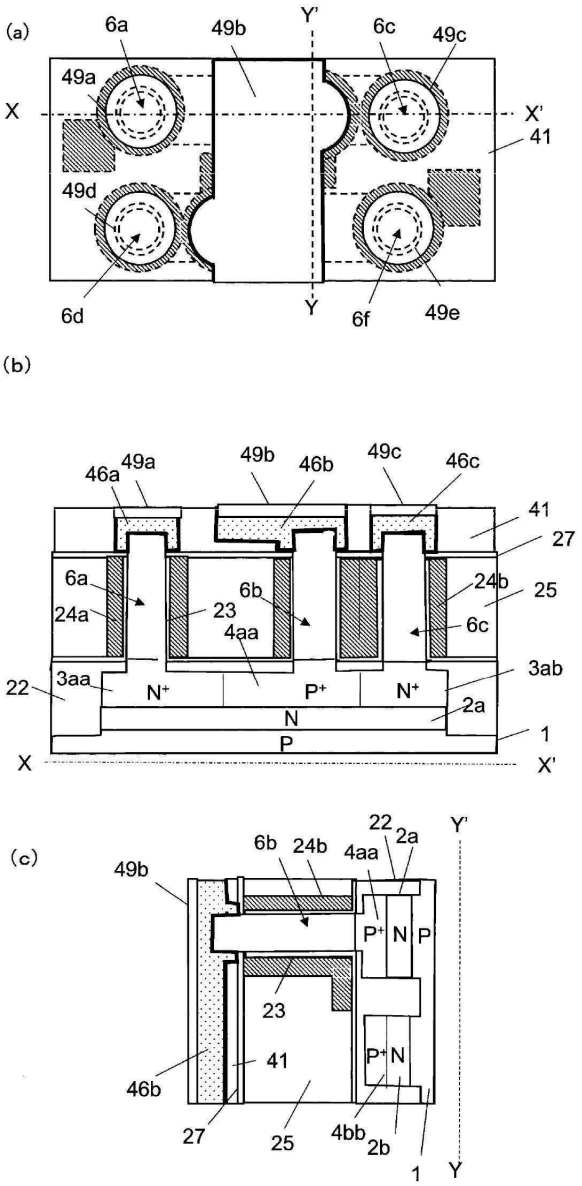
도면2d


(a)
6a
46
Y'
6c
28c
28a
X
X'
41
28d
6d
Y
6f
28f
(b)
7a
45
46
7c
28a
28c
41
27
6a
6b
24b
25
24a
23
6c
4aa
22
3aa
N+
P+
N+
3ab
2a
N
1
P
X
X'
(c)
45
6b
24b
4aa
22
2a
Y'
P+
N
P
23
41
P+
N
46
27
25
4bb
2b
1
Y

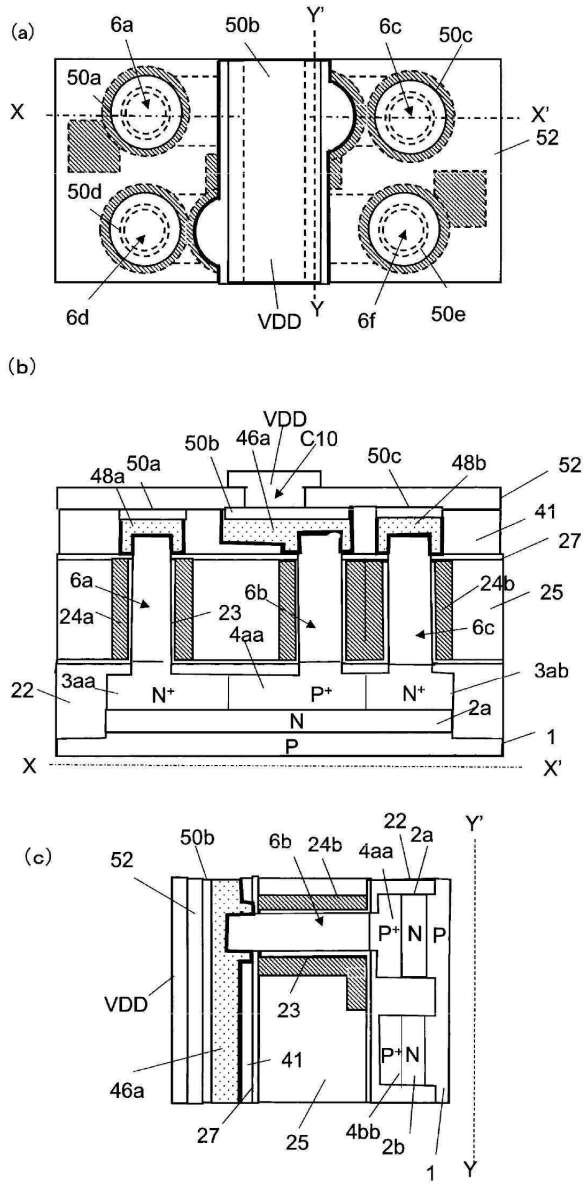
도면2e


(a)
6a
49b
Y'
6c
43C
43A
X
X'
41
43D
6d
Y
6f
43E
(b)
43A
49b
46b
43C
41
27
6a
6b
24b
25
24a
23
6c
4aa
3aa
N+
P+
N+
3ab
22
2a
N
1
P
X
X'
(c)
22
2a
Y'
6b
24b
4aa
49b
P+
N
P
23
P+
N
41
46b
27
25
4bb
2b
1
Y

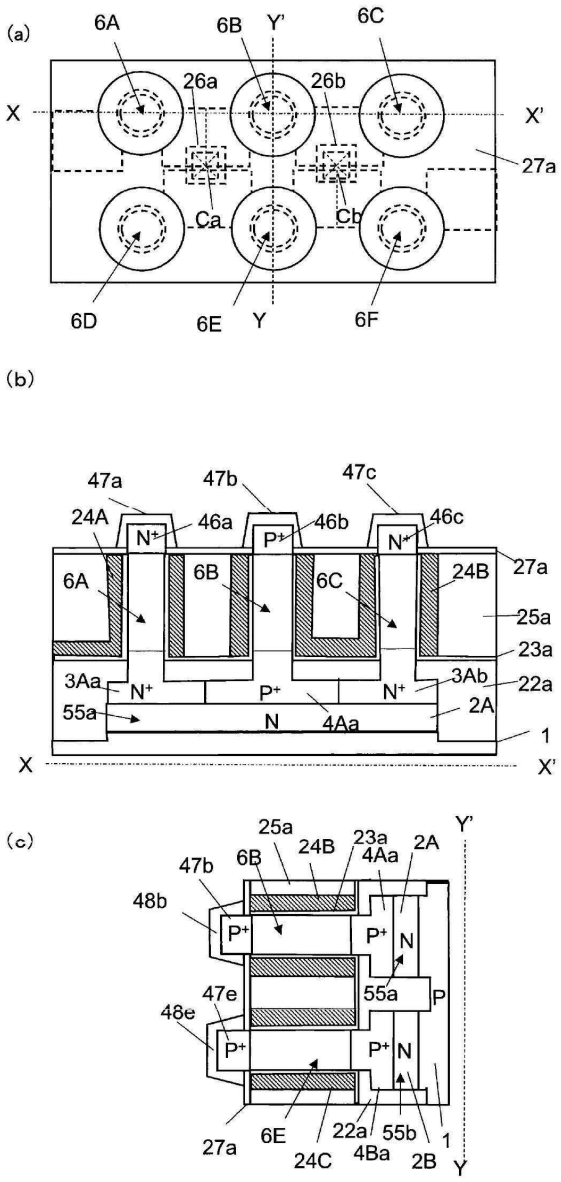
도면2f


(a)
6a
49b
Y'
6c
49c
49a
X
X'
41
49d
6d
Y
6f
49e
(b)
46a
49a
49b
46b
49c
46c
41
27
6a
6b
24b
25
24a
23
4aa
6c
22
3aa
N+
P+
N+
3ab
2a
N
1
P
X
X'
(c)
22
2a
Y'
6b
24b
4aa
49b
P+
N
P
23
P+
N
41
46b
27
25
4bb
2b
1
Y

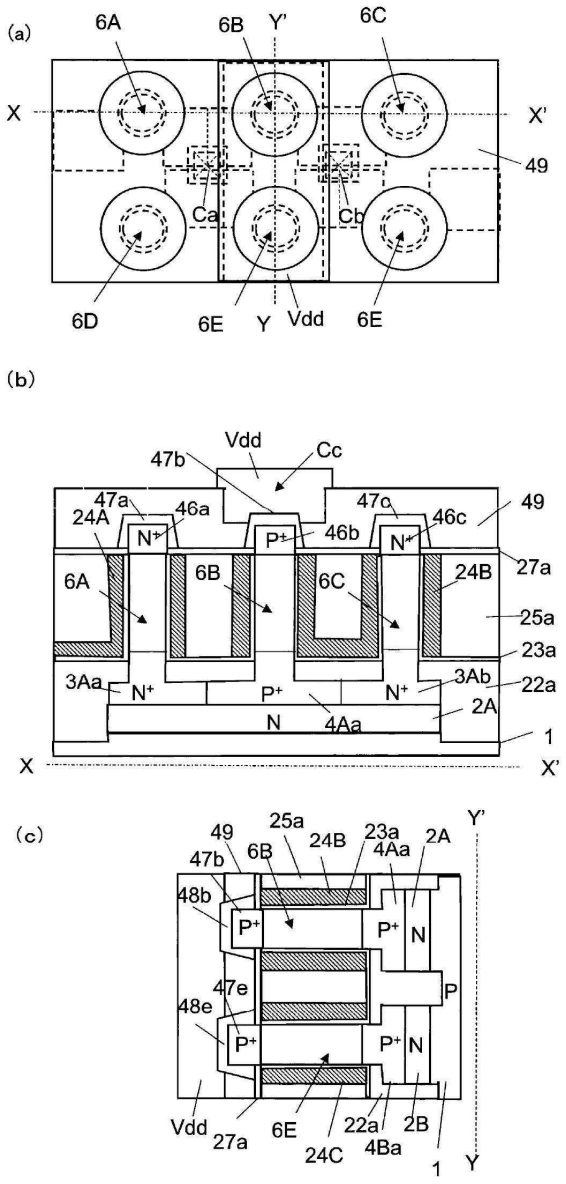
도면2g


(a)
6a
50b
Y'
6c
50c
50a
X
X'
52
50d
6d
VDD
Y
6f
50e
(b)
VDD
50b
46a
C10
50c
48b
52
48a
50a
41
27
6a
6b
24b
25
24a
23
4aa
6c
3aa
N+
P+
N+
3ab
22
2a
N
1
P
X
X'
(c)
22
2a
Y'
50b
6b
24b
4aa
52
P+
N
P
VDD
23
41
P+
N
46a
27
25
4bb
2b
1
Y

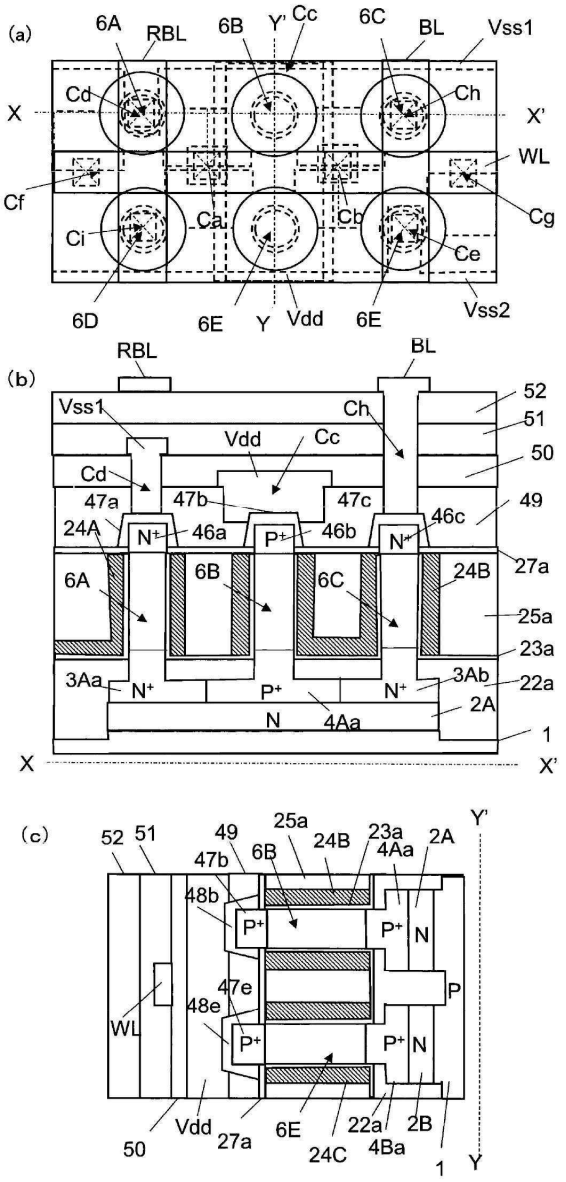
도면3a


(a)
6A
6B
Y'
6C
X
X'
26a
26b
27a
Ca
Cb
6D
6E
Y
6F
(b)
47a
47b
47c
24A
46a
46b
46c
N+
P+
N+
6A
6B
6C
24B
27a
25a
23a
3Aa
3Ab
22a
55a
2A
N
4Aa
1
X
X'
(c)
25a
24B
23a
2A
Y'
47b
6B
4Aa
48b
P+
P+
N
47e
55a
P
48e
P+
P+
N
27a
6E
22a
55b
1
24C
4Ba
2B
Y

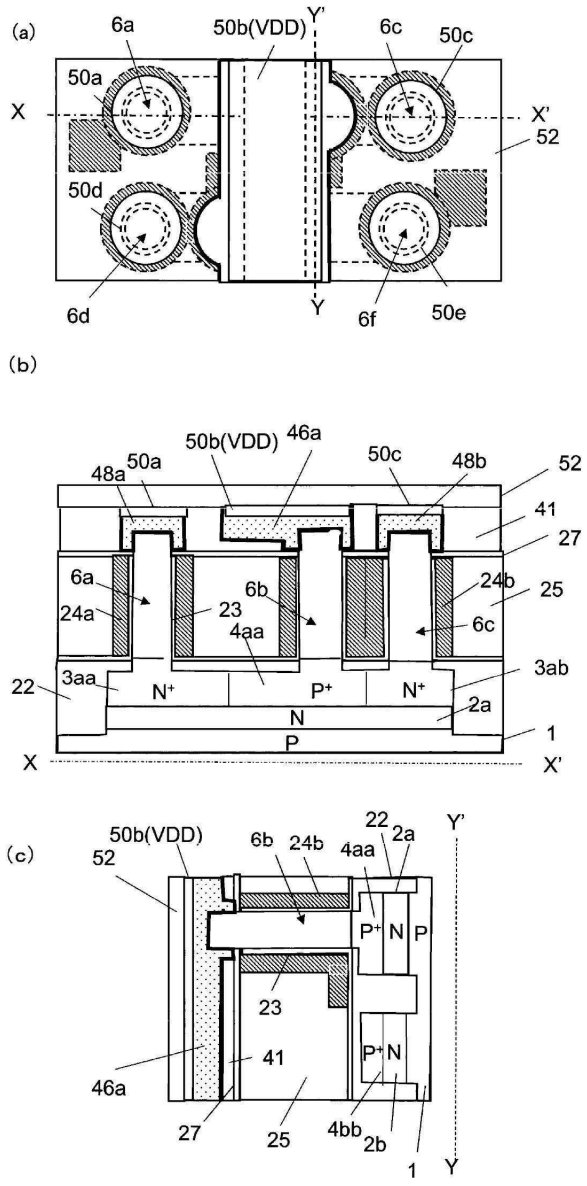
도면3b


(a)
6A
6B
Y'
6C
X
X'
49
Ca
Cb
6D
6E
Y
Vdd
6E
(b)
Vdd
Cc
47b
47a
24A
46a
47c
46c
49
N+
P+
46b
N+
24B
27a
6A
6B
6C
25a
23a
3Aa
N+
P+
N+
3Ab
22a
2A
N
4Aa
1
X
X'
(c)
Y'
49
25a
24B
23a
2A
47b
6B
4Aa
48b
P+
P+
N
47e
P
48e
P+
P+
N
Vdd
27a
6E
24C
22a
4Ba
2B
1
Y

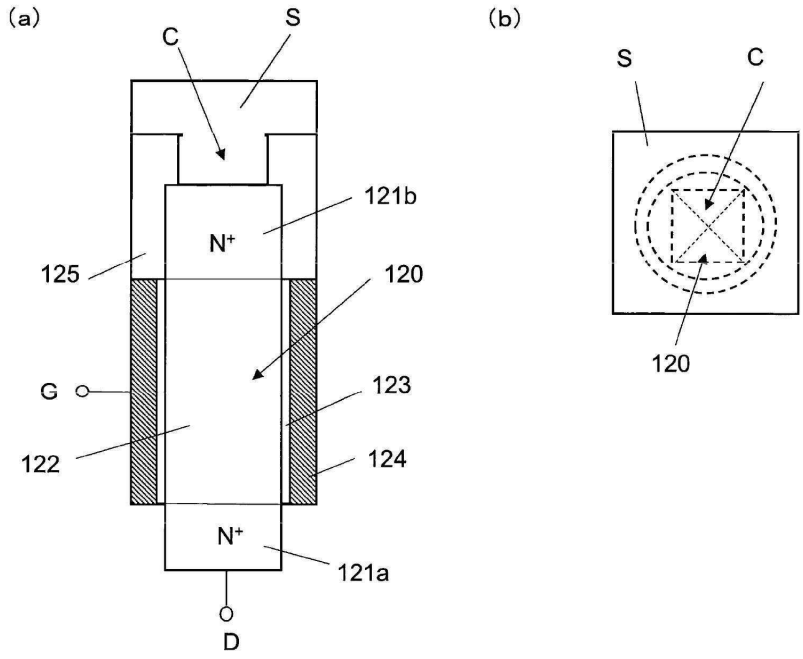
도면3c


(a)
6A
RBL
6B
Y'
Cc
6C
BL
Vss1
X
Cd
Ch
X'
WL
Cf
Cg
Ci
Ca
Cb
Ce
6D
6E
Y
Vdd
6E
Vss2
(b)
RBL
BL
Vss1
Ch
52
51
Vdd
Cc
50
Cd
47a
47b
47c
49
46c
24A
N+
46a
P+
46b
N+
27a
6A
6B
6C
24B
25a
23a
3Aa
N+
P+
N+
3Ab
22a
2A
N
4Aa
1
X
X'
(c)
52
51
49
25a
24B
23a
2A
Y'
47b
6B
4Aa
48b
P+
P+
N
47e
P
48e
WL
P+
P+
N
50
Vdd
27a
6E
24C
22a
4Ba
2B
1
Y

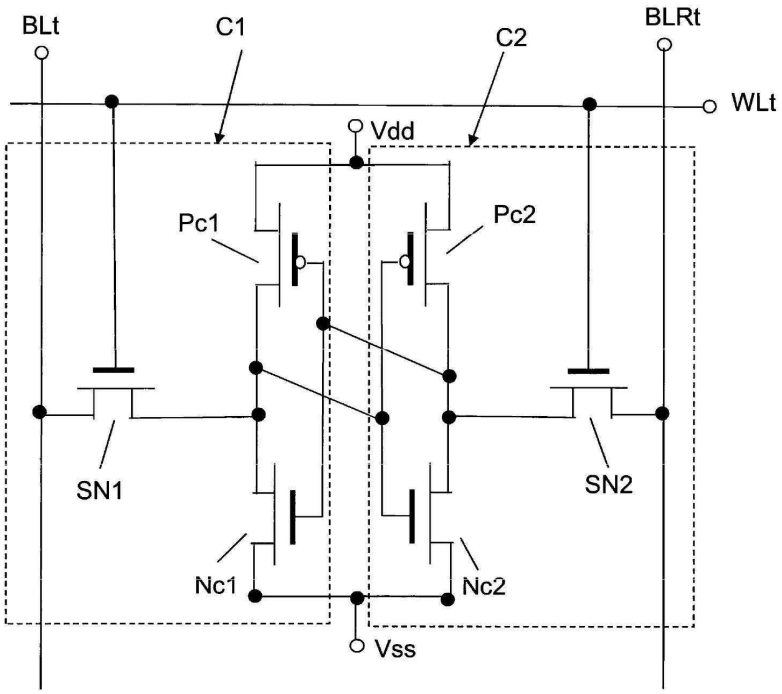
도면4


(a)
6a
50b(VDD)
Y'
6c
50c
50a
X
X'
52
50d
6d
Y
6f
50e
(b)
50b(VDD)
46a
50a
48a
50c
48b
52
41
27
6a
6b
24b
25
24a
23
4aa
6c
3aa
3ab
22
N+
P+
N+
2a
N
1
P
X
X'
(c)
50b(VDD)
22
2a
Y'
52
6b
24b
4aa
P+
N
P
23
P+
N
41
46a
27
25
4bb
2b
1
Y

도면5


(a)
C
S
121b
N+
125
120
G
123
122
124
N+
121a
D
(b)
S
C
120

도면6


BLt
C1
C2
BLRt
WLt
Vdd
Pc1
Pc2
SN1
SN2
Nc1
Nc2
Vss