

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4607724号
(P4607724)

(45) 発行日 平成23年1月5日 (2011.1.5)

(24) 登録日 平成22年10月15日 (2010.10.15)

(51) Int.Cl.

F I

G 0 9 G 3/36 (2006.01)
G 0 9 G 3/20 (2006.01)G 0 9 G 3/36
G 0 9 G 3/20 6 2 3 A
G 0 9 G 3/20 6 2 3 R
G 0 9 G 3/20 6 3 3 H
G 0 9 G 3/20 6 3 3 P

請求項の数 4 (全 13 頁) 最終頁に続く

(21) 出願番号 特願2005-267991 (P2005-267991)
(22) 出願日 平成17年9月15日 (2005.9.15)
(65) 公開番号 特開2007-79198 (P2007-79198A)
(43) 公開日 平成19年3月29日 (2007.3.29)
審査請求日 平成18年12月12日 (2006.12.12)(73) 特許権者 000003078
株式会社東芝
東京都港区芝浦一丁目1番1号
(74) 代理人 110001092
特許業務法人サクラ国際特許事務所
(74) 代理人 100077849
弁理士 須山 佐一
(74) 代理人 100113871
弁理士 川原 行雄
(74) 代理人 100124073
弁理士 山下 聡
(74) 代理人 100134223
弁理士 須山 英明

最終頁に続く

(54) 【発明の名称】 画像データ処理装置

(57) 【特許請求の範囲】

【請求項 1】

表示装置の同一の信号線上に配置され、連続して画素データが供給される第1、第2の画素にそれぞれ対応する第1、第2の画素データを差分して、差分画素データに変換するデータ変換部と、

前記信号線から読み出される前記第1の画素データを保持するデータ保持部と、

前記保持される第1の画素データと、前記差分画素データと、を加算して、前記第2の画素データを再生するデータ再生部と、

前記再生される第2の画素データを前記信号線に書き込むデータ書込部と、

前記書き込まれる第2の画素データを前記信号線から読み出すデータ読出部と、

前記データ書込部による書き込みと、前記データ読出部による読み出しと、を選択する書込／読出選択部と、

前記画素データを書き込み、または読み出す信号線を複数の信号線から選択する信号線選択部と、

を具備することを特徴とする画像データ処理装置。

【請求項 2】

表示装置の同一の信号線上に配置され、連続して画素データが供給される第1、第2の画素にそれぞれ対応する第1、第2の画素データを差分して、差分画素データに変換するデータ変換部と、

前記信号線から読み出される前記第1の画素データを保持するデータ保持部と、

10

20

前記保持される第1の画素データと、前記差分画素データと、を加算して、前記第2の画素データを再生するデータ再生部と、

前記再生される前記第2の画素データを非線形補正する非線形補正部と、

前記読み出される前記第1の画素データを逆非線形補正する逆非線形補正部と、
を具備することを特徴とする画像データ処理装置。

【請求項3】

表示装置の同一の信号線上に配置され、連続して画素データが供給される第1、第2の画素にそれぞれ対応する第1、第2の画素データを差分して、差分画素データに変換するデータ変換部と、

前記信号線から読み出される前記第1の画素データを保持するデータ保持部と、

前記保持される前記第1の画素データと、前記差分画素データと、を加算して、前記第2の画素データを再生するデータ再生部と、

前記再生される前記第2の画素データを極性反転する第1の極性反転部と、

前記読み出される前記第1の画素データを極性反転する第2の極性反転部と、

を具備することを特徴とする画像データ処理装置。

【請求項4】

前記表示装置が、液晶表示装置である

ことを特徴とする請求項1乃至3のいずれか1項に記載の画像データ処理装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、画像データを処理する画像データ処理装置および画像データ処理方法に関する。

【背景技術】

【0002】

表示装置の大画面化、高精細化が進められたことから、表示装置の駆動に要する情報量の増大を招き、ひいては表示装置を駆動するために伝送する信号が高周波化されてきている。このような、伝送信号のデータ量の増大（高周波化）はその周囲への電磁妨害雑音（EMI: Electro Magnetic Interference）の原因となる。このため、表示装置を有する電子機器による電磁妨害雑音を低減する必要性が高まっている。

表示装置を有する電子機器によるEMIを低減するために、画像データと前画像データとの差分データを用いる技術が開示されている（特許文献1参照）。

【特許文献1】特開2000-20031号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

ところで、差分データから画像データを再生するには、メモリ等種々の構成要素が必要になり、回路規模の増大を招くことになる。

上記に鑑み、本発明は画像データ再生のための回路構成の簡略化を図った画像データ処理装置および画像データ処理方法を提供することを目的とする。

【課題を解決するための手段】

【0004】

本発明に係る画像データ処理装置は、表示装置の信号線から読み出される画素データを保持するデータ保持部と、前記保持される画素データと、前記信号線に対応する演算画素データと、を加算して、前記信号線に対応する画素データを再生するデータ再生部と、を具備することを特徴とする。

【発明の効果】

【0005】

本発明によれば、画像データ再生のための回路構成の簡略化を図った画像データ処理装置および画像データ処理方法を提供できる。

【発明を実施するための最良の形態】

【0006】

以下、図面を参照して、本発明の実施の形態を詳細に説明する。

(第1の実施の形態)

図1は、本発明の第1実施形態に係る表示システム100を表す模式図である。

表示システム100は、表示部110、バッファ回路120、制御信号発生回路130、画像信号変換部140、信号線駆動回路(信号線ドライバ)150、走査線駆動回路(ゲートドライバ)160、共通電極駆動回路(コモン駆動回路)170を有する。

【0007】

表示部110は、例えば、液晶表示素子であり、信号線111(111(1)~111(N))、走査線112(112(1)~112(N))、スイッチング素子113、画素電極114を有する。

【0008】

信号線111は、画素信号を伝達するものであり、信号線駆動回路150により駆動される。ここで、信号線111の容量(信号線容量)Csが破線で表されている。容量Csがあることから、画素信号は信号線111上に保持される。

走査線(ゲート線)112は、走査線信号を伝達するものであり、信号線111と直交して配置され、走査線駆動回路160により駆動される。

スイッチング素子113は、例えば、薄膜トランジスタ(TFT)であり、信号線111と走査線112の交点付近に配置され、信号線111および走査線112からの信号により画素電極114を制御する。

【0009】

画素電極114は、画像を表示する基本単位たる画素に対応し、スイッチング素子113によって駆動される。表示部110上に赤(R)、緑(G)、青(B)それぞれを表示する画素が縦横のマトリクス状に配列されることでカラー表示が可能となる。赤(R)、緑(G)、青(B)に対応する画素電極114が走査線112上に、例えば、ストライプ状に配列される。

画素電極114に対向して共通電極が配置され、これらの間の液晶が画素電極114と共通電極間の電圧で駆動される。画素電極114の電圧を制御することで、表示部110に画像が表示される。

【0010】

バッファ回路120は、入力される画像信号にノイズ除去や波形整形をして制御信号発生回路130に安定な信号を供給する回路である。

制御信号発生回路130は、バッファ回路120から画像信号を入力し、画像信号変換部140、信号線駆動回路150、走査線駆動回路160、共通電極駆動回路170を制御するための制御信号を発生、出力するものであり、ゲートアレイによって構成できる。

【0011】

画像信号変換部140は、複数の画素信号を含む画像信号を複数の演算画素信号を含む演算画像信号、具体的には、差分画像信号に変換する。画素信号を演算画素信号に変換することで、データの遷移(データの状態がハイからロー又はローからハイに変化すること)を低減できる。この結果、画像信号変換部140と信号線駆動回路150間でのデータ伝送により発生する電磁波放射、消費電力等を低減することが可能となる。なお、画像信号変換部140の詳細は後述する。

【0012】

信号線駆動回路150は、演算画像信号を画像信号に逆変換し、この画像信号により信号線111を駆動するための駆動回路である。なお、この詳細は後述する。

走査線駆動回路160は、走査線112を駆動するための駆動回路である。

共通電極駆動回路170は、表示部110の共通電極を駆動するための駆動回路である。

【0013】

10

20

30

40

50

(画像信号変換部 140 の詳細)

画像信号変換部 140 は、画像信号分割部 141、信号保持部 142、信号変換部 143 を有する。

【0014】

画像信号分割部 141 は、D-FF (D-フリップフロップ) 141r、141g、141b を有し、R、G、B それぞれに対応する画像データ (画像信号) を画素データ (画素信号) Dr、Dg、Db に分割する。画像データは、表示部 110 の画素に対応する画素データ Dr、Dg、Db を時系列的に複数含む。D-FF 141r、141g、141b は、画像データを入力し、クロック信号 CK1 に対応して、画素データ Dr、Dg、Db 毎に出力する。

10

【0015】

信号保持部 142 は、遅延回路 142r、142g、142b を有し、入力する画素信号を保持し、所定期間遅らせて出力する。この所定期間 (遅延時間) として、1 走査線期間 (走査時間、水平表示期間、水平走査期間、1H 期間ともいう) を挙げることができる。遅延時間を 1 走査線期間とするのは、通常の表示画像 (インターネット、ゲーム、メール、文章等) では、垂直方向において画像データの変化が少ないという事実に基づいている。

【0016】

信号変換部 143 は、差分回路 (減算回路ともいう) 143r、143g、143b を有し、前画素データ (信号保持部 142 に保持された画素データ) と現画素データの差分演算 (減算、具体的には排他的論理和演算 (Exclusive OR)) により、差分画素データを生成する (言い換えれば、画素データから差分画素データへの変換)。なお、最初の画素データの場合には、前画素データとして所定のダミーデータ DM (例えば、ロー状態) を用いる。

20

【0017】

画像信号変換部 140 は次のように動作する。

画素データ Dr~Db が、D-FF 141r~141b に順次に入力され、クロック信号 CK1 に対応して分離、出力される。フリップフロップ 141r~141b から出力された画素データ Dr~Db は、遅延回路 142r~142b、および差分回路 143r~143b に入力される。

30

【0018】

遅延回路 142r~142b に入力された画素データ Dr~Db はそれぞれ、1 走査線期間遅れて出力される。これは、画素データ Dr~Db が画素で垂直方向に 1 ラインずれることに相当する。

【0019】

遅延回路 142r~142b から出力されるデータは、差分回路 143r~143b に入力され、垂直画素 (同一の信号線 111 上で、走査線 112 が異なる画素) 間での減算が行われる。差分回路 143r~143b で生成された差分画素データ DI1~DI3 は連続して出力される。

【0020】

図 2 は、画像信号変換部 140 から出力される差分画像データを表す模式図である。ブランキング期間の終了後に、差分画素データ DI1~DI3 の出力が開始され、一水平走査期間が終了するまで差分画素データ DI1~DI3 が連続して出力される。

40

【0021】

(信号線駆動回路 150 の詳細)

信号線駆動回路 150 は、差分画像データを元の画像データに逆変換し (画像データの再生)、この画像データにより信号線 111 を駆動するものであり、シフトレジスタ SR、D-FF (フリップフロップ) 151 (151(1)~151(N))、ラッチ回路 152 (152(1)~152(N))、D/A 変換回路 153 (153(1)~153(N))、加算回路 154 (154(1)~154(N))、書き込み回路 155 (155

50

(1)～155(N))、読み出し回路156(156(1)～156(N))を有する。なお、信号線駆動回路150は、デジタル方式とアナログ方式に分けられるが、ここではデジタル方式を例示している。

【0022】

シフトレジスタSRおよびDFF151は、複数の差分画素データを含む差分画像データから信号線111に対応する差分画素データを抽出(あるいは区分)する。

シフトレジスタSRは、差分画像データDI1～DI3のサンプリング時間を指示するサンプリング指示信号を水平同期信号HSから生成する。

DFF151は、シフトレジスタSRからのサンプリング指示信号によって、差分画像データDI1～DI3をサンプリングする。この結果、画像信号DI1～DI3は、シリアル(直列)信号からパラレル(並列)信号へと変換される。これは画像信号から画素信号それぞれを分離(分割)したことになる。

ラッチ回路152は、入力されるデジタル信号をラッチし、1水平期間保持する。

【0023】

D/A変換回路153は、デジタル信号をアナログ信号に変換する変換回路である。なお、D/A変換回路153に換えて、書き込み回路155、読み出し回路156のそれぞれにD/A変換回路を備えることも可能である。

加算回路154は、前画素データと差分画素データの加算によって、現画像データを再生するものであり、画素データを再生するデータ再生部として機能する。信号変換部143はディジタル演算を行うが、加算回路154はアナログ演算を行う。加算回路154がD/A変換後の画素データを処理するためである。なお、D/A変換回路153に換えて、書き込み回路155がD/A変換回路を備える場合には、加算回路154はディジタル演算を行うことになる。

【0024】

書き込み回路155は、画素データを信号線111に書き込むものであり、ガンマ補正回路 $\gamma C1$ 、バッファアンプAP1、スイッチSW1を有する。画素データの書き込みによって画素電極114が駆動される。書き込まれた画素信号は信号線111に保持され、読み出し回路156によって読み出される。いわば信号線111をメモリとして用いることで、信号線駆動回路150の構成の簡略化が可能となる。なお、ガンマ補正回路 $\gamma C1$ 、バッファアンプAP1の配置は逆であっても差し支えない。

【0025】

ガンマ補正回路 $\gamma C1$ は、画素データにガンマ補正を加え、表示部110が画像をより良好に表示するようにするものであり、画素データを非線形補正する非線形補正部として機能する。具体的には、ガンマ補正前の画素データと表示部110に表示される明暗の強度が比例するようにする。表示部110の電圧-輝度特性の非直線性に対応するためである。

バッファアンプAP1は、信号線111を駆動する画素信号(信号線駆動信号)を出力する出力バッファである。

スイッチSW1は、画素信号(画素データ)の書き込みの実行/停止を切り換えるスイッチであり、後述のスイッチSW2と連動することで、信号線111への書き込み/読み出しが選択される。

【0026】

読み出し回路156は、信号線111に保持されている1水平ライン前の画素信号(画素データ)を読み出し、保持するものであり、逆ガンマ補正回路 $\gamma C2$ 、バッファアンプAP2、スイッチSW2、キャパシタCを有する。読み出し回路156は、信号線111をラインメモリとして利用して、1水平ライン前の画素信号を読み出す。この結果、前の画素データを保持するラインメモリを有する必要が無くなり、信号線駆動回路150の構成が簡略になる。なお、ガンマ補正回路 $\gamma C2$ 、バッファアンプAP2の配置は逆であっても差し支えない。

【0027】

10

20

30

40

50

逆ガンマ補正回路 $\gamma C 2$ は、信号線 111 から読み出された画素データに逆ガンマ補正（ガンマ補正の逆変換）を加えるものであり、画素データを逆非線形補正する逆非線形補正部として機能する。加算回路 154 に入力される差分画素信号に信号線 111 から読み出された画素データを対応させるためである。

バッファアンプ AP2 は、信号線 111 から読み出された画素信号の強度を調節する。加算回路 154 に入力される差分画素信号に信号線 111 から読み出された画素データを対応させるためである。例えば、バッファアンプ AP1 が信号を N 倍にしたとすれば、バッファアンプ AP2 は信号を $1/N$ 倍する。但し、これは信号線 111 に信号がそのまま保持され、読み出される理想的な場合である。実際には信号が減衰するため、その減衰を考慮してバッファアンプ AP2 の増幅率が調節される。

10

【0028】

スイッチ SW2 と、キャパシタ（容量素子）C は、読み出されて逆 γ 変換および強度調節された画素信号を保持するサンプルホールド回路を構成する。

スイッチ SW2 は、サンプルホールド回路の一部であると共に、画素データの読み出しの実行／停止を切り換えるスイッチであり、スイッチ SW1 と連動することで、信号線 111 への書き込み／読み出しが選択される。

キャパシタ C は、読み出された画素信号を電荷として保持するものであり、画素データを保持するデータ保持部として機能する。

【0029】

信号線駆動回路 150 は以下のように動作する。

20

差分画素データ DI1～DI3 は、シフトレジスタ SR および DFF151 で直並列変換されて、ラッチ回路 152 で 1H（一水平走査期間）ラッチされて、加算回路 154 に入力される。差分画素データと、読み出し回路 156 によって信号線 111 から読み出された画素信号とが加算回路 154 で加算され、画素信号が再生される。再生された画素信号は書き込み回路 155 によって信号線 111 に書き込まれる。

【0030】

書き込み回路 155 および読み出し回路 156 による信号線 111 への書き込み／読み出しは交互に行われる。例えば、一水平走査期間（1H）を読み出し時と書き込み駆動時に 2 分割して、時分割制御する。この結果、読み出し、加算（再生）、書き込みの動作が繰り返される。

30

【0031】

信号線 111 への書き込み時には、スイッチ SW1 は閉じられ（ON）、スイッチ SW2 は開かれる（OFF）。このときには、読み出し回路 156 に保存された画素信号と、伝送されてきた差分画素信号とから再生された画素信号に、ガンマ補正をかけて、スイッチ SW1 から信号線 111 に出力される。

【0032】

信号線 111 からの読み出し時には、スイッチ SW1 は開かれ（OFF）、スイッチ SW2 は閉じられる（ON）。このときには、信号線 111 から画素信号が読み出され、逆 γ 補正をかけてキャパシタ C に電荷として保持される。即ち、SW2 と容量 C で構成されたサンプルホールド回路に 1H 前の画素信号が保持される。

40

【0033】

（第 2 の実施形態）

図 3 は、本発明の第 2 実施形態に係る表示システム 200 を表す模式図である。

表示システム 200 は、表示部 110 を極性反転で駆動する。例えば、隣接する信号線 111 が逆極性で駆動され（反転駆動方式）、さらに走査線 112 ごとに極性が反転する（ドット反転駆動方式）。

【0034】

ドット反転駆動方式では、次のように、表示部 110 が駆動される。例えば、あるフィールド、ある走査線 112（ i ）で、奇数番号の信号線 111（111（1）、111（3）、111（5）、…）は正極性、偶数番号の信号線 111（111（2）、111（4）、111（6）、…）は負極性で駆動される。

50

4)、…)は負極性で、それぞれ駆動されたとする。この場合、次の走査線112($i+1$)では信号線111の極性が反転し、奇数番号の信号線111は負極性、偶数番号の信号線111は正極性で駆動される。また、次のフィールドでも、信号線111の極性が反転する。

【0035】

本実施形態では、信号線駆動回路250の書き込み回路255および読み出し回路256が、第1の実施形態でのバッファアンプAP1、AP2に換えて、極性反転回路RV1、RV2を備えている。

極性反転回路RV1は、信号線111を駆動する画素信号(信号線駆動信号)を配線145に出力する出力バッファである点はバッファアンプAP1と同様である。これに加え、極性反転回路RV1は、これに入力される極性反転信号によってその出力の極性の正、負を制御する(極性反転制御)。このとき、奇数番号および偶数番号の信号線111に対応する極性反転回路RV1それぞれに、互いに略180°位相が異なる反転制御信号が入力される。隣接する信号線111で信号の極性が異なる(逆極性)ためである。

【0036】

極性反転回路RV2は、信号線111から読み出された画素データの強度を調節する点はバッファアンプAP2と同様である。これに加え、極性反転回路RV2は、信号線111から読み出された画素データの極性を調節して、加算回路154に入力される差分画素信号に対応させる。1Hごとに極性が反転することから、読み出した画素信号と書き込みたい画素信号とで信号の極性が異なるためである。例えば、信号線111に正極性(+)の信号を書き込む場合、書き込む前の信号線111には負極性(-)の信号が保持されている。このため、読み込んだ画素信号の極性を反転させ正極性とした後に、差分画素信号を加算して、画素信号を再生する。

その後、再生された画素信号に γ 補正をかけて、極性反転して、信号線に書き込む(信号線の駆動)。

【0037】

(第3の実施形態)

図4は、本発明の第3実施形態に係る表示システム300を表す模式図である。

ここでは、表示部310の画素電極114が、複数(n 個、例えば、2~5個)の画素電極114の群を1つのブロックとした複数(N 個)のブロックに区分される。即ち、1本の走査線(水平ライン)312が N 個のブロック(領域)に区分され、それぞれのブロックで n 本の信号線311-1~311- n を時系列的にシリアルに(逐次に)切り換えて画像を表示する。

【0038】

信号線311を切り換えるために、信号線駆動回路350は信号線を選択する選択出力部357(357(1)~357(N))を有する。選択出力部357は、書き込み、または読み出す信号線を複数の信号線から選択する信号線選択部に対応する。

1つのドライバ出力を複数の信号線311で共用することで、ドライバ数の低減(信号線駆動回路350の簡略化)、ひいては低コスト化が可能となる。例えば、スイッチング素子113と共に、ドライバ(信号線駆動回路350)を $p-Si$ で構成する場合に、このような構成が利用される。

【0039】

本実施形態でも第1の実施形態と同様に、信号線311に画素信号を書き込み回路155で書き込み、読み出し回路156で読み出す。信号線311をメモリとして用いることで、信号線駆動回路350の構成の簡略化が可能となる。駆動期間の一部を利用して、読み出し回路156によって、信号線311から1ライン前の画素データを読み出す。そして、この画素信号と、送られてきた差分画素信号とを加算して、次の画素信号を再生する。

【0040】

本実施形態のように信号線311を切り替える場合、信号線311をメモリとして用い

10

20

30

40

50

る意義が大きい。以下に示すように、信号線 3 1 1 から画素信号を読み出さなければ、画素信号の再生が困難となる。

【0041】

奇数行の信号線 3 1 1 を駆動する場合、ラッチ回路 1 5 2 に奇数行の画素データが蓄積されている。奇数行の画素データが信号線 3 1 1 に書き込まれ、その次ぎの偶数行の信号線 3 1 1 を駆動する場合を考える。この場合、信号線 3 1 1 から画素信号を読み出さなければ、再生に利用可能なのは、偶数行の画素データそのものか、ラッチ回路 1 5 2 に蓄積された奇数行の画像データのみである。つまり、複数の信号線 3 1 1 を時分割で駆動する場合、1 ライン前の画素データがドライバ（信号線駆動回路 3 5 0）内に蓄積されていないことになる。1 ライン前のデータを使いたい場合には、別にラッチ回路を設けて、そこ

10

【0042】

（第 4 の実施形態）

図 5 は、本発明の第 4 実施形態に係る表示システム 4 0 0 を表す模式図である。

本実施形態では、1 ライン前の画素データを信号線 1 1 1 に蓄えるのではなく、信号線駆動回路 3 5 0、具体的には再生・保持回路 4 5 8 に保持する。

信号線駆動回路 3 5 0 は、シフトレジスタ SR、DFF（フリップフロップ）1 5 1（1 5 1（1）～1 5 1（N））、ラッチ回路 1 5 2（1 5 2（1）～1 5 2（N））、再生・保持回路 4 5 8（4 5 8（1）～4 5 8（N））、ガンマ補正回路 γC （ γC （1）～ γC （N））、バッファアンプ AP（AP（1）～AP（N））を有する。

20

ガンマ補正回路 γC は、画素データにガンマ補正を加える。バッファアンプ AP は、信号線 1 1 1 を駆動する画素信号（信号線駆動信号）を出力する出力バッファである。

【0043】

図 6 は、表示システム 4 0 0 の再生・保持回路 4 5 8 を表す模式図である。

再生・保持回路 4 5 8 は、差分画素信号の D/A 変換、差分画素信号からの画素信号の再生（信号の加算）、再生された画素信号の保持を行う。

再生・保持回路 4 5 8 は、D/A 変換・保持部 9 1、加算・保持・出力部 9 2 に区分される。

30

【0044】

D/A 変換・保持部 9 1 は、スイッチ SW 4 4、SW 4 5、SW_{D0}～SW_{Dn-1}、キャパシタ C₀～C_{n-1} を有し、画素信号のデジタル/アナログ変換および変換された信号の蓄積を行う。

差分画素信号が、n ビットのデータ D₀～D_{n-1} として D/A 変換・保持部 9 1 に入力される。なお、差分画素信号が 2 の補数で表わされる場合には、データ D_{n-1} はインバーターを介して、スイッチ SW_{Dn-1} に印加される。

【0045】

スイッチ SW 4 4、SW 4 5 は、D/A 変換・保持部 9 1 の D/A 変換と信号保持とを切り替えるスイッチである。スイッチ SW 4 4、SW 4 5 それぞれを ON 電圧 V_H、OFF 電圧 V_L 側に切り換えることで、データ D₀～D_{n-1} がデジタル/アナログ変換される。また、スイッチ SW 4 4、SW 4 5 を参照電圧 V_{ref} 側に切り換えることで、デジタル/アナログ変換された信号がキャパシタ C₀～C_{n-1} に電荷として保持される。

40

【0046】

スイッチ SW_{Di} とキャパシタ C_i の組み合わせによって、データ D_i がデジタル/アナログ変換される。具体的には、データ D_i が ON/OFF（H/L）いずれであるかに応じて、スイッチ SW_{Di} が動作し、ON 電圧 V_H、OFF 電圧 V_L のいずれかに対応する電荷 Q_i がキャパシタ C_i に蓄積される。

キャパシタ C₀～C_{n-1} は全体として、演算画素データに対応する電荷を蓄積する第 2 の電荷蓄積部に対応する。キャパシタ C₀～C_{n-1} は、桁 i が 1 つ変化すると 2 倍と

50

なる関係にある ($C_{i+1} = 2 * C_i$)。データ $D_0 \sim D_{n-1}$ それぞれが桁の異なるビット (2進数) データであり、キャパシタ $C_0 \sim C_{n-1}$ に蓄積された電荷 $Q_0 \sim Q_{n-1}$ の総和がデータ $D_0 \sim D_{n-1}$ に対応するようにするためである。キャパシタ $C_0 \sim C_{n-1}$ は互いの一端が接続されている。

【0047】

加算・保持・出力部 92 は、スイッチ $SW_{41} \sim SW_{43}$ 、キャパシタ C_n 、差動アンプ DAP を有し、画素信号の加算および出力を行う。

スイッチ $SW_{41} \sim SW_{43}$ は、加算・保持・出力部 92 のオフセットキャンセルと信号出力とを切り替えるスイッチである。スイッチ SW_{41} 、 SW_{42} を閉じ、スイッチ SW_{43} を開くことで、差動アンプ DAP のオフセット出力がキャンセルされる。また、スイッチ SW_{41} 、 SW_{42} を開き、スイッチ SW_{43} を閉じることで、キャパシタ C_n に蓄積される電荷に対応して差動アンプ DAP から電圧 V_{out} が出力される。

【0048】

キャパシタ C_n は、信号を加算し、これを保持するものであり、画素データに対応する第1の電荷を蓄積する第1の電荷蓄積部に対応する。キャパシタ $C_0 \sim C_{n-1}$ に蓄積される電荷 $Q_0 \sim Q_{n-1}$ に対応して、キャパシタ C_n に蓄積される電荷 Q_n が変化する。例えば、キャパシタ $C_0 \sim C_{n-1}$ それぞれに蓄積される電荷が $Q_0 \sim Q_{n-1}$ のとき、キャパシタ C_n に蓄積される電荷が Q_n から $Q_n + Q_0 + Q_1 + \dots + Q_{n-1}$ に変化する。即ち、キャパシタ C_n に蓄積される電荷にキャパシタ $C_0 \sim C_{n-1}$ に蓄積される電荷が加算される。

【0049】

以下、再生・保持回路 458 の動作について説明する。

図 7 は、再生・保持回路 458 の動作を表すフロー図である。

【0050】

(1) 先頭ライン時のオフセットキャンセル処理 (ステップ $S11$, $S12$)

先頭ライン (同一信号線 111 上の最初の走査線 112 (1) に対応する信号) の場合、 D/A 変換処理に先だって、オフセットキャンセル処理がなされる。キャパシタ C_n に蓄積される電荷 Q_n が 0 の場合でも差動アンプ DAP からの出力電圧 V_{out} が 0 とならないのが通例である (オフセット出力の存在)。このため、このオフセット出力をキャンセルして、キャパシタ C_n に蓄積される電荷 Q_n と、差動アンプ DAP からの出力電圧 V_{out} とが対応するようにする。

【0051】

先頭ラインの場合、差分画素データではなく、画素データが送られてくる (絶対値での駆動)。このとき、差動アンプ DAP からのオフセット出力をキャンセルし、誤出力を防止する。スイッチ SW_{41} 、 SW_{42} 、 SW_{44} 、 SW_{45} を閉じ、 SW_{43} は開いた状態とする。このようにすることで、差動アンプ DAP がボルテージフォロア状態となり、全てのキャパシタ $C_0 \sim C_n$ にオフセット電圧に応じた電荷が充電され、オフセット出力がキャンセルされる。

【0052】

(2) 先頭ライン時の D/A 変換処理 (ステップ $S13$)

スイッチ SW_{44} 、 SW_{45} それぞれを電圧 V_H 、 V_L 側に切り換えると共に、スイッチ SW_{42} 、 SW_{41} を開き (開放)、 SW_{43} を閉じる (接続)。

このとき、入力データ $D_0 \sim D_{n-1}$ に応じて、キャパシタ $C_0 \sim C_{n-1}$ に電荷が蓄積される。また、キャパシタ $C_0 \sim C_{n-1}$ の電荷の総和と、オフセット電圧に応じた電荷とを加えた電荷がキャパシタ C_n に蓄積される。これにより、 D/A 変換されたアナログ信号が V_{out} から出力される。

【0053】

(3) 差分を加算する前のオフセットキャンセル処理 (ステップ $S14$)

スイッチ SW_{42} 、 SW_{44} 、 SW_{45} を閉じ、スイッチ SW_{41} 、 SW_{43} は開いた状態とする。この状態では、差動アンプ DAP はボルテージフォロア状態となり、キャパ

10

20

30

40

50

シタ $C_0 \sim C_{n-1}$ にオフセット電圧に応じた電荷が充電される。スイッチ SW_{41} 、 SW_{43} が開放状態なので、キャパシタ C_n には前のデータに応じた電荷がそのまま保持される。

【0054】

(4) 差分を加算するときの D/A 変換処理 (ステップ S_{15})

スイッチ SW_{44} 、 SW_{45} をそれぞれ ON 電圧 V_H 、 OFF 電圧 V_L 側に切り換えると共に、スイッチ SW_{42} 、 SW_{41} を開き (開放)、 SW_{43} を閉じる (接続)。このとき、差分画素信号に応じた入力データ $D_0 \sim D_{n-1}$ に応じて、キャパシタ $C_0 \sim C_{n-1}$ に電荷が蓄積される。また、キャパシタ $C_0 \sim C_{n-1}$ の電荷の総和とがキャパシタ C_n に累積して蓄積される (加算)。即ち、キャパシタ $C_0 \sim C_{n-1}$ に先に蓄積された電荷、オフセット電圧に応じた電荷、キャパシタ $C_0 \sim C_{n-1}$ に現時点で蓄積された電荷の総和がキャパシタ C_n に蓄積される。この結果、 D/A 変換、および加算されたアナログ信号が V_{out} から出力される。

10

第2ラインの後、第1ラインに戻るまで、このステップ S_{15} が繰り返される。

【0055】

以上のように、容量方式の D/A コンバータを用いることで、保持容量を1回ごとリセットすることが不要となる。 D/A 変換を停止することで加算 (積分) が行われ、 D/A 変換結果の保持と、加算とを共通のキャパシタ C_0 によって実現できる。これにより、表示部 110 の信号線 111 の電圧をモニターする回路、モニターした電圧をサンプリングするスイッチと容量素子、および加算回路を個別に構成する必要がなくなる。

20

【0056】

(その他の実施形態)

以上、本発明の実施形態について説明したが、本発明はこれらの実施形態に限定されるものではなく、その趣旨を逸脱しない範囲内において種々変形して実施することが可能である。

本発明の実施形態は、液晶表示装置に限定されるものではなく、有機 EL (Electro-Luminescence) や PDP (Plasma Display Panel) など、マトリックス状に表示される表示装置全般に適用することが可能である。

【図面の簡単な説明】

【0057】

30

【図1】本発明の第1の実施形態に係る表示システムを表すブロック図である。

【図2】画像信号変換部から出力される差分画像データを表す模式図である。

【図3】本発明の第2の実施形態に係る表示システムを表すブロック図である。

【図4】本発明の第3の実施形態に係る表示システムを表すブロック図である。

【図5】本発明の第4の実施形態に係る表示システムを表すブロック図である。

【図6】本発明の第4の実施形態に係る表示システムの再生・保持回路を表す模式図である。

【図7】本発明の第4の実施形態に係る再生・保持回路の動作を表すフロー図である。

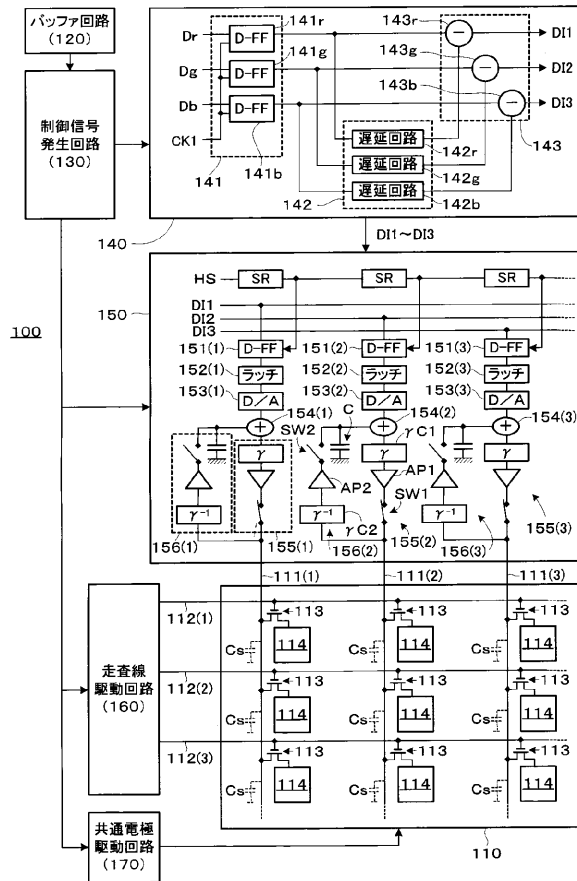
【符号の説明】

【0058】

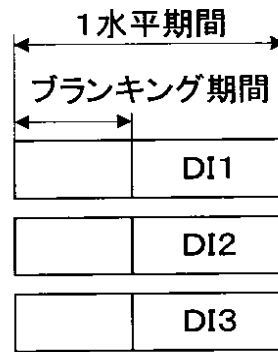
40

100…表示システム、110…表示部、111…信号線、112…走査線、113…スイッチング素子、114…画素電極、120…バッファ回路、130…制御信号発生回路、140…画像信号変換部、141…画像信号分割部、142…信号保持部、143…信号変換部、150…信号線駆動回路、151… $D-FF$ 、152…ラッチ回路、153… D/A 変換回路、154…加算回路、155…書き込み回路、156…読み出し回路、160…走査線駆動回路、170…共通電極駆動回路

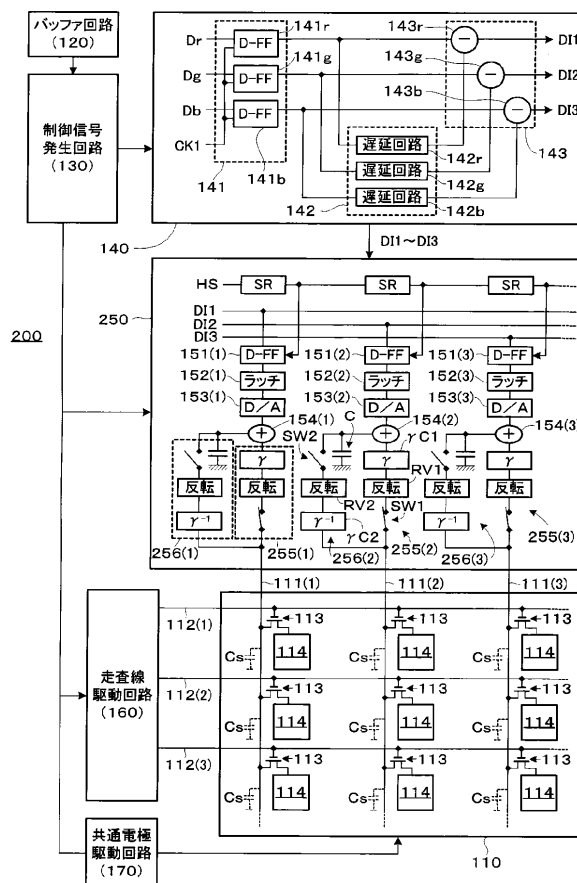
【図 1】



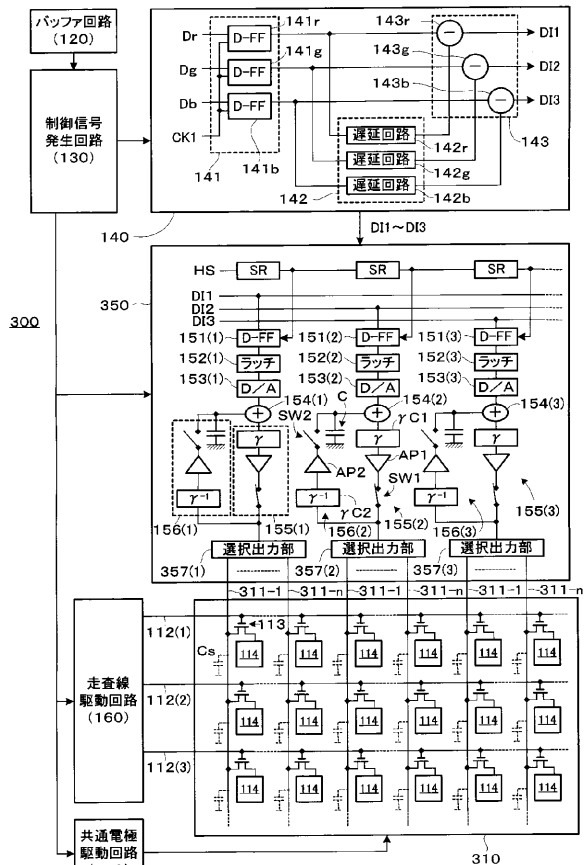
【図 2】



【図 3】



【図 4】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 3 0
G 0 9 G 3/20 6 2 1 B
G 0 9 G 3/20 6 1 1 C

(72)発明者 奥村 治彦
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

(72)発明者 板倉 哲朗
神奈川県川崎市幸区小向東芝町1番地 株式会社東芝 研究開発センター内

審査官 西島 篤宏

(56)参考文献 特開平07-160226 (JP, A)
特開2003-131627 (JP, A)
特開2004-279686 (JP, A)
特開2004-177743 (JP, A)
特開2000-020031 (JP, A)
特開昭61-058386 (JP, A)
特開昭61-250693 (JP, A)

(58)調査した分野(Int.Cl., DB名)
G 0 9 G 3/00 - 3/38
G 0 2 F 1/133 505-580