



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I865007 B

(45)公告日：中華民國 113 (2024) 年 12 月 01 日

(21)申請案號：112133415

(22)申請日：中華民國 112 (2023) 年 09 月 04 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L21/304 (2006.01)

H01L29/41 (2006.01)

H01L29/786 (2006.01)

(30)優先權：2022/09/27 日本

2022-154209

(71)申請人：日商日本顯示器股份有限公司(日本) JAPAN DISPLAY INC. (JP)

日本

(72)發明人：渡壁創 WATAKABE, HAJIME (JP)；津吹將志 TSUBUKU, MASASHI (JP)；佐佐木俊成 SASAKI, TOSHINARI (JP)；田丸尊也 TAMARU, TAKAYA (JP)

(74)代理人：陳長文

(56)參考文獻：

TW I652749B

TW I747824B

TW I758755B

US 20210408292A1

US 20220208807A1

審查人員：李維恩

申請專利範圍項數：7 項 圖式數：29 共 78 頁

(54)名稱

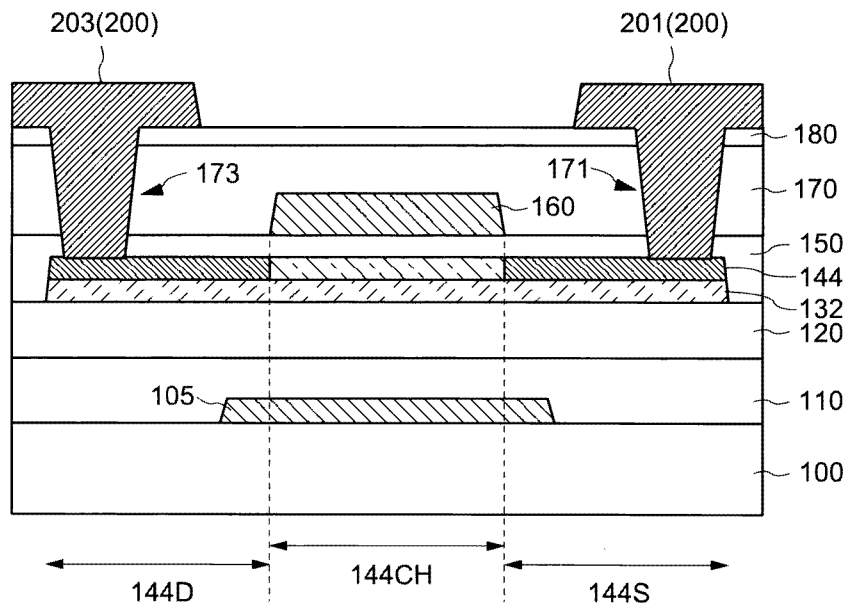
半導體裝置之製造方法

(57)摘要

本發明提供一種可靠性及遷移率較高之半導體裝置。

本發明之半導體裝置包括：使主要成分為鋁之第 1 金屬氧化物膜成膜於基板之上，於氧分壓為 3% 以上 5% 以下之條件下使非晶質氧化物半導體膜成膜於第 1 金屬氧化物膜之上，對氧化物半導體膜進行加工使其成為圖案狀之氧化物半導體層，藉由對圖案狀之氧化物半導體層進行第 1 加熱處理，使氧化物半導體層結晶化，將經結晶化之氧化物半導體層作為遮罩，對第 1 金屬氧化物膜進行加工，使閘極絕緣膜成膜於氧化物半導體層之上，於閘極絕緣膜之上形成閘極電極；且氧化物半導體膜之膜厚大於 10 nm 且為 30 nm 以下。

指定代表圖：



【圖1】

符號簡單說明：

10:半導體裝置

100:基板

105:閘極電極

110:閘極絕緣膜

120:閘極絕緣膜

132:金屬氧化物層

144:氧化物半導體層

144CH:通道區域

144D:汲極區域

144S:源極區域

150:閘極絕緣膜

160:閘極電極

170:絕緣膜

171:開口

173:開口

180:絕緣膜

200:汲極電極

201:源極電極

203:汲極電極



I865007

## 【發明摘要】

### 【中文發明名稱】

半導體裝置之製造方法

### 【中文】

本發明提供一種可靠性及遷移率較高之半導體裝置。

本發明之半導體裝置包括：使主要成分為鋁之第1金屬氧化物膜成膜於基板之上，於氧分壓為3%以上5%以下之條件下使非晶質氧化物半導體膜成膜於第1金屬氧化物膜之上，對氧化物半導體膜進行加工使其成為圖案狀之氧化物半導體層，藉由對圖案狀之氧化物半導體層進行第1加熱處理，使氧化物半導體層結晶化，將經結晶化之氧化物半導體層作為遮罩，對第1金屬氧化物膜進行加工，使閘極絕緣膜成膜於氧化物半導體層之上，於閘極絕緣膜之上形成閘極電極；且氧化物半導體膜之膜厚大於10 nm且為30 nm以下。

### 【指定代表圖】

圖1

### 【代表圖之符號簡單說明】

10:半導體裝置

100:基板

105:閘極電極

110:閘極絕緣膜

120:閘極絕緣膜

132:金屬氧化物層

144:氧化物半導體層

144CH:通道區域

144D:汲極區域

144S:源極區域

150:閘極絕緣膜

160:閘極電極

170:絕緣膜

171:開口

173:開口

180:絕緣膜

200:汲極電極

201:源極電極

203:汲極電極

## 【發明說明書】

### 【中文發明名稱】

半導體裝置之製造方法

### 【技術領域】

#### 【0001】

本發明之實施方式之一係關於一種半導體裝置及半導體裝置之製造方法。尤其是，本發明之實施方式之一係關於一種使用氧化物半導體作為通道之半導體裝置及半導體裝置之製造方法。

### 【先前技術】

#### 【0002】

近年來，正在開發一種將氧化物半導體代替非晶矽、低溫多晶矽、及單晶矽用於通道之半導體裝置(例如，專利文獻1~6)。將氧化物半導體用於通道之半導體裝置與將非晶矽用於通道之半導體裝置同樣地，構造簡單且可藉由低溫製程而形成。已知將氧化物半導體用於通道之半導體裝置之遷移率高於將非晶矽用於通道之半導體裝置之遷移率。

[先前技術文獻]

[專利文獻]

#### 【0003】

[專利文獻1]日本專利特開2021-141338號公報

[專利文獻2]日本專利特開2014-099601號公報

[專利文獻3]日本專利特開2021-153196號公報

[專利文獻4]日本專利特開2018-006730號公報

[專利文獻5]日本專利特開2016-184771號公報

[專利文獻6]日本專利特開2021-108405號公報

**【發明內容】**

[發明所欲解決之問題]

**【0004】**

然而，關於先前之包含氧化物半導體層之薄膜電晶體之場效遷移率，即便使用具有結晶性之氧化物半導體層時，仍不會特別大。因此，對於用於薄膜電晶體之氧化物半導體層之結晶結構進行改良，期待提高薄膜電晶體之場效遷移率。

**【0005】**

已知藉由使氧化物半導體層中所含有之銮元素之比率相對變高，能夠獲得具有高遷移率之半導體裝置，但於氧化物半導體層容易形成氧缺陷。若形成於氧化物半導體層中之通道存在較多氧缺陷，則會成為半導體裝置之電特性產生變化之原因。

**【0006】**

本發明之一實施方式之目的之一在於提供一種可靠性及遷移率較高之半導體裝置。

[解決問題之技術手段]

**【0007】**

本發明之一實施方式之半導體裝置包括：使主要成分為鋁之第1金屬氧化物膜成膜於基板之上，於氧分壓為3%以上5%以下之條件下使非晶質氧化物半導體膜成膜於第1金屬氧化物膜之上，對氧化物半導體膜進行加工使其成為圖案狀之氧化物半導體層，藉由對圖案狀之氧化物半導體層進行第1加熱處理，從而使氧化物半導體層結晶化，將經結晶化之氧化物半

導體層作為遮罩，對第1金屬氧化物膜進行加工，使閘極絕緣膜成膜於氧化物半導體層之上，於閘極絕緣膜之上形成閘極電極；且氧化物半導體膜之膜厚大於10 nm且為30 nm以下。

**【圖式簡單說明】**

**【0008】** 圖1係表示本發明之一實施方式之半導體裝置之概要之剖視圖。

圖2係表示本發明之一實施方式之半導體裝置之概要之俯視圖。

圖3係表示本發明之一實施方式之半導體裝置之製造方法之順序圖。

圖4係表示本發明之一實施方式之半導體裝置之製造方法之剖視圖。

圖5係表示本發明之一實施方式之半導體裝置之製造方法之剖視圖。

圖6係表示本發明之一實施方式之半導體裝置之製造方法之剖視圖。

圖7係表示本發明之一實施方式之半導體裝置之製造方法之剖視圖。

圖8係表示本發明之一實施方式之半導體裝置之製造方法之剖視圖。

圖9係表示本發明之一實施方式之半導體裝置之製造方法之剖視圖。

圖10係表示本發明之一實施方式之半導體裝置之製造方法之剖視圖。

圖11係表示本發明之一實施方式之半導體裝置之製造方法之剖視圖。

圖12係表示本發明之一實施方式之半導體裝置之製造方法之剖視圖。

圖13係表示本發明之一實施方式之半導體裝置之製造方法之剖視圖。

圖14係表示本發明之一實施方式之半導體裝置之製造方法之剖視圖。

圖。

圖15係表示本發明之一實施方式之半導體裝置之製造方法之順序

圖。

圖16係表示本發明之一實施方式之半導體裝置之製造方法之剖視

圖。

圖17係表示本發明之一實施方式之顯示裝置之概要之俯視圖。

圖18係表示本發明之一實施方式之顯示裝置之電路構成之方塊圖。

圖19係表示本發明之一實施方式之顯示裝置之像素電路之電路圖。

圖20係表示本發明之一實施方式之顯示裝置之概要之剖視圖。

圖21係表示本發明之一實施方式之顯示裝置之像素電極及共通電極之俯視圖。

圖22係表示本發明之一實施方式之顯示裝置之像素電路之電路圖。

圖23係表示本發明之一實施方式之顯示裝置之概要之剖視圖。

圖24係藉由光學顯微鏡拍攝半導體裝置之表面而獲得之照片。

圖25係具有膜厚為10 nm之氧化物半導體層之半導體裝置10之電特性( $I_d$ - $V_g$ 特性)。

圖26係具有膜厚為20 nm之氧化物半導體層之半導體裝置10之電特性( $I_d$ - $V_g$ 特性)。

圖27係具有膜厚為30 nm之氧化物半導體層之半導體裝置10之電特性( $I_d$ - $V_g$ 特性)。

圖28係氧化物半導體膜之相對於各成膜條件之本徵遷移率。

圖29係氧化物半導體膜之相對於各成膜條件之閾值電壓之變化量 $\Delta V_{th}$ 。

**【實施方式】****【0009】**

以下，參考圖式對本發明之各實施方式進行說明。以下之揭示終歸僅為一例。從業者藉由確保發明之主旨且適當地變更實施方式之構成而能夠容易地想到之構成當然屬於本發明之範圍內。為了使說明更加明確，與實際之態樣相比，圖式有時模式性地示出各部之寬度、膜厚、形狀等。但是，所圖示之形狀終歸為一例，並不限定本發明之解釋。本說明書及各圖中，對於與上文中對已示出之圖所述之要素相同之要素，標註相同符號，有時適當地省略詳細之說明。

**【0010】**

「半導體裝置」意指能夠藉由利用半導體特性而發揮功能之所有裝置。電晶體、半導體電路係半導體裝置之一種形態。以下所示之實施方式之半導體裝置亦可例如為用於顯示裝置、微處理器(MPU, Micro-Processing Unit)等之積體電路(IC, Integrated Circuit)、或記憶電路之電晶體。

**【0011】**

「顯示裝置」意指使用電光學層來顯示圖像之構造體。例如，顯示裝置之詞句有時指包含電光學層之顯示面板，或者亦有時指顯示單元中安裝有其他光學構件(例如，偏光構件、背光、觸控面板等)之構造體。只要不會產生技術矛盾，則「電光學層」可包含液晶層、電致發光(EL)層、電致變色(EC)層、電泳層。因此，關於後述之實施方式，雖例示出包含液晶層之液晶顯示裝置、及包含有機EL層之有機EL顯示裝置作為顯示裝置來進行說明，但本實施方式中之構造可應用於包含上述其他電光學層之顯示

裝置。

### 【0012】

本發明之各實施方式中，將自基板朝向氧化物半導體層之方向稱作上或上方。反之，將自氧化物半導體層朝向基板之方向稱作下或下方。如此一來，為了方便說明，使用上方或下方之語句來進行說明，但例如亦可配置於基板與氧化物半導體層之上下關係與圖式相反之方向。以下之說明中，如上所述，例如基板上之氧化物半導體層之表達僅說明基板與氧化物半導體層之上下關係，基板與氧化物半導體層之間可配置有其他構件。上方或下方意指複數個層積層而成之構造中之積層順序，於表達為電晶體之上方之像素電極之情形時，亦可為俯視下電晶體與像素電極不重疊之位置關係。另一方面，於表達為電晶體之鉛直上方之像素電極之情形時，意指俯視下電晶體與像素電極重疊之位置關係。再者，俯視意指自相對於基板之表面垂直之方向進行觀察。

### 【0013】

於本說明書等中，視情況，「膜」之用語與「層」之用語可相互替換。

### 【0014】

於本說明書等中，只要無特別說明，則「 $\alpha$ 包含A、B或C」、「 $\alpha$ 包含A、B及C中之任一者」、「 $\alpha$ 包含選自由A、B及C所組成之群中之一種」等之表達不排除 $\alpha$ 包含A~C之複數個組合之情形。進而，該等表達亦不排除 $\alpha$ 包含其他要素之情形。

### 【0015】

再者，只要不會產生技術矛盾，則以下之各實施方式可相互組合。

**【0016】**

<第1實施方式>

使用圖1～圖14，對本發明之一實施方式之半導體裝置10進行說明。

**【0017】**

[半導體裝置10之構成]

使用圖1～圖2，對本發明之一實施方式之半導體裝置10之構成進行說明。圖1係表示本發明之一實施方式之半導體裝置10之概要之剖視圖。圖2係表示本發明之一實施方式之半導體裝置10之概要之俯視圖。又，沿圖2中所示之單點鏈線切斷而得到之剖面對應於圖1所示之剖視圖。

**【0018】**

如圖1所示，半導體裝置10設置於基板100之上方。半導體裝置10包含閘極電極105、閘極絕緣膜110、120、氧化物半導體層144、閘極絕緣膜150、閘極電極160、絕緣膜170、180、源極電極201、及汲極電極203。於不特別區分源極電極201及汲極電極203之情形時，有時將該等統稱作源極電極及汲極電極200。又，有時稱作電晶體來指代氧化物半導體層144、閘極絕緣膜150、及閘極電極160。

**【0019】**

閘極電極105設置於基板100之上。閘極絕緣膜110及閘極絕緣膜120設置於基板100及閘極電極105之上。金屬氧化物層132設置於閘極絕緣膜120之上。金屬氧化物層132與閘極絕緣膜120相接。氧化物半導體層144設置於金屬氧化物層132之上。氧化物半導體層144與金屬氧化物層132相接。將氧化物半導體層144之主面中的與金屬氧化物層132相接之面稱作下表面。金屬氧化物層132之端部與氧化物半導體層144之端部幾乎一

致。

### 【0020】

氧化物半導體層144具有透光性。又，氧化物半導體層144被劃分為源極區域144S、汲極區域144D、及通道區域144CH。通道區域144CH係氧化物半導體層144之中之閘極電極160之鉛直下方之區域。源極區域144S係氧化物半導體層144之中之與閘極電極160不重疊之區域，且該區域係較通道區域144CH而言位於更加靠近源極電極201之側。汲極區域144D係氧化物半導體層144之中之與閘極電極160不重疊之區域，且該區域係較通道區域144CH而言位於更加靠近汲極電極203之側。

### 【0021】

氧化物半導體層144具有包含複數個結晶粒之多晶結構。藉由使用Poly-OS(Poly-crystalline Oxide Semiconductor，多晶氧化物半導體)技術，從而可形成具有多晶結構之氧化物半導體層144，詳情將於後文中進行說明。以下，對氧化物半導體層144之構成進行說明，有時將具有多晶結構之氧化物半導體稱作Poly-OS。

### 【0022】

自氧化物半導體層144之上表面(或氧化物半導體層144之膜厚方向)或者氧化物半導體層144之剖面進行觀察所得出之Poly-OS中所含有之結晶粒之結晶粒徑為0.1  $\mu\text{m}$ 以上，較佳為0.3  $\mu\text{m}$ 以上，進而較佳為0.5  $\mu\text{m}$ 以上。結晶粒之結晶粒徑例如可使用剖面SEM(Scanning Electron Microscope，掃描式電子顯微鏡)觀察、剖面TEM(Transmission Electron Microscopy，穿透式電子顯微鏡)觀察、或背散射電子繞射(EBSD，Electron Back Scattered Diffraction)法等獲取。

**【0023】**

氧化物半導體層144之膜厚大於10 nm且為30 nm以下。如上所述，由於Poly-OS中所含有之結晶粒之結晶粒徑為0.1  $\mu\text{m}$ 以上，因此氧化物半導體層144包含膜厚方向上僅含有1個結晶粒之區域。

**【0024】**

氧化物半導體層144含有包含銦元素在內之2種以上之金屬，2種以上之金屬中之銦元素之比率為50%以上，後文中將詳細地進行說明。作為除銦元素以外之金屬元素，可使用：鎵(Ga)元素、鋅(Zn)元素、鋁(Al)元素、鈦(Hf)元素、釷(Y)元素、鋯(Zr)元素、及鑰系元素。亦可使用除上述以外之元素作為氧化物半導體層144。於本實施方式中，作為氧化物半導體層144，較佳為IGO(Indium Gallium Oxide，銦鎵氧化物)系氧化物半導體。IGO系氧化物半導體意指含有銦元素、鎵元素、及氧之氧化物半導體。

**【0025】**

又，源極區域144S及汲極區域144D含有雜質元素。又，作為氧化物半導體層144中之源極區域144S及汲極區域144D，藉由添加雜質元素，從而相較於通道區域144CH而言，可充分地降低電阻率。即，源極區域144S及汲極區域144D具備作為導體之物性。

**【0026】**

關於源極區域144S及汲極區域144D中所含有之雜質元素之濃度，於藉由SIMS分析(Secondary Ion Mass Spectrometry，二次離子質量分析)進行測定之情形時，較佳為 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下。此處，雜質元素意指氬(Ar)、磷(P)、或硼(B)。又，於源極區域144S及汲極區域144D

中含有 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下之情形時，推測雜質元素係利用離子注入法或摻雜法有意識地進行添加。但，源極區域144S及汲極區域144D中亦可含有未達 $1 \times 10^{18} \text{ cm}^{-3}$ 濃度之除氬(Ar)、磷(P)、或硼(B)以外之雜質元素。

### 【0027】

閘極電極160與氧化物半導體層144對向。閘極絕緣膜150設置於氧化物半導體層144與閘極電極160之間。閘極絕緣膜150與氧化物半導體層144相接。將氧化物半導體層144之主面中的與閘極絕緣膜150相接之面稱作上表面。將上表面與下表面之間之面稱作側面。絕緣膜170、180設置於閘極絕緣膜150及閘極電極160之上。絕緣膜170、180中設置有到達氧化物半導體層144之開口171、173。源極電極201設置於開口171之內部。在開口171之底部，源極電極201與氧化物半導體層144相接。汲極電極203設置於開口173之內部。在開口173之底部，汲極電極203與氧化物半導體層144相接。

### 【0028】

閘極電極160具備作為對於半導體裝置10之頂閘極及氧化物半導體層144之遮光膜之功能。閘極絕緣膜150具備作為對於頂閘極之閘極絕緣膜之功能，且具備藉由製造過程中之熱處理而放出氧之功能。絕緣膜170、180使閘極電極160與源極電極及汲極電極200絕緣，具備降低兩者間之寄生電容之功能。半導體裝置10之動作主要受向閘極電極160供應之電壓所控制。向閘極電極105供應輔助性之電壓。但，於將閘極電極105僅用作遮光膜之情形時，亦可不向閘極電極105供應特定電壓而為浮動。即，閘極電極105亦可簡稱為「遮光膜」。

**【0029】**

如圖2所示，於俯視下，金屬氧化物層132之俯視圖案與氧化物半導體層144之俯視圖案幾乎相同。參考圖1及圖2，氧化物半導體層144之下表面被金屬氧化物層132所覆蓋。尤其是，本實施方式之半導體裝置10中，氧化物半導體層144之整個下表面被金屬氧化物層132所覆蓋。在D1方向上，閘極電極105之寬度大於閘極電極160之寬度。D1方向係連結源極電極201與汲極電極203之方向，該方向表示半導體裝置10之通道長度L。具體而言，氧化物半導體層144與閘極電極160重疊之區域(通道區域144CH)之D1方向上之長度係通道長度L，該通道區域144CH之D2方向上之寬度係通道寬度W。

**【0030】**

於本實施方式中，雖例示出了氧化物半導體層144之整個下表面被金屬氧化物層132所覆蓋之構成，但並不限定於該構成。例如，氧化物半導體層144之部分下表面亦可不與金屬氧化物層132相接。例如，通道區域144CH中之氧化物半導體層144之整個下表面被金屬氧化物層132覆蓋，而源極區域144S及汲極區域144D中之氧化物半導體層144之整個下表面或部分下表面未被金屬氧化物層132所覆蓋。即，源極區域144S及汲極區域144D中之氧化物半導體層144之整個下表面或部分下表面亦可不與金屬氧化物層132相接。但，上述構成中，亦可為通道區域144CH中之氧化物半導體層144之部分下表面未被金屬氧化物層132所覆蓋，該下表面之其他部分與金屬氧化物層132相接。

**【0031】**

圖1中雖例示出了俯視下源極電極及汲極電極200與閘極電極105、

160不重疊之構成，但並不限定於該構成。例如，於俯視下，源極電極及汲極電極200亦可與閘極電極105、160中之至少一閘極電極重疊。上述構成終歸僅為一實施方式，本發明並不限定於上述構成。

### 【0032】

於本實施方式中，作為半導體裝置10，雖例示出了使用閘極電極設置於氧化物半導體層144之上之頂閘極型電晶體之構成，但並不限定於該構成。例如，作為半導體裝置10，亦可使用閘極電極僅設置於氧化物半導體層144之下方之底閘極型電晶體、或閘極電極設置於氧化物半導體層144之上方及下方之雙閘極型電晶體。上述構成終歸僅為一實施方式，本發明並不限定於上述構成。

### 【0033】

[半導體裝置10之製造方法]

使用圖3～圖14，對本發明之一實施方式之半導體裝置10之製造方法進行說明。圖3係表示本發明之一實施方式之半導體裝置10之製造方法之順序圖。圖4～圖14係表示本發明之一實施方式之半導體裝置10之製造方法之剖視圖。

### 【0034】

如圖3及圖4所示，於基板100之上形成閘極電極105作為底閘極，於閘極電極105之上形成閘極絕緣膜110、120(圖3之步驟S1001「底部GI/GE之形成」)。

### 【0035】

基板100係使用玻璃基板、石英基板、及藍寶石基板等具有透光性之剛性基板。於基板100需具備可撓性之情形時，基板100使用聚醯亞胺基

板、丙烯酸基板、矽氧烷基板、氟樹脂基板等，或使用包含樹脂之基板。於使用包含樹脂之基板作為基板100之情形時，為了提高基板100之耐熱性，亦可於上述樹脂中導入雜質元素。尤其是，於半導體裝置10係頂部發光型顯示器之情形時，由於基板100無需透明，因此可使用會使基板100之透明度變差之雜質。於半導體裝置10用於非顯示裝置之積體電路之情形時，基板100亦可使用矽基板、碳化矽基板、化合物半導體基板等半導體基板、或不鏽鋼基板等導電性基板等不具備透光性之基板。

### 【0036】

閘極電極105係對利用濺鍍法成膜之導電膜進行加工而形成。作為閘極電極105，可使用常見之金屬材料。閘極電極105係使用例如：鋁(Al)、鈦(Ti)、鉻(Cr)、鈷(Co)、鎳(Ni)、鉬(Mo)、鈦(Hf)、鉭(Ta)、鎢(W)、鉍(Bi)、銀(Ag)、銅(Cu)、及其等之合金或化合物。作為閘極電極105，上述之材料可單層使用，亦可積層使用。

### 【0037】

閘極絕緣膜110、120係利用CVD(Chemical Vapor Deposition，化學氣相沈積)法、或濺鍍法來成膜。作為閘極絕緣膜110、120，可使用常見之絕緣性材料。閘極絕緣膜110、120係使用例如：氧化矽( $\text{SiO}_x$ )、氮氧化矽( $\text{SiO}_x\text{N}_y$ )、氮化矽( $\text{SiN}_x$ )、氮氧化矽( $\text{SiN}_x\text{O}_y$ )等無機絕緣材料。上述 $\text{SiO}_x\text{N}_y$ 係以少於氧(O)之比率( $x > y$ )含有氮(N)之矽化合物。 $\text{SiN}_x\text{O}_y$ 係以少於氮之比率( $x > y$ )含有氧之矽化合物。

### 【0038】

作為閘極絕緣膜110、120，較佳為自基板100起依序形成含氮之絕緣材料與含氧之絕緣材料。例如，藉由使用含氮之絕緣材料作為閘極絕緣膜

110，從而例如可阻斷雜質自基板100側朝向氧化物半導體層144擴散。又，藉由使用含氧之絕緣材料作為閘極絕緣膜120，從而藉由加熱處理可放出氧。使含氧之絕緣材料放出氧之加熱處理之溫度例如為500°C以下、450°C以下、或400°C以下。即，例如於使用玻璃基板作為基板100之情形時之半導體裝置10之製造工程中所進行之加熱處理之溫度下，含氧之絕緣材料放出氧。於本實施方式中，作為閘極絕緣膜110，例如形成氮化矽。作為閘極絕緣膜120，例如形成氧化矽。

#### 【0039】

如圖3及圖5所示，使金屬氧化物膜130成膜於閘極絕緣膜120之上(圖3所示之步驟S1002「MO之成膜」)。金屬氧化物膜130係利用濺鍍法或原子層沈積法(ALD, Atomic Layer Deposition)來成膜。

#### 【0040】

作為金屬氧化物膜130，可使用主要成分為鋁之金屬氧化物。例如，金屬氧化物膜130係使用例如：氧化鋁( $\text{AlO}_x$ )、氮氧化鋁( $\text{AlO}_x\text{N}_y$ )、氮氧化鋁( $\text{AlN}_x\text{O}_y$ )、氮化鋁( $\text{AlN}_x$ )等無機絕緣層。主要成分為鋁之金屬氧化物膜意指金屬氧化物膜中所含有之鋁之比率為整個金屬氧化物膜130之1%以上。金屬氧化物膜130中所含有之鋁之比率亦可為整個金屬氧化物膜130之5%以上70%以下、10%以上60%以下、或30%以上50%以下。上述比率可為質量比，亦可為重量比。

#### 【0041】

金屬氧化物膜130之厚度例如為1 nm以上50 nm以下、1 nm以上30 nm以下、1 nm以上20 nm以下、或1 nm以上10 nm以下。於本實施方式中，金屬氧化物膜130係使用氧化鋁。氧化鋁具備對氧氣或氫氣等氣體之

較高之阻氣性。換言之，阻氣性意指抑制氧氣或氫氣等氣體透過氧化鋁之功能。即，表示即便自設置於氧化鋁膜之下方之層起存在氧氣或氫氣等氣體，該氣體亦不會移動至設置於氧化鋁膜之上方之層之含義。或者，表示即便自設置於氧化鋁膜之上方之層起存在氧氣或氫氣等氣體，該氣體亦不會移動至設置於氧化鋁膜之下方之層之含義。於本實施方式中，用作金屬氧化物膜130之氧化鋁阻斷自閘極絕緣膜120放出之氫及氧，抑制所放出之氫及氧到達氧化物半導體層。

#### 【0042】

如圖3及圖6所示，使氧化物半導體膜140成膜於金屬氧化物膜130之上(圖3所示之步驟S1003「OS之成膜」)。關於該步驟，存在於基板100之上形成氧化物半導體膜140之情形。

#### 【0043】

氧化物半導體膜140係利用濺鍍法或原子層沈積法(ALD, Atomic Layer Deposition)來成膜。氧化物半導體膜140之膜厚例如大於10 nm且為30 nm以下。

#### 【0044】

作為氧化物半導體膜140，可使用具有半導體之特性之金屬氧化物。氧化物半導體膜140係使用例如：含有包含銦(In)元素在內之2種以上之金屬之氧化物半導體。又，2種以上之金屬中之銦元素之比率為50%以上。作為氧化物半導體膜140，除了使用銦元素以外，還可使用：鎵(Ga)元素、鋅(Zn)元素、鋁(Al)元素、鈦(Hf)元素、釷(Y)元素、鋯(Zr)元素、或鑪系元素。作為氧化物半導體膜140，較佳為含有13族元素。又，氧化物半導體膜140亦可使用除上述以外之元素。於本實施方式中，作為氧化物

半導體膜140，較佳為IGO系氧化物半導體。

#### 【0045】

於藉由後述之OS退火使氧化物半導體膜140結晶化之情形時，成膜後且OS退火前之氧化物半導體膜140較佳為非晶質(氧化物半導體之結晶成分較少之狀態)。即，氧化物半導體膜140之成膜方法較佳為儘可能使剛成膜後之氧化物半導體膜140不會結晶化之條件。例如，於利用濺鍍法使氧化物半導體膜140成膜之情形時，一面控制被成膜對象物(基板100及形成於其上之構造物)之溫度，一面使氧化物半導體膜140成膜。

#### 【0046】

若利用濺鍍法對被成膜對象物進行成膜，則被電漿中所產生之離子及濺鍍靶反沖之原子與被成膜對象物碰撞，因此隨著成膜處理之進行，被成膜對象物之溫度上升。若成膜處理過程中之被成膜對象物之溫度上升，則在剛成膜後之狀態下氧化物半導體膜140中含有微晶。若氧化物半導體膜140中含有微晶，則藉由其後之OS退火無法使結晶粒徑變大。如上所述，為了控制被成膜對象物之溫度，例如可在一面使被成膜對象物冷卻一面進行成膜。例如，可以被成膜對象物之被成膜面之溫度(以下，稱作「成膜溫度」)為100°C以下、70°C以下、50°C以下、或30°C以下之方式，使被成膜對象物，自該被成膜面之相反側之一面進行冷卻。尤其是，本實施方式之氧化物半導體膜140之成膜溫度較佳為50°C以下。藉由一面使基板冷卻一面進行氧化物半導體膜140之形成，從而可獲得在剛成膜後之狀態下結晶成分較少之氧化物半導體膜140。於本實施方式中，氧化物半導體膜140之形成係於50°C以下之成膜溫度下進行，後述之OS退火係於400°C以上之加熱溫度下進行。如此一來，於本實施方式中，形成氧化物

半導體膜140時之溫度與對氧化物半導體膜140進行OS退火時之溫度之溫度差較佳為350°C以上。

#### 【0047】

濺鍍製程中，於氧分壓10%以下之條件下使非晶質氧化物半導體膜140成膜。若氧分壓較高，則因氧化物半導體膜140中所含有之過量之氧使得剛成膜後之氧化物半導體膜140中含有微晶。因此，較佳為於氧分壓較低之條件下進行氧化物半導體膜140之成膜。氧分壓例如為3%以上5%以下，較佳為3%以上4%以下。再者，於在氧分壓為2%之條件下使氧化物半導體膜成膜之情形時，即便其後進行OS退火處理，氧化物半導體膜仍不會結晶化。

#### 【0048】

如圖3及圖7所示，形成氧化物半導體層142之圖案(圖3所示之步驟S1004「OS圖案之形成」)。雖未進行圖示，但於氧化物半導體膜140之上形成抗蝕劑遮罩143，使用該抗蝕劑遮罩143對氧化物半導體膜140進行蝕刻。作為氧化物半導體膜140之蝕刻，可使用濕式蝕刻，亦可使用乾式蝕刻。作為濕式蝕刻，可使用酸性蝕刻劑進行蝕刻。作為蝕刻劑，例如可使用：草酸、PAN(Phosphoric-Acetic-Nitric acid，磷酸-乙酸-硝酸)、硫酸、過氧化氫水、或氫氟酸。如此一來，可形成圖案狀之氧化物半導體層142。其後，去除抗蝕劑遮罩143。

#### 【0049】

氧化物半導體膜140較佳為在OS退火前形成圖案。若OS退火使得氧化物半導體膜140結晶化，則存在不易蝕刻之傾向。又，即便蝕刻使得於圖案狀之氧化物半導體層142產生損壞，但藉由OS退火可修復氧化物半導

體層142之損壞，故較佳。

#### 【0050】

如圖3及圖8所示，在氧化物半導體層142形成圖案後，對氧化物半導體層142進行加熱處理(OS退火)(圖3所示之步驟S1005「OS退火」)。OS退火中，氧化物半導體層142在規定之極限溫度下保持規定時間。規定之極限溫度為300°C以上500°C以下，較佳為350°C以上450°C以下。又，極限溫度下之保持時間為15分鐘以上120分鐘以下，較佳為30分鐘以上60分鐘以下。藉由進行OS退火，從而使氧化物半導體層142結晶化，形成具有多晶結構之氧化物半導體層144。

#### 【0051】

薄膜電晶體中，藉由減小氧化物半導體層之厚度，從而增加與閘極絕緣膜之界面附近之載體，降低反向通道之影響，因此存在場效遷移率變高之傾向。即，薄膜電晶體中，存在氧化物半導體層之作為通道發揮功能之區域之厚度越小，則場效遷移率越高之傾向。因此，氧化物半導體層之厚度越小越佳。然而，在使氧化物半導體層之厚度成膜為10 nm以下後，即便進行加熱處理，氧化物半導體層亦不會充分地結晶化。於氧化物半導體層未充分地結晶化之情形時，當其後將氧化物半導體層用作遮罩，進行用於對金屬氧化物膜進行圖案化之蝕刻處理時，氧化物半導體層及金屬氧化物膜消失。

#### 【0052】

又，薄膜電晶體中，氧化物半導體層144之結晶性有助於提高場效遷移率。因此，氧化物半導體層144較佳為具有多晶結構。然而，當使氧化物半導體膜140成膜時，若含有微晶，則其後即便進行加熱處理，亦無法

使多晶結構之結晶粒之結晶粒徑變大。如此一來，氧化物半導體層較難同時具備薄膜化、與良好之結晶化。

#### 【0053】

進而，氧化物半導體層144中，若於與金屬氧化物層132之界面附近存在若干氧缺陷或氫，則界面能階密度變高。由於電子被界面能階捕獲，因此可靠性試驗中，電晶體劣化，成為半導體裝置之可靠性下降之主要原因。

#### 【0054】

根據本發明之一實施方式之半導體裝置之製造方法，當利用濺鍍法使氧化物半導體膜140成膜時，於3%以上5%以下之較低之氧分壓下進行成膜。藉由於氧分壓較低之條件下使氧化物半導體膜140成膜，從而可抑制氧化物半導體膜140中含有過量氧，可抑制剛成膜後之氧化物半導體膜140中含有微晶。如此一來，當對氧化物半導體層142進行加熱處理時，可抑制由微晶生長成結晶。因此，即便使氧化物半導體膜140成膜為大於10 nm且為30 nm以下之較薄之膜厚時，亦可使氧化物半導體層144之多晶結構之結晶粒之結晶粒徑變大。

#### 【0055】

如圖3及圖9所示，對金屬氧化物膜130進行圖案化，形成金屬氧化物層132(圖4之步驟S1006「MO圖案之形成」)。經加熱處理充分地結晶化之氧化物半導體層144具有耐蝕刻性。因此，當以經結晶化之氧化物半導體層144作為遮罩，對金屬氧化物膜130進行圖案化時，可抑制氧化物半導體層144消失。金屬氧化物膜130係以上述步驟中經多晶化之氧化物半導體層144作為遮罩被蝕刻。作為金屬氧化物膜130之蝕刻，可使用濕式

蝕刻，亦可使用乾式蝕刻。作為濕式蝕刻，例如可使用稀釋氫氟酸(DHF)。藉由以氧化物半導體層144作為遮罩對金屬氧化物膜130進行蝕刻，從而可省去光微影步驟。

#### 【0056】

如圖3及圖10所示，使閘極絕緣膜150成膜於氧化物半導體層144之上(圖3所示之步驟S1007「GI之成膜」)。

#### 【0057】

閘極絕緣膜150之成膜方法及絕緣材料只要參考閘極絕緣膜110、120之說明即可。又，閘極絕緣膜150之膜厚例如為50 nm以上300 nm以下、60 nm以上200 nm以下、或70 nm以上150 nm以下。

#### 【0058】

作為閘極絕緣膜150，較佳為使用含氧之絕緣材料。又，閘極絕緣膜150較佳為使用缺陷較少之絕緣膜。例如，於對閘極絕緣膜150中之氧之組成比、與組成和閘極絕緣膜150相同之絕緣膜(以下，稱作「其他絕緣膜」)中之氧之組成比進行比較之情形時，閘極絕緣膜150中之氧之組成比相較於該其他絕緣膜中之氧之組成比而言，更加接近於該絕緣膜之化學計量比。例如，於閘極絕緣膜150及絕緣膜180分別使用氧化矽( $\text{SiO}_x$ )之情形時，用作閘極絕緣膜150之氧化矽中之氧之組成比與用作絕緣膜180之氧化矽中之氧之組成比相比，更加接近於氧化矽之化學計量比。例如，閘極絕緣膜150亦可使用利用電子自旋共振法(ESR，Electron Spin Resonance)進行評價時未觀測出缺陷之層。

#### 【0059】

為了使閘極絕緣膜150形成為缺陷較少之絕緣膜，亦可於350°C以上

之成膜溫度下使閘極絕緣膜150成膜。又，使閘極絕緣膜150成膜後，亦可進行向閘極絕緣膜150之一部分注入氧之處理。於本實施方式中，為了使閘極絕緣膜150形成為缺陷較少之絕緣膜，於350°C以上之成膜溫度下形成氧化矽。

#### 【0060】

在閘極絕緣膜150成膜於氧化物半導體層144之上之狀態下，進行用於向氧化物半導體層144供應氧之加熱處理(氧化退火)(圖3所示之步驟S1008「氧化退火」)。

#### 【0061】

由於因氧化退火自閘極絕緣膜120放出之氧被金屬氧化物層132阻斷，因此難以向氧化物半導體層144之下表面供應氧。自閘極絕緣膜120放出之氧，自未形成有金屬氧化物層132之區域擴散至設置於閘極絕緣膜120之上之閘極絕緣膜150，並經由閘極絕緣膜150到達氧化物半導體層144。其結果為，難以向氧化物半導體層144之下表面供應自閘極絕緣膜120放出之氧，該氧主要被供應至氧化物半導體層144之側面及上表面。進而，因氧化退火自閘極絕緣膜150放出之氧被供應至氧化物半導體層144之上表面及側面。雖存在因上述氧化退火自閘極絕緣膜110、120放出氫之情況，但該氫被金屬氧化物層132阻斷。

#### 【0062】

自使氧化物半導體層144成膜後，直至使閘極絕緣膜150成膜於氧化物半導體層144之上之期間之步驟中，於氧化物半導體層144之上表面及側面產生較多氧缺陷。因上述氧化退火自閘極絕緣膜120放出之氧被供應至氧化物半導體層144之上表面及側面，修復氧缺陷。

**【0063】**

接下來，如圖3及圖11所示，於閘極絕緣膜150之上形成閘極電極160(圖3所示之步驟S1009「上方GE之形成」)。

**【0064】**

閘極電極160係對利用濺鍍法成膜之導電膜進行加工而形成。作為閘極電極160，與閘極電極105同樣地，可使用常見之金屬材料。關於能夠用於閘極電極160之材料，只要參考閘極電極105之材料之記載即可。作為閘極電極160，上述材料可單層使用，亦可積層使用。

**【0065】**

接下來，如圖3及圖12所示，將閘極電極160作為遮罩，向氧化物半導體層144添加雜質(圖3所示之步驟S1010「SD之低電阻化」)。於本實施方式中，雖對藉由離子注入而進行雜質之添加之情形進行說明，但亦可利用離子摻雜法進行雜質之添加。

**【0066】**

具體而言，藉由離子注入，通過閘極絕緣膜150向源極區域144S及汲極區域144D添加雜質元素。作為雜質元素，只要使用例如氬(Ar)、磷(P)、或硼(B)即可。又，於利用離子注入法進行硼(B)之添加之情形時，只要將加速能量設為20 keV以上40 keV以下，將硼(B)之注入量設為 $1 \times 10^{14} \text{ cm}^{-2}$ 以上 $1 \times 10^{16} \text{ cm}^{-2}$ 以下即可。

**【0067】**

可向源極區域144S、及汲極區域144D添加 $1 \times 10^{18} \text{ cm}^{-3}$ 以上 $1 \times 10^{21} \text{ cm}^{-3}$ 以下濃度之雜質元素。此時，由於添加雜質元素，使得於源極區域144S及汲極區域144D中之氧化物半導體形成氧缺陷。氬容易被該氧缺陷

捕獲。如此一來，源極區域144S、及汲極區域144D之電阻率降低，可作為導體發揮功能。

#### 【0068】

例如，於使用IGZO(Indium Gallium Zinc Oxide，銦鎵鋅氧化物)系氧化物半導體層之情形時，由於氧化物半導體層之電阻較大，因此只要不使膜厚變大，則無法充分地降低源極區域及汲極區域之電阻。與之相對，具有多晶結構之氧化物半導體層144中，藉由向源極區域144S及汲極區域144D添加有雜質元素，從而可使源極區域144S及汲極區域144D之薄片電阻為1000  $\Omega$ /sq.以下、較佳為500  $\Omega$ /sq.以下、進而較佳為250  $\Omega$ /sq.以下。

#### 【0069】

如圖3及圖13所示，使作為層間膜之絕緣膜170、180成膜於閘極絕緣膜150及閘極電極160之上(圖3所示之步驟S1011「層間膜之成膜」)。

#### 【0070】

絕緣膜170、180之成膜方法及絕緣材料只要參考閘極絕緣膜110、120之材料之說明即可。絕緣膜170之膜厚為50 nm以上500 nm以下。絕緣膜180之膜厚為50 nm以上500 nm以下。於本實施方式中，例如，作為絕緣膜170，形成氧化矽，作為絕緣膜180，形成氮化矽。

#### 【0071】

如圖3及圖14所示，於閘極絕緣膜150及絕緣膜170、180形成開口171、173(圖3所示之步驟S1012「接觸開孔」)。藉由開口171使源極區域144S之氧化物半導體層144露出。藉由開口173使汲極區域144D之氧化物半導體層144露出。

#### 【0072】

最後，藉由於經開口171、173露出之氧化物半導體層144之上及絕緣膜180之上形成源極電極及汲極電極200(圖3所示之步驟S1013「SD之形成」)，從而可形成圖1所示之半導體裝置10。

#### 【0073】

源極電極及汲極電極200例如係藉由對利用濺鍍法成膜之導電膜進行加工而形成。作為源極電極及汲極電極200，與閘極電極105同樣地，可使用常見之金屬材料。關於能夠用於源極電極及汲極電極200之材料，只要參考閘極電極105之記載即可。作為源極電極及汲極電極200，上述材料可單層使用，亦可積層使用。

#### 【0074】

根據上述步驟，可製造圖1所示之半導體裝置10。

#### 【0075】

利用上述製造方法所製得之半導體裝置10中，在通道區域144CH之通道長度L為2  $\mu\text{m}$ 以上4  $\mu\text{m}$ 以下，且通道區域144CH之通道寬度為2  $\mu\text{m}$ 以上25  $\mu\text{m}$ 以下之範圍內，可獲得遷移率為30  $\text{cm}^2/\text{Vs}$ 以上、35  $\text{cm}^2/\text{Vs}$ 以上、或40  $\text{cm}^2/\text{Vs}$ 以上之電特性。本說明書等中之遷移率意指半導體裝置10之飽和區域內之場效遷移率，表示源極電極與汲極電極之間之電位差(Vd)大於自供應至閘極電極之電壓(Vg)減去半導體裝置10之閾值電壓(Vth)所得之值(Vg - Vth)之區域內的場效遷移率之最大值。

#### 【0076】

此處，可靠性試驗意指例如向閘極施加負電壓之NGBT(Negative Gate Bias-Temperature，負閘極偏壓溫度)應力試驗、或向閘極施加正電壓之PGBT(Positive Gate Bias-Temperature，正閘極偏壓溫度)應力試

驗。再者，NGBT及PGBT等BT(Bias-Temperature，偏壓溫度)應力試驗係加速試驗之一種，可在短時間內對因長期使用所引發之電晶體之特性變化(經年變化)進行評價。尤其是，BT應力試驗前後之電晶體之閾值電壓之變化量成為用於調查可靠性之重要指標。可謂BT應力試驗前後，閾值電壓之變化量越少，則電晶體之可靠性越高。

### 【0077】

又，藉由使氧化物半導體層144之膜厚變薄，從而可使 $\Delta L$ 長度變小。於本實施方式中，將閘極電極160作為遮罩，向氧化物半導體層144注入氫。此時，氧化物半導體層144中，以閘極電極160之端部為基準，有時產生氫滲透至通道區域144CH之區域。 $\Delta L$ 長度意指氫滲透至通道區域144CH之區域之在通道長度L方向上之長度。如本實施方式所述，於氧化物半導體層144較薄之情形時，當進行離子注入時，通過氧化物半導體層144向閘極絕緣膜120側注入氫。如此一來，由於抑制氫擴散至通道區域144CH，因此認為可減小 $\Delta L$ 長度。

### 【0078】

#### <第2實施方式>

於本實施方式中，對與第1實施方式中說明之半導體裝置10之製造方法不同之製造方法進行說明。再者，本實施方式之半導體裝置10之構造中，外觀係與第1實施方式中說明之半導體裝置10相同。於本實施方式中，以不同於第1實施方式之方面為重點進行說明。

### 【0079】

#### [半導體裝置10之製造方法]

使用圖15、圖16，對本發明之一實施方式之半導體裝置10之製造方

法進行說明。圖15係表示本發明之一實施方式之半導體裝置10之製造方法之順序圖。圖16係表示本發明之一實施方式之半導體裝置10之製造方法之剖視圖。又，關於與第1實施方式相同之步驟，省略詳細之說明。

#### 【0080】

圖15係表示本發明之一實施方式之半導體裝置10之製造方法之順序圖。如圖15所示，步驟S1001～步驟S1007之步驟與圖3所示之步驟S1001～步驟S1007之步驟相同。

#### 【0081】

於本實施方式中，如圖15及圖16所示，步驟S1007之後，使主要成分為鋁之金屬氧化物膜190成膜於閘極絕緣膜150之上(圖15所示之步驟S1014「MO之成膜」)。

#### 【0082】

金屬氧化物膜190係利用濺鍍法來成膜。使金屬氧化物膜190成膜時，向閘極絕緣膜150注入氧。主要成分為鋁之金屬氧化物膜190係與第1實施方式中說明之金屬氧化物膜130相同之無機絕緣膜。金屬氧化物膜190中所含有之鋁之比率可為整個金屬氧化物膜190之5%以上70%以下、10%以上60%以下、或30%以上50%以下。上述比率可為質量比，亦可為重量比。

#### 【0083】

金屬氧化物膜190之膜厚例如為5 nm以上100 nm以下、5 nm以上50 nm以下、5 nm以上30 nm以下、或7 nm以上15 nm以下。於本實施方式中，金屬氧化物膜190係使用氧化鋁。氧化鋁具備對氣體之較高之阻氣性。於本實施方式中，用作金屬氧化物膜190之氧化鋁抑制使金屬氧化物

膜190成膜時注入至閘極絕緣膜150之氧向外側擴散。

**【0084】**

例如，於利用濺鍍法使金屬氧化物膜190成膜之情形時，金屬氧化物膜190之膜中殘留有濺鍍中所使用之處理氣體。例如，於使用氫氣作為濺鍍之處理氣體之情形時，金屬氧化物膜190之膜中有時殘留有氫氣。殘留之氫氣可根據對金屬氧化物膜190之SIMS(Secondary Ion Mass Spectrometry，次級離子質譜)分析檢測出。

**【0085】**

接下來，如圖15所示，在金屬氧化物膜190成膜於閘極絕緣膜150之上之狀態下，進行用於向氧化物半導體層144供應氧之加熱處理(氧化退火)(圖15之步驟S2008「氧化退火」)。自使氧化物半導體膜140成膜後，直至使上閘極絕緣膜150成膜於氧化物半導體層144之期間之步驟中，於氧化物半導體層144之上表面141及側面產生較多氧缺陷。因上述氧化退火自閘極絕緣膜120、150放出之氧被供應至氧化物半導體層144，修復氧缺陷。

**【0086】**

由於因氧化退火自閘極絕緣膜120放出之氧由於被金屬氧化物層132阻斷，因此難以向氧化物半導體層144之下表面供應氧。自閘極絕緣膜120放出之氧係自未形成有金屬氧化物層132之區域擴散至設置於閘極絕緣膜120之上之閘極絕緣膜150，經由閘極絕緣膜150到達氧化物半導體層144。其結果為，難以向氧化物半導體層144之下表面供應自閘極絕緣膜120放出之氧，該氧主要被供應至氧化物半導體層144之側面及上表面。進而，因氧化退火自閘極絕緣膜150放出之氧被供應至氧化物半導體層

144之上表面及側面。雖存在因上述氧化退火自閘極絕緣膜110、120放出氫之情況，但該氫被金屬氧化物層132阻斷。

#### 【0087】

如上所述，藉由氧化退火之步驟，抑制向氧缺陷之量較少之氧化物半導體層144之下表面供應氧，並且可向氧缺陷之量較多之氧化物半導體層144之上表面141及側面供應氧。

#### 【0088】

同樣地，上述氧化退火中，由於注入至閘極絕緣膜150中之氧被金屬氧化物膜190阻斷，因此抑制向大氣中放出氧。因此，藉由該因氧化退火向氧化物半導體層144高效率地供應該氧，修復氧缺陷。

#### 【0089】

接下來，氧化退火之後，對金屬氧化物膜190進行蝕刻(去除)(圖15所示之步驟S1015「MO之去除」)。作為金屬氧化物膜190之蝕刻，可使用濕式蝕刻，亦可使用乾式蝕刻。作為濕式蝕刻，例如可使用稀釋氫氟酸(DHF)。藉由該蝕刻，去除形成於整個面之金屬氧化物膜190。換言之，金屬氧化物膜190之去除未使用遮罩來進行。進而換言之，藉由該蝕刻，至少去除於俯視下與形成為某一種圖案之氧化物半導體層144重疊之區域之所有金屬氧化物膜190。

#### 【0090】

其後，於閘極絕緣膜150之上形成閘極電極160(圖15所示之步驟S1009「上方GE之形成」)。由於步驟S1009～步驟S1013所示之步驟與圖3所示之步驟S1009～步驟S1013相同，因此省略說明。藉由經過步驟S1009～步驟S1013，從而可形成圖15所示之半導體裝置10。

**【0091】**

利用上述製造方法所製得之半導體裝置10中，與第1實施方式中說明之半導體裝置10之製造方法相比，可更加減少氧化物半導體層144中所含有之氧缺陷。因此，本實施方式中說明之半導體裝置10中，在通道區域144CH之通道長度L為2  $\mu\text{m}$ 以上4  $\mu\text{m}$ 以下，且通道區域144CH之通道寬度為2  $\mu\text{m}$ 以上25  $\mu\text{m}$ 以下之範圍內，可獲得遷移率50  $\text{cm}^2/\text{Vs}$ 以上、55  $\text{cm}^2/\text{Vs}$ 以上、或60  $\text{cm}^2/\text{Vs}$ 以上之電特性。

**【0092】**

第1實施方式及第2實施方式中，在形成金屬氧化物膜130後，亦可進行電漿處理。於本說明書等中，電漿處理意指藉由使設置有被處理基板之空間內產生電漿，從而使被處理基板暴露於電漿之處理。電漿處理係如下述進行，例如：利用濺鍍裝置進行逆向濺鍍、或使用感應耦合電漿(ICP, Inductively Coupled Plasma)裝置進行蝕刻。

**【0093】**

逆向濺鍍係藉由未向靶側施加電壓，而是在氬氣氛圍下使用RF(Radio Frequency, 射頻)電源向基板側施加電壓，使基板附近形成電漿，使離子與基材之表面碰撞，從而對表面進行改質之處理。於藉由逆向濺鍍來進行電漿處理之情形時，例如在利用濺鍍法使氧化物半導體膜140成膜前，向腔室內導入氬氣，產生電漿。藉由感應耦合電漿進行蝕刻係藉由電漿中所存在之離子或自由基對基材之表面進行改質之處理。

**【0094】**

藉由對金屬氧化物膜130進行電漿處理，從而使金屬氧化物膜130之表面改質。此處，使表面改質意指改變金屬氧化物膜130之表面之化學組

成，或降低金屬氧化物膜130之表面粗糙度。

#### 【0095】

經表面改質之金屬氧化物膜130之狀態可根據表面之水接觸角之大小來進行確認。藉由對金屬氧化物膜130之表面進行電漿處理，從而使金屬氧化物膜130之水接觸角下降。電漿處理後之金屬氧化物膜130之表面之水接觸角為 $20^{\circ}$ 以下，較佳為 $15^{\circ}$ 以下，更佳為 $10^{\circ}$ 以下。於本說明書等中，水接觸角係採用以ISO19403-2：2017為依據進行測定所獲得之值。於藉由逆向濺鍍對金屬氧化物膜130進行電漿處理之情形時，水接觸角為 $20^{\circ}$ 以下。又，於藉由感應耦合電漿之蝕刻對金屬氧化物膜130進行電漿處理之情形時，水接觸角為 $15^{\circ}$ 以下。再者，水接觸角之測定下限值為 $2^{\circ}$ 。

#### 【0096】

藉由電漿處理，亦可去除金屬氧化物膜130之表面。金屬氧化物膜130之表面被去除之量例如為1 nm以上10 nm以下、或1 nm以上5 nm以下。

#### 【0097】

又，藉由電漿處理，亦可降低金屬氧化物膜130之表面之粗糙度。金屬氧化物膜130之表面之粗糙度(例如，算術平均粗糙度(Ra))例如可為1 nm以下。表面之粗糙度可使用原子力顯微鏡(AFM，Atomic Force Microscope)進行評價。

#### 【0098】

本變化例中，金屬氧化物膜130之表面被改質。使結晶成分較少之狀態之氧化物半導體膜140成膜於金屬氧化物膜130之經改質之表面之上。其後，藉由對圖案狀之氧化物半導體層142進行OS退火，從而當使氧化物

半導體層142結晶化時，在金屬氧化物膜130與氧化物半導體層144之界面中，可抑制因羥基或水使得結晶化受到阻礙。即，可更加降低金屬氧化物膜130與氧化物半導體層144之界面中之界面能階密度。如此一來，可更加提高半導體裝置10之可靠性。

### 【0099】

#### <第3實施方式>

使用圖17～圖20，對使用本發明之一實施方式之半導體裝置10之顯示裝置20進行說明。以下所示之實施方式中，對將第1實施方式中說明之半導體裝置10應用於液晶顯示裝置之電路之構成進行說明。

### 【0100】

#### [顯示裝置20之概要]

圖17係表示本發明之一實施方式之顯示裝置20之概要之俯視圖。如圖17所示，顯示裝置20具有：陣列基板300、密封部310、對向基板320、軟性印刷電路基板330(FPC330)、及IC晶片340。陣列基板300及對向基板320係經由密封部310貼合。被密封部310包圍之液晶區域22中，複數個像素電路301係以矩陣狀配置。液晶區域22係俯視下與後述之液晶元件311重疊之區域。

### 【0101】

設置有密封部310之密封區域24係液晶區域22之周圍之區域。FPC330設置於端子區域26。端子區域26係陣列基板300自對向基板320露出之區域，且設置於密封區域24之外側。密封區域24之外側意指設置有密封部310之區域及被密封部310包圍之區域之外側。IC晶片340設置於FPC330之上。IC晶片340供應用於驅動各像素電路301之信號。

**【0102】**

[顯示裝置20之電路構成]

圖18係表示本發明之一實施方式之顯示裝置20之電路構成之方塊圖。如圖18所示，於在第2方向D2(行方向)上與配置有像素電路301之液晶區域22相鄰之位置設置有源極驅動電路302，於在第1方向D1(列方向)上與液晶區域22相鄰之位置設置有閘極驅動電路303。源極驅動電路302及閘極驅動電路303設置於上述密封區域24中。但，設置有源極驅動電路302及閘極驅動電路303之區域並不限定於密封區域24，只要是設置有像素電路301之區域之外側，則可為任意區域。

**【0103】**

源極配線304自源極驅動電路302在第2方向D2上延伸，與在第2方向D2上排列之複數個像素電路301連接。閘極電極160自閘極驅動電路303在第1方向D1上延伸，與在第1方向D1上排列之複數個像素電路301連接。

**【0104】**

端子區域26中設置有端子部306。端子部306與源極驅動電路302係經由連接配線307連接。同樣地，端子部306與閘極驅動電路303係經由連接配線307連接。藉由使FPC330連接於端子部306，從而使连接有FPC330之外部機器與顯示裝置20連接，根據來自外部機器之信號驅動設置於顯示裝置20之各像素電路301。

**【0105】**

第1實施方式及第2實施方式所示之半導體裝置10用作像素電路301、源極驅動電路302、及閘極驅動電路303中所含有之電晶體。

**【0106】**

**[顯示裝置20之像素電路301]**

圖19係表示本發明之一實施方式之顯示裝置20之像素電路之電路圖。如圖19所示，像素電路301包含：半導體裝置10、保持電容350、及液晶元件311等元件。半導體裝置10具有：閘極電極160、源極電極201、及汲極電極203。閘極電極160與閘極電極160連接。源極電極201與源極配線304連接。汲極電極203與保持電容350及液晶元件311連接。於本實施方式中，為了方便說明，雖將符號「201」所表示之電極稱作源極電極，將符號「203」所表示之電極稱作汲極電極，但符號「201」所表示之電極亦可作為汲極電極發揮功能，符號「203」所表示之電極亦可作為源極電極發揮功能。

**【0107】****[顯示裝置20之構成]**

圖20係表示本發明之一實施方式之顯示裝置20之剖視圖。如圖20所示，顯示裝置20係應用半導體裝置10之顯示裝置20。

**【0108】**

如圖20及圖21所示，於基板100之上設置有閘極電極105。閘極電極105為浮動狀態。關於閘極電極105之材料，只要參考源極電極201及汲極電極203之說明即可。又，於閘極電極105之上設置有氧化物半導體層144。閘極電極160於氧化物半導體層144之上沿著第1方向D1延伸。閘極電極160之中，與氧化物半導體層144重疊之區域作為閘極電極160發揮功能。於閘極電極160之上設置有源極配線304及汲極電極203。源極配線304係經由開口171與源極區域144S連接。源極配線304之中，與氧化物半導體層144連接之區域作為源極電極201發揮功能。又，汲極電極203係經

由開口173與汲極區域144D連接。

#### 【0109】

於源極電極201及汲極電極203之上設置有絕緣膜360。於絕緣膜360之上設置有以複數個像素共通之方式設置之共通電極370。於共通電極370之上設置有絕緣膜380。於絕緣膜360、380中設置有開口381。於絕緣膜380之上及開口381之內部設置有像素電極390。像素電極390與汲極電極203連接。

#### 【0110】

圖21係表示本發明之一實施方式之顯示裝置20之像素電極390及共通電極370之俯視圖。如圖21所示，共通電極370於俯視下具有與像素電極390重疊之重疊區域、及與像素電極390不重疊之非重疊區域。若向像素電極390與共通電極370之間供應電壓，則自重疊區域之像素電極390朝向非重疊區域之共通電極370形成橫向電場。該橫向電場使得液晶元件311中所含有之液晶分子進行動作，從而決定像素之灰度(gradation)。

#### 【0111】

於本實施方式中，雖例示出了將半導體裝置10用於像素電路301之構成，但半導體裝置10亦可用於包含源極驅動電路302及閘極驅動電路303之周邊電路。

#### 【0112】

<第4實施方式>

使用圖22及圖23，對使用本發明之一實施方式之半導體裝置10之顯示裝置20進行說明。於本實施方式中，對將第1實施方式中說明之半導體裝置10應用於有機EL顯示裝置之電路之構成進行說明。由於顯示裝置20

之概要及電路構成與圖22及圖23中所示之概要及電路構成相同，因此省略說明。

### 【0113】

[顯示裝置20之像素電路301]

圖22係表示本發明之一實施方式之顯示裝置20之像素電路之電路圖。如圖22所示，像素電路301包含：驅動電晶體11、選擇電晶體12、保持電容210、及發光元件DO等元件。驅動電晶體11及選擇電晶體12具備與半導體裝置10相同之構成。選擇電晶體12之源極電極與信號線211連接，選擇電晶體12之閘極電極與閘極線212連接。驅動電晶體11之源極電極與陽極電源線213連接，驅動電晶體11之汲極電極與發光元件DO之一端連接。發光元件DO之另一端與陰極電源線214連接。驅動電晶體11之閘極電極與選擇電晶體12之汲極電極連接。保持電容210與驅動電晶體11之閘極電極及汲極電極連接。向信號線211供應決定發光元件DO之發光強度之灰度信號。向閘極線212供應選擇寫入上述灰度信號之像素列之信號。

### 【0114】

[顯示裝置20之剖面構造]

圖23係表示本發明之一實施方式之顯示裝置20之剖視圖。圖23所示之顯示裝置20之構成雖與圖20所示之顯示裝置20類似，但圖23之顯示裝置20之絕緣膜360之上方之構造與圖20之顯示裝置20之絕緣膜360之上方之構造不同。以下，對於圖23所示之顯示裝置20之構成中之與圖20所示之顯示裝置20相同之構成，省略說明，對兩者之不同點進行說明。

### 【0115】

如圖23所示，顯示裝置20中，於絕緣膜360之上方具有像素電極390、發光層392、及共通電極394(發光元件DO)。像素電極390設置於絕緣膜360之上及開口381之內部。於像素電極390之上設置有絕緣膜362。於絕緣膜362中設置有開口363。開口363與發光區域對應。即，絕緣膜362劃分像素。於由開口363露出之像素電極390之上設置有發光層392及共通電極394。像素電極390及發光層392與各像素對應地分別設置。另一方面，共通電極394係以複數個像素共通之方式設置。發光層392係根據像素之顯示顏色，使用不同之材料。

### 【0116】

第3實施方式及第4實施方式中，雖例示出了將第1實施方式中說明之半導體裝置應用於液晶顯示裝置及有機EL顯示裝置之構成，但該半導體裝置亦可應用於除該等顯示裝置以外之顯示裝置(例如，除有機EL顯示裝置以外之自發光型顯示裝置或電子紙型顯示裝置)。又，上述半導體裝置10可無特別限定地應用於下至中小型顯示裝置上至大型顯示裝置。

[實施例]

### 【0117】

(實施例1)

本實施例中，對針對氧化物半導體膜140之耐蝕刻性進行驗證之結果進行說明。

### 【0118】

本實施例中，按照第2實施方式之圖15所示之順序來製造半導體裝置10後，藉由光學顯微鏡拍攝半導體裝置之表面之照片，確認有無氧化物半導體層144。

**【0119】**

本實施例中，圖15所示之步驟S1002中，成膜出10 nm之氧化鋁膜作為金屬氧化物膜130。接下來，圖15所示之步驟S1003中，使用IGO系濺鍍靶，以基板溫度為100°C以下之方式，使氧化物半導體膜140成膜。氧分壓及氧化物半導體膜之膜厚之條件進行了各種調整。

**【0120】**

於氧分壓為2%之情形時，將氧化物半導體膜之膜厚之條件分別調整為20 nm、30 nm、及40 nm。又，於氧分壓為4%之情形時，將氧化物半導體膜之膜厚之條件分別調整為20 nm、30 nm、40 nm。又，於氧分壓為5%之情形時，將氧化物半導體膜之膜厚設為30 nm。

**【0121】**

圖15所示之步驟S1004中，使用抗蝕劑遮罩，利用草酸，對氧化物半導體膜140進行蝕刻。圖15所示之步驟S1005中，進行OS退火。其後，圖15所示之步驟S1006中，將氧化物半導體層144作為遮罩，使用DHF，對金屬氧化物膜130進行蝕刻。其後，按照圖15所示之順序，製作半導體裝置10。

**【0122】**

圖15所示之步驟S1013之過程結束後，藉由光學顯微鏡拍攝半導體裝置之表面之照片。圖24係藉由光學顯微鏡拍攝半導體裝置之表面而獲得之照片。

**【0123】**

如圖24所示，於氧分壓為2%之情形時，當膜厚為20 nm、30 nm、及40 nm時，均確認出進行蝕刻處理時氧化物半導體層消失。又，於氧分壓

為4%之情形，及氧分壓為5%之情形時，確認出氧化物半導體層殘留，未消失。

#### 【0124】

於氧分壓為2%之情形時，認為在使氧化物半導體膜成膜後即便進行加熱處理，亦無法充分地結晶化。因此，當對金屬氧化物膜130進行蝕刻時，認為氧化物半導體層亦消失。另一方面，於氧分壓為3%以上之情形時，在使氧化物半導體膜成膜後，藉由加熱處理使得氧化物半導體層充分地結晶化，因此認為氧化物半導體層殘留。

#### 【0125】

(實施例2)

接下來，對針對按照第1實施方式之圖3所示之順序進行製造所得到之半導體裝置10之電特性進行驗證之結果進行說明。

#### 【0126】

本實施例中，圖3所示之步驟S1003中，使用IGO系濺鍍靶，以基板溫度為100℃以下之方式，使氧化物半導體膜140成膜。氧分壓及氧化物半導體膜之膜厚之條件進行了各種調整。

#### 【0127】

於氧分壓為5%之情形時，將氧化物半導體膜之膜厚之條件分別調整為10 nm、20 nm、及30 nm。

#### 【0128】

圖3所示之步驟S1004中，使用抗蝕劑遮罩，對氧化物半導體膜140進行蝕刻。圖3所示之步驟S1005中，進行OS退火。其後，按照圖3所示之順序，製作半導體裝置10。

**【0129】**

接下來，測定半導體裝置10之電特性。半導體裝置10之電特性之測定條件係如下所述。

- 通道區域之尺寸： $W/L = 4.5 \mu\text{m}/3 \mu\text{m}$
- 源極、汲極間電壓：0.1 V、10 V
- 閘極電壓：-15 V ~ +15 V
- 測定環境：室溫、暗室
- 氧化物半導體層之厚度：10 nm、20 nm、30 nm
- 測定部位：基板面內26處

**【0130】**

圖25係具有膜厚為10 nm之氧化物半導體層之半導體裝置10之電特性( $I_d$ - $V_g$ 特性)。圖26係具有膜厚為20 nm之氧化物半導體層之半導體裝置10之電特性( $I_d$ - $V_g$ 特性)。圖27係具有膜厚為30 nm之氧化物半導體層之半導體裝置10之電特性( $I_d$ - $V_g$ 特性)。橫軸為閘極電壓 $V_g$ ，縱軸為汲極電流( $I_d$ )。

**【0131】**

如圖25所示，具有膜厚為10 nm之氧化物半導體層之半導體裝置10無法獲得切換(*switching*)特性。認為其原因在於，於氧化物半導體層之膜厚為10 nm之情形時，藉由加熱處理無法使氧化物半導體層結晶化，氧化物半導體層保持非晶質。圖26及圖27中之半導體裝置10獲得良好之電特性。具有膜厚為20 nm之氧化物半導體層之半導體裝置10之遷移率為 $31.5 \text{ cm}^2/\text{Vs}$ 。具有膜厚為30 nm之氧化物半導體層之半導體裝置10之遷移率為 $31.4 \text{ cm}^2/\text{Vs}$ 。

**【0132】**

(實施例3)

接下來，對針對按照第2實施方式之圖15所示之順序進行製造所得到之半導體裝置10之電特性進行驗證之結果進行說明。本實施例中，氧分壓及膜厚之條件進一步詳細地進行了各種調整，對針對本徵遷移率及可靠性進行驗證之結果進行說明。

**【0133】**

本實施例中，圖15所示之步驟S1002中，成膜出氧化鋁膜作為金屬氧化物膜130。又，圖15所示之步驟S1003中，使用IGO系濺鍍靶，以基板溫度為100℃以下之方式，使氧化物半導體膜140成膜。氧分壓及氧化物半導體膜之膜厚之條件進行了各種調整。

**【0134】**

分別針對氧分壓為3%、4%、5%之情形，將氧化物半導體膜之膜厚之條件分別調整為15 nm、20 nm、25 nm、及30 nm。

**【0135】**

圖15所示之步驟S1004中，使用抗蝕劑遮罩，利用草酸，對氧化物半導體膜140進行蝕刻。圖15所示之步驟S1005中，進行OS退火。其後，圖15所示之步驟S1006中，將氧化物半導體層144作為遮罩，使用DHF對金屬氧化物膜130進行蝕刻。其後，按照圖15所示之順序，製作半導體裝置10。

**【0136】**

接下來，測定本實施例所製得之半導體裝置10之電特性。半導體裝置10之電特性之測定條件係如下所述。

- 通道區域144CH之尺寸： $W/L=4.5\ \mu\text{m}/3\ \mu\text{m}$
- 源極、汲極間電壓：0.1 V、10 V
- 閘極電壓：-15 V~+15 V
- 測定環境：室溫、暗室
- 氧化物半導體層之厚度：10 nm、20 nm、30 nm
- 測定部位：基板面內26處

### 【0137】

圖28係氧化物半導體膜之相對於各成膜條件之本徵遷移率。橫軸為氧化物半導體膜之成膜條件，縱軸為本徵遷移率。

### 【0138】

根據圖28之結果，明確了存在如下傾向，即，使氧化物半導體膜成膜時之氧分壓越低，則本徵遷移率越高，且氧化物半導體層之膜厚越薄，則氧化物半導體層之本徵遷移率越高。即，確認了使氧化物半導體膜成膜時之氧分壓越低，氧化物半導體層之膜厚越薄，則氧化物半導體層之本徵遷移率越高。

### 【0139】

接下來，對針對本實施例中所製得之半導體裝置進行了可靠性試驗之結果進行說明。此處，可靠性試驗係進行PBTS(Positive Bias Temperature Stress正偏壓溫度應力)及NBTIS(Negative Bias Illumination Temperature Stress，負偏壓照明溫度應力)。PBTS係向半導體裝置之閘極電極施加正電壓，對電壓施加前後之閾值電壓之變化量進行評價。又，NBTIS係向半導體裝置之閘極電極施加負電壓，對電壓施加前後之閾值電壓之變化量進行評價。

**【0140】**

圖29係氧化物半導體膜之相對於各成膜條件之閾值電壓之變化量 $\Delta V_{th}$ 。橫軸為氧化物半導體膜之成膜條件，縱軸為閾值電壓之變化量。

**【0141】**

根據圖29之結果，明確了存在如下傾向，即，使氧化物半導體膜成膜時之氧分壓越低，則閾值電壓之變化量越小，氧化物半導體層之膜厚越薄，則閾值電壓之變化量越小。即，確認了使氧化物半導體膜成膜時之氧分壓越低，氧化物半導體層之膜厚越薄，則半導體裝置之可靠性越高。

**【0142】**

上述作為本發明之實施方式所述之各實施方式及變化例只要不會相互矛盾，則可適當地組合實施。又，基於各實施方式及變化例之半導體裝置及顯示裝置，從業者適當地進行構成要素之追加、刪除或設計變更而成者、或者進行步驟之追加、省略或條件變更而成者只要具備本發明之主旨，則亦屬於本發明之範圍內。

**【0143】**

關於與上述各實施方式之態樣所帶來之作用效果不同之其他作用效果，只要係由本說明書之記載可知者、或從業者能夠容易地預測者，則當然應理解為由本發明所得。

**【符號說明】****【0144】**

10:半導體裝置

11:驅動電晶體

12:選擇電晶體

- 20:顯示裝置
- 22:液晶區域
- 24:密封區域
- 26:端子區域
- 100:基板
- 105:閘極電極
- 110:閘極絕緣膜
- 120:閘極絕緣膜
- 130:金屬氧化物膜
- 132:金屬氧化物層
- 140:氧化物半導體膜
- 142:氧化物半導體層
- 143:抗蝕劑遮罩
- 144:氧化物半導體層
- 144CH:通道區域
- 144D:汲極區域
- 144S:源極區域
- 150:閘極絕緣膜
- 160:閘極電極
- 164:氧化物半導體層
- 170:絕緣膜
- 171:開口
- 173:開口

- 180:絕緣膜
- 190:金屬氧化物膜
- 200:汲極電極
- 201:源極電極
- 203:汲極電極
- 210:保持電容
- 211:信號線
- 212:閘極線
- 213:陽極電源線
- 214:陰極電源線
- 300:陣列基板
- 301:像素電路
- 302:源極驅動電路
- 303:閘極驅動電路
- 304:源極配線
- 306:端子部
- 307:連接配線
- 310:密封部
- 311:液晶元件
- 320:對向基板
- 330:軟性印刷電路基板
- 340:晶片
- 350:保持電容

360:絕緣膜

362:絕緣膜

363:開口

370:共通電極

380:絕緣膜

381:開口

390:像素電極

392:發光層

394:共通電極

D1:方向

D2:方向

DO:發光元件

L:通道長度

W:通道寬度

## 【發明申請專利範圍】

### 【請求項1】

一種半導體裝置之製造方法，其包括：使主要成分為鋁之第1金屬氧化物膜成膜於基板之上，

於氧分壓為3%以上5%以下之條件下使非晶質氧化物半導體膜成膜於上述第1金屬氧化物膜之上，

對上述氧化物半導體膜進行加工使其成為圖案狀之氧化物半導體層，

藉由對上述圖案狀之氧化物半導體層進行第1加熱處理，從而使上述氧化物半導體層結晶化，

將上述經結晶化之氧化物半導體層作為遮罩，對上述第1金屬氧化物膜進行加工，

使閘極絕緣膜成膜於上述氧化物半導體層之上，

於上述閘極絕緣膜之上形成閘極電極；

且上述氧化物半導體膜之膜厚大於10 nm且為30 nm以下。

### 【請求項2】

如請求項1之半導體裝置之製造方法，其中使上述氧化物半導體膜成膜時之溫度為100°C以下。

### 【請求項3】

如請求項2之半導體裝置之製造方法，其中進行上述第1加熱處理時之溫度為300°C以上500°C以下。

### 【請求項4】

如請求項1之半導體裝置之製造方法，其中上述第1金屬氧化物膜之

膜厚為1 nm以上50 nm以下。

**【請求項5】**

如請求項1之半導體裝置之製造方法，其中使上述閘極絕緣膜成膜後，使主要成分為鋁之第2金屬氧化物膜成膜，進行第2加熱處理。

**【請求項6】**

如請求項1之半導體裝置之製造方法，其中上述氧化物半導體層含有銮元素及至少1種以上之金屬元素，

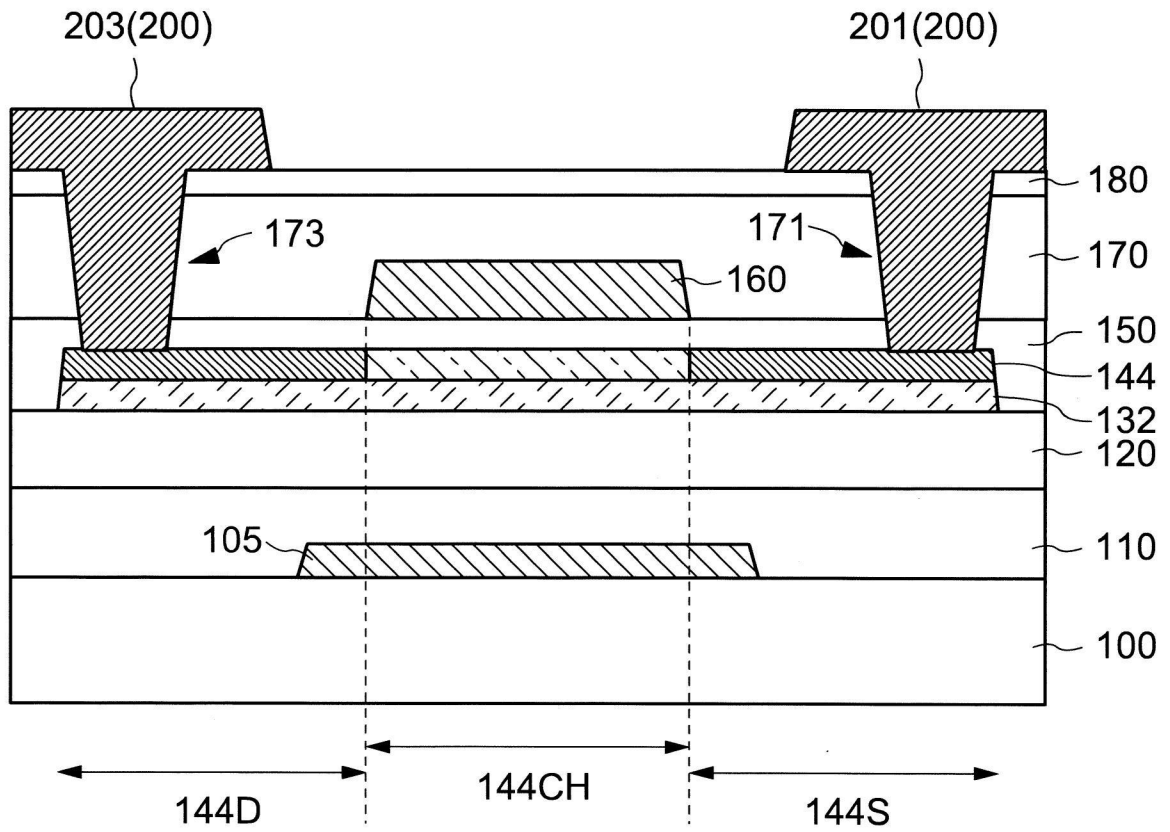
上述銮元素相對於上述銮元素及上述至少1種金屬元素之比率為50%以上。

**【請求項7】**

如請求項1之半導體裝置之製造方法，其中上述經結晶化之氧化物半導體層具有多晶結構。

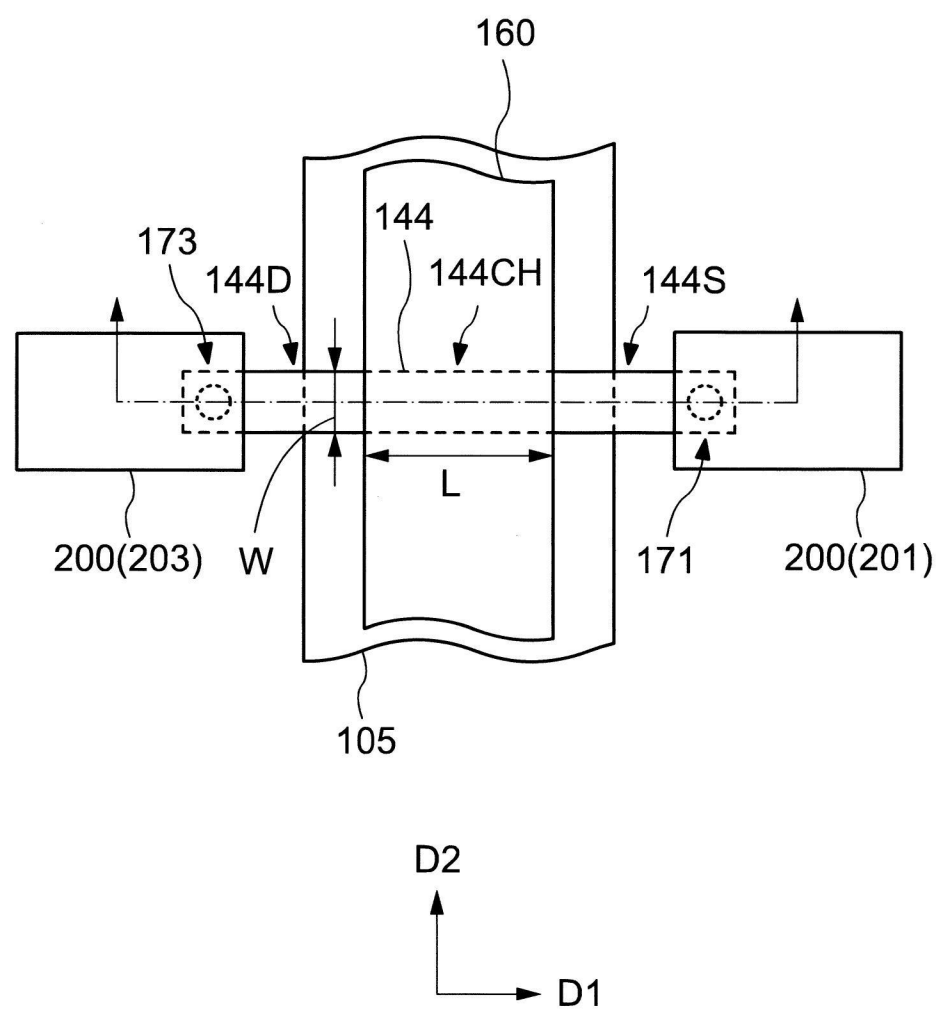
【發明圖式】

10

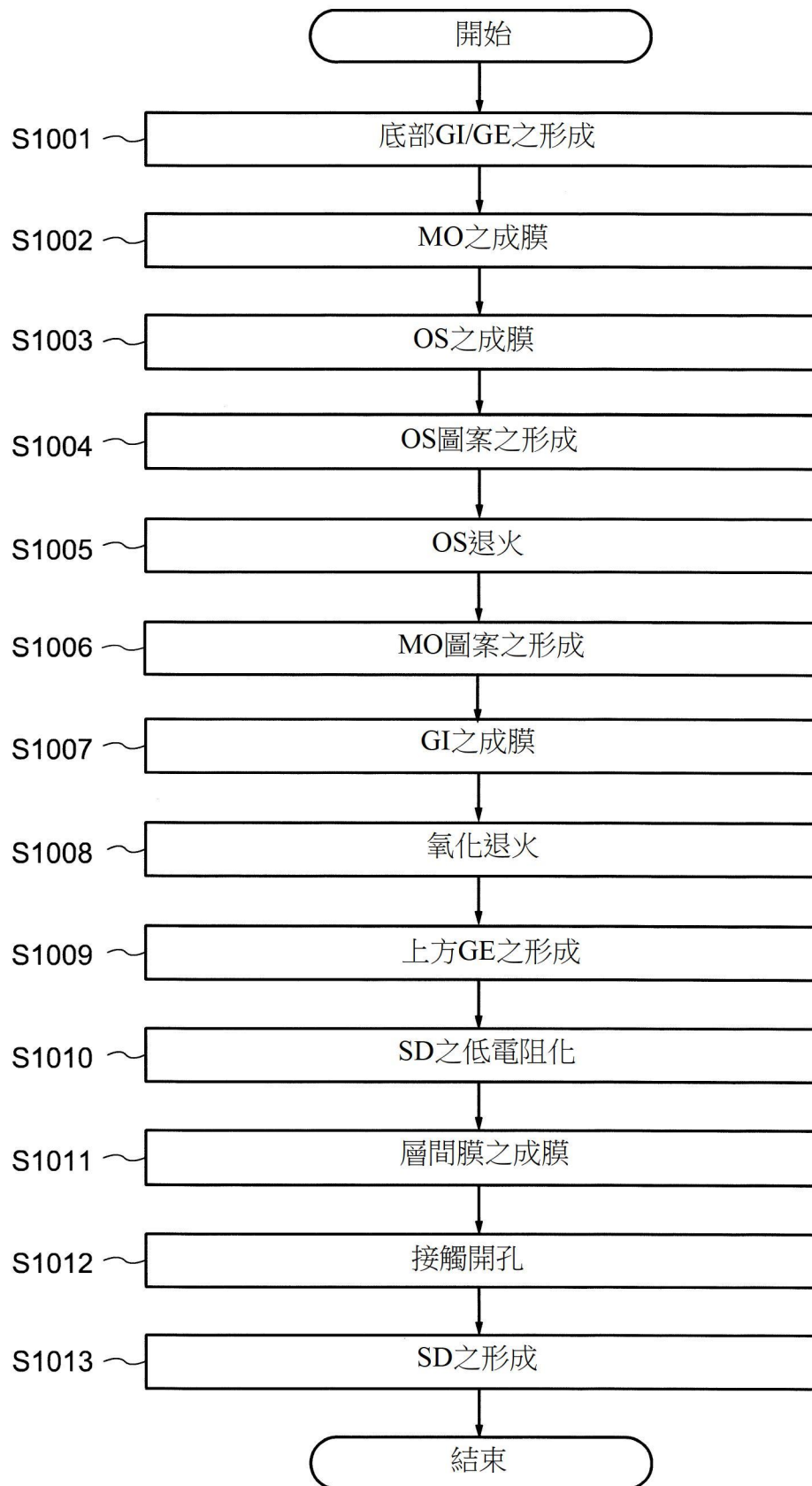


【圖1】

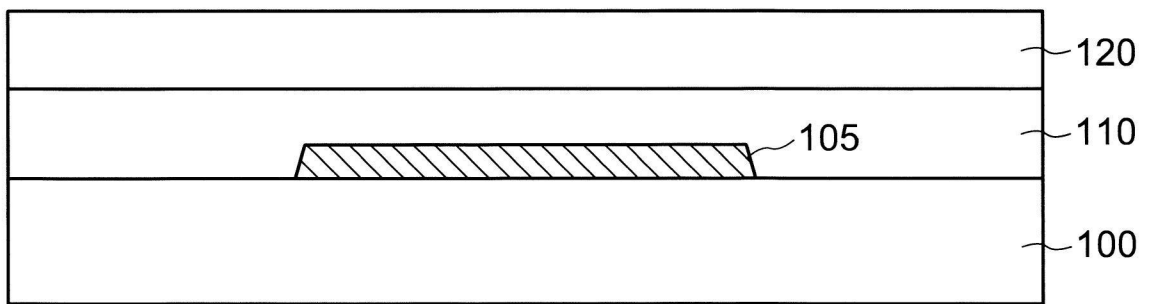
10



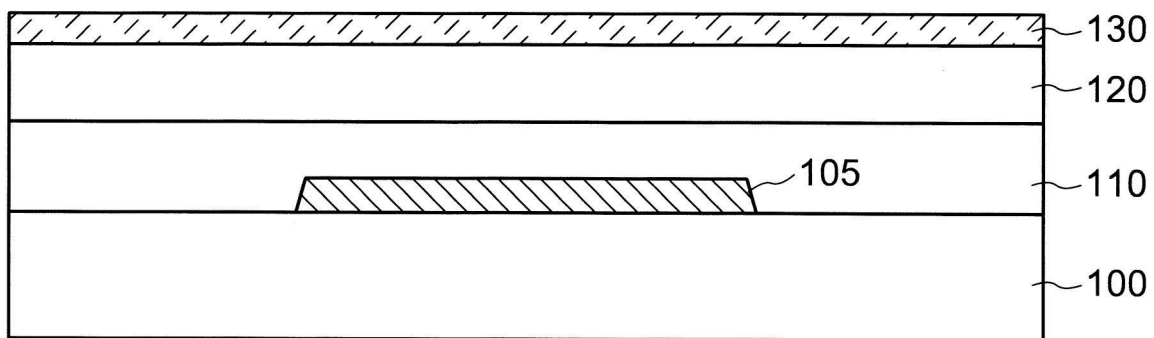
【圖2】



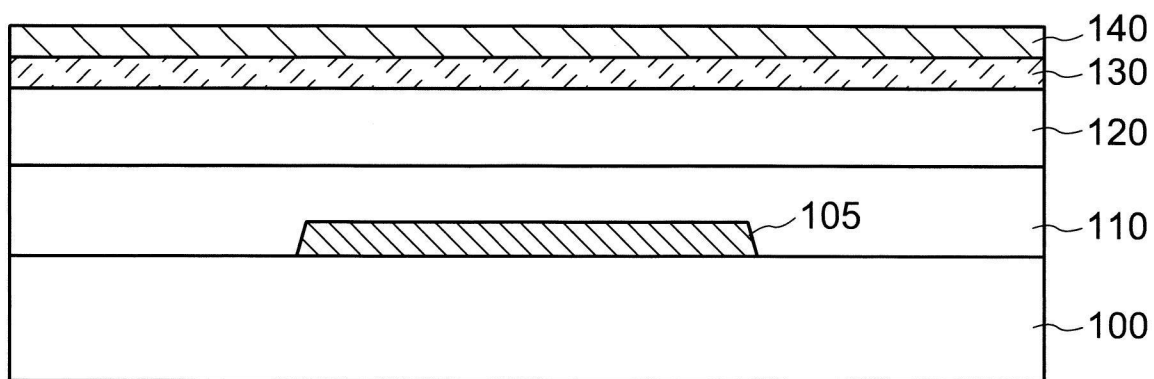
【圖3】



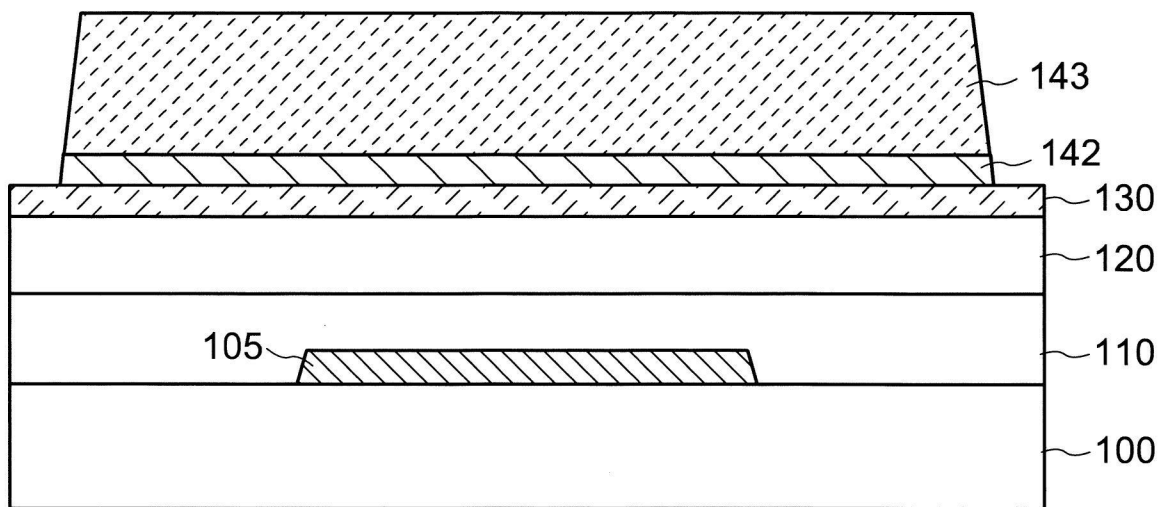
【圖4】



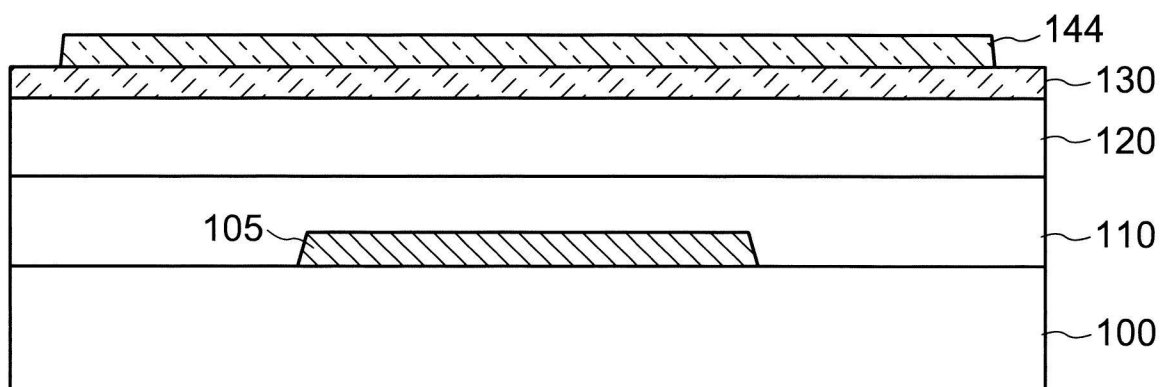
【圖5】



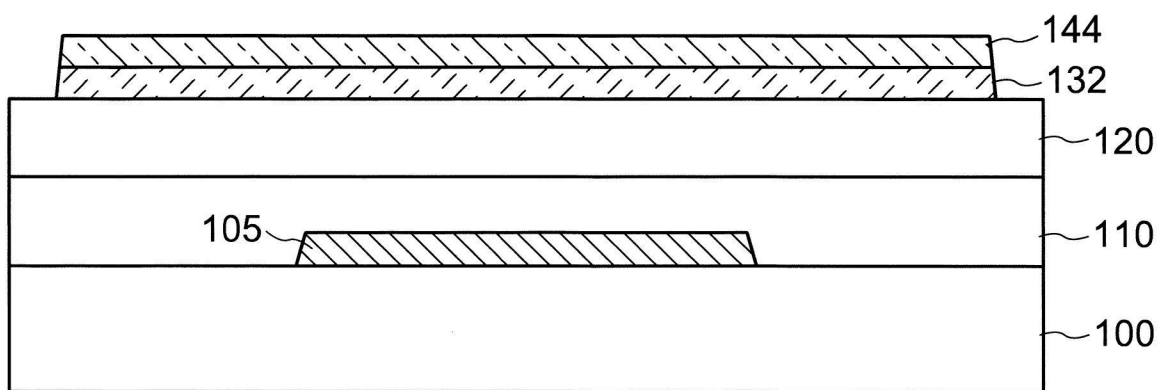
【圖6】



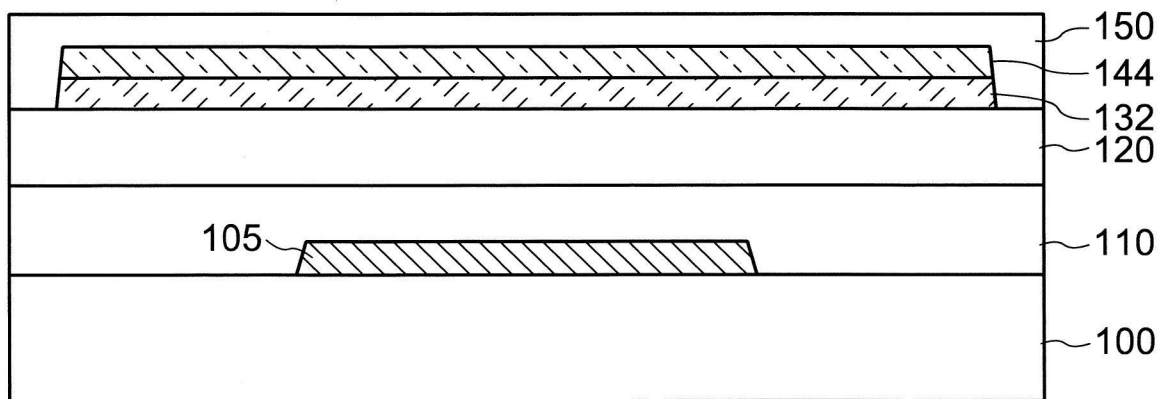
【圖7】



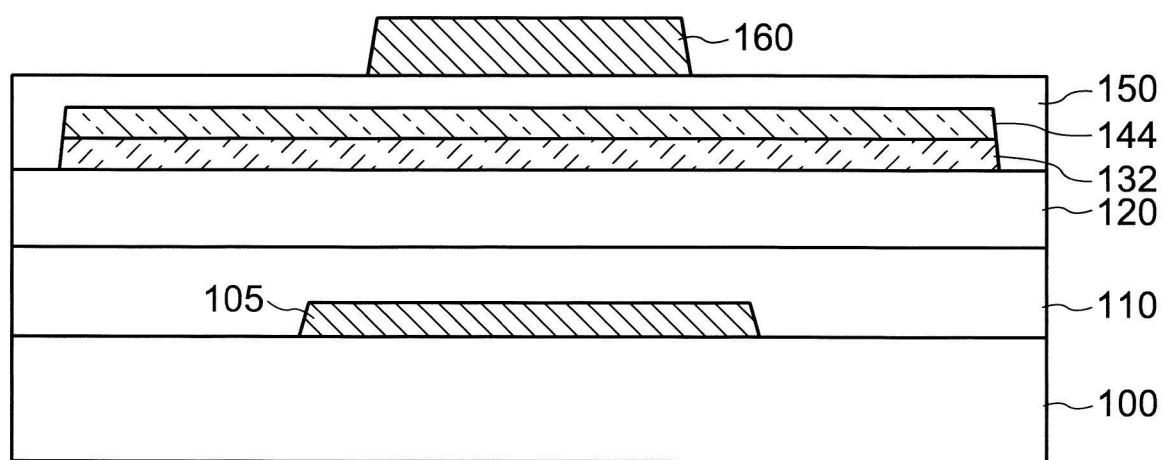
【圖8】



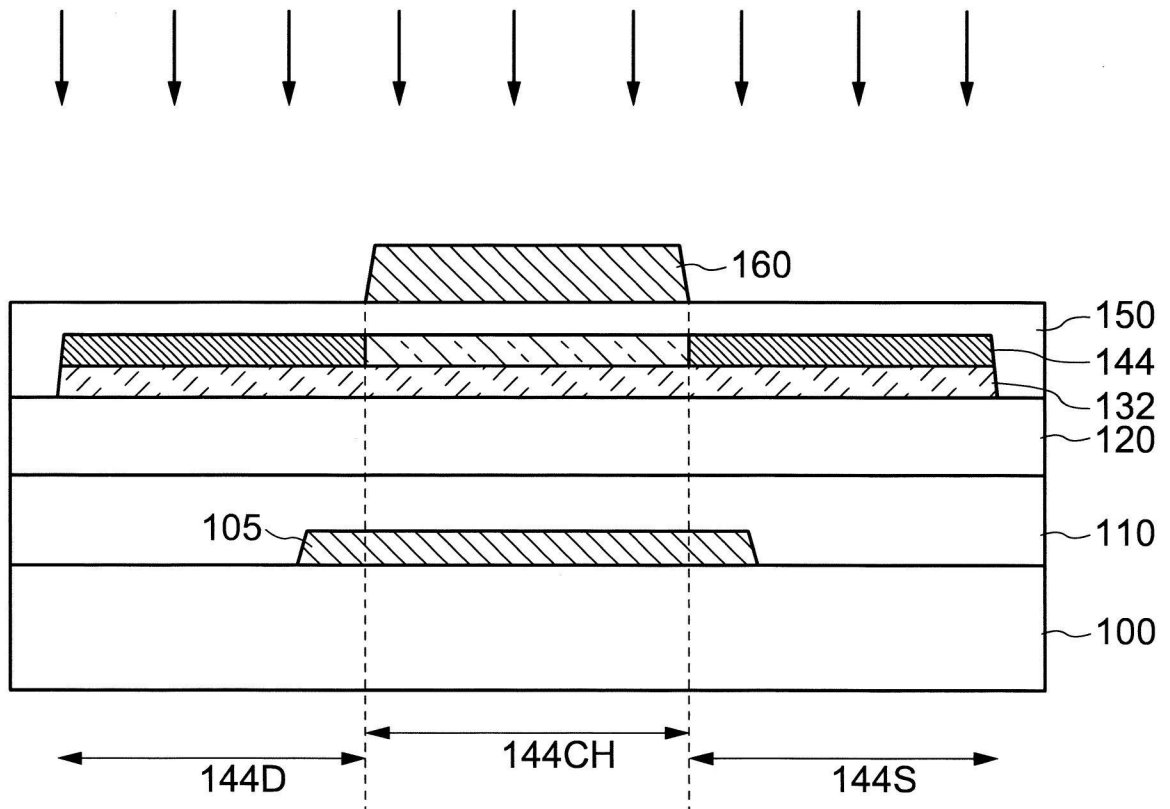
【圖9】



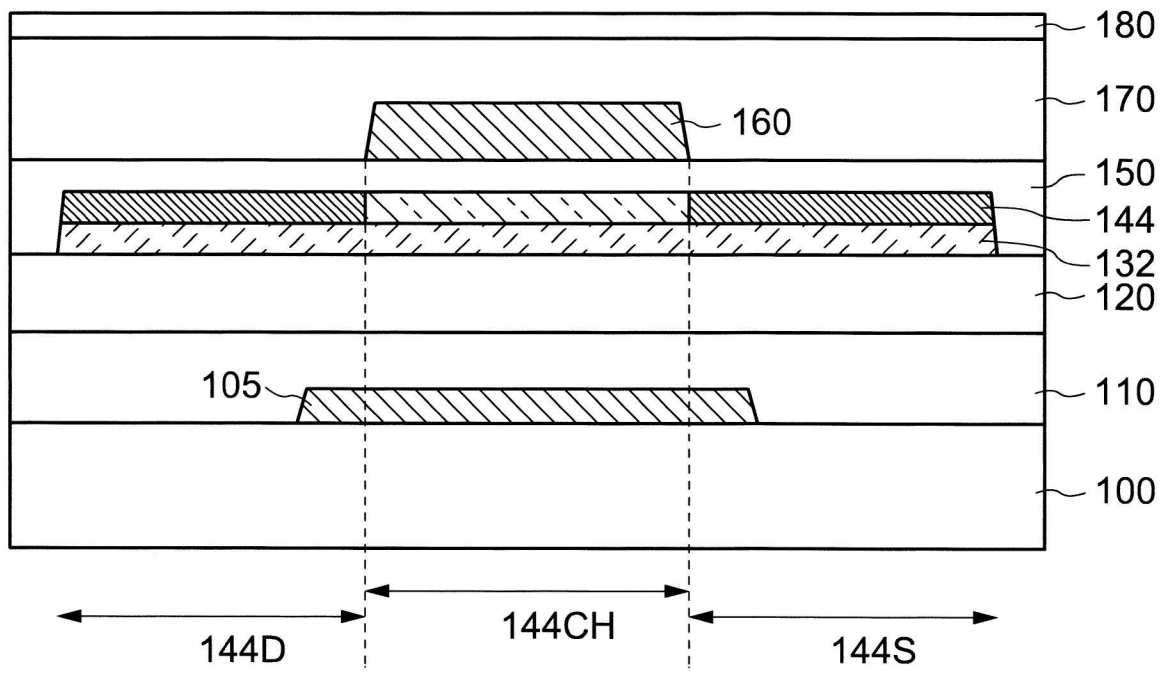
【圖10】



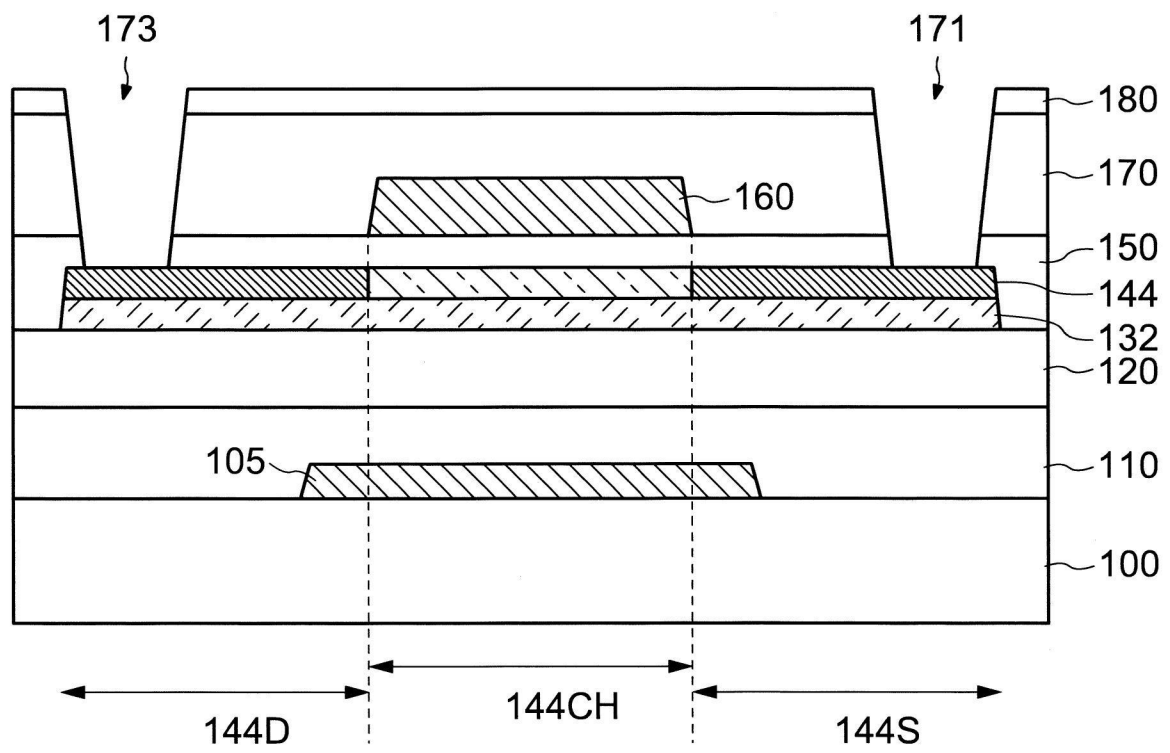
【圖11】



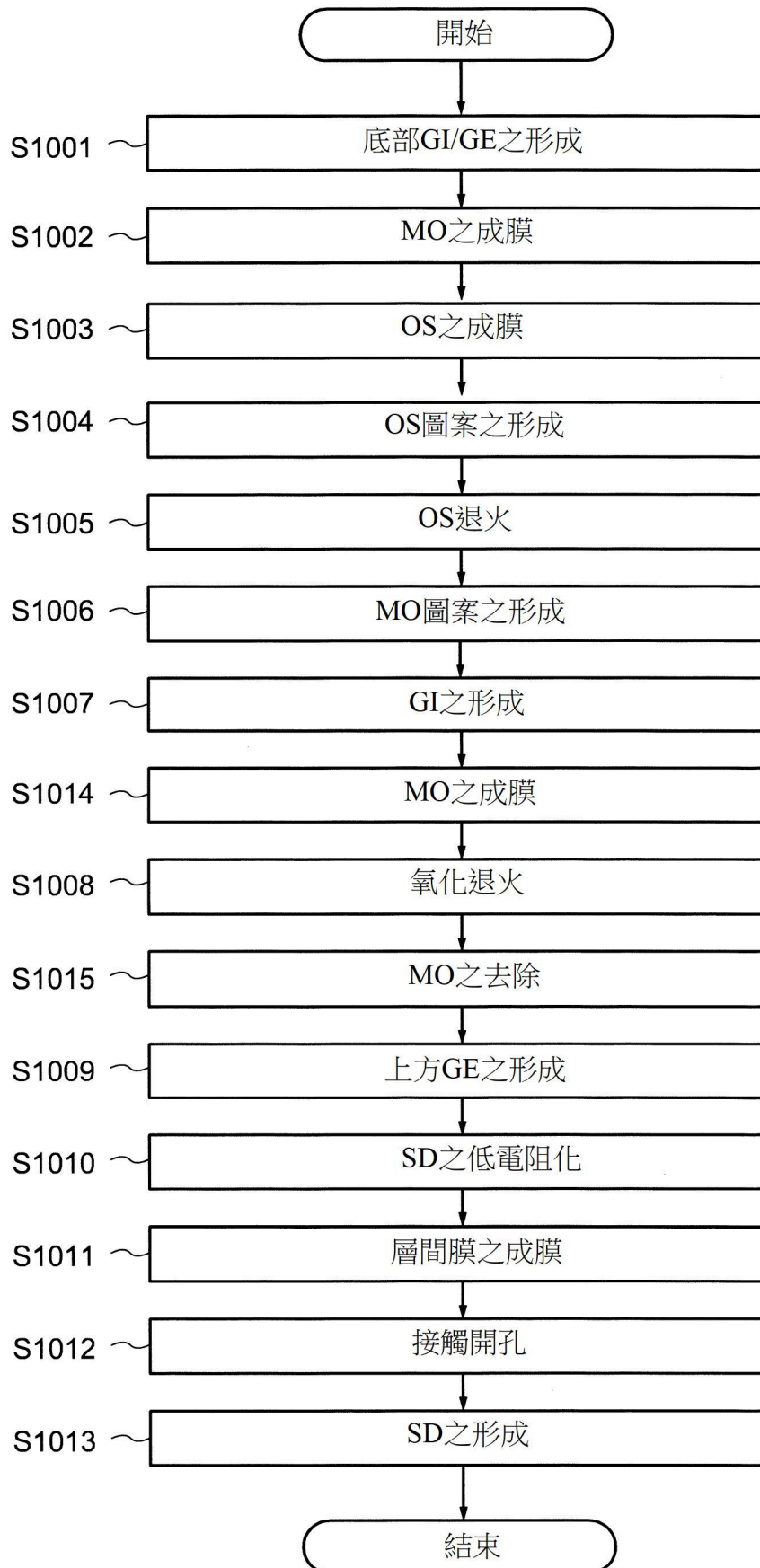
【圖12】



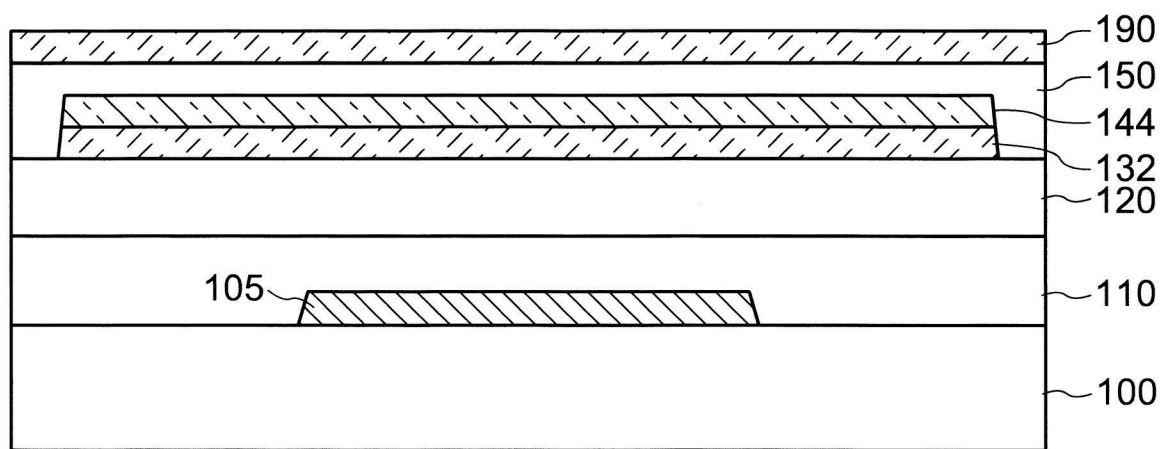
【圖13】



【圖14】

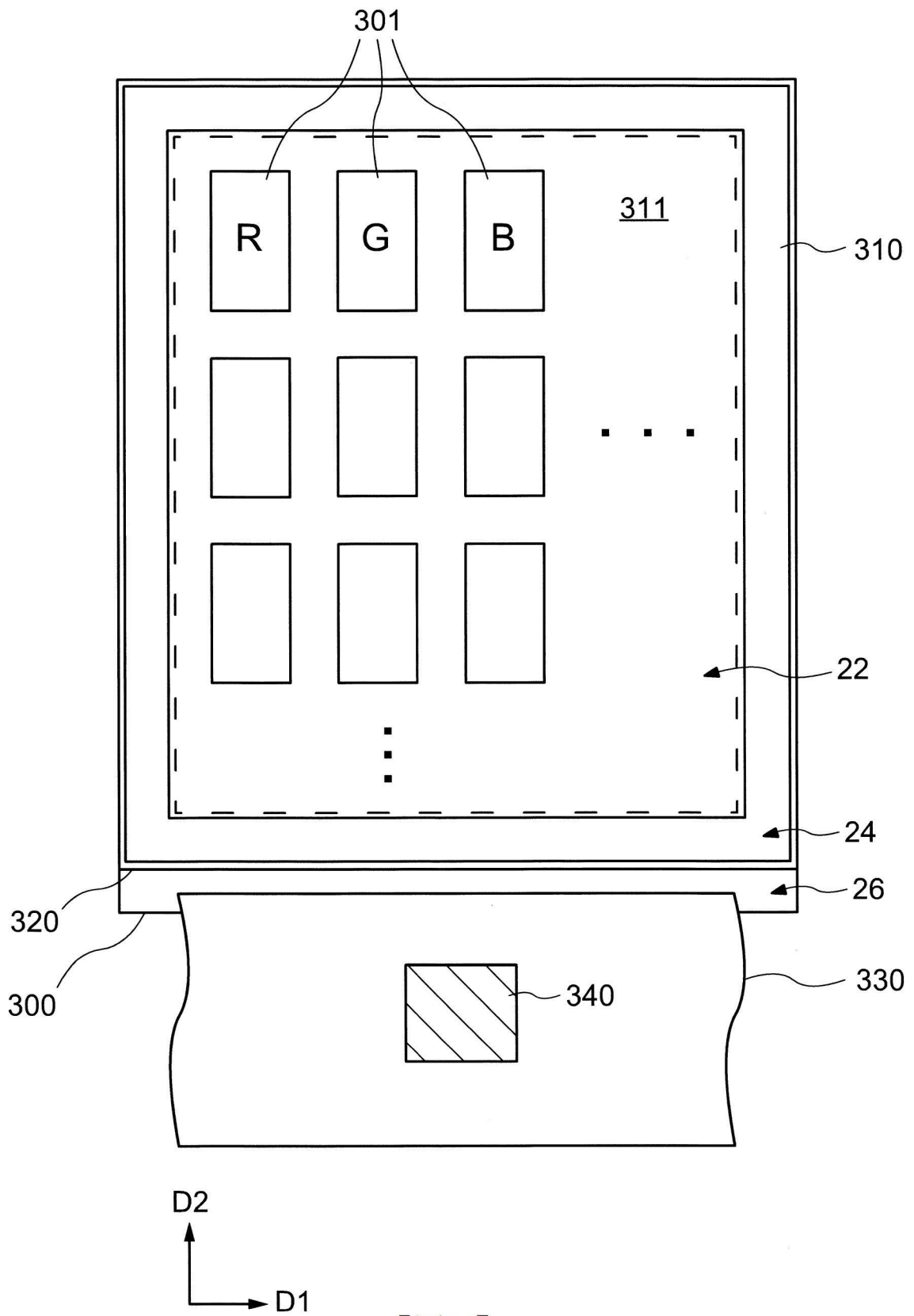


【圖15】

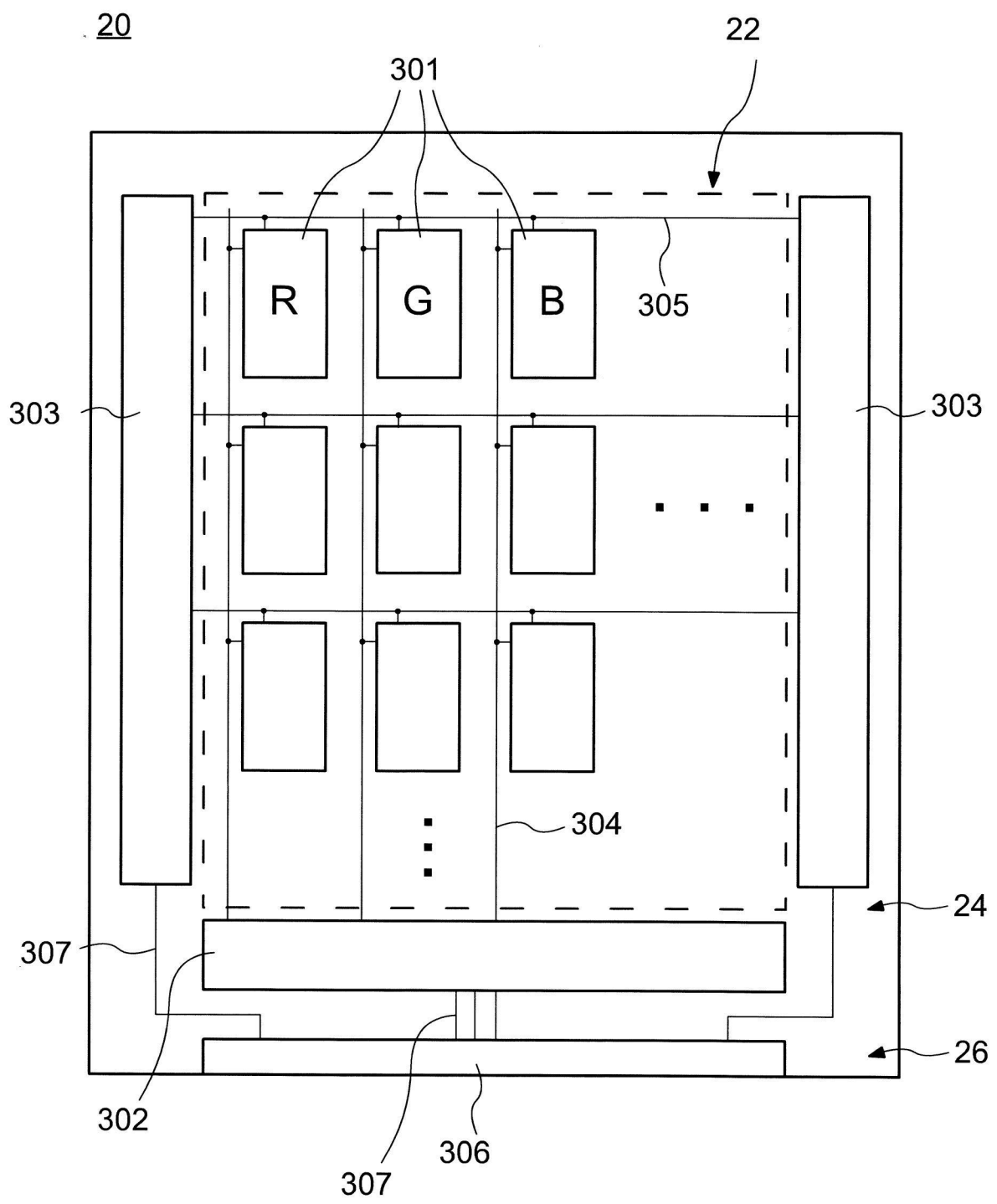


【圖16】

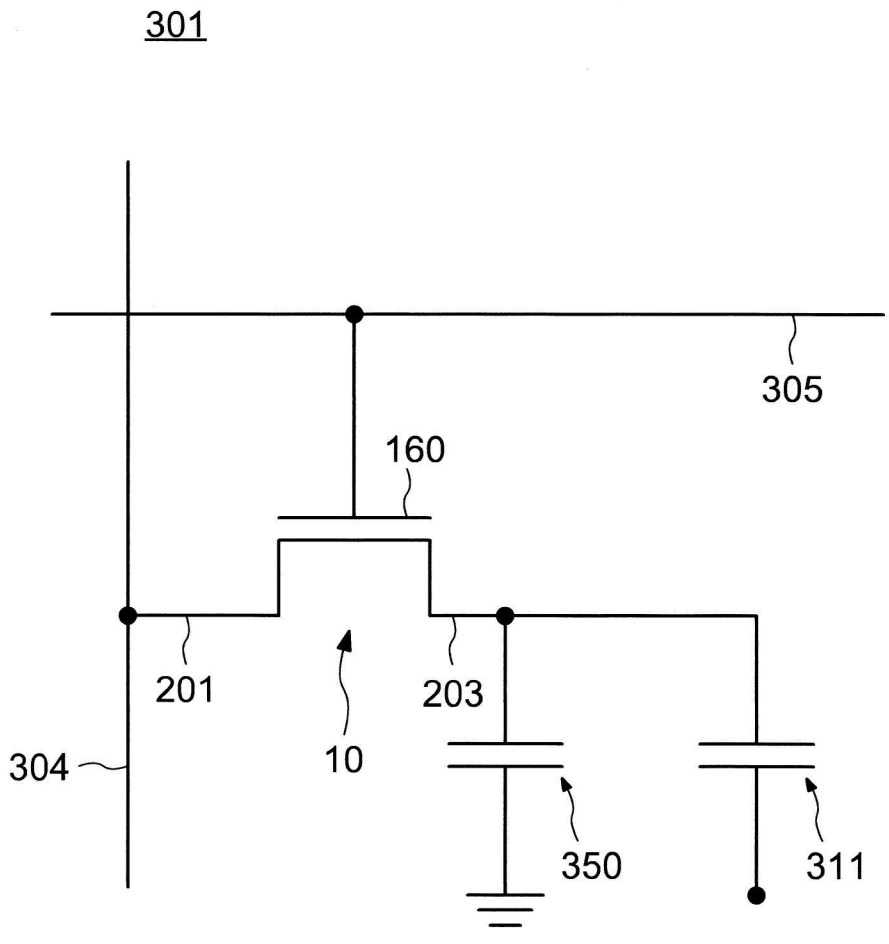
20



【圖17】

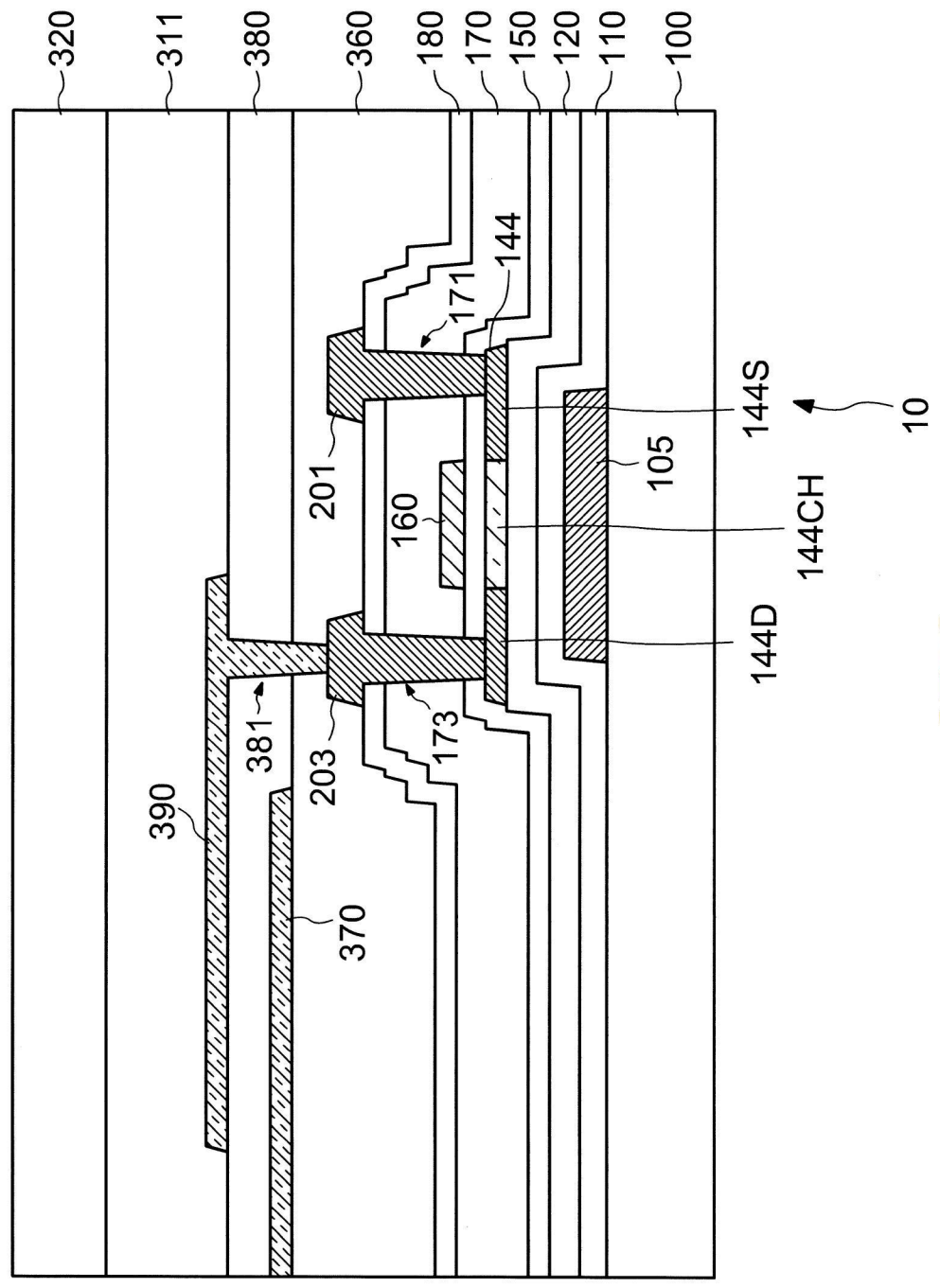


【圖18】

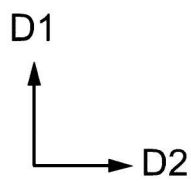
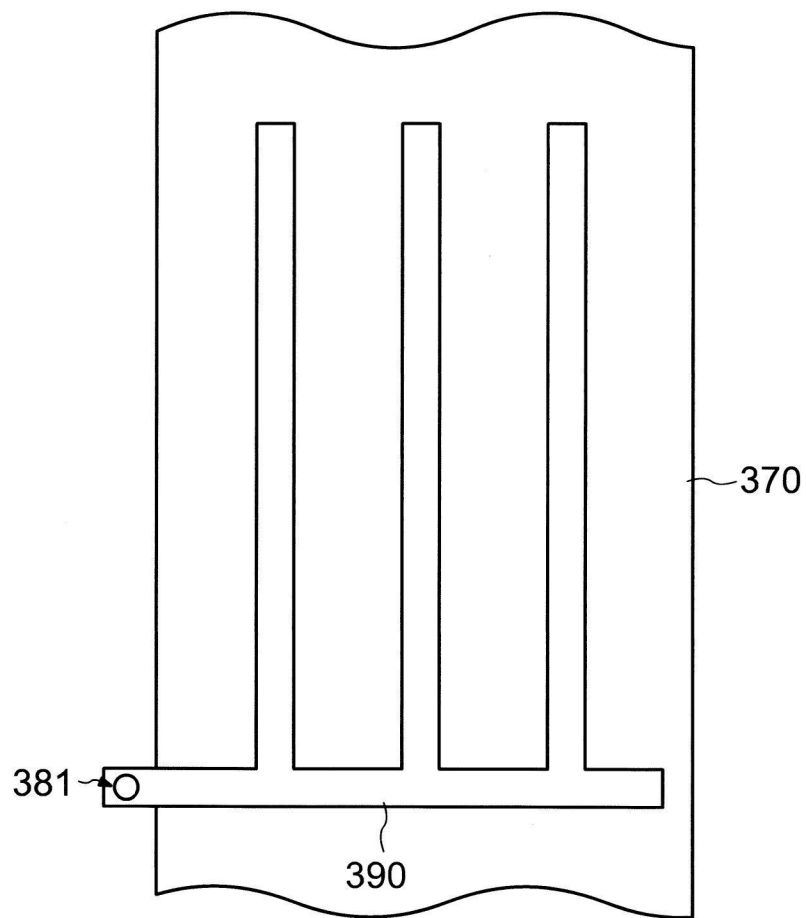


【圖19】

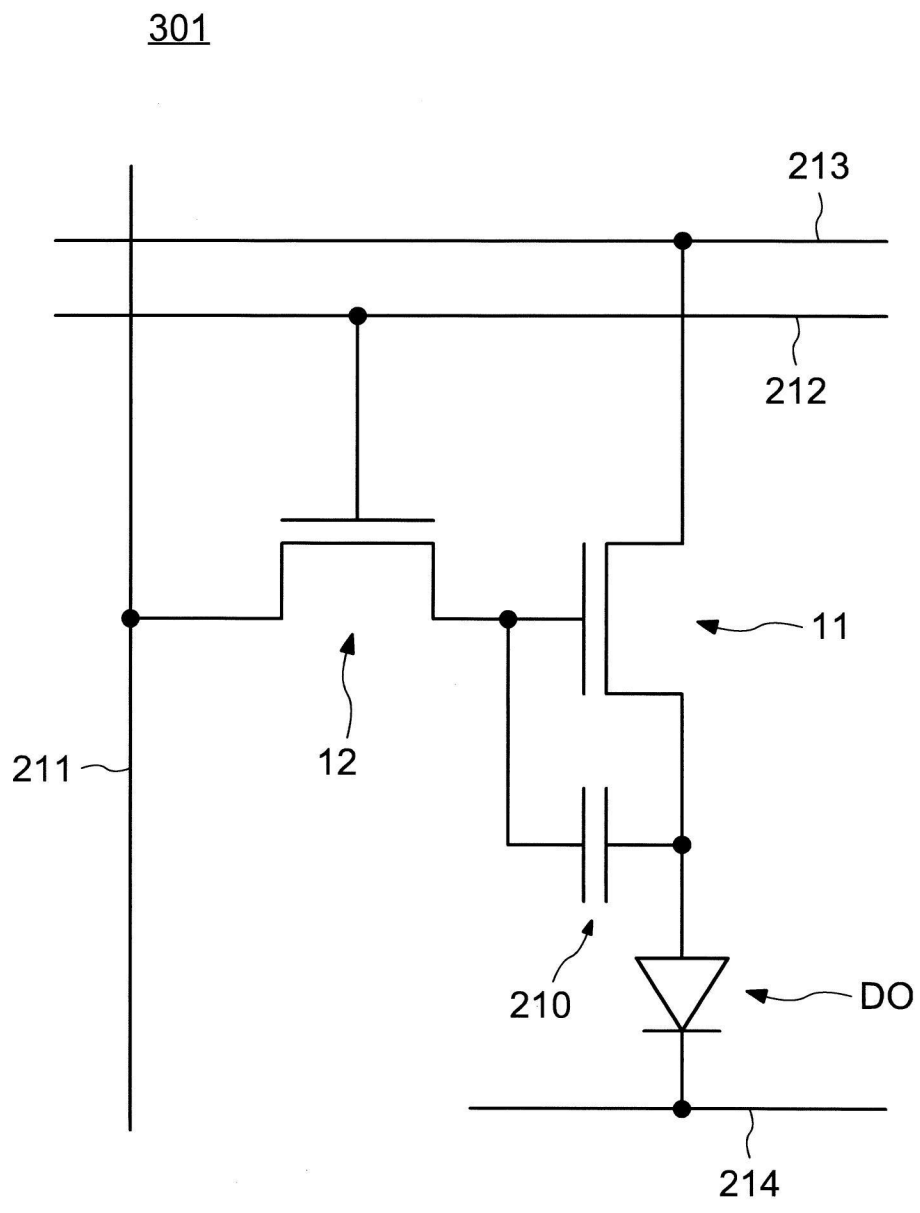
20



【圖20】

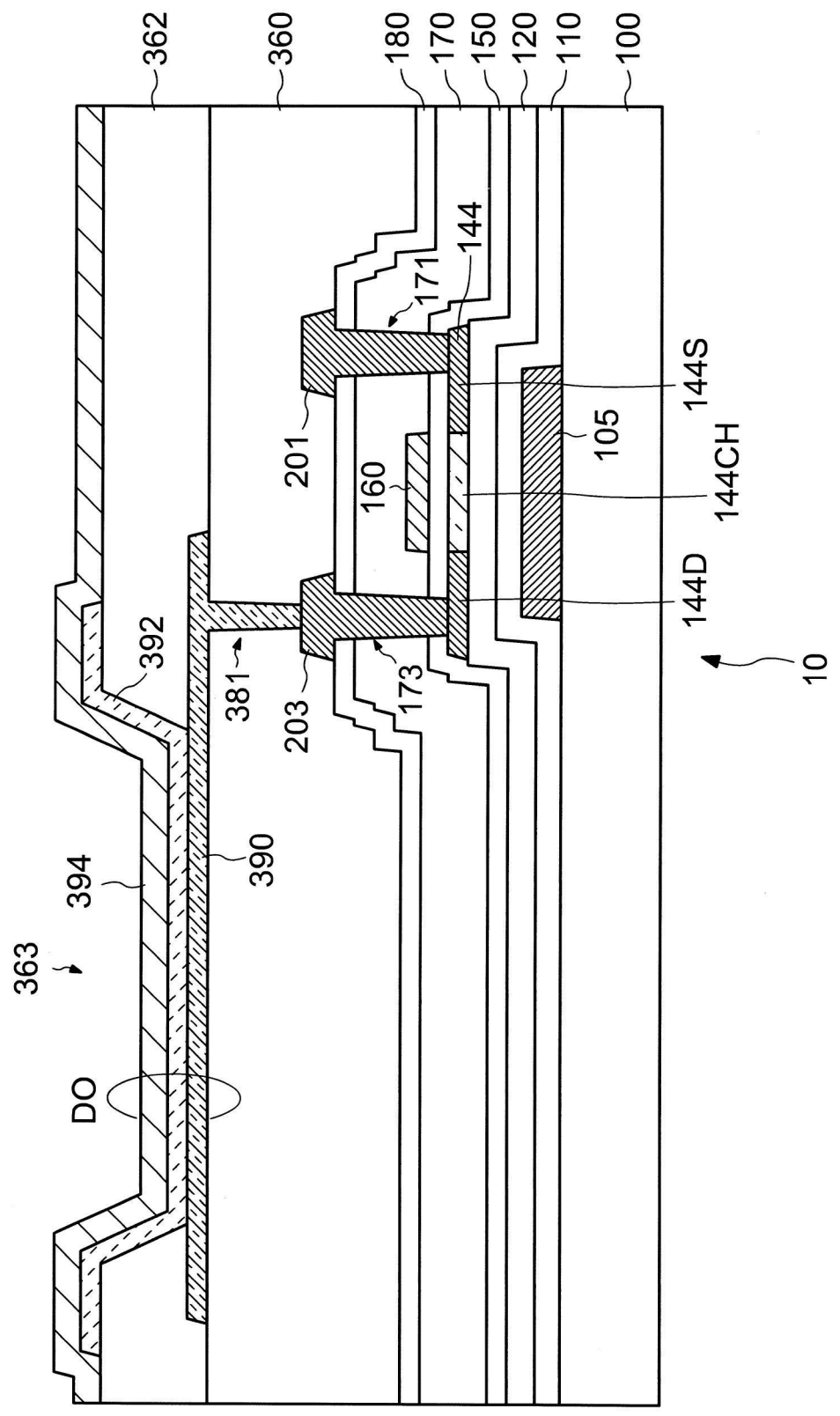


【圖21】

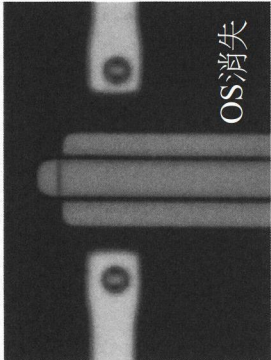
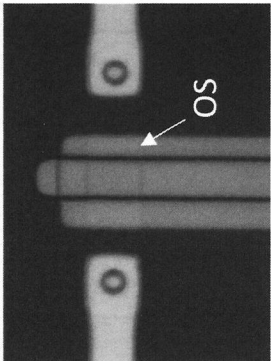
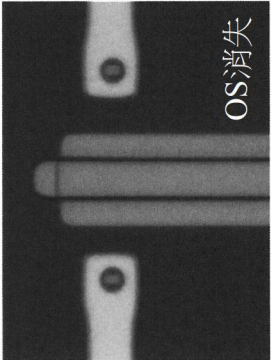
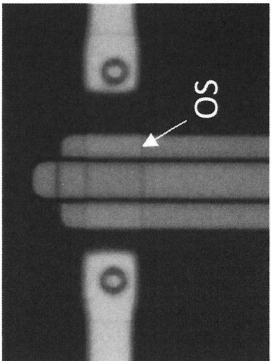
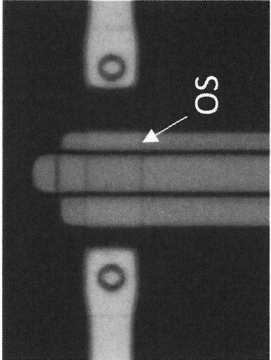
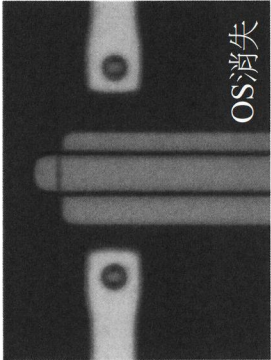
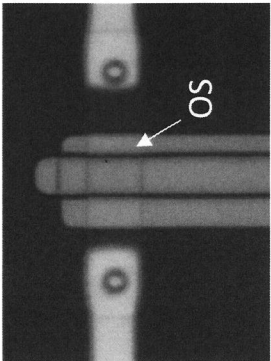


【圖22】

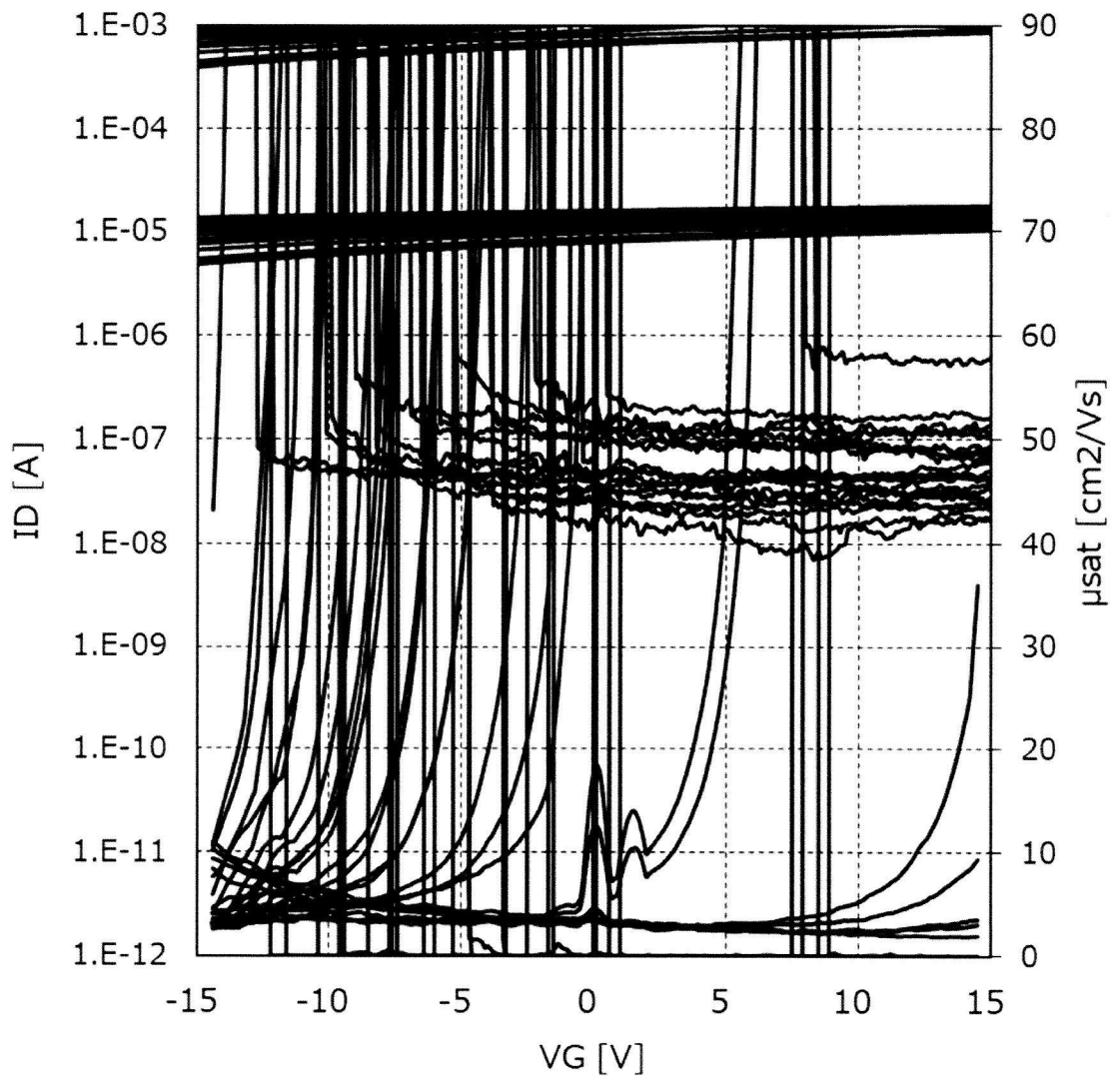
20



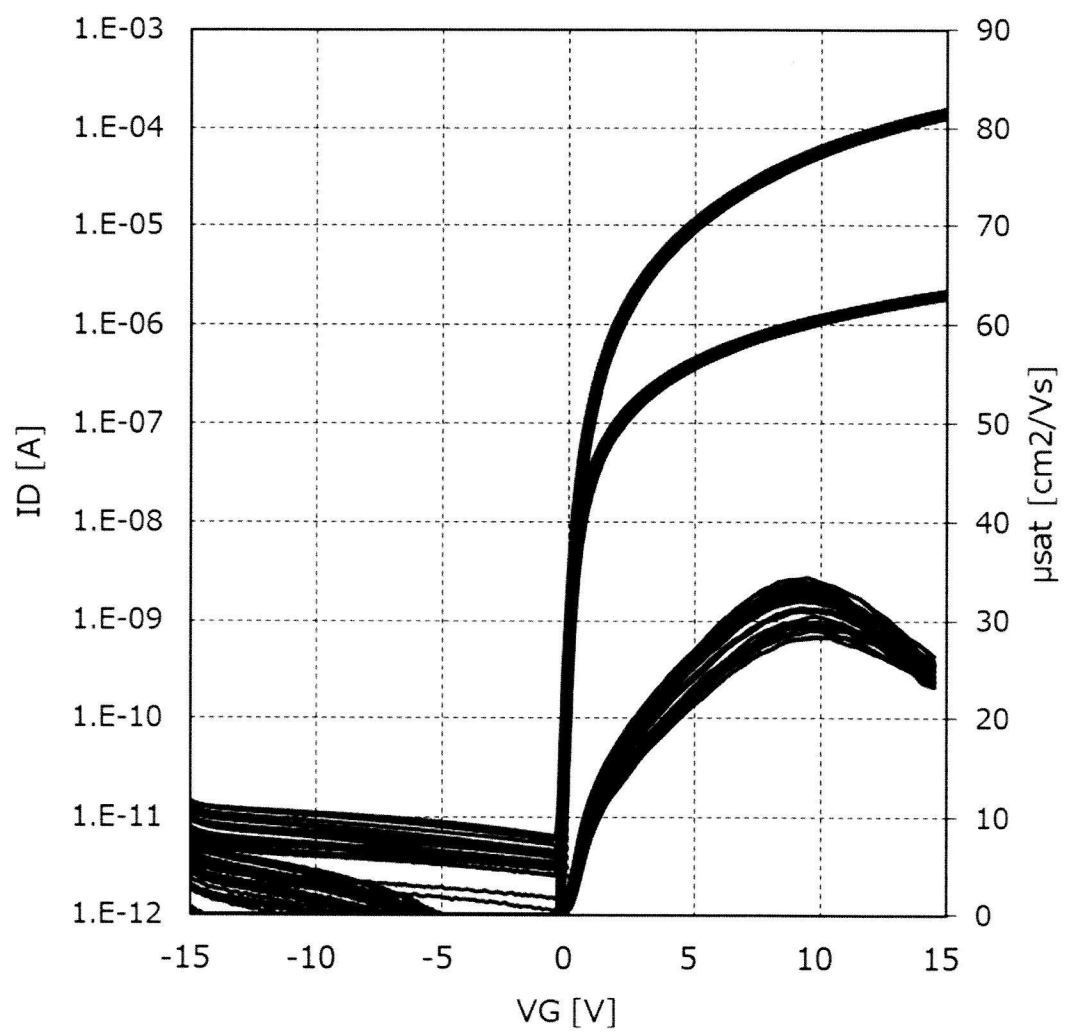
【圖23】

|      | $pO_2=2\%$   | $pO_2=4\%$  | $pO_2=5\%$  |
|------|--|---|---|
| 20nm |  OS消失   |  OS   | -   |
| 30nm |  OS消失  |  OS  |  OS |
| 40nm |  OS消失 |  OS | -   |

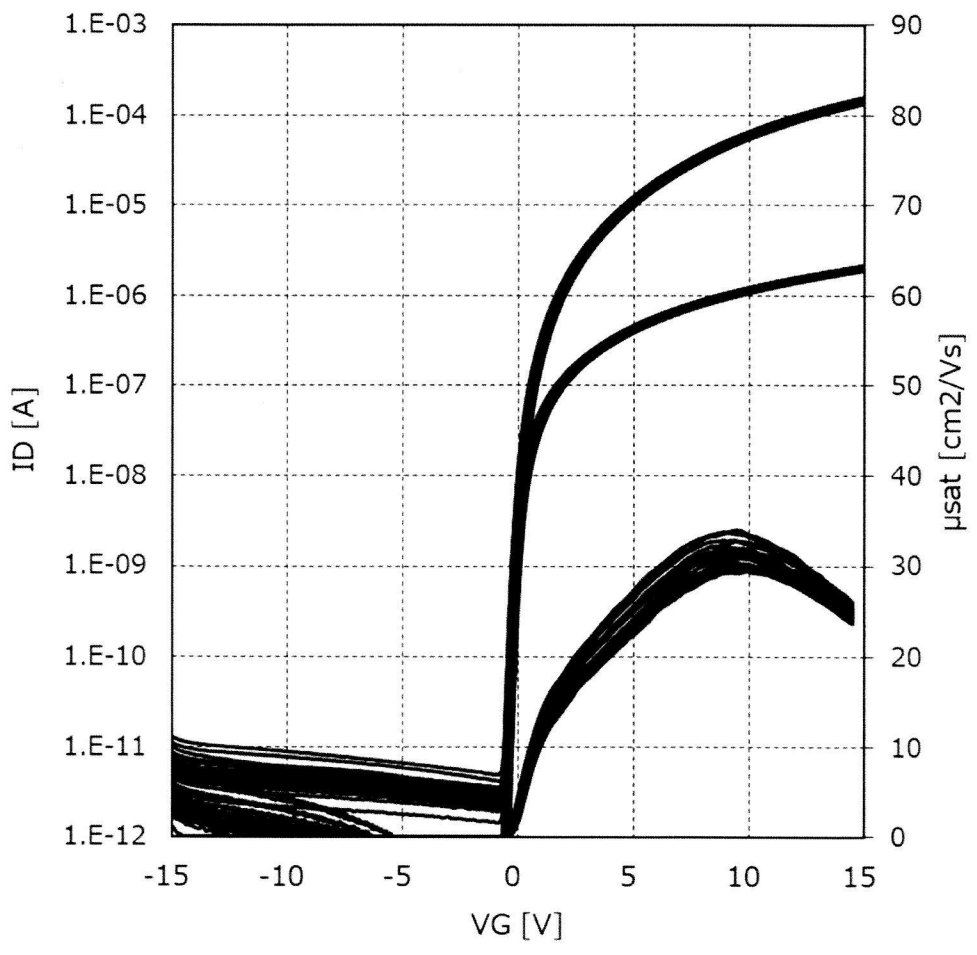
【圖24】



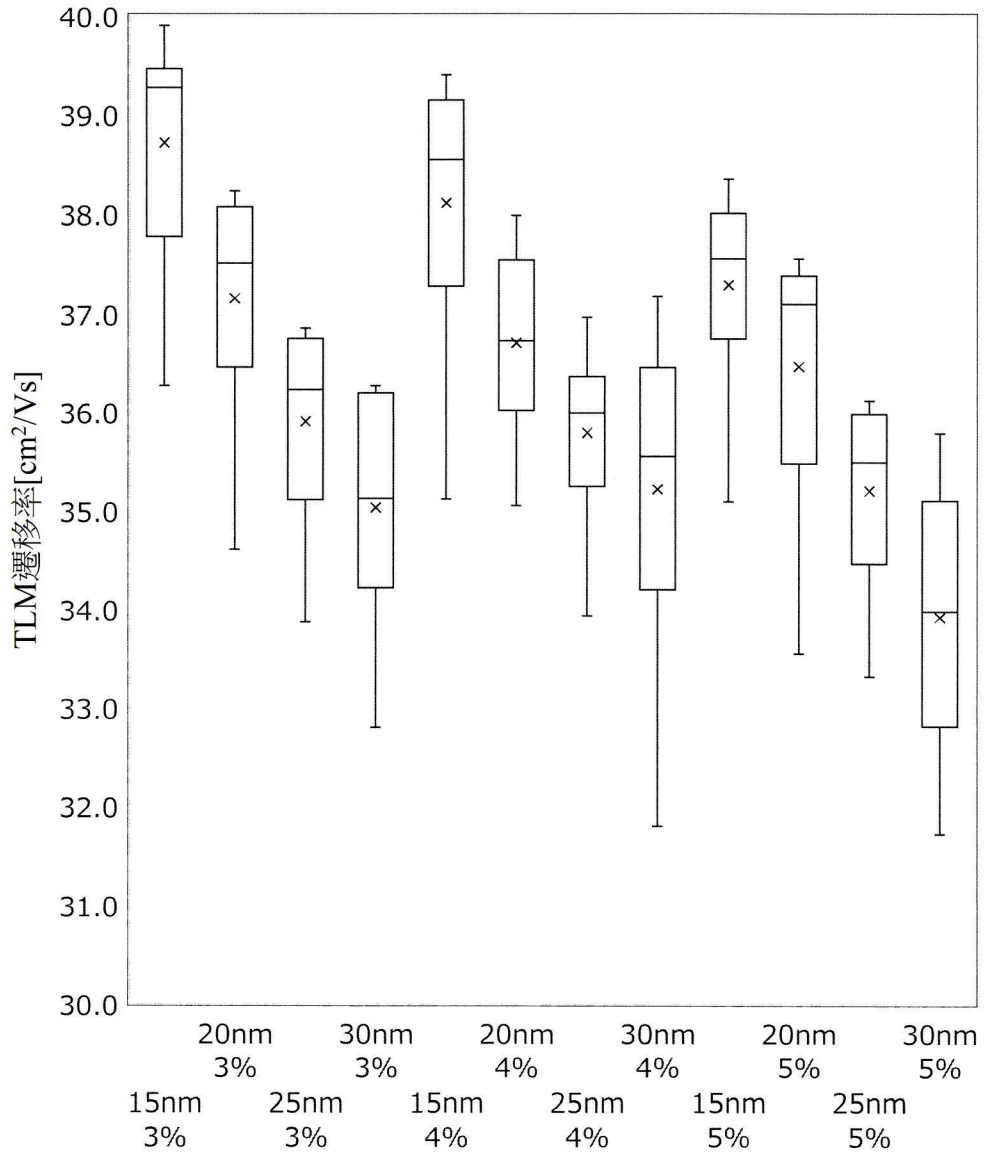
【圖25】



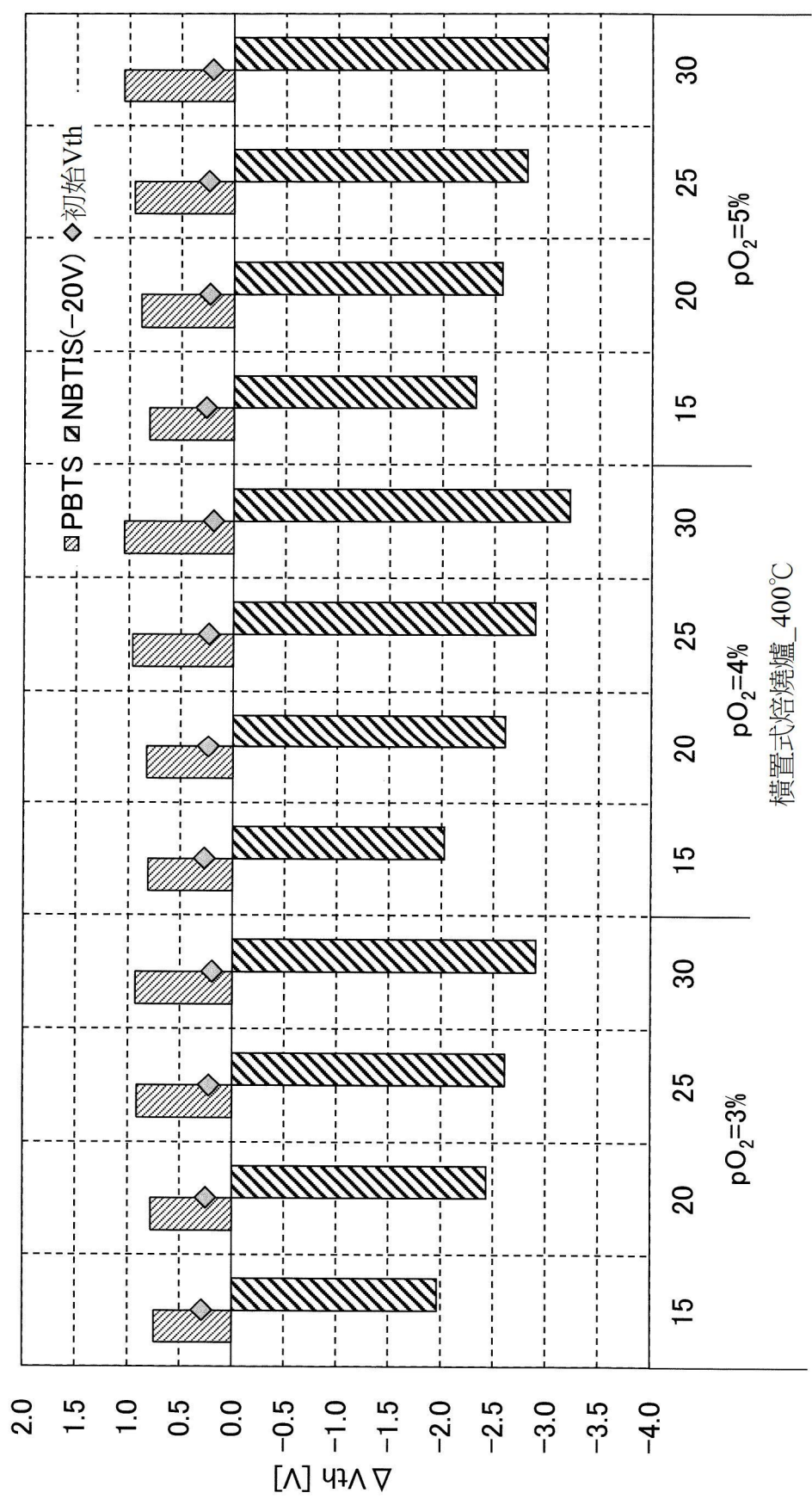
【圖26】



【圖27】



【圖28】



橫置式焙燒爐\_400°C

【圖29】