

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2007-123773

(P2007-123773A)

(43) 公開日 平成19年5月17日(2007.5.17)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 29/786 (2006.01)	H O 1 L 29/78 6 2 6 C	4 M 1 0 4
H O 1 L 21/336 (2006.01)	H O 1 L 29/78 6 1 8 B	5 F 1 1 0
H O 1 L 29/417 (2006.01)	H O 1 L 29/78 6 1 6 K	
H O 1 L 29/41 (2006.01)	H O 1 L 29/50 M	
H O 1 L 51/05 (2006.01)	H O 1 L 29/44 L	
審査請求 未請求 請求項の数 9 O L (全 15 頁) 最終頁に続く		

(21) 出願番号 特願2005-317486 (P2005-317486)

(22) 出願日 平成17年10月31日 (2005.10.31)

(71) 出願人 000005234

富士電機ホールディングス株式会社
神奈川県川崎市川崎区田辺新田1番1号

(74) 代理人 100099623

弁理士 奥山 尚一

(74) 代理人 100096769

弁理士 有原 幸一

(74) 代理人 100107319

弁理士 松島 鉄男

(74) 代理人 100114591

弁理士 河村 英文

(74) 代理人 100130960

弁理士 岡本 正之

最終頁に続く

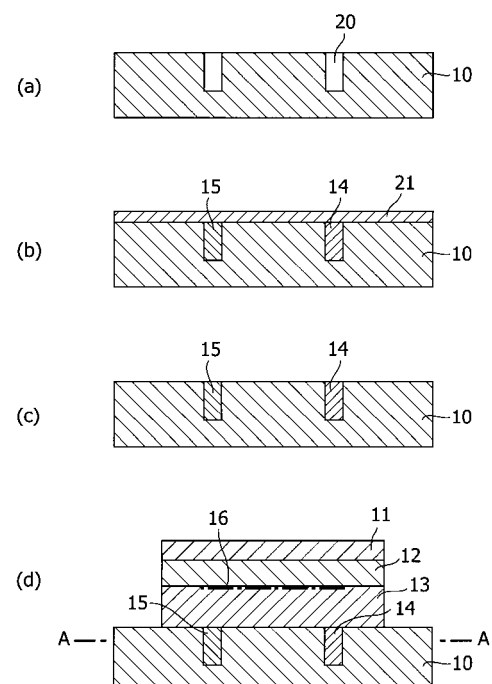
(54) 【発明の名称】 薄膜トランジスタ、及びその製造方法

(57) 【要約】

【解決課題】 有機薄膜トランジスタにおいて、ソース電極、ドレイン電極の高精度の微細加工をプラスチック基板などの上に安価なプロセスで実現し、高い性能を安定して実現する手段を提供する。

【解決手段】 基板と、ソース電極およびドレイン電極上に形成された有機電子材料膜と、有機電子材料膜上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを含む薄膜トランジスタであって、前記ソース電極およびドレイン電極が、前記基板に形成された溝または穴に埋め込まれ、前記有機電子材料膜と電氣的に接触していることを特徴とする薄膜トランジスタである。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

基板と、ソース電極およびドレイン電極上に形成された有機電子材料膜と、有機電子材料膜上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを含む薄膜トランジスタであって、

前記ソース電極およびドレイン電極が、前記基板に形成された溝または穴に埋め込まれ、前記有機電子材料膜と電氣的に接触している薄膜トランジスタ。

【請求項 2】

前記溝または穴が、熱可塑性プラスチック材料からなる前記基板に形成されている請求項 1 に記載の薄膜トランジスタ。

【請求項 3】

前記ソース電極および／または前記ドレイン電極が、前記基板を貫通している請求項 1 または 2 に記載の薄膜トランジスタ。

【請求項 4】

前記ソース電極またはドレイン電極の一方が、基板面内で他方の電極の外縁に沿って形成されたものである請求項 1 ないし 3 のいずれかに記載の薄膜トランジスタ。

【請求項 5】

前記ソース電極またはドレイン電極の一方が、基板面内で他方の電極に包囲されたものである請求項 4 に記載の薄膜トランジスタ。

【請求項 6】

前記ソース電極とドレイン電極とが、互いに噛み合ったくし形構造である請求項 4 に記載の薄膜トランジスタ。

【請求項 7】

基板に溝または穴を形成するステップと、
前記溝または穴にソース電極およびドレイン電極を形成するステップと、
前記ソース電極およびドレイン電極を形成した基板上に有機電子材料膜、ゲート絶縁膜、および、ゲート電極をこの順で形成するステップとを含む薄膜トランジスタの製造方法。

【請求項 8】

前記基板の溝または穴が、熱インプリントにより形成される請求項 7 に記載の薄膜トランジスタの製造方法。

【請求項 9】

前記ソース電極および／または前記ドレイン電極が、導電性材料溶液もしくは導電性材料分散液を前記溝または穴へ注入することにより形成される請求項 7 または 8 に記載の薄膜トランジスタの製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機電子材料を用いた薄膜トランジスタ素子に関する。

【背景技術】

【0002】

近年、情報機器用のフラットディスプレイの普及が目覚しい。このうち液晶ディスプレイは、液晶の光シャッター機能によりバックライトの光を on/off 制御し、カラーフィルターを用いて色彩を得る。これに対し、有機 EL ディスプレイ（あるいは有機 LED ディスプレイ）では各画素が個々に発光する（すなわち、自発光する）ので、視野角が広いという利点があるばかりでなく、バックライトが不要であることから薄型化が可能になり、かつフレキシブルな基板上に形成が可能である等、多くの利点を持っている。このため、有機 EL ディスプレイは次世代のディスプレイとして期待されている。

【0003】

これらのディスプレイパネルの駆動方式は、大別して 2 つの種類に分けることができる。第一の駆動方式は、パッシブマトリックス型（あるいは、デューティ駆動方式、単純

10

20

30

40

50

マトリックス方式）と呼ばれているものである。これは、複数のストライプ電極が行と列にマトリックス状に組み合わせられ、行電極と列電極のそれぞれの交点に位置する画素を行電極と列電極に加えた駆動信号により発光させる。発光制御のための信号は、通常、行方向には1行毎に時系列で走査され、同一行の各列には同時に印加される。各画素には通常はアクティブ素子を設けず、行の走査周期のうち各行のデューティ期間にのみ発光制御するようにした方式である。

【0004】

第二の駆動方式は、各画素にスイッチング素子を持ち、行の走査周期内にわたって発光が可能なアクティブマトリックス型と呼ばれるものである。例えば、100行×150列のパネル全面を100Cd/m²の表示輝度で発光させる場合を想定する。この場合、アクティブマトリックス型では各画素は基本的に常時発光しているので、画素の面積率や各種の損失を考慮しない場合には、100Cd/m²で発光させれば良い。しかし、パッシブマトリックス型で同じ表示輝度を得ようとする、各画素を駆動するデューティ比が1/100になり、そのデューティ期間（選択期間）のみが発光時間となるので、発光時間内の発光輝度を100倍の10000Cd/m²とする必要がある。

10

【0005】

ここで、発光輝度を増すためには発光素子に流す電流を増大させればよい。しかし、例えば有機EL発光素子においては電流を増大させるにつれて発光効率が低下することが知られている。この効率の低下により、アクティブマトリックス型の駆動方式とパッシブマトリックス型の駆動方式を同じ表示輝度で比較した場合、パッシブマトリックス型では相対的に消費電力が大きくなる。また、有機EL素子に流す電流を増すと、発熱等による材料の劣化が生じやすく、表示装置の寿命が短くなるという不都合がある。一方、これらの効率及び寿命の観点から最大電流を制限すると、同じ表示輝度を得るために発光期間を長くする必要が生じる。しかしながら、パッシブマトリックス型駆動方式での発光時間を定めるデューティ比はパネルの行数の逆数であることから、発光期間の延長は、表示容量（駆動ライン数）の制限に結びつく。これらの点から、大面積、高精細度のパネルを実現するにはアクティブマトリックス型の駆動方式を用いる必要があった。通常のアクティブマトリックス駆動の基本回路は、図2に示されるようにスイッチング素子として薄膜トランジスタを用いた方式が知られている。

20

【0006】

大面積、高精細度に適したアクティブマトリックス型の駆動方式では、画素のスイッチング素子としてポリシリコンを用いた薄膜トランジスタ（TFT）が最も広く用いられている。しかしながら、例えば、ポリシリコンを用いるTFTを形成するプロセス温度は少なくとも250℃以上の高温であり、フレキシブルなプラスチック基板を用いることが困難である問題点がある。

30

【0007】

こういった従来のディスプレイパネルが有する種々の問題点に対処するため、従来から有機薄膜トランジスタ素子を用いることが提案されている。

例えば特開2001-250680号公報（特許文献1）には、有機薄膜整流素子を有機薄膜発光部と直列に接続することが開示されており、また、WO01/15233号（特許文献2）には有機薄膜トランジスタにより画素の駆動制御を行うことが開示されている。特許文献2の開示によれば、駆動素子が有機材料により構成されるので、低温での製造プロセスが可能であり、従ってフレキシブルなプラスチック基板を用いることが可能となる。また、安価な材料やプロセスを選定できるので低コスト化も可能となる。

40

【0008】

しかしながら、このような有機薄膜トランジスタにおいては以下の問題があった。

【0009】

即ち、有機薄膜トランジスタの代表的な構造は図3に示すようなボトムコンタクトと呼ばれるもの、図4に示すようなトップコンタクトと呼ばれるもの、及び図10に示すトップゲートと呼ばれるものに大別される。

50

ボトムコンタクトにおいてはゲート絶縁膜上にソース電極とドレイン電極が直接、あるいは接着層を介して形成され、その後、有機電子材料膜が形成されてなる。一方、トップコンタクトにおいてはゲート絶縁膜上に有機電子材料膜が形成された後、その上にソース電極とドレイン電極が形成される。これら2つはゲートが基板側に形成される（ボトムゲート）。

一方、トップゲート構造においてはゲートが膜表面側に形成される。このトップゲート構造は特に有機電子材料膜がアモルファスで表面が平滑なポリマー系材料の場合に多く用いられている。

いずれの場合もゲート電極に印加されるゲート電圧により、有機電子材料膜のゲート絶縁膜に接した部分に電荷が誘起され、その電荷がソース電極とドレイン電極との間に印加された電圧により移動することにより電流が流れる。このソース電極とドレイン電極の間の電流経路はチャンネルと呼ばれるものである。チャンネルは、通常ゲート絶縁膜に接した有機電子材料膜の数分子層の極薄い部分に形成される。

10

【0010】

有機薄膜トランジスタに用いられる有機電子材料としてはペンタセン、チオフェン系ポリマー、フルオレンチオフェン系ポリマー、銅フタロシアニン、フラーレンなどがあげられる。このうち特に低分子系のペンタセン、銅フタロシアニン、フラーレンなどの材料は、室温では溶剤に溶解せず、一般には真空蒸着で形成される。一方、チオフェン系ポリマー、フルオレン／チオフェン系ポリマーは溶剤に可溶であり、塗布により薄膜形成が可能であるので、真空プロセスを用いる必要がなく、更なる低コスト化が可能である。

20

【0011】

しかしながら、これらの有機電子材料薄膜の電荷移動度は最も高いペンタセンでも $8 \text{ cm}^2/\text{Vs}$ 以下に止まっており、現在有機ELディスプレイの駆動に用いられているポリシリコンの $10 \sim 100 \text{ cm}^2/\text{Vs}$ に比して小さい。特に塗布形成が可能なポリマー系材料の移動度は更に小さく $0.1 \text{ cm}^2/\text{Vs}$ 以下の値が報告されている。

【0012】

例えば一般に電界効果型トランジスタの飽和電流 I_{sd} は、下式で表される。

$$I_{sd} = (W/2L) * C * \mu * (V_g - V_{th})^2 \quad (1)$$

【0013】

ここで、 W と L はトランジスタのチャンネル幅とチャンネル長、 C はゲート絶縁膜の単位面積当たりの静電容量、 μ は電子材料の電荷移動度、 V_g はゲート電圧、 V_{th} はゲート電圧の閾値電圧である。一定の電圧条件で充分大きな I_{sd} を得るには、 C 、 μ が大きいことが望まれるが、これらは用いる材料により定まる物性値である。また W は素子を形成する面積に制限される。 L は例えばフォトリソグラフにより原理的には数 10 nm まで小さくすることは可能である。即ち、 L を小さくすることにより電荷移動度が小さな材料でも大きな I_{sd} を得ることが可能となる。

30

【0014】

しかしながら、小さな L を得るためには一般には高価なプロセスが必要となる。例えば、通常のプロセスは加工精度は高いが一般に高コストであり、特に数 μm 以下の加工精度を得るには高価な設備が必要とされる。

40

また、特に塗布形成可能な導電性材料では、従来各種の印刷（例えばIJP、パッド印刷、フレキソ印刷、グラビア印刷）により電極形成がなされる場合もあった。しかしながら、これらの方法での寸法精度はおおよそ $20 \mu\text{m}$ が限界であり、上記目的に必要な $10 \mu\text{m}$ 以下のチャンネル長を精度良く得るのは困難であった。

【0015】

これに加えて、特に基板として安価なプラスチック基板を用いる場合は基板の熱膨張率が大きくなるので、別個のパターニングプロセス間でのパターン位置の整合性を取ることが困難になる。上記のチャンネル幅 W とチャンネル長 L は、その精度が直接トランジスタ特性に反映されるので、少なくともソース電極とドレイン電極とは、一回のパターニングプロセスで再現性が高い方法で精度良く形成されることが望まれていた。

50

このように、有機材料の特長を生かすために、有機薄膜トランジスタを、安価、かつ高い寸法精度で形成する方法が強く望まれていた。

【特許文献1】特開2001-250680号公報

【特許文献2】国際公開第01/15233号パンフレット

【発明の開示】

【発明が解決しようとする課題】

【0016】

よって本発明の目的は、上述の点に鑑み、有機薄膜トランジスタにおいて、ソース電極、ドレイン電極の高精度の微細加工をプラスチック基板などの上に安価なプロセスで実現し、高い性能を安定して実現する手段を提供することである。

10

【課題を解決するための手段】

【0017】

本発明は、上記課題を解決するためになされたものである。すなわち、本発明に係る薄膜トランジスタは、上記目的を達成するために、基板と、ソース電極およびドレイン電極上に形成された有機電子材料膜と、有機電子材料膜上に形成されたゲート絶縁膜と、ゲート絶縁膜上に形成されたゲート電極とを含む薄膜トランジスタであって、前記ソース電極およびドレイン電極が、前記基板に形成された溝または穴に埋め込まれ、前記有機電子材料膜と電氣的に接触していることを特徴とする。

本発明に係る薄膜トランジスタの製造方法は、基板に溝または穴を形成するステップと、前記溝または穴にソース電極およびドレイン電極を形成するステップと、前記ソース電極およびドレイン電極を形成した基板上に有機電子材料膜、ゲート絶縁膜、および、ゲート電極をこの順で形成するステップとを含むことを特徴とする。

20

【発明の効果】

【0018】

本発明によれば、有機薄膜トランジスタにおいて、ソース電極、ドレイン電極の高精度の微細加工をプラスチック基板などの上に安価なプロセスで実現し、高い性能を安定して実現する手段を提供することが出来る。加えて、ソース電極、ドレイン電極へのマトリックス状の配線を簡便にし、かつ、素子からのリーク電流を低減する手段を提供することが出来る。

【発明を実施するための最良の形態】

30

【0019】

本発明においては、有機電子材料膜、ゲート絶縁膜、ゲート電極が積層して形成され、別個に形成されたソース電極とドレイン電極との間の電流が上記ゲート絶縁膜に接した有機電子材料膜を介して流れ、かつ、上記電流が上記ゲート電極の電位により制御される薄膜電界効果トランジスタであって、上記ソース電極とドレイン電極とが、基板に形成された溝または穴に埋め込まれ、上記有機電子材料膜、ゲート絶縁膜、ゲート電極が、その上に形成されてなることとした。

【0020】

上記基板の溝または穴の形成は、熱インプリントによることが好ましい。

基材の材質として熱可塑性のプラスチック材料を用いる場合、例えば、押し出し成型などの方法でも所望の溝を形成した基板を作製することは可能である。しかしながら、押し出し成型では基板寸法が金型寸法により制限される。これに対し、熱インプリントは、ガラス転移点以上に加熱された基板に、溝または穴の形成に必要な鋳型を押し付ける方法である。従って、基本的に基板寸法に制限はなく、大面積基板に連続的に溝形成をするのに適した方法である。

40

基板の材質として、光硬化樹脂を用いることもできるが、その場合、鋳型による成型の後、光照射により硬化させることにより溝または穴を形成する。この場合は、硬化後の樹脂が弾性に乏しくなるので、例えば、製品として可撓性が求められる場合には作製条件に細かな注意が必要となる。

【0021】

50

上記溝または穴の形成の際の基板の加熱温度としては、用いる基板の材質にもよるが、通常、 $100^{\circ}\text{C}\sim 300^{\circ}\text{C}$ である。

上記溝または穴の形成のために基板にかかる圧力としては、通常、 $10\sim 200\text{MPa}$ である。

上記溝または穴の形成に用いる鑄型の材質としては特に限定されず、例えば、シリコン、シリコンカーバイド、サファイア、ダイヤモンド、タンタル、 SiO_2/Si 、 SiN/Si 等が挙げられる。鑄型は、予め、加熱しておくことが好ましく、加熱温度としては、 $100\sim 350^{\circ}\text{C}$ であることが好ましい。

上記溝または穴ひとつの幅は、鑄型の厚みにもよるが、通常、 $10\text{nm}\sim 50\mu\text{m}$ である。

本発明の薄膜トランジスタの製造方法によれば、基板面積が 100nm^2 以上、より好ましくは、 $1\mu\text{m}^2$ 以上の薄膜トランジスタを得ることができる。

【0022】

上記溝または穴同士の間隔が、チャネル長に相当する。本発明によれば、チャネル長は、 $1\sim 50\mu\text{m}$ とすることができる。チャネル長の好ましい上限は、 $30\mu\text{m}$ 、より好ましい上限は、 $12\mu\text{m}$ である。

【0023】

また、上記ソース電極またはドレイン電極の形成は、導電性材料溶液もしくは導電性材料分散液を、基板に形成された溝または穴に注入することが好ましい。この方法によれば、溝または穴のアスペクト比が高い場合でも溶液または分散液が表面張力による毛細管現象で溝または穴へ注入されるので、その他の膜形成手段（例えば真空蒸着など）に比して容易に電極形成が可能である。また、ソース電極、ドレイン電極は、高価なフォトリソグラフィなどの手段を用いることなく、安価に高精度で再現性良く形成することが可能となる。

【0024】

また、ソース電極、もしくはドレイン電極の少なくとも一方が基板を貫通し、上記有機電子材料膜、ゲート絶縁膜、ゲート電極が存在する基板面に対して反対の基板面において電氣的に接続されてなることが好ましい。このような構成とすることにより、ソース電極の配線とドレイン電極の配線とが基板の互いに反対面となされるので、例えば、ディスプレイ駆動で必要とされるマトリックス状の配線が簡便になるという利点が生じる。即ち、薄膜トランジスタのソース電極側の引き出し線とドレイン電極側の引き出し線とが直交する構成でも、各配線は基板の互いに反対面に形成されるので、その交点に絶縁膜を形成する必要がない。また、特に好ましい態様としては、一方の電極が基板を貫通していることで、他方の電極に完全に包囲される構造が挙げられる。

基板を貫通した電極は、電氣的接続を確実にするため、上記有機電子材料膜、ゲート絶縁膜、ゲート電極が存在する基板面に対して反対の基板面において、補助的な電極を設けてもよい。

【0025】

また、上記ソース電極、もしくはドレイン電極のうち、一方の電極が、基板面内で他方の電極の外縁に沿って形成されたものであることが好ましい。

本明細書において、「外縁に沿って形成」とは、一方の電極の輪郭の少なくとも一部分が、距離を隔てて他方の電極の輪郭の一部分を覆うように形成されていることをいう。

従って、一方の電極が、基板面内で他方の電極の外縁に沿って形成されたという場合、一方の電極が、他方の電極によって包囲されているものに限定されず、電極同士が、互いに噛み合ったくし形構造になるように形成されているものであってもよい。

【0026】

本発明の薄膜トランジスタは、ソース電極またはドレイン電極の一方が、基板面内で他方の電極に包囲されたものであることがより好ましい。

例えば、ドレイン電極を円柱状とし、ソース電極をその周囲にドーナツ状に形成することにより、ソース電極が所謂ガードリングの機能を持ち、リーク電流を抑制することが可

10

20

30

40

50

能である。特に上記ドーナツ状の形状を、内部電極に対して閉じたものとすることはフォトリソグラフでは2回以上の露光が必要であり位置合わせなど難度が高い作業となるが、本発明の熱インプリントによれば一回の作業ですみ、かつ、両電極の相対位置がずれるおそれがない点において好ましい。

【0027】

本発明の薄膜トランジスタの作製プロセスと構造の第1の例を図1に示す。熱可塑性プラスチック基板10上に加熱された鋳型を押し付けて、溝20を形成する(図1(a))。その後、当該基板に導電性材料溶液もしくは導電性材料分散液を塗布する。それらの溶液もしくは分散液は、表面張力により上記溝内に注入される(図1(b))。この注入を容易にするには、予め、溝内をオゾン暴露処理や各種親水処理材での被覆などにより親水化しておくことも可能である。塗布した溶液もしくは分散液を乾燥、固化させた後、酸素プラズマなどにより、溝外の導電性材料21を除去することにより、基板内にソース電極とドレイン電極とが一定の距離を隔てた構造が形成される(図1(c))。

10

なお、塗布した溶液もしくは分散液を乾燥させると体積収縮により溝または穴内に空隙が生じる場合があるが、電氣的接続が取れば機能的問題は生じない。別の理由で空隙を埋める必要がある場合は比較的高い濃度の溶液を用い、重ね塗りをするなどの方法を用いることも可能である。

このソース電極およびドレイン電極を形成した基板上に有機電子材料膜、ゲート絶縁膜、ゲート電極が順次、真空蒸着、スピンコート、印刷等の方法で形成される(図1(d))。電荷のチャネル16は、ソース電極とドレイン電極との間の、有機電子材料膜内における、ゲート絶縁膜との界面近傍に形成される。図5にはこの構造の、図1(d) A-A断面での平面図を示した。

20

【0028】

図6には、本発明の薄膜トランジスタの作製プロセスと構造の第2の例を示す。これにおいては、ドレイン電極14はソース電極15より深く形成され(図6(a)、(b))、導電性材料の注入後、溝外の導電性材料21の除去と前後して、基板の反対面をエッチングすることにより、ドレイン電極14は反対面まで貫通させられる(図6(c))。その後、有機電子材料膜13、ゲート絶縁膜12、ゲート電極11が、上記の第1の例と同様に形成されるが、ドレイン電極14については、反対面での電氣的接続を確実にするための電極22を形成することも必要に応じて可能である(図6(d))。

30

図7にはこの構造の、図6(d) B-B断面での平面図を示した。この例では、ソース電極はドレイン電極の外縁に沿って形成されガードリングの機能を果たすので、ドレイン電圧によるリーク電流が発生しにくい構成となっている。このように閉じた曲線を多重とする構成はフォトリソグラフなどのマスクを使用する方法では(内部の形状を決めるマスクを支える構造が無いので)一回のプロセスでは形成することができないが、本発明の方法では、鋳型が作製してあれば、容易に形成することが可能である。

【0029】

第3の例として、図8に示すように内側の電極を外側の電極と同様にドーナツ形とすることも容易である。この場合は図7に比して溝面積が小さくなり、表面張力による導電性材料液の注入が容易となるが、電極を貫通させる場合は、その内側の基板が導電性材料を介して支えられる構造となる。また、第4の例として、図9に示すように、電極の平面形状を異形として外縁長さを大きくすることにより、チャネル幅を大きくしてトランジスタの飽和電流 I_{sd} を大きくすることももちろん可能である。

40

【0030】

また、上記の例では電極が貫通しない場合に図5の平面形状、電極が貫通する場合に図7、図8、および図9の平面形状を組み合わせて説明したが、ソース電極とドレイン電極とが逆の組み合わせも当然可能である。

【0031】

このように形成された本発明の薄膜トランジスタを、従来の素子構造、即ち図3のボトムコンタクト、図4のトップコンタクト、図10のトップゲートと比較すると、ボトムコ

50

ンタクトとトップゲート構造ではソース電極、ドレイン電極はフォトリソグラフ等の方法で形成されるので、高価な設備と多くのプロセスが必要であったのに対し、本発明の製造方法によれば、設備投資が少なくプロセスも簡便であるという特長を有する。このコスト差はチャンネル長が $10\text{ }\mu\text{m}$ 以下の加工を行う場合に特に顕著となるものである。

またトップコンタクトにおけるソース電極およびドレイン電極の形成は元来シャドウマスクにより行われるので、チャンネル長 $30\text{ }\mu\text{m}$ 以下の形成は困難であった。

このようにして、本発明においては、従来の素子構造の問題点を回避し、高精度の微細加工を安価なプロセスで実現する手段を提供することが出来る。

【0032】

本発明においては、有機電子材料としては、例えば、ペンタセン、テトラセン、アントラセンなどのアセン系化合物の他、ルブレン、チオフェン、ヘキシルチオフェン系ポリマー、フルオレン／チオフェン系ポリマー、銅フタロシアニン、フラーレン等の材料が好適であるがそれに限定されるものではなく、多くの有機電子材料が適用可能である。

【0033】

ソース電極およびドレイン電極については各種金属材料、有機導電性材料が適用可能であるが、例えば、有機電子材料を移動する電荷がホールである場合は、ソース電極でのホールの注入を促進し、かつドレイン電極での電子の注入を抑制するため、電極材料としては仕事関数の大きい材料が好適である。特に金属材料としては、分散液として形成しやすい、Au、Ag、Ptなどの微細粒子を主成分とするものが好適である。また、有機導電性材料としては、例えば、ポリ-3,4-エチレンジオキシチオフェン／ポリスチレンスルホネート(PEDOT/ PSS)やポリアニリン(PANI)が好適である。

【0034】

ゲート絶縁膜としては、各種金属酸化物、例えば、シリコン、アルミニウム、タンタル、チタン、ストロンチウム、バリウムなどの酸化物、これら酸化物の混合酸化物を用いることが可能である。また、高分子材料、例えばポリスチレン、ポリビニールアルコール、ポリビニールフェノール、アクリルなどのポリマー材料も用いることが出来る。また、これらの高分子材料に金属酸化物を分散して用いることも可能である。特に金属酸化物は高分子材料に比して誘電率が高い材料が多く、トランジスタを比較的低電圧で駆動することが可能であるという特徴を有する。これに対し高分子材料は比較的低誘電率なので、高速応答性がよいという特徴がある。

【0035】

ゲート電極については、各種金属材料、有機導電性材料が適用可能であるが、ゲート絶縁膜への密着性や形成の容易さなどを勘案して決定される。

【0036】

また、これらの素子を形成する基板の材質としては、各種の基板が可能であるが、熱インプリントにより溝または穴の形成を行う場合は熱可塑性のプラスチック材料を用いることが好ましい。

熱可塑性のプラスチック材料としては特に限定されず、例えば、ポリエーテルイミド(PEI)、ポリエーテルエーテルケトン(PEEK)、ポリエチレンテレフタレート(PET)、ポリエチレンナフタレート(PEN)、ポリエーテルサルフォン(PES)、ポリフェニレンサルファイド(PPS)、ポリカーボネート(PC)、ポリスチレン(PS)、ポリメチルメタクリレート(PMMA)などの高分子フィルムを用いることが出来る。

【0037】

本発明の薄膜トランジスタにおけるアスペクト比は、好ましくは、 $1\sim 40$ である。上記アスペクト比のより好ましい上限は、 30 、より好ましい下限は、 3 である。

【0038】

以下に、本発明を、図面を参照して詳細に説明する。同じ部材には同じ符号を付して表した。なお、本発明は以下に説明する形態に制限されるものではない。

【実施例1】

10

20

30

40

50

【0039】

ポリエチレンナフタレート（PEN）基板（厚さ100 μ m）10を220 $^{\circ}$ Cに加熱し、これに別途形成したシリコン製の鋳型を270 $^{\circ}$ Cに加熱して押し込むことにより、20x100 μ m（100 μ mがチャンネル幅に相当）、深さ60 μ mの溝を2本、間隔10 μ m（チャンネル長に相当）で形成した。この溝部に波長254nmの紫外光を照射して親水化した後、導電性材料液としてPEDOT：PSS溶液（Bayer社製、A14083）をスピンコート法により塗布した。スピンコートの回転数は1000rpm、回転時間は180秒であった。塗布したPEDOT：PSS溶液が溝内へ毛細管現象で浸入するのを確認後、これに120 $^{\circ}$ C、10分の乾燥処理を施した。

次に、酸素プラズマにより溝外のPEDOT：PSSをエッチングして、2本の溝の電氣的絶縁を確保した。この時、外部回路との電氣的接続を得るための導電部はマスクによりエッチングを避けて確保した。

【0040】

次にチオフェン系ポリマー、ポリ（3-ヘキシルチオフェン）（P3HT）（メルク社製）をp-キシレン中に2mg/mLの濃度で溶解させ、これをスピンコートすることにより厚さ30nmの有機電子材料膜13を得た。その後、ポリスチレン（アルドリッチ社製）を酢酸エチル中に70mg/mLの濃度で溶解させ、これをスピンコートすることにより厚さ300nmのゲート絶縁膜を得た。最後にアルミニウムをポリスチレンゲート絶縁膜上に真空蒸着することにより、膜厚60nmのゲート電極を得た。このようにして実施例1の試料を得た。

【実施例2】

【0041】

厚さ100 μ mのポリエチレンナフタレート（PEN）シートに20x100 μ m（100 μ mがチャンネル幅に相当）、深さ60 μ mの溝を2本、間隔5 μ m（チャンネル長に相当）で形成した基板を押し出し成形で作製し、これを基板として用いた他は実施例1と同様にして実施例2の試料を得た。

【実施例3】

【0042】

導電性材料液としてAg微粒子分散液（ナノメタルインク、真空冶金株式会社製）を用い、乾燥条件を150 $^{\circ}$ C、120分とした。また、溝部以外の導電部のエッチングを希硝酸によって行った以外は実施例1と同様にして実施例3の試料を得た。

【実施例4】

【0043】

ポリエチレンテレフタレート（PET）基板（厚さ50 μ m）10を200 $^{\circ}$ Cに加熱し、これに別途形成したシリコン製の鋳型を260 $^{\circ}$ Cに加熱して押し込むことにより、内径30 μ m x 外径40 μ m、深さ30 μ mの溝と、内径50 μ m x 外径60 μ m、深さ45 μ mの溝とを同心円状に形成した。両溝の間隔10 μ mがチャンネル長、チャンネルに面する溝円周（各40、50 μ m）がチャンネル幅に相当する。実施例1と同様にして、波長254nmの紫外光を照射して親水化した後、導電性材料液としてPEDOT：PSS溶液（Bayer社製、A14083）をスピンコート法により塗布した。その後、基板の反対面を酸素プラズマエッチにより研磨して外周溝にドレイン電極を貫通させた。次に実施例1と同様にして有機電子材料膜13としてチオフェン系ポリマー、ポリ（3-ヘキシルチオフェン）（P3HT）（メルク社製）をp-キシレン中に2mg/mLの濃度で溶解させ、これをスピンコートすることにより厚さ30nmの膜を得た。その後、ポリスチレン（アルドリッチ社製）を酢酸エチル中に70mg/mLの濃度で溶解させ、これをスピンコートすることにより厚さ300nmの膜を得た。最後にアルミニウムをポリスチレンゲート絶縁膜上に真空蒸着することにより、膜厚60nmで成膜してゲート電極とした。このようにして実施例4の試料を得た。

【実施例5】

【0044】

10

20

30

40

50

実施例 4 と同様の方法で、薄膜トランジスタを 2 個 1 組で 1 0 0 組、1 0 行 x 1 0 列のマトリックス状に形成した。また 1 組のトランジスタにキャパシタと発光素子を付加して図 2 に示す回路を構成した。2 個の薄膜トランジスタは図 1 2 に示すように、基板に対してゲート電極を同じ側に形成し、スイッチング用 T F T では貫通電極をソース電極、外側電極をドレイン電極として用いた。即ち、行電極線 1 : 1 0 3、行電極線 2 : 1 0 4、キャパシタ 1 0 6 は薄膜トランジスタのゲート電極側、発光素子 1 1 0、列電極線 1 : 1 1 6、列電極線 2 : 1 1 7 はゲート電極の反対側の基板面に配することとした（図 1 2 では薄膜トランジスタと発光素子以外は図示を省略）。

【 0 0 4 5 】

[比較例 1]

実施例 1 と同様の構造の素子をフォトリソグラフを用いて、従来のトップゲート構造で作製した。即ち、基板上にフォトレジスト（O F P R - 8 0 0、東京応化工業株式会社）をスピコートにより厚さ $2 \mu\text{m}$ で塗布した後、フォトマスクを通して、紫外光 405 nm 、 $11 \text{ mW}/\text{cm}^2$ を 4 秒間照射し、照射部を硬化させた。ソース電極とドレイン電極とを形成する部分は、 $20 \times 100 \mu\text{m}$ （ $100 \mu\text{m}$ がチャンネル幅に相当）の像を 2 本、間隔 $10 \mu\text{m}$ （チャンネル長に相当）とし、この部分はフォトマスクにより紫外光が照射されないようにした。その後、現像液（N M D - 3、東京応化工業株式会社）、により非照射部を洗い流して現像した後、プリベーク（ 110°C 、90 秒）、ポストベーク（ 130°C 、30 分）を行った。その上に膜厚 100 nm の金薄膜を真空蒸着により形成した。更に、フォトレジストをリフトオフにより剥離した後、露出した基板面を波長 254 nm の紫外光を照射して洗浄し、その上に有機電子材料膜 1 3 としてポリ（3-ヘキシルチオフェン）（P 3 H T）薄膜（メルク社製）、ポリスチレン薄膜、アルミニウム薄膜を実施例 1 と同様に形成して比較例 1 の試料を得た。

【 0 0 4 6 】

[比較例 2]

実施例 4 と類似の構成を従来の基板面上構造で試作した。即ち、ポリエチレンテレフタレート（P E T）基板（厚さ $50 \mu\text{m}$ ）1 0 上に、内径 $30 \mu\text{m}$ x 外径 $40 \mu\text{m}$ のドーナツ状電極と、内径 $50 \mu\text{m}$ x 外径 $60 \mu\text{m}$ のドーナツ状電極とを比較例 1 と同様の方法で形成した。この時、両電極が同一平面上に形成されており、内側電極の電氣的接続の必要性から、外側のドーナツ電極の一部は、図 1 1 のように切りかけのある形状となる。

【 0 0 4 7 】

以上の実施例、比較例の試料の素子特性を表 1 にまとめた。実施例 1、実施例 2 および実施例 3 は比較例 1 に比して移動度や飽和電流 I_{sd} （ $V_g = -20 \text{ V}$ ）の値は同等である（実施例 2 は、 W/L が実施例 1、実施例 3、および比較例 1 の 2 倍なので、飽和電流 I_{sd} は約 2 倍となっている）。リーク電流も同等であるが、作製した素子 1 0 0 個での I_{sd} の標準偏差は若干小さくなくなり、かつ作業時間（素子 1 0 0 個を作製する時間）は、大幅に短縮されている。これは、比較例 1 におけるソース／ドレイン電極の形成では、（1）フォトレジスト塗布、（2）紫外光照射、（3）現像、（4）プリベーク、（5）ポストベーク、（6）金薄膜真空蒸着、（7）フォトレジストリフトオフ、（8）基板洗浄、と 8 ステップのプロセスが必要とされるのに対し、実施例 1 および実施例 2 においては、（1）基板への溝形成、（2）導電材料塗布、（3）エッチング、の 3 ステップであり、かつ各ステップが簡便であるからである。

また、実施例 4 についても、比較例 2 に対し作業時間が大幅に短縮されている他、リーク電流は比較例 2 に対し大きく低減されている。これは比較例 2 の場合はソース電極によるドレイン電極のガードリング効果が不完全なためと推定される。

【 0 0 4 8 】

また、実施例 5 においては、行電極線と列電極線の基板上での交差を回避でき、プロセスが簡便となったのに加えて、発光素子を形成する基板面に形成する素子数が減少するので、発光素子の面積比率を高めることが可能となった。

10

20

30

40

50

【 0 0 4 9 】

【表 1】

	W/L($\mu\text{m}/\mu\text{m}$)	移動度平均 値(cm^2/Vs)	Isd平均値 (μA)	Isd標準偏差 (%)	リーク電 流(nA)	作業時間 (相対値)
実施例1	100/10	0.021	0.34	2.5	0.32	10
実施例2	100/5	0.018	0.59	1.3	0.54	7
実施例3	100/10	0.023	0.36	2.7	0.47	11
実施例4	125/10	0.017	0.34	3.0	0.02	18
比較例1	100/10	0.02	0.32	4.6	0.58	65
比較例2	120/10	0.019	0.37	4.1	0.10	72

10

【 0 0 5 0 】

このように、本発明により、有機薄膜トランジスタにおいて、ソース電極、ドレイン電極の高精度の微細加工をプラスチック基板などの上に安価なプロセスで実現し、高い性能を安定して実現する手段を提供することが出来た。加えて、ソース電極、ドレイン電極へのマトリックス状の配線を簡便にし、かつ、素子からのリーク電流を低減する手段を提供することが出来た。

【図面の簡単な説明】

【 0 0 5 1 】

【図 1】本発明における薄膜トランジスタの構造と製造方法の第 1 の例を示した説明図である。

20

【図 2】薄膜トランジスタによる発光素子制御の等価回路を例示する説明図である。

【図 3】従来の有機薄膜トランジスタの構造例（ボトムコンタクト）を示す説明図である。

【図 4】従来の有機薄膜トランジスタの構造例（トップコンタクト）を示す説明図である。

【図 5】本発明における薄膜トランジスタの構造の、第 1 の例における断面構造を示した説明図である。

【図 6】本発明における薄膜トランジスタの構造と製造方法の第 2 の例を示した説明図である。

30

【図 7】本発明における薄膜トランジスタの構造の、第 2 の例における断面構造を示した説明図である。

【図 8】本発明における薄膜トランジスタの構造の、第 3 の例における断面構造を示した説明図である。

【図 9】本発明における薄膜トランジスタの構造の、第 4 の例における断面構造を示した説明図である。

【図 10】従来の有機薄膜トランジスタの構造例（トップゲート）を示す説明図である。

【図 11】比較例 2 における薄膜トランジスタの構造の、第 4 の例における断面構造を示した説明図である。

【図 12】比較例 5 における薄膜トランジスタの構造を示した説明図である。

40

【符号の説明】

【 0 0 5 2 】

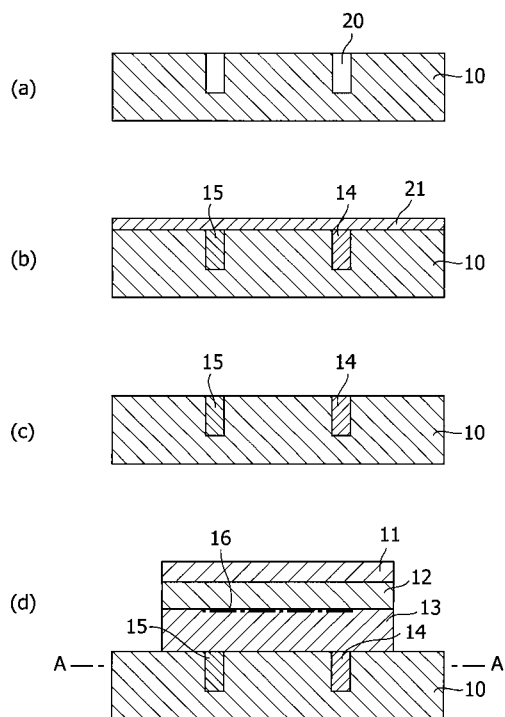
- 1 0：基板、
- 1 1：ゲート電極、
- 1 2：ゲート絶縁膜、
- 1 3：有機電子材料膜
- 1 4：ドレイン電極、
- 1 5：ソース電極、
- 1 6：チャネル
- 2 0：溝部

50

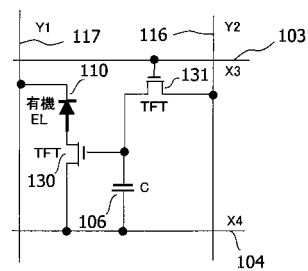
- 2 1 : 導電性材料膜
- 2 2 : 反対面電極
- 1 0 3 : 行電極線 1
- 1 0 4 : 行電極線 2
- 1 0 6 : キャパシタ
- 1 1 0 : 発光素子
- 1 1 6 : 列電極線 1
- 1 1 7 : 列電極線 2
- 1 3 0 : 駆動用薄膜トランジスタ
- 1 3 1 : スイッチング用薄膜トランジスタ

10

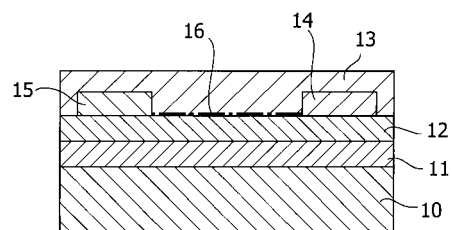
【図 1】



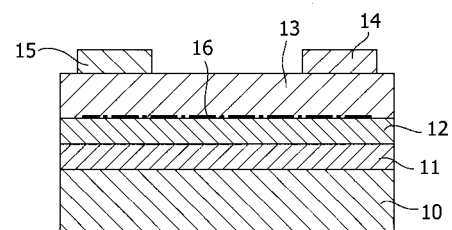
【図 2】



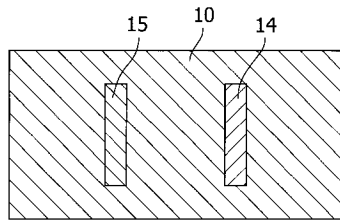
【図 3】



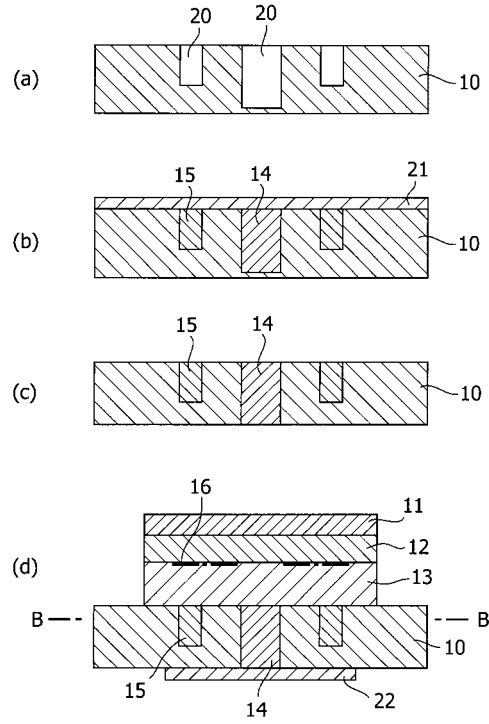
【図 4】



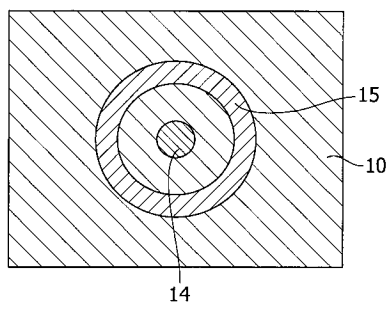
【図 5】



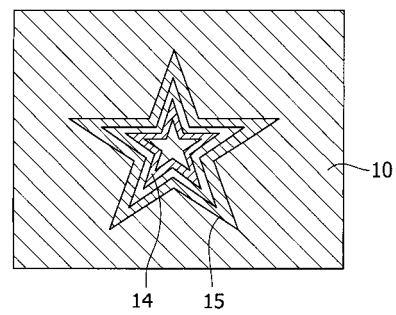
【図 6】



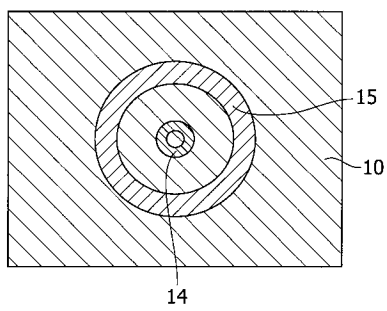
【図 7】



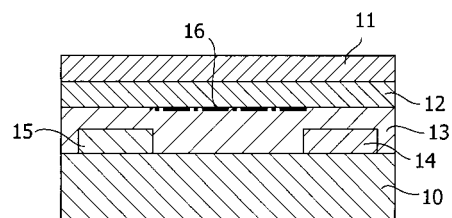
【図 9】



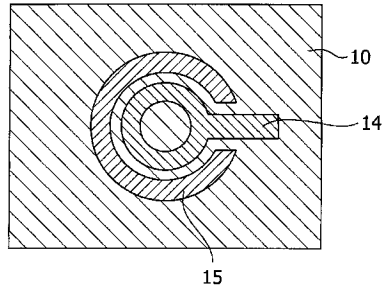
【図 8】



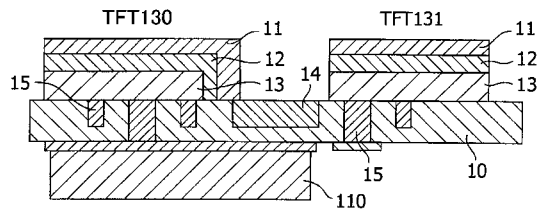
【図 10】



【図 1 1】



【図 1 2】



フロントページの続き

(51)Int.Cl.		F I		テーマコード (参考)
H 0 1 L 51/40	(2006.01)	H 0 1 L 29/28	1 0 0 A	
		H 0 1 L 29/28	3 7 0	

(72)発明者 川上 春雄
神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内

(72)発明者 加藤 久人
神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内

(72)発明者 前田 賢彦
神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内

(72)発明者 関根 伸行
神奈川県横須賀市長坂二丁目2番1号 富士電機アドバンステクノロジー株式会社内

Fターム(参考) 4M104 AA09 AA10 BB02 BB06 BB08 BB09 BB36 CC01 DD51 EE03
EE16 EE18 FF01 FF11 FF27 GG04 GG08 GG09 GG19 HH14
HH20
5F110 AA06 AA16 AA30 CC07 DD01 DD21 EE03 EE43 FF01 FF02
FF27 GG05 GG25 GG28 GG29 GG42 HK01 HK02 HK32 HK41
HM02 HM04 NN71 NN73 QQ01