(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月14日(14.05.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/095142 A1

(51) 国際特許分類:
G09G 3/20 (2006.01) *G09G 3/3275* (2016.01)
G09G 3/3233 (2016.01) *G09G 3/36* (2006.01)

(21) 国際出願番号： PCT/IB2019/059206

(22) 国際出願日： 2019年10月28日(28.10.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-211676 2018年11月9日(09.11.2018) JP
特願 2018-223687 2018年11月29日(29.11.2018) JP
特願 2019-014015 2019年1月30日(30.01.2019) JP

(71) 出願人: 株式会社半導体エネルギー研究所 (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) [JP/JP]; 〒2430036 神奈川県厚木市長谷３９８ Kanagawa (JP).

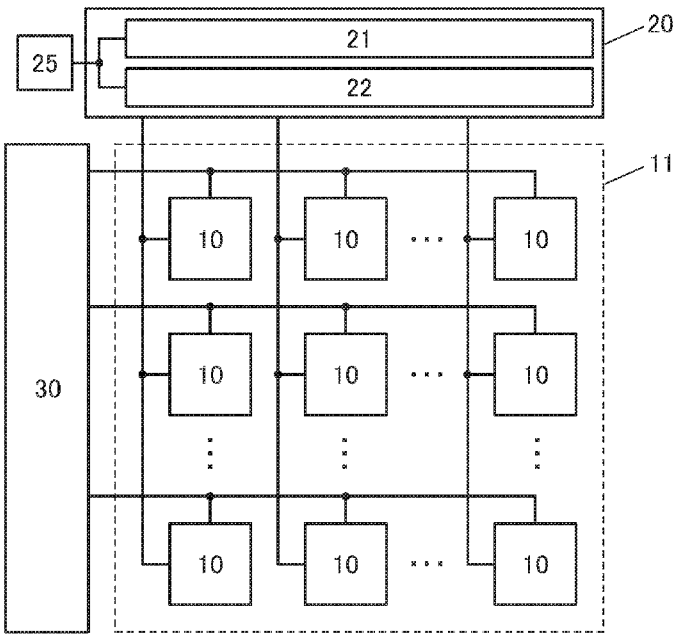
(72) 発明者: 豊高耕平 (TOYOTAKA, Kouhei); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP). 齋藤元晴 (SAITO, Motoharu); 〒2430036 神奈川県厚木市長谷３９８株式会社半導体エネルギー研究所内 Kanagawa (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH,

(54) **Title:** DISPLAY APPARATUS AND ELECTRONIC INSTRUMENT

(54) 発明の名称： 表示装置および電子機器

図1



(57) **Abstract:** Provided is a display apparatus equipped with a low power consumption driver, the display apparatus being configured to increase an output voltage of the driver with pixels. The display apparatus has a source driver in which a logic unit and an amplifier unit operate appropriately at the same low voltage. The pixels have a function of holding first data and a function of adding second data to the first data to produce third data and supplying the third data to a display device. Consequently, even if the voltage outputted from the source driver is small, the voltage can be increased with the

WO 2020/095142 A1

[続葉有]

KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

pixels and, thus, the display device can be operated appropriately.

(57) 要約:要約書 低消費電力のドライバを備え、当該ドライバの出力電圧を画素で昇圧する表示装置を提供する。 ロジック部とアンプ部が同一の低電圧で適切に動作するソースドライバを有し、画素は、第1のデータを保持する機能を有し、第1のデータに第2のデータを加算して第3のデータを生成し、第3のデータを表示デバイスに供給する機能を有する。したがって、ソースドライバから出力される電圧が小さくても画素で昇圧することができるため、表示デバイスを適切に動作させることができる。

明細書

発明の名称

表示装置および電子機器

技術分野

［０００１］

本発明の一態様は、表示装置に関する。

［０００２］

なお、本発明の一態様は、上記の技術分野に限定されない。本明細書等で開示する発明の一態様の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一態様は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。そのため、より具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、液晶表示装置、発光装置、照明装置、蓄電装置、記憶装置、撮像装置、それらの動作方法、または、それらの製造方法、を一例として挙げることができる。

［０００３］

なお、本明細書等において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。トランジスタ、半導体回路は半導体装置の一態様である。また、記憶装置、表示装置、撮像装置、電子機器は、半導体装置を有する場合がある。

背景技術

［０００４］

基板上に形成された金属酸化物を用いてトランジスタを構成する技術が注目されている。例えば、酸化亜鉛またはＩｎ－Ｇａ－Ｚｎ系酸化物を用いたトランジスタを表示装置の画素のスイッチング素子などに用いる技術が特許文献１および特許文献２に開示されている。

［０００５］

また、オフ電流が極めて低いトランジスタをメモリセルに用いる構成の記憶装置が特許文献３に開示されている。

［先行技術文献］

［特許文献］

［０００６］

［特許文献１］特開２００７－１２３８６１号公報

［特許文献２］特開２００７－９６０５５号公報

［特許文献３］特開２０１１－１１９６７４号公報

発明の概要

発明が解決しようとする課題

［０００７］

表示装置の画素にデータを供給するドライバは、ロジック部およびアンプ部を有し、それぞれの動作が適切となるように設計される。一般的にロジック部は高速かつ消費電力を抑える設計、アンプ部は高耐圧かつ高電圧を出力できる設計となる。そのため、１チップ内に構成の異なるトランジスタ等を配置する必要があり、作製工程が多く、コストアップの一要因となっている。

［０００８］

また、ロジック部とアンプ部で電源電圧が異なるため、少なくとも２つ以上の電圧を出力する回路

が必要となる。電圧の出力を単一化することができれば、電源回路などを単純化することができ、低コスト化も可能である。また、アンプ部の電源電圧を小さくすることができれば、ドライバ全体の消費電力を削減することができる。

［０００９］

また、画素回路においては、データ電圧の振幅が小さくても表示デバイスを適切に動作させることができれば、消費電力の低減が望める。

［００１０］

したがって、本発明の一態様では、低消費電力のドライバを備えた表示装置を提供することを目的の一つとする。または、低消費電力のドライバを備え、当該ドライバの出力電圧を画素で昇圧する表示装置を提供することを目的の一つとする。または、ソースドライバの出力電圧以上の電圧を表示デバイスに供給することができる表示装置を提供することを目的の一つとする。または、表示画像の輝度を高めることができる表示装置を提供することを目的の一つとする。

［００１１］

または、低消費電力の表示装置を提供することを目的の一つとする。または、信頼性の高い表示装置を提供することを目的の一つとする。または、新規な表示装置などを提供することを目的の一つとする。または、上記表示装置の駆動方法を提供することを目的の一つとする。または、新規な半導体装置などを提供することを目的の一つとする。

［００１２］

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。なお、本発明の一態様は、これらの課題の全てを解決する必要はないものとする。なお、これら以外の課題は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の課題を抽出することが可能である。

課題を解決するための手段

［００１３］

本発明の一態様は、低消費電力のドライバを備えた表示装置に関する。

［００１４］

本発明の一態様は、ドライバ回路と、画素回路と、を有する表示装置であって、ドライバ回路は、シフトレジスタ回路と、アンプ回路と、を有し、画素回路は、アンプ回路から出力される第１のデータおよび第２のデータを加算して第３のデータを生成する機能を有し、シフトレジスタ回路およびアンプ回路には、同一の電源電圧が供給される構成を有する表示装置である。

［００１５］

シフトレジスタ回路およびアンプ回路は、同一の電源回路が電気的に接続されている構成とすることができる。

［００１６］

ドライバ回路に供給される電源電圧は、３．３Ｖ以下とすることができる。

［００１７］

ドライバ回路は、さらに、入力インターフェイス回路、シリアルパラレル変換回路、ラッチ回路、レベルシフト回路、ＰＴＬ（ｐａｓｓ　ｔｒａｎｓｉｓｔｏｒ　ｌｏｇｉｃ）、デジタルアナログ変換回路、およびバイアス生成回路の中から選ばれる一つ以上の回路を有し、当該回路はシフトレジスタ回路およびアンプ回路と同一の電源電圧が供給される構成を有していてもよい。

［００１８］

本発明の他の一態様は、ドライバ回路と、画素回路と、を有する表示装置であって、ドライバ回路は、シフトレジスタ回路と、アンプ回路と、を有し、画素回路は、アンプ回路から出力される第１のデータおよび第２のデータを加算して第３のデータを生成する機能を有し、シフトレジスタ回路は、第１のトランジスタを有し、アンプ回路は、第２のトランジスタを有し、第１のトランジスタおよび第２のトランジスタにおいて、一方のトランジスタのゲート絶縁膜の厚さがａの領域を有するとき、他方のトランジスタは、ゲート絶縁膜の厚さが０．９ａ以上１．１ａ以下の領域を有する表示装置である。

［００１９］

ドライバ回路は、さらに、入力インターフェイス回路、シリアルパラレル変換回路、ラッチ回路、レベルシフト回路、ＰＴＬ、デジタルアナログ変換回路、およびバイアス生成回路の中から選ばれる一つ以上の回路を有し、当該回路が有するトランジスタは、ゲート絶縁膜の厚さが０．９ａ以上１．１ａ以下の領域を有することができる。

［００２０］

画素回路は、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、第６のトランジスタと、第７のトランジスタと、第１のキャパシタと、第２のキャパシタと、発光デバイスと、を有し、第３のトランジスタのソースまたはドレインの一方は、第１のキャパシタの一方の電極と電気的に接続され、第１のキャパシタの他方の電極は、第４のトランジスタのソースまたはドレインの一方と電気的に接続され、第４のトランジスタのソースまたはドレインの一方は、第５のトランジスタのソースまたはドレインの一方と電気的に接続され、第１のキャパシタの一方の電極は、第６のトランジスタのゲートと電気的に接続され、第６のトランジスタのソースまたはドレインの一方は、第７のトランジスタのソースまたはドレインの一方と電気的に接続され、第７のトランジスタのソースまたはドレインの一方は、発光デバイスの一方の電極と電気的に接続され、発光デバイスの一方の電極は、第２のキャパシタの一方の電極と電気的に接続され、第２のキャパシタの他方の電極は、第７のトランジスタのゲートと電気的に接続された構成とすることができる。

［００２１］

または、画素回路は、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、第１のキャパシタと、第２のキャパシタと、液晶デバイスと、を有し、第３のトランジスタのソースまたはドレインの一方は、第１のキャパシタの一方の電極と電気的に接続され、第１のキャパシタの他方の電極は、第４のトランジスタのソースまたはドレインの一方と電気的に接続され、第４のトランジスタのソースまたはドレインの一方は、第５のトランジスタのソースまたはドレインの一方と電気的に接続され、第１のキャパシタの一方の電極は、第２のキャパシタの一方の電極と電気的に接続され、第２のキャパシタの一方の電極は、液晶デバイスの一方の電極と電気的に接続された構成とすることができる。

［００２２］

第３のトランジスタのソースまたはドレインの他方は、第４のトランジスタのソースまたはドレインの他方と電気的に接続されていてもよい。

［００２３］

画素回路が有するトランジスタは、チャネル形成領域に金属酸化物を有し、金属酸化物は、Ｉｎと、Ｚｎと、Ｍ（ＭはＡｌ、Ｔｉ、Ｇａ、Ｓｎ、Ｙ、Ｚｒ、Ｌａ、Ｃｅ、ＮｄまたはＨｆ）と、を有す

ることが好ましい。

発明の効果

［００２４］

本発明の一態様を用いることで、低消費電力のドライバを備えた表示装置を提供することができる。または、低消費電力のドライバを備え、当該ドライバの出力電圧を画素で昇圧する表示装置を提供することができる。または、ソースドライバの出力電圧以上の電圧を表示デバイスに供給することができる表示装置を提供することができる。または、表示画像の輝度を高めることができる表示装置を提供することができる。

［００２５］

または、低消費電力の表示装置を提供することができる。または、信頼性の高い表示装置を提供することができる。または、新規な表示装置などを提供することができる。または、上記表示装置の駆動方法を提供することができる。または、新規な半導体装置などを提供することができる。

図面の簡単な説明

［００２６］

図１は、表示装置を説明する図である。

図２は、画素回路を説明する図である。

図３Ａ乃至図３Ｃは、画素回路を説明する図である。

図４は、画素回路を説明する図である。

図５は、画素回路の動作を説明するタイミングチャートである。

図６Ａ乃至図６Ｃは、画素回路を説明する図である。

図７は、画素回路を説明する図である。

図８は、画素回路を説明する図である。

図９は、画素回路を説明する図である。

図１０Ａ乃至図１０Ｃは、画素レイアウトを説明する図である。

図１１Ａは、ソースドライバを説明する図である。図１１Ｂ、図１１Ｃは、トランジスタを説明する図である。

図１２Ａは、ソースドライバを説明する図である。図１２Ｂ、図１２Ｃは、トランジスタを説明する図である。

図１３Ａ乃至図１３Ｃは、表示装置を説明する図である。

図１４Ａ、図１４Ｂは、タッチパネルを説明する図である。

図１５Ａ、図１５Ｂは、表示装置を説明する図である。

図１６は、表示装置を説明する図である。

図１７Ａ、図１７Ｂは、表示装置を説明する図である。

図１８Ａ、図１８Ｂは、表示装置を説明する図である。

図１９Ａ乃至図１９Ｅは、表示装置を説明する図である。

図２０Ａ１乃至図２０Ｃ２は、トランジスタを説明する図である。

図２１Ａ１乃至図２１Ｃ２は、トランジスタを説明する図である。

図２２Ａ１乃至図２２Ｃ２は、トランジスタを説明する図である。

図２３Ａ１乃至図２３Ｃ２は、トランジスタを説明する図である。

図２４Ａ乃至図２４Ｆは、電子機器を説明する図である。

図２５Ａ、図２５Ｂは、トランジスタのＩ$_{D}$－Ｖ$_{G}$特性を説明する図である。

図２６Ａは、ＥＬ画素回路を説明する図である。図２６Ｂは、タイミングチャートである。

図２７Ａ、図２７Ｂは、液晶画素回路を説明する図である。

図２８は、ソースドライバのブロック図である。

図２９Ａ、図２９Ｂは、ソースドライバの消費電力のシミュレーション結果を説明する図である。

図３０は、パネルの消費電力の実測結果を説明する図である。

図３１Ａは、液晶デバイスの透過率を説明する図である。図３１Ｂは、液晶表示パネルの輝度を説明する図である。

図３２Ａは、ＥＬ表示パネルの表示画像写真である。図３２Ｂは、液晶表示パネルの表示画像写真である。

発明を実施するための形態

［００２７］

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。なお、図を構成する同じ要素のハッチングを異なる図面間で適宜省略または変更する場合もある。

［００２８］

また、回路図上では単一の要素として図示されている場合であっても、機能的に不都合がなければ、当該要素が複数で構成されてもよい。例えば、スイッチとして動作するトランジスタは、複数が直列または並列に接続されてもよい場合がある。また、キャパシタ（容量素子ともいう）を分割して複数の位置に配置してもよい場合がある。

［００２９］

また、一つの導電体が、配線、電極および端子のような複数の機能を併せ持っている場合があり、本明細書においては、同一の要素に対して複数の呼称を用いる場合がある。また、回路図上で要素間が直接接続されているように図示されている場合であっても、実際には当該要素間が複数の導電体を介して接続されている場合があり、本明細書ではこのような構成でも直接接続の範疇に含める。

［００３０］

（実施の形態１）

本実施の形態では、本発明の一態様である表示装置について、図面を参照して説明する。

［００３１］

本発明の一態様は、低消費電力のソースドライバ、およびデータを加算する機能を有する画素を有する表示装置である。ソースドライバは、ロジック部とアンプ部が同一の電源電圧で適切に動作する構成を有する。低消費電力で動作するロジック部の電源電圧を基準とするため、アンプ部が出力できる電圧は小さくなるが、ソースドライバ全体の消費電力を抑えることができる。

［００３２］

また、当該画素は、第１のデータを保持する機能を有し、第１のデータに第２のデータを加算して第３のデータを生成し、第３のデータを表示デバイスに供給する機能を有する。したがって、ソー

スドライバから出力される電圧が小さくても画素で昇圧することができるため、表示デバイスを適切に動作させることができる。

［００３３］

つまり、電源電圧の小さいソースドライバと昇圧動作が可能な画素とを組み合わせることにより、極めて消費電力の小さい表示装置を実現することができる。

［００３４］

図１は、本発明の一態様の表示装置を説明する図である。表示装置は、画素アレイ１１と、ソースドライバ２０と、ゲートドライバ３０を有する。画素アレイ１１は、列方向および行方向に配置された画素１０を有する。なお、配線は簡易的に図示しており、詳細は後述する。

［００３５］

ソースドライバ２０は、ロジック部２１、アンプ部２２を有する構成とすることができる。ロジック部２１およびアンプ部２２には、電源回路２５が電気的に接続される。電源回路２５は一つに限らないが、ロジック部２１およびアンプ部２２に供給する電圧は同一とすることができる。

［００３６］

なお、ソースドライバ２０およびゲートドライバ３０は、ＣＯＦ（ｃｈｉｐ　ｏｎ　ｆｉｌｍ）法、ＣＯＧ（ｃｈｉｐ　ｏｎ　ｇｌａｓｓ）法、ＴＣＰ（ｔａｐｅ　ｃａｒｒｉｅｒ　ｐａｃｋａｇｅ）法などによりＩＣチップを外付けする方法を用いることができる。または、画素アレイ１１と同一の工程を利用して作製されるトランジスタを用いて、画素アレイ１１と同一基板上に作り込まれていてもよい。

［００３７］

図１ではゲートドライバ３０を画素アレイ１１の片側に配置した例を示しているが、画素アレイ１１を介して対向するように二つ配置し、駆動行を分割してもよい。

［００３８］

画素１０の具体例として、発光デバイスを有する画素の回路図を図２に示す。画素１０は、トランジスタ１０１と、トランジスタ１０２と、トランジスタ１０３と、トランジスタ１０４と、トランジスタ１０５と、キャパシタ１０６と、キャパシタ１０７と、発光デバイス１０８を有する。

［００３９］

トランジスタ１０１のソースまたはドレインの一方は、キャパシタ１０６の一方の電極と電気的に接続される。キャパシタ１０６の他方の電極は、トランジスタ１０２のソースまたはドレインの一方と電気的に接続される。トランジスタ１０２のソースまたはドレインの一方は、トランジスタ１０３のソースまたはドレインの一方と電気的に接続される。キャパシタ１０６の一方の電極は、トランジスタ１０４のゲートと電気的に接続される。トランジスタ１０４のソースまたはドレインの一方は、トランジスタ１０５のソースまたはドレインの一方と電気的に接続される。トランジスタ１０５のソースまたはドレインの一方は、発光デバイス１０８の一方の電極と電気的に接続される。発光デバイス１０８の一方の電極は、キャパシタ１０７の一方の電極と電気的に接続される。キャパシタ１０７の他方の電極は、トランジスタ１０４のゲートと電気的に接続される。

［００４０］

画素１０が有する要素と各種配線との接続を説明する。トランジスタ１０１のゲートは、配線１２５と電気的に接続される。トランジスタ１０２のゲートは、配線１２６と電気的に接続される。トランジスタ１０３のゲートは、配線１２５と電気的に接続される。トランジスタ１０５のゲートは、

配線１２７と電気的に接続される。

［００４１］

トランジスタ１０１のソースまたはドレインの他方は、配線１２１と電気的に接続される。トランジスタ１０２のソースまたはドレインの他方は、配線１２２と電気的に接続される。トランジスタ１０３のソースまたはドレインの他方は、配線１２４と電気的に接続される。トランジスタ１０４のソースまたはドレインの他方は、配線１２３と電気的に接続される。トランジスタ１０５のソースまたはドレインの他方は、配線１２４と電気的に接続される。発光デバイス１０８の他方の電極は、配線１２９と電気的に接続される。

［００４２］

配線１２５、１２６、１２７は、ゲート線としての機能を有し、ゲートドライバ３０と電気的に接続することができる（図１参照）。配線１２１、１２２はソース線としての機能を有し、ソースドライバ２０と電気的に接続することができる。

［００４３］

配線１２３、１２９は、電源線としての機能を有することができる。例えば、配線１２３には高電位を供給し、配線１２９には低電位を供給することで、発光デバイス１０８を順バイアス動作（発光）させることができる。

［００４４］

配線１２４は、基準電位（V_{ref}）が供給される機能を有することができる。例えば、“V_{ref}”としては、０Ｖ、ＧＮＤ電位などを用いることができる。または、特定の電位を“V_{ref}”としてもよい。

［００４５］

ここで、トランジスタ１０１のソースまたはドレインの一方と、キャパシタ１０６の一方の電極と、キャパシタ１０７の他方の電極と、トランジスタ１０４のゲートを接続する配線をノードＮＭとする。トランジスタ１０２のソースまたはドレインの一方と、キャパシタ１０６の他方の電極と、トランジスタ１０３のソースまたはドレインの一方を接続する配線をノードＮＡとする。

［００４６］

トランジスタ１０１は、ノードＮＭに配線１２１の電位を書き込む機能を有することができる。トランジスタ１０２は、ノードＮＡに配線１２２の電位を書き込む機能を有することができる。トランジスタ１０３は、ノードＮＡに基準電位（V_{ref}）を供給する機能を有することができる。トランジスタ１０４は、ノードＮＭの電位に従って発光デバイス１０８に流す電流を制御する機能を有することができる。トランジスタ１０５は、ノードＮＭへのデータ書き込み時にトランジスタ１０４のソース電位を固定する機能、および発光デバイス１０８の動作のタイミングを制御する機能を有することができる。

［００４７］

ノードＮＭは、ノードＮＡとキャパシタ１０６を介して接続されている。したがって、ノードＮＭをフローティング状態としたとき、ノードＮＡの電位変化分を容量結合で加算することができる。以下にノードＮＭにおける電位の加算について説明する。

［００４８］

画素１０では、まず、ノードＮＭに第１のデータ（重み：“Ｗ”）を書き込む。このとき、ノードＮＡには基準電位“V_{ref}”を供給し、キャパシタ１０６には“Ｗ－V_{ref}”を保持させる。次に、

ノードＮＡをフローティングとし、ノードＮＡに第２のデータ（データ：“Ｄ”）を供給する。

［００４９］

このとき、キャパシタ１０６の容量値をC_{106}、ノードＮＭの容量値をC_{NM}とすると、ノードＮＭの電位は、Ｗ＋（C_{106}／（C_{106}＋C_{NM}））×（Ｄ－V_{ref}）となる。ここで、C_{106}の値を大きくし、C_{NM}の値を無視できれば、C_{106}／（C_{106}＋C_{NM}）は１に近づき、ノードＮＭの電位を“Ｗ＋Ｄ－V_{ref}”とみなせる。

［００５０］

したがって、“Ｗ”＝“Ｄ”、“V_{ref}”＝０Ｖであって、C_{106}がC_{NM}に比べて十分に大きければノードＮＭの電位は“２Ｄ”に近づく。つまり、ソースドライバ２０の出力の約２倍の電位となる第３のデータ（“２Ｄ”）をノードＮＭで生成できることになる。

［００５１］

なお、“V_{ref}”が“－Ｗ”または“－Ｄ”であれば、ノードＮＭの電位を“３Ｄ”に近づけることもできる。

［００５２］

当該作用により、ソースドライバ２０の出力電圧が小さくても画素１０で必要な電圧を生成することができ、発光デバイス１０８を適切に動作させることができる。

［００５３］

ノードＮＭ、ノードＮＡは、保持ノードとして作用する。各ノードに接続するトランジスタを導通させることで、データを各ノードに書き込むことができる。また、当該トランジスタを非導通とすることで、当該データを各ノードに保持することができる。当該トランジスタに極めてオフ電流の低いトランジスタを用いることでリーク電流を抑えることができ、各ノードの電位を長時間保持することが可能となる。当該トランジスタには、例えば、金属酸化物をチャネル形成領域に用いたトランジスタ（以下、ＯＳトランジスタ）を用いることが好ましい。

［００５４］

具体的には、トランジスタ１０１、１０２、１０３のいずれか、または全てにＯＳトランジスタを適用することが好ましい。または、画素１０が有するトランジスタの全てにＯＳトランジスタを適用してもよい。また、リーク電流量が許容できる範囲で動作を行う場合は、Ｓｉをチャネル形成領域に有するトランジスタ（以下、Ｓｉトランジスタ）を適用してもよい。または、ＯＳトランジスタおよびＳｉトランジスタを併用してもよい。なお、上記Ｓｉトランジスタとしては、アモルファスシリコンを有するトランジスタ、結晶性のシリコン（微結晶シリコン、低温ポリシリコン、単結晶シリコン）を有するトランジスタなどが挙げられる。

［００５５］

ＯＳトランジスタに用いる半導体材料としては、エネルギーギャップが２ｅＶ以上、好ましくは２．５ｅＶ以上、より好ましくは３ｅＶ以上である金属酸化物を用いることができる。代表的には、インジウムを含む酸化物半導体などであり、例えば、後述するＣＡＡＣ－ＯＳまたはＣＡＣ－ＯＳなどを用いることができる。ＣＡＡＣ－ＯＳは結晶を構成する原子が安定であり、信頼性を重視するトランジスタなどに適する。また、ＣＡＣ－ＯＳは、高移動度特性を示すため、高速駆動を行うトランジスタなどに適する。

［００５６］

ＯＳトランジスタは半導体層のエネルギーギャップが大きいため、数ｙＡ／μｍ（チャネル幅１μ

mあたりの電流値）という極めて低いオフ電流特性を示すことができる。また、ＯＳトランジスタは、インパクトイオン化、アバランシェ降伏、および短チャネル効果などが生じないなどＳｉトランジスタとは異なる特徴を有し、信頼性の高い回路を形成することができる。また、Ｓｉトランジスタでは問題となる結晶性の不均一性に起因する電気特性のばらつきもＯＳトランジスタでは生じにくい。

［００５７］

ＯＳトランジスタが有する半導体層は、例えばインジウム、亜鉛およびM（Mはアルミニウム、チタン、ガリウム、ゲルマニウム、イットリウム、ジルコニウム、ランタン、セリウム、スズ、ネオジムまたはハフニウム等の金属）を含むＩｎ－Ｍ－Ｚｎ系酸化物で表記される膜とすることができる。Ｉｎ－Ｍ－Ｚｎ系酸化物は代表的には、スパッタリング法で形成することができる。または、ＡＬＤ（Ａｔｏｍｉｃ　ｌａｙｅｒ　ｄｅｐｏｓｉｔｉｏｎ）法を用いて形成してもよい。

［００５８］

Ｉｎ－Ｍ－Ｚｎ系酸化物をスパッタリング法で形成するために用いるスパッタリングターゲットの金属元素の原子数比は、Ｉｎ≧Ｍ、Ｚｎ≧Ｍを満たすことが好ましい。このようなスパッタリングターゲットの金属元素の原子数比として、Ｉｎ：Ｍ：Ｚｎ＝１：１：１、Ｉｎ：Ｍ：Ｚｎ＝１：１：１．２、Ｉｎ：Ｍ：Ｚｎ＝３：１：２、Ｉｎ：Ｍ：Ｚｎ＝４：２：３、Ｉｎ：Ｍ：Ｚｎ＝４：２：４．１、Ｉｎ：Ｍ：Ｚｎ＝５：１：６、Ｉｎ：Ｍ：Ｚｎ＝５：１：７、Ｉｎ：Ｍ：Ｚｎ＝５：１：８等が好ましい。なお、成膜される半導体層の原子数比はそれぞれ、上記のスパッタリングターゲットに含まれる金属元素の原子数比のプラスマイナス４０％の変動を含む。

［００５９］

半導体層としては、キャリア密度の低い酸化物半導体を用いる。例えば、半導体層には、キャリア密度が1×10^{17}／ｃｍ^{3}以下、好ましくは1×10^{15}／ｃｍ^{3}以下、さらに好ましくは1×10^{13}／ｃｍ^{3}以下、より好ましくは1×10^{11}／ｃｍ^{3}以下、さらに好ましくは1×10^{10}／ｃｍ^{3}未満であり、1×10^{-9}／ｃｍ^{3}以上の酸化物半導体を用いることができる。そのような酸化物半導体を、高純度真性または実質的に高純度真性な酸化物半導体と呼ぶ。当該酸化物半導体は、欠陥準位密度が低く、安定な特性を有する酸化物半導体であるといえる。

［００６０］

なお、これらに限られず、必要とするトランジスタの半導体特性および電気特性（電界効果移動度、しきい値電圧等）に応じて適切な組成のものを用いればよい。また、必要とするトランジスタの半導体特性を得るために、半導体層のキャリア密度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子間距離、密度等を適切なものとすることが好ましい。

［００６１］

半導体層を構成する酸化物半導体において、第１４族元素の一つであるシリコンや炭素が含まれると、酸素欠損が増加し、ｎ型化してしまう。このため、半導体層におけるシリコンや炭素の濃度（二次イオン質量分析法（ＳＩＭＳ：Ｓｅｃｏｎｄａｒｙ　Ｉｏｎ　Ｍａｓｓ　Ｓｐｅｃｔｒｏｍｅｔｒｙ）により得られる濃度）を、2×10^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは2×10^{17}ａｔｏｍｓ／ｃｍ^{3}以下とする。

［００６２］

また、アルカリ金属およびアルカリ土類金属は、酸化物半導体と結合するとキャリアを生成する場合があり、トランジスタのオフ電流が増大してしまうことがある。このため、半導体層におけるア

ルカリ金属またはアルカリ土類金属の濃度（ＳＩＭＳにより得られる濃度）を、１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下、好ましくは２×１０^{16}ａｔｏｍｓ／ｃｍ^{3}以下にする。

［００６３］

また、半導体層を構成する酸化物半導体に窒素が含まれていると、キャリアである電子が生じてキャリア密度が増加し、ｎ型化しやすい。この結果、窒素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため半導体層における窒素濃度（ＳＩＭＳにより得られる濃度）は、５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}以下にすることが好ましい。

［００６４］

また、半導体層を構成する酸化物半導体に水素が含まれていると、金属原子と結合する酸素と反応して水になるため、酸化物半導体中に酸素欠損を形成する場合がある。酸化物半導体中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。したがって、水素が多く含まれている酸化物半導体を用いたトランジスタは、ノーマリーオン特性となりやすい。

［００６５］

酸素欠損に水素が入った欠陥は、酸化物半導体のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、酸化物半導体においては、欠陥をドナー濃度ではなく、キャリア濃度で評価する場合がある。よって、本明細書等では、酸化物半導体のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア濃度を用いる場合がある。つまり、本明細書等に記載の「キャリア濃度」は、「ドナー濃度」と言い換えることができる場合がある。

［００６６］

よって、酸化物半導体中の水素はできる限り低減されていることが好ましい。具体的には、酸化物半導体において、ＳＩＭＳにより得られる水素濃度を、１×１０^{20}ａｔｏｍｓ／ｃｍ^{3}未満、好ましくは１×１０^{19}ａｔｏｍｓ／ｃｍ^{3}未満、より好ましくは５×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満、さらに好ましくは１×１０^{18}ａｔｏｍｓ／ｃｍ^{3}未満とする。水素などの不純物が十分に低減された酸化物半導体をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

［００６７］

また、半導体層は、例えば非単結晶構造でもよい。非単結晶構造は、例えば、ｃ軸に配向した結晶を有するＣＡＡＣ－ＯＳ（Ｃ－Ａｘｉｓ　Ａｌｉｇｎｅｄ　Ｃｒｙｓｔａｌｌｉｎｅ　Ｏｘｉｄｅ　Ｓｅｍｉｃｏｎｄｕｃｔｏｒ）、多結晶構造、微結晶構造、または非晶質構造を含む。非単結晶構造において、非晶質構造は最も欠陥準位密度が高く、ＣＡＡＣ－ＯＳは最も欠陥準位密度が低い。

［００６８］

非晶質構造の酸化物半導体膜は、例えば、原子配列が無秩序であり、結晶成分を有さない。または、非晶質構造の酸化物膜は、例えば、完全な非晶質構造であり、結晶部を有さない。

［００６９］

なお、半導体層が、非晶質構造の領域、微結晶構造の領域、多結晶構造の領域、ＣＡＡＣ－ＯＳの領域、単結晶構造の領域のうち、二種以上を有する混合膜であってもよい。混合膜は、例えば上述

した領域のうち、いずれか二種以上の領域を含む単層構造、または積層構造を有する場合がある。

［００７０］

以下では、非単結晶の半導体層の一態様であるＣＡＣ（Ｃｌｏｕｄ－Ａｌｉｇｎｅｄ　Ｃｏｍｐｏｓｉｔｅ）－ＯＳの構成について説明する。

［００７１］

ＣＡＣ－ＯＳとは、例えば、酸化物半導体を構成する元素が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上２ｎｍ以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、酸化物半導体において、一つあるいはそれ以上の金属元素が偏在し、該金属元素を有する領域が、０．５ｎｍ以上１０ｎｍ以下、好ましくは、１ｎｍ以上２ｎｍ以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

［００７２］

なお、酸化物半導体は、少なくともインジウムを含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれていてもよい。

［００７３］

例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳ（ＣＡＣ－ＯＳの中でもＩｎ－Ｇａ－Ｚｎ酸化物を、特にＣＡＣ－ＩＧＺＯと呼称してもよい。）とは、インジウム酸化物（以下、InO_{X1}（Ｘ１は０よりも大きい実数）とする。）、またはインジウム亜鉛酸化物（以下、$In_{X2}Zn_{Y2}O_{Z2}$（Ｘ２、Ｙ２、およびＺ２は０よりも大きい実数）とする。）と、ガリウム酸化物（以下、GaO_{X3}（Ｘ３は０よりも大きい実数）とする。）、またはガリウム亜鉛酸化物（以下、$Ga_{X4}Zn_{Y4}O_{Z4}$（Ｘ４、Ｙ４、およびＺ４は０よりも大きい実数）とする。）などと、に材料が分離することでモザイク状となり、モザイク状のInO_{X1}、または$In_{X2}Zn_{Y2}O_{Z2}$が、膜中に均一に分布した構成（以下、クラウド状ともいう。）である。

［００７４］

つまり、ＣＡＣ－ＯＳは、GaO_{X3}が主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とが、混合している構成を有する複合酸化物半導体である。なお、本明細書において、例えば、第１の領域の元素Ｍに対するＩｎの原子数比が、第２の領域の元素Ｍに対するＩｎの原子数比よりも大きいことを、第１の領域は、第２の領域と比較して、Ｉｎの濃度が高いとする。

［００７５］

なお、ＩＧＺＯは通称であり、Ｉｎ、Ｇａ、Ｚｎ、およびＯによる１つの化合物をいう場合がある。代表例として、$InGaO_3(ZnO)_{m1}$（ｍ１は自然数）、または$In_{(1+x0)}Ga_{(1-x0)}O_3(ZnO)_{m0}$（－１≦ｘ０≦１、ｍ０は任意数）で表される結晶性の化合物が挙げられる。

［００７６］

上記結晶性の化合物は、単結晶構造、多結晶構造、またはＣＡＡＣ構造を有する。なお、ＣＡＡＣ構造とは、複数のＩＧＺＯのナノ結晶がｃ軸配向を有し、かつａ－ｂ面においては配向せずに連結した結晶構造である。

［００７７］

一方、ＣＡＣ－ＯＳは、酸化物半導体の材料構成に関する。ＣＡＣ－ＯＳとは、Ｉｎ、Ｇａ、Ｚｎ、およびＯを含む材料構成において、一部にＧａを主成分とするナノ粒子状に観察される領域と、一部にＩｎを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。したがって、ＣＡＣ－ＯＳにおいて、結晶構造は副次的な要素である。

［００７８］

なお、ＣＡＣ－ＯＳは、組成の異なる二種類以上の膜の積層構造は含まないものとする。例えば、Ｉｎを主成分とする膜と、Ｇａを主成分とする膜との２層からなる構造は、含まない。

［００７９］

なお、GaO_{X3}が主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とは、明確な境界が観察できない場合がある。

［００８０］

なお、ガリウムの代わりに、アルミニウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種が含まれている場合、ＣＡＣ－ＯＳは、一部に該金属元素を主成分とするナノ粒子状に観察される領域と、一部にＩｎを主成分とするナノ粒子状に観察される領域とが、それぞれモザイク状にランダムに分散している構成をいう。

［００８１］

ＣＡＣ－ＯＳは、例えば基板を意図的に加熱しない条件で、スパッタリング法により形成することができる。また、ＣＡＣ－ＯＳをスパッタリング法で形成する場合、成膜ガスとして、不活性ガス（代表的にはアルゴン）、酸素ガス、および窒素ガスの中から選ばれたいずれか一つまたは複数を用いればよい。また、成膜時の成膜ガスの総流量に対する酸素ガスの流量比は低いほど好ましく、例えば酸素ガスの流量比を０％以上３０％未満、好ましくは０％以上１０％以下とすることが好ましい。

［００８２］

ＣＡＣ－ＯＳは、Ｘ線回折（ＸＲＤ：Ｘ－ｒａｙ　ｄｉｆｆｒａｃｔｉｏｎ）測定法のひとつであるＯｕｔ－ｏｆ－ｐｌａｎｅ法による $\theta/2\theta$ スキャンを用いて測定したときに、明確なピークが観察されないという特徴を有する。すなわち、Ｘ線回折測定から、測定領域のａ－ｂ面方向、およびｃ軸方向の配向は見られないことが分かる。

［００８３］

また、ＣＡＣ－ＯＳは、プローブ径が１ｎｍの電子線（ナノビーム電子線ともいう。）を照射することで得られる電子線回折パターンにおいて、リング状に輝度の高い領域（リング領域）と、該リング領域に複数の輝点が観測される。したがって、電子線回折パターンから、ＣＡＣ－ＯＳの結晶構造が、平面方向、および断面方向において、配向性を有さないｎｃ（ｎａｎｏ－ｃｒｙｓｔａｌ）構造を有することがわかる。

［００８４］

また、例えば、Ｉｎ－Ｇａ－Ｚｎ酸化物におけるＣＡＣ－ＯＳでは、エネルギー分散型Ｘ線分光法（ＥＤＸ：Ｅｎｅｒｇｙ　Ｄｉｓｐｅｒｓｉｖｅ　Ｘ－ｒａｙ　ｓｐｅｃｔｒｏｓｃｏｐｙ）を用いて取得したＥＤＸマッピングにより、GaO_{X3}が主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域とが、偏在し、混合している構造を有することが確認できる。

［００８５］

ＣＡＣ－ＯＳは、金属元素が均一に分布したＩＧＺＯ化合物とは異なる構造であり、ＩＧＺＯ化合物と異なる性質を有する。つまり、ＣＡＣ－ＯＳは、GaO_{X3}などが主成分である領域と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域と、に互いに相分離し、各元素を主成分とする領域がモザイク状である構造を有する。

［００８６］

ここで、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域は、GaO_{X3}などが主成分である領域と比較して、導電性が高い領域である。つまり、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域を、キャリアが流れることにより、酸化物半導体としての導電性が発現する。したがって、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域が、酸化物半導体中にクラウド状に分布することで、高い電界効果移動度（μ）が実現できる。

［００８７］

一方、GaO_{X3}などが主成分である領域は、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}が主成分である領域と比較して、絶縁性が高い領域である。つまり、GaO_{X3}などが主成分である領域が、酸化物半導体中に分布することで、リーク電流を抑制し、良好なスイッチング動作を実現できる。

［００８８］

したがって、ＣＡＣ－ＯＳを半導体デバイスに用いた場合、GaO_{X3}などに起因する絶縁性と、$In_{X2}Zn_{Y2}O_{Z2}$、またはInO_{X1}に起因する導電性とが、相補的に作用することにより、高いオン電流（I_{on}）、および高い電界効果移動度（μ）を実現することができる。

［００８９］

また、ＣＡＣ－ＯＳを用いた半導体デバイスは、信頼性が高い。したがって、ＣＡＣ－ＯＳは、様々な半導体装置の構成材料として適している。

［００９０］

なお、図２に示す画素１０の回路構成は一例であり、例えば、図３Ａに示すように、発光デバイス１０８の一方の電極を配線１２３と電気的に接続し、発光デバイス１０８の他方の電極をトランジスタ１０４のソースまたはドレインの他方と電気的に接続してもよい。

［００９１］

または、図３Ｂに示すように、トランジスタ１０４のソースまたはドレインの一方と発光デバイス１０８の一方の電極との間にトランジスタ１０９を設けてもよい。トランジスタ１０９を設けることで、発光のタイミングを任意に制御することができる。また、図３Ａ、図３Ｂに示す構成を組み合わせてもよい。

［００９２］

また、図３Ｃに示すように、トランジスタ１０５と接続される配線１２４には回路４０を電気的に接続することができる。回路４０は、基準電位（V_{ref}）の供給源、トランジスタ１０４の電気特性を取得する機能、および補正データを生成する機能の一つ以上を有することができる。

［００９３］

また、図４に示すように、垂直方向（ソース線（配線１２１、１２２）が延在する方向）に隣り合う２画素でゲート線（配線１２５）を共通とする構成としてもよい。図４は、ｎ行ｍ列目（ｎ、ｍは１以上の自然数）に配置される画素１０［ｎ，ｍ］、およびｎ＋１行ｍ列目に配置される画素１０［ｎ＋１，ｍ］を説明する図である。

［００９４］

画素１０［ｎ，ｍ］のトランジスタ１０２のゲートは、配線１２５［ｎ＋１］と電気的に接続される。配線１２５［ｎ＋１］には、画素１０［ｎ＋１，ｍ］のトランジスタ１０１のゲートおよびトランジスタ１０３のゲートが電気的に接続される。

［００９５］

画素１０［ｎ＋１，ｍ］のトランジスタ１０２のゲートは、配線１２５［ｎ＋２］と電気的に接続される。図示はしていないが、配線１２５［ｎ＋２］には、画素１０［ｎ＋２，ｍ］のトランジスタ１０１のゲートおよびトランジスタ１０３のゲートが電気的に接続される。

［００９６］

本発明の一態様の画素１０では、第１のデータ（重み）の書き込みおよび第２のデータ（データ）の書き込みの２回の書き込み動作がある。重みおよびデータは異なるソース線から供給されるため、垂直方向に隣り合う２画素において、一方の画素のデータ書き込みのタイミングと、他方の画素の重み書き込みのタイミングを重ねることができる。したがって、それらの動作を行うトランジスタのゲートが接続されるゲート線を共通とすることができる。

［００９７］

２画素間でゲート線を共通とすることで、１画素につきゲート線を３本から実質２本に減らすことができ、画素の開口率を上げることができる。また、ゲートドライバの動作を簡略化することができる。また、充放電が必要なゲート配線が減るため、消費電力も削減することができる。

［００９８］

次に、図４に示すゲート線を共通化した２画素の動作を図５に示すタイミングチャートを用いて説明する。以下に行う説明は、画素１０の動作によりソースドライバの出力するデータ電位の約２倍のデータ電位を表示デバイスに供給する動作の例である。

［００９９］

当該動作説明においては、高電位を“Ｈ”、低電位を“Ｌ”で表す。また、画素１０［ｎ，ｍ］に供給する重みを“Ｗ１”、画像データを“Ｄ１”、画素１０［ｎ＋１，ｍ］に供給する重みを“Ｗ２”、画像データを“Ｄ２”とする。”V_{ref}”としては、例えば０Ｖ、ＧＮＤ電位または特定の電位を用いることができる。

［０１００］

また、配線１２３には高電位が常時供給され、配線１２９には低電位が常時供給され、配線１２４には基準電位（V_{ref}）が常時供給されていることとする。なお、動作に支障がなければ、これらの電位が供給されていない期間があってもよい。

［０１０１］

なお、ここでは電位の分配、結合または損失において、回路の構成や動作タイミングなどに起因する詳細な変化は勘案しない。また、キャパシタを用いた容量結合による電位の変化は、当該キャパシタと、接続される要素との容量比に依存するが、説明を明瞭にするため、ノードＮＭの容量値は十分に小さい値に仮定する。

［０１０２］

時刻Ｔ１から時刻Ｔ２にかけて、配線１２１には“Ｗ１”が供給される。

［０１０３］

時刻Ｔ１に配線１２５［ｎ］の電位を“Ｈ”、配線１２７［ｎ］の電位を“Ｈ”とすると、画素

［ｎ，ｍ］において、トランジスタ１０３が導通し、ノードＮＡ［ｎ，ｍ］の電位は“V_{ref}”となる。当該動作は、後の加算動作（容量結合動作）を行うためのリセット動作である。

［０１０４］

また、トランジスタ１０１が導通し、ノードＮＭ［ｎ，ｍ］に配線１２１［ｍ］の電位が書き込まれる。当該動作は、画素１０［ｎ，ｍ］における重みの書き込み動作であり、ノードＮＭ［ｎ，ｍ］に電位“Ｗ１”が書き込まれる。また、トランジスタ１０５が導通し、トランジスタ１０４のソース電位が“V_{ref}”となる。したがって、トランジスタ１０４が導通状態となっても、発光デバイス１０８は発光しない。

［０１０５］

時刻Ｔ２から時刻Ｔ３にかけて、配線１２１には“Ｗ２”が供給され、配線１２２には“Ｄ１”が供給される。

［０１０６］

時刻Ｔ２に配線１２５［ｎ］の電位を“Ｌ”、配線１２７［ｎ］の電位を“Ｈ”、配線１２５［ｎ＋１］の電位を“Ｈ”、配線１２７［ｎ＋１］の電位を“Ｈ”とすると、トランジスタ１０１が非導通となる。この時点では、ノードＮＭ［ｎ，ｍ］には“Ｗ１”が保持される。また、キャパシタ１０６には、“Ｗ１－V_{ref}”が保持される。

［０１０７］

そして、トランジスタ１０３が非導通、トランジスタ１０２が導通となり、ノードＮＡ［ｎ，ｍ］の電位は配線１２２［ｍ］の電位“Ｄ１”となる。このとき、キャパシタ１０６とノードＮＭ［ｎ，ｍ］の容量比に応じた“（Ｄ１－V_{ref}）’”がノードＮＭ［ｎ，ｍ］に付加される。当該動作は画素１０［ｎ，ｍ］における加算動作であり、ノードＮＭ［ｎ，ｍ］の電位は“Ｗ１＋（Ｄ１－V_{ref}）’”となる。このとき、“V_{ref}”＝０であれば、ノードＮＭ［ｎ，ｍ］の電位は、“Ｗ１＋Ｄ１’”となる。

［０１０８］

このとき、トランジスタ１０４のソース電位は“V_{ref}”であり、トランジスタ１０４のソース電位が安定した状態で、ノードＮＭ［ｎ，ｍ］に電位“Ｗ１＋Ｄ１’”を書き込むことができる。

［０１０９］

また、画素［ｎ＋１，ｍ］において、トランジスタ１０３が導通し、ノードＮＡ［ｎ＋１，ｍ］の電位は“V_{ref}”となる。当該動作は、後の加算動作（容量結合動作）を行うためのリセット動作である。

［０１１０］

また、トランジスタ１０１が導通し、ノードＮＭ［ｎ＋１，ｍ］に配線１２１［ｍ］の電位が書き込まれる。当該動作は、画素１０［ｎ＋１，ｍ］における重みの書き込み動作であり、ノードＮＭ［ｎ＋１，ｍ］に電位“Ｗ２”が書き込まれる。また、トランジスタ１０５が導通し、トランジスタ１０４のソース電位が“V_{ref}”となる。したがって、トランジスタ１０４が導通状態となっても、発光デバイス１０８は発光しない。

［０１１１］

時刻Ｔ３から時刻Ｔ４にかけて、配線１２２には“Ｄ２”が供給される。

［０１１２］

時刻Ｔ３に配線１２７［ｎ］の電位を“Ｌ”、配線１２５［ｎ＋１］の電位を“Ｌ”、配線１２７

［ｎ＋１］の電位を“H”、配線１２５［ｎ＋２］の電位を“H”とすると、画素１０［ｎ，ｍ］において、トランジスタ１０５が非導通となり、ノードNM［ｎ，ｍ］の電位に応じてトランジスタ１０４から発光デバイス１０８に電流が流れ、発光デバイス１０８が発光する。

［０１１３］

また、画素１０［ｎ＋１，ｍ］において、トランジスタ１０３が非導通、トランジスタ１０２が導通となり、ノードＮＡ［ｎ＋１，ｍ］の電位は配線１２２［ｍ］の電位“Ｄ２”となる。このとき、キャパシタ１０６とノードNM［ｎ＋１，ｍ］の容量比に応じた“（Ｄ２－V_{ref}）’”がノードNM［ｎ＋１，ｍ］に付加される。当該動作は画素１０［ｎ＋１，ｍ］における加算動作であり、ノードNM［ｎ＋１，ｍ］の電位は“Ｗ２＋（Ｄ２－V_{ref}）’”となる。このとき、“V_{ref}”＝０であれば、ノードNM［ｎ＋１，ｍ］の電位は、“Ｗ２＋Ｄ２’”となる。

［０１１４］

このとき、トランジスタ１０４のソース電位は“V_{ref}”であり、トランジスタ１０４のソース電位が安定した状態で、ノードNM［ｎ＋１，ｍ］に電位“Ｗ１＋Ｄ２’”を書き込むことができる。

［０１１５］

時刻Ｔ４に配線１２７［ｎ＋１］の電位を“Ｌ”、配線１２５［ｎ＋２］の電位を“Ｌ”とすると、画素１０［ｎ＋１，ｍ］において、トランジスタ１０５が非導通となり、ノードNM［ｎ＋１，ｍ］の電位に応じてトランジスタ１０４から発光デバイス１０８に電流が流れ、発光デバイス１０８が発光する。

［０１１６］

上記動作において、Ｗ１＝Ｄ１またはＷ２＝Ｄ２であって、ノードNMの容量がキャパシタ１０６の容量よりも十分に小さい場合は、“Ｗ１＋Ｄ１’”は“２Ｄ１”に近い値、“Ｗ２＋Ｄ２’”は“２Ｄ２”に近い値となる。したがって、ソースドライバの出力するデータ電位の約２倍のデータ電位を表示デバイスに供給することができる。

［０１１７］

ここまで、画素１０には発光デバイスを用いる例を説明したが、液晶デバイスを用いてもよい。図６Ａは、表示デバイスに液晶デバイスを用いた画素１０の回路図である。液晶デバイス１１０の一方の電極はノードNMと電気的に接続され、液晶デバイス１１０の他方の電極は配線１３０と電気的に接続される。また、キャパシタ１０７の他方の電極は配線１３１と電気的に接続される。

［０１１８］

なお、配線１３０および配線１３１は、電気的に接続されていてもよい。配線１３０、１３１は電源を供給する機能を有する。例えば、配線１３０、１３１は、ＧＮＤや０Ｖなどの基準電位や任意の電位を供給することができる。

［０１１９］

トランジスタ１０３のソースまたはドレインの他方と接続される“V_{ref}”を供給するための配線には、図６Ｂに示すように配線１３１を用いることができる。または、配線１３０を用いてもよい。

［０１２０］

また、図６Ｃに示すようにキャパシタ１０７を省いた構成としてもよい。前述したように、ノードNMと接続するトランジスタにＯＳトランジスタを用いることができる。ＯＳトランジスタはリーク電流が極めて小さいため、保持容量として機能するキャパシタ１０７を省いても表示を比較的長時間維持することができる。また、トランジスタの構成に限らず、フィールドシーケンシャル駆動

のように、高速動作で表示期間を短くできる場合にもキャパシタ１０７を省くことは有効である。キャパシタ１０７を省くことで開口率を向上させることができる。または、画素の透過率を向上させることができる。

［０１２１］

また、液晶デバイスを用いた場合でも、図４と同様に垂直方向の２画素でゲート線を共通とすることができる。図７に示すように、液晶デバイスを用いた場合は、２画素間でゲート線を共通とすることで、１画素につきゲート線を２本から実質１本に減らすことができる。ノードＮＭで電位を加算する動作の説明は、発光デバイスを用いた場合の動作を参照することができる。

［０１２２］

また、本発明の一態様の画素１０においては、図８に示すように、トランジスタにバックゲートを設けた構成としてもよい。図８では、バックゲートがフロントゲートと電気的に接続された構成を示しており、オン電流を高める効果を有する。または、バックゲートが定電位を供給できる配線と電気的に接続された構成であってもよい。当該構成では、トランジスタのしきい値電圧を制御することができる。

［０１２３］

また、本発明の一態様の画素１０においては、図９に示すように、ソース線を１本とする構成としてもよい。画素１０では、重みとデータを異なるタイミングで書き込むため、それらを供給するソース線を共通とすることができる。

［０１２４］

図１０Ａ、図１０Ｂ、図１０Ｃは、表示デバイスに発光デバイスを用いたときの画素１０のレイアウト図の一例である。図１０Ａは、トランジスタおよび容量素子の配置および構成を説明する図であり、ゲート配線、半導体層（金属酸化物層）、ソースードレイン配線までの積層を示している。

［０１２５］

トランジスタ１０１乃至１０５はトップゲート型のセルフアライン構造で、バックゲートを有する。当該バックゲートは、ゲート配線としても機能する。キャパシタ１０６、１０７はゲート配線と同一の工程で形成される導電層、バックゲートのゲート絶縁膜と同一工程で形成される絶縁層、トランジスタの半導体層（金属酸化物層）と同一工程で形成される導電層（導電性金属酸化物層）で構成される。

［０１２６］

当該導電性金属酸化物層は、トランジスタのソース領域およびドレイン領域と同様に、金属酸化物層に不純物などを導入することでキャリア濃度を高めて形成することができる。なお、キャパシタの一方の電極として作用する導電性金属酸化物層は、抵抗値にばらつきが生じやすく、金属層ほど抵抗が低くないため、重ねて形成するソースードレイン配線と同一の工程で形成される導電層と導通させて配線の機能を補助することが好ましい。

［０１２７］

図１０Ｂは、図１０Ａの積層上に配線層（ソース配線および電源線）を設けた構成を示している。図１０Ｃは、図１０Ｂの積層上に画素電極１１１を設けた構成を示している。発光デバイスは、画素電極１１１を一方の電極とし、対向するコモン電極との間に設けられる発光層などで構成することができる。

［０１２８］

次に、本発明の一態様のソースドライバ２０について説明する。図１１Ａは、従来のソースドライバを説明するブロック図であり、図１１Ｂ、図１１Ｃは、トランジスタのチャネル長方向の断面を説明する図である。ソースドライバは、ロジック部およびアンプ部を有する。ロジック部２１には、回路２１＿１乃至２１＿ｎ（ｎは２以上の自然数）が設けられる。アンプ部２２には、回路２２＿１乃至２２＿ｍ（ｍは２以上の自然数）が設けられる。なお、ソースドライバにはそれ以外の回路を設けることもできる。

［０１２９］

回路２１＿１乃至２１＿ｎとしては、例えば、入力インターフェイス回路、シリアルパラレル変換回路、シフトレジスタ回路、ラッチ回路などを設けることができる。

［０１３０］

回路２２＿１乃至２２＿ｍとしては、例えば、レベルシフト回路、ＰＴＬ、アンプ回路などを設けることができる。

［０１３１］

ロジック部２１には、シフトレジスタ回路などの高速動作が必要な回路が含まれる。そのため、図１１Ｂに示すように、ロジック部２１を構成するトランジスタ１５１のゲート絶縁膜の厚さ（t_{GI}）は、比較的薄い膜厚ａで構成される。また、Ｐｅｌｇｒｏｍ　Ｐｌｏｔで示されるように、ゲート絶縁膜が比較的薄いトランジスタでは動作のばらつきが少ないため、トランジスタのチャネル長（Ｌ）は比較的短い、長さｃにすることができる。したがって、低電圧動作が可能で、ロジック部２１の消費電力は比較的小さい。

［０１３２］

一方、アンプ部２２には、アンプ回路などの比較的高い電圧を出力する回路が含まれる。高い電圧を出力するには、ゲート電圧を高める必要がある。そのため、図１１Ｃに示すように、アンプ部２２を構成するトランジスタ１５２のゲート絶縁膜の厚さ（t_{GI}）は、比較的厚い膜厚ｂ（ａ＜ｂ）で構成し、耐圧を高める必要がある。また、Ｐｅｌｇｒｏｍ　Ｐｌｏｔで示されるように、ゲート絶縁膜が比較的厚いトランジスタでは動作のばらつきが大きいため、トランジスタのチャネル長（Ｌ）は比較的長い、長さｄ（ｃ＜ｄ）とし、出力のばらつきを低減させる必要がある。

［０１３３］

以上の説明の通り、ロジック部２１とアンプ部２２では、トランジスタの構成が異なる。特にゲート絶縁膜の厚さが異なるトランジスタが１チップ中（または同一基板上）に混在すると作製工程が増加し、コストアップの要因となる。

［０１３４］

また、ロジック部とアンプ部では電源電圧が異なる。したがって、図１１Ａに示すように、例えば、ロジック部２１には低電圧を出力する電源回路２５ａが接続され、アンプ部２２には高電圧を出力する電源回路２５ｂが接続される。このように複数の電圧を出力する回路構成は、コストアップの一要因となる。

［０１３５］

なお、図１１Ｂ、図１１Ｃでは、シリコン基板に形成したフィン型トランジスタを例示したが、プレーナー型またはＳＯＩ型であってもよい。または、絶縁基板上に設けられ、チャネル形成領域に単結晶シリコンまたは多結晶シリコンを有するトランジスタであってもよい。または、絶縁基板上に設けられ、チャネル形成領域に金属酸化物を有するトランジスタであってもよい。いずれのトラ

ンジスタであっても上述の課題を有する。

［０１３６］

図１２Ａは、本発明の一態様のソースドライバ２０を説明するブロック図であり、図１２Ｂ、図１２Ｃは、トランジスタのチャネル長方向の断面を説明する図である。ソースドライバ２０内に設ける回路の種類は、図１１Ａに示した従来のソースドライバと同様にロジック部２１、アンプ部２２およびその他の回路を有することができる。

［０１３７］

本発明の一態様のソースドライバ２０は、少なくともアンプ部２２にも低電圧を出力する電源回路２５ａを接続する点が従来のソースドライバと異なる。ソースドライバ２０が有する回路全てに電源回路２５ａを接続してもよい。または、ソースドライバ２０が有する回路全てが同一の低電圧で動作できる構成としてもよい。

［０１３８］

図１２Ｂ、図１２Ｃに示すように、アンプ部２２に用いるトランジスタもロジック部２１と同じように、ゲート絶縁膜が薄く、チャネル長の短いトランジスタを用いることができる。したがって、アンプ部２２の消費電力を低減させることができる。

［０１３９］

また、同様のトランジスタは、ソースドライバ２０が有するデジタルアナログ変換回路およびバイアス生成回路などにも用いることができる。したがって、ソースドライバ２０全体の消費電力を極めて小さくすることができる。

［０１４０］

また、ロジック部２１およびアンプ部２２が有するトランジスタに同じ厚さのゲート絶縁膜を用いることができるため、製造工程を大幅に削減することができ、製造コストを削減することができる。

［０１４１］

また、従来のソースドライバでは必要であったアンプ部２２用の電源回路２５ｂを設ける必要がなくなることから、前述したコストアップの要因を排除することができる。なお、ソースドライバ２０と接続される電源回路２５ａは複数であってもよい。

［０１４２］

上述したロジック部２１が有するトランジスタおよびアンプ部２２が有するトランジスタに同じ厚さのゲート絶縁膜を用いることは、製造工程における大きな利点である。ここで、同じ厚さとは、作り分けをしない結果の厚さを示すものである。

［０１４３］

ソースドライバ２０が有するトランジスタの設計ルールが数ｎｍ乃至数百ｎｍのとき、ゲート絶縁膜の厚さは、例えば、数ｎｍ乃至数十ｎｍである。または１ｎｍ以下の場合もある。このような膜厚のレベルでは、ゲート絶縁膜が設けられる下地の凹凸の影響を受け、同一工程で作製しても一定のばらつきが生じる。それらは、断面ＴＥＭ観察などで確認することができる。

［０１４４］

上記を考慮し、ソースドライバ２０において、ロジック部またはアンプ部の一方が有するトランジスタのゲート絶縁膜の厚さがａの領域を有し、他方のトランジスタのゲート絶縁膜の厚さが、０．８ａ以上１．２ａ以下の領域を有する場合、本発明の一態様のようにゲート絶縁膜の作り分けはしていないと見なすことができる。より安定した工程を用いれば、一方のトランジスタのゲート絶縁

膜の厚さがａの領域を有し、他方のトランジスタのゲート絶縁膜の厚さが、０．９ａ以上１．１ａ以下の領域を有するように作製することもできる。

［０１４５］

以上が本発明の一態様のソースドライバ２０の説明である。ソースドライバ２０が有するロジック部およびアンプ部は、例えば、３．３Ｖ以下で動作させることができる。このように、当該ソースドライバ２０は、低消費電力動作が可能であるが、その出力電圧は小さいため、通常の画素では適切に表示デバイスを動作させることが困難である。当該ソースドライバ２０と、先に説明した画素１０を組み合わせることで、極めて消費電力の小さい表示装置を実現することができる。

［０１４６］

また、画素数が４Ｋ２Ｋ、８Ｋ４Ｋまたはそれ以上の高精細の表示装置であって、表示部が大型であるほど消費電力を低減する効果は大きくなる。画素数が多いほど１フレーム期間における書き込み回数が多く、表示部のサイズが大きいほどソース線の充放電に費やす電力が高いため、低電圧動作の効果が顕著に現れる。

［０１４７］

本実施の形態は、他の実施の形態および実施例に記載した構成と適宜組み合わせて実施することが可能である。

［０１４８］

（実施の形態２）

本実施の形態では、液晶デバイスを用いた表示装置の構成例と、発光デバイスを用いた表示装置の構成例について説明する。なお、本実施の形態においては、実施の形態１で説明した表示装置の要素、動作および機能の説明は省略する。

［０１４９］

本実施の形態で説明する表示装置には、実施の形態１で説明した画素を用いることができる。なお、以下に説明する走査線駆動回路はゲートドライバ、信号線駆動回路はソースドライバに相当する。信号線駆動回路には、実施の形態１で説明したソースドライバを用いることができる。

［０１５０］

図１３Ａ乃至図１３Ｃは、本発明の一態様を用いることができる表示装置の構成を示す図である。

［０１５１］

図１３Ａにおいて、第１の基板４００１上に設けられた表示部２１５を囲むようにして、シール材４００５が設けられ、表示部２１５がシール材４００５および第２の基板４００６によって封止されている。

［０１５２］

図１３Ａでは、走査線駆動回路２２１ａ、信号線駆動回路２３１ａ、信号線駆動回路２３２ａ、および共通線駆動回路２４１ａは、それぞれがプリント基板４０４１上に設けられた集積回路４０４２を複数有する。集積回路４０４２は、単結晶半導体または多結晶半導体で形成されている。共通線駆動回路２４１ａは、実施の形態１に示した配線１２３、１２４、１２９、１３０、１３１などに規定の電位を供給する機能を有する。

［０１５３］

走査線駆動回路２２１ａ、共通線駆動回路２４１ａ、信号線駆動回路２３１ａ、および信号線駆動回路２３２ａに与えられる各種信号および電位は、ＦＰＣ（Ｆｌｅｘｉｂｌｅ　ｐｒｉｎｔｅｄ

ｃｉｒｃｕｉｔ）４０１８を介して供給される。

［０１５４］

走査線駆動回路２２１ａおよび共通線駆動回路２４１ａが有する集積回路４０４２は、表示部２１５に選択信号を供給する機能を有する。信号線駆動回路２３１ａおよび信号線駆動回路２３２ａが有する集積回路４０４２は、表示部２１５に画像データを供給する機能を有する。集積回路４０４２は、第１の基板４００１上のシール材４００５によって囲まれている領域とは異なる領域に実装されている。

［０１５５］

なお、集積回路４０４２の接続方法は、特に限定されるものではなく、ワイヤボンディング法、ＣＯＦ法、ＣＯＧ法、ＴＣＰ法などを用いることができる。

［０１５６］

図１３Ｂは、信号線駆動回路２３１ａおよび信号線駆動回路２３２ａに含まれる集積回路４０４２をＣＯＧ法により実装する例を示している。また、駆動回路の一部または全体を表示部２１５と同じ基板上に一体形成して、システムオンパネルを形成することができる。

［０１５７］

図１３Ｂでは、走査線駆動回路２２１ａおよび共通線駆動回路２４１ａを、表示部２１５と同じ基板上に形成する例を示している。駆動回路を表示部２１５内の画素回路と同時に形成することで、部品点数を削減することができる。よって、生産性を高めることができる。

［０１５８］

また、図１３Ｂでは、第１の基板４００１上に設けられた表示部２１５と、走査線駆動回路２２１ａおよび共通線駆動回路２４１ａと、を囲むようにして、シール材４００５が設けられている。また表示部２１５、走査線駆動回路２２１ａ、および共通線駆動回路２４１ａの上に第２の基板４００６が設けられている。よって、表示部２１５、走査線駆動回路２２１ａ、および共通線駆動回路２４１ａは、第１の基板４００１とシール材４００５と第２の基板４００６とによって、表示デバイスと共に封止されている。

［０１５９］

また、図１３Ｂでは、信号線駆動回路２３１ａおよび信号線駆動回路２３２ａを別途形成し、第１の基板４００１に実装している例を示しているが、この構成に限定されない。走査線駆動回路を別途形成して実装してもよいし、信号線駆動回路の一部または走査線駆動回路の一部を別途形成して実装してもよい。また、図１３Ｃに示すように、信号線駆動回路２３１ａおよび信号線駆動回路２３２ａを表示部２１５と同じ基板上に形成してもよい。

［０１６０］

また、表示装置は、表示デバイスが封止された状態にあるパネルと、該パネルにコントローラを含むＩＣ等を実装した状態にあるモジュールとを含む場合がある。

［０１６１］

また、第１の基板上に設けられた表示部および走査線駆動回路は、トランジスタを複数有している。当該トランジスタとして、実施の形態１で示したＳｉトランジスタまたはＯＳトランジスタを適用することができる。

［０１６２］

周辺駆動回路が有するトランジスタと、表示部の画素回路が有するトランジスタの構造は同じであ

ってもよく、異なっていてもよい。周辺駆動回路が有するトランジスタは、全て同じ構造のトランジスタであってもよく、２種類以上の構造のトランジスタを有していてもよい。同様に、画素回路が有するトランジスタは、全て同じ構造のトランジスタであってもよく、２種類以上の構造のトランジスタを有していてもよい。

［０１６３］

また、第２の基板４００６上には入力装置４２００を設けることができる。図１３Ａ乃至図１３Ｃに示す表示装置に入力装置４２００を設けた構成はタッチパネルとして機能させることができる。

［０１６４］

本発明の一態様のタッチパネルが有する検知デバイス（センサ素子ともいう）に限定は無い。指やスタイラスなどの被検知体の近接または接触を検知することのできる様々なセンサを、検知デバイスとして適用することができる。

［０１６５］

センサの方式としては、例えば、静電容量方式、抵抗膜方式、表面弾性波方式、赤外線方式、光学方式、感圧方式など様々な方式を用いることができる。

［０１６６］

本実施の形態では、静電容量方式の検知デバイスを有するタッチパネルを例に挙げて説明する。

［０１６７］

静電容量方式としては、表面型静電容量方式、投影型静電容量方式等がある。また、投影型静電容量方式としては、自己容量方式、相互容量方式等がある。相互容量方式を用いると、同時多点検知が可能となるため好ましい。

［０１６８］

本発明の一態様のタッチパネルは、別々に作製された表示装置と検知デバイスとを貼り合わせる構成、表示デバイスを支持する基板および対向基板の一方または双方に検知デバイスを構成する電極等を設ける構成等、様々な構成を適用することができる。

［０１６９］

図１４Ａ、図１４Ｂに、タッチパネルの一例を示す。図１４Ａは、タッチパネル４２１０の斜視図である。図１４Ｂは、入力装置４２００の斜視概略図である。なお、明瞭化のため、代表的な構成要素のみを示している。

［０１７０］

タッチパネル４２１０は、別々に作製された表示装置と検知デバイスとを貼り合わせた構成である。

［０１７１］

タッチパネル４２１０は、入力装置４２００と、表示装置とを有し、これらが重ねて設けられている。

［０１７２］

入力装置４２００は、基板４２６３、電極４２２７、電極４２２８、配線４２３７、配線４２３８および配線４２３９を有する。例えば、電極４２２７は配線４２３７または配線４２３９と電気的に接続することができる。また、電極４２２８は配線４２３８と電気的に接続することができる。ＦＰＣ４２７２ｂは、配線４２３７、配線４２３８および配線４２３９の各々と電気的に接続する。ＦＰＣ４２７２ｂにはＩＣ４２７３ｂを設けることができる。

［０１７３］

または、表示装置の第１の基板４００１と第２の基板４００６との間にタッチセンサを設けてもよい。第１の基板４００１と第２の基板４００６との間にタッチセンサを設ける場合は、静電容量方式のタッチセンサのほか、光電変換素子を用いた光学式のタッチセンサを適用してもよい。

［０１７４］

図１５Ａ、図１５Ｂは、図１３Ｂ中でＮ１－Ｎ２の鎖線で示した部位の断面図である。図１５Ａ、図１５Ｂに示す表示装置は電極４０１５を有しており、電極４０１５はＦＰＣ４０１８が有する端子と異方性導電層４０１９を介して、電気的に接続されている。また、図１５Ａ、図１５Ｂでは、電極４０１５は、絶縁層４１１２、絶縁層４１１１、および絶縁層４１１０に形成された開口において配線４０１４と電気的に接続されている。

［０１７５］

電極４０１５は、第１の電極層４０３０と同じ導電層から形成され、配線４０１４は、トランジスタ４０１０、およびトランジスタ４０１１のソース電極およびドレイン電極と同じ導電層で形成されている。

［０１７６］

また、第１の基板４００１上に設けられた表示部２１５と走査線駆動回路２２１ａは、トランジスタを複数有しており、図１５Ａ、図１５Ｂでは、表示部２１５に含まれるトランジスタ４０１０、および走査線駆動回路２２１ａに含まれるトランジスタ４０１１を例示している。なお、図１５Ａ、図１５Ｂでは、トランジスタ４０１０およびトランジスタ４０１１としてボトムゲート型のトランジスタを例示しているが、トップゲート型のトランジスタであってもよい。

［０１７７］

図１５Ａ、図１５Ｂでは、トランジスタ４０１０およびトランジスタ４０１１上に絶縁層４１１２が設けられている。また、図１５Ｂでは、絶縁層４１１２上に隔壁４５１０が形成されている。

［０１７８］

また、トランジスタ４０１０およびトランジスタ４０１１は、絶縁層４１０２上に設けられている。また、トランジスタ４０１０およびトランジスタ４０１１は、絶縁層４１１１上に形成された電極４０１７を有する。電極４０１７はバックゲート電極として機能することができる。

［０１７９］

また、図１５Ａ、図１５Ｂに示す表示装置は、キャパシタ４０２０を有する。キャパシタ４０２０は、トランジスタ４０１０のゲート電極と同じ工程で形成された電極４０２１と、絶縁層４１０３と、ソース電極およびドレイン電極と同じ工程で形成された電極と、を有する例を示している。キャパシタ４０２０の構成はこれに限定されず、その他の導電層および絶縁層で形成されていてもよい。

［０１８０］

一般に、表示装置の画素部に設けられるキャパシタの容量値は、画素部に配置されるトランジスタのリーク電流等を考慮して、所定の期間の間電荷を保持できるように設定される。キャパシタの容量値は、当該キャパシタと電気的に接続されるトランジスタのオフ電流等を考慮して設定すればよい。

［０１８１］

表示部２１５に設けられたトランジスタ４０１０は表示デバイスと電気的に接続する。図１５Ａは、表示デバイスとして液晶デバイスを用いた液晶表示装置の一例である。図１５Ａにおいて、表示デ

バイスである液晶デバイス４０１３は、第１の電極層４０３０、第２の電極層４０３１、および液晶層４００８を含む。なお、配向膜として機能する絶縁層４０３２、絶縁層４０３３が液晶層４００８を挟持するように設けられている。第２の電極層４０３１は第２の基板４００６側に設けられ、第１の電極層４０３０と第２の電極層４０３１は液晶層４００８を介して重畳する。

［０１８２］

液晶デバイス４０１３として、様々なモードが適用された液晶デバイスを用いることができる。例えば、ＶＡ（Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＴＮ（Ｔｗｉｓｔｅｄ　Ｎｅｍａｔｉｃ）モード、ＩＰＳ（Ｉｎ－Ｐｌａｎｅ－Ｓｗｉｔｃｈｉｎｇ）モード、ＡＳＭ（Ａｘｉａｌｌｙ　Ｓｙｍｍｅｔｒｉｃ　ａｌｉｇｎｅｄ　Ｍｉｃｒｏ－ｃｅｌｌ）モード、ＯＣＢ（Ｏｐｔｉｃａｌｌｙ　Ｃｏｍｐｅｎｓａｔｅｄ　Ｂｅｎｄ）モード、ＦＬＣ（Ｆｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モード、ＡＦＬＣ（ＡｎｔｉＦｅｒｒｏｅｌｅｃｔｒｉｃ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）モード、ＥＣＢ（Ｅｌｅｃｔｒｉｃａｌｌｙ　Ｃｏｎｔｒｏｌｌｅｄ　Ｂｉｒｅｆｒｉｎｇｅｎｃｅ）モード、ＶＡ－ＩＰＳモード、ゲストホストモード等が適用された液晶デバイスを用いることができる。

［０１８３］

また、本実施の形態に示す液晶表示装置にノーマリーブラック型の液晶表示装置、例えば垂直配向（ＶＡ）モードを採用した透過型の液晶表示装置を適用してもよい。垂直配向モードとしては、ＭＶＡ（Ｍｕｌｔｉ－Ｄｏｍａｉｎ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＰＶＡ（Ｐａｔｔｅｒｎｅｄ　Ｖｅｒｔｉｃａｌ　Ａｌｉｇｎｍｅｎｔ）モード、ＡＳＶ（Ａｄｖａｎｃｅｄ　Ｓｕｐｅｒ　Ｖｉｅｗ）モードなどを用いることができる。

［０１８４］

なお、液晶デバイスは、液晶の光学変調作用によって光の透過または非透過を制御する素子である。液晶の光学的変調作用は、液晶にかかる電界（横方向の電界、縦方向の電界または斜め方向の電界を含む）によって制御される。液晶デバイスに用いる液晶としては、サーモトロピック液晶、低分子液晶、高分子液晶、高分子分散型液晶（ＰＤＬＣ：Ｐｏｌｙｍｅｒ　Ｄｉｓｐｅｒｓｅｄ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ）、強誘電性液晶、反強誘電性液晶等を用いることができる。これらの液晶材料は、条件により、コレステリック相、スメクチック相、キュービック相、カイラルネマチック相、等方相等を示す。

［０１８５］

図１５Ａでは、縦電界方式の液晶デバイスを有する液晶表示装置の例を示したが、本発明の一態様には、横電界方式の液晶デバイスを有する液晶表示装置を適用することができる。横電界方式を採用する場合、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために５重量％以上のカイラル剤を混合させた液晶組成物を液晶層４００８に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が短く、光学的等方性を示す。また、ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良または破損を軽減することができる。

［０１８６］
また、スペーサ４０３５は絶縁層を選択的にエッチングすることで得られる柱状のスペーサであり、第１の電極層４０３０と第２の電極層４０３１との間隔（セルギャップ）を制御するために設けられている。なお球状のスペーサを用いていてもよい。

［０１８７］
また、必要に応じて、ブラックマトリクス（遮光層）、着色層（カラーフィルタ）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などを適宜設けてもよい。例えば、偏光基板および位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。また、上記バックライトおよびサイドライトとして、マイクロＬＥＤなどを用いてもよい。

［０１８８］
図１５Ａに示す表示装置では、第２の基板４００６と第２の電極層４０３１の間に、遮光層４１３２、着色層４１３１、絶縁層４１３３が設けられている。

［０１８９］
遮光層として用いることのできる材料としては、カーボンブラック、チタンブラック、金属、金属酸化物、複数の金属酸化物の固溶体を含む複合酸化物等が挙げられる。遮光層は、樹脂材料を含む膜であってもよいし、金属などの無機材料の薄膜であってもよい。また、遮光層に、着色層に用いる材料を含む膜の積層膜を用いることもできる。例えば、ある色の光を透過する着色層に用いる材料を含む膜と、他の色の光を透過する着色層に用いる材料を含む膜との積層構造を用いることができる。着色層と遮光層の材料を共通化することで、装置を共通化できるほか工程を簡略化できるため好ましい。

［０１９０］
着色層に用いることのできる材料としては、金属材料、樹脂材料、顔料または染料が含まれた樹脂材料などが挙げられる。遮光層および着色層は、例えば、インクジェット法などを用いて形成することができる。

［０１９１］
また、図１５Ａ、図１５Ｂに示す表示装置は、絶縁層４１１１と絶縁層４１０４を有する。絶縁層４１１１および絶縁層４１０４として、不純物元素を透過しにくい絶縁層を用いる。絶縁層４１１１と絶縁層４１０４でトランジスタの半導体層を挟むことで、外部からの不純物の浸入を防ぐことができる。

［０１９２］
また、表示装置に含まれる表示デバイスとして発光デバイスを用いることができる。発光デバイスとしては、例えば、エレクトロルミネッセンスを利用するＥＬデバイスを適用することができる。ＥＬデバイスは、一対の電極の間に発光性の化合物を含む層（「ＥＬ層」ともいう。）を有する。一対の電極間に、ＥＬデバイスのしきい値電圧よりも大きい電位差を生じさせると、ＥＬ層に陽極側から正孔が注入され、陰極側から電子が注入される。注入された電子と正孔はＥＬ層において再結合し、ＥＬ層に含まれる発光性の化合物が発光する。

［０１９３］
ＥＬデバイスとしては、例えば、有機ＥＬデバイスまたは無機ＥＬデバイスを用いることができる。なお、発光材料に化合物半導体を用いるＬＥＤ（マイクロＬＥＤを含む）を用いることもできる。

［０１９４］
有機ＥＬデバイスは、電圧を印加することにより、一方の電極から電子、他方の電極から正孔がそれぞれＥＬ層に注入される。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に当該有機化合物は発光する。このようなメカニズムから、このような発光デバイスは、電流励起型の発光デバイスと呼ばれる。

［０１９５］
なお、ＥＬ層は、発光性の化合物以外に、正孔注入性の高い物質、正孔輸送性の高い物質、正孔ブロック材料、電子輸送性の高い物質、電子注入性の高い物質、またはバイポーラ性の物質（電子輸送性および正孔輸送性が高い物質）などを有していてもよい。

［０１９６］
ＥＬ層は、蒸着法（真空蒸着法を含む）、転写法、印刷法、インクジェット法、塗布法などの方法で形成することができる。

［０１９７］
無機ＥＬデバイスは、その素子構成により、分散型無機ＥＬデバイスと薄膜型無機ＥＬデバイスとに分類される。分散型無機ＥＬデバイスは、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナーアクセプター再結合型発光である。薄膜型無機ＥＬデバイスは、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光デバイスとして有機ＥＬデバイスを用いて説明する。

［０１９８］
発光デバイスは発光を取り出すために少なくとも一対の電極の一方が透明であればよい。そして、基板上にトランジスタおよび発光デバイスを形成し、当該基板とは逆側の面から発光を取り出す上面射出（トップエミッション）構造や、基板側の面から発光を取り出す下面射出（ボトムエミッション）構造や、両面から発光を取り出す両面射出（デュアルエミッション）構造の発光デバイスがあり、どの射出構造の発光デバイスも適用することができる。

［０１９９］
図１５Ｂは、表示デバイスとして発光デバイスを用いた発光表示装置（「ＥＬ表示装置」ともいう。）の一例である。表示デバイスである発光デバイス４５１３は、表示部２１５に設けられたトランジスタ４０１０と電気的に接続している。なお発光デバイス４５１３の構成は、第１の電極層４０３０、発光層４５１１、第２の電極層４０３１の積層構造であるが、この構成に限定されない。発光デバイス４５１３から取り出す光の方向などに合わせて、発光デバイス４５１３の構成は適宜変えることができる。

［０２００］
隔壁４５１０は、有機絶縁材料、または無機絶縁材料を用いて形成する。特に感光性の樹脂材料を用い、第１の電極層４０３０上に開口部を形成し、その開口部の側面が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

［０２０１］
発光層４５１１は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでもよい。

［０２０２］
発光デバイス４５１３の発光色は、発光層４５１１を構成する材料によって、白、赤、緑、青、シアン、マゼンタ、または黄などとすることができる。

［０２０３］
カラー表示を実現する方法としては、発光色が白色の発光デバイス４５１３と着色層を組み合わせて行う方法と、画素毎に発光色の異なる発光デバイス４５１３を設ける方法がある。前者の方法は後者の方法よりも生産性が高い。一方、後者の方法では、前者の方法よりも色純度の高い発光色を得ることができる。後者の方法に加えて、発光デバイス４５１３にマイクロキャビティ構造を付与することにより色純度をさらに高めることができる。

［０２０４］
なお、発光層４５１１は、量子ドットなどの無機化合物を有していてもよい。例えば、量子ドットを発光層に用いることで、発光材料として機能させることもできる。

［０２０５］
発光デバイス４５１３に酸素、水素、水分、二酸化炭素等が侵入しないように、第２の電極層４０３１および隔壁４５１０上に保護層を形成してもよい。保護層としては、窒化シリコン、窒化酸化シリコン、酸化アルミニウム、窒化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、ＤＬＣ（Ｄｉａｍｏｎｄ　Ｌｉｋｅ　Ｃａｒｂｏｎ）などを形成することができる。また、第１の基板４００１、第２の基板４００６、およびシール材４００５によって封止された空間には充填材４５１４が設けられ密封されている。このように、外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

［０２０６］
充填材４５１４としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、ＰＶＣ（ポリビニルクロライド）、アクリル系樹脂、ポリイミド、エポキシ系樹脂、シリコーン系樹脂、ＰＶＢ（ポリビニルブチラル）またはＥＶＡ（エチレンビニルアセテート）などを用いることができる。また、充填材４５１４に乾燥剤が含まれていてもよい。

［０２０７］
シール材４００５には、ガラスフリットなどのガラス材料や、二液混合型の樹脂などの常温で硬化する硬化樹脂、光硬化性の樹脂、熱硬化性の樹脂などの樹脂材料を用いることができる。また、シール材４００５に乾燥剤が含まれていてもよい。

［０２０８］
また、必要であれば、発光デバイスの射出面に偏光板、または円偏光板（楕円偏光板を含む）、位相差板（λ／４板、λ／２板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板または円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

［０２０９］
また、発光デバイスをマイクロキャビティ構造とすることで、色純度の高い光を取り出すことができる。また、マイクロキャビティ構造とカラーフィルタを組み合わせることで、映り込みが低減し、表示画像の視認性を高めることができる。

［０２１０］

表示デバイスに電圧を印加する第１の電極層および第２の電極層（画素電極層、共通電極層、対向電極層などともいう）においては、取り出す光の方向、電極層が設けられる場所、および電極層のパターン構造によって透光性、反射性を選択すればよい。

［０２１１］

第１の電極層４０３０、第２の電極層４０３１は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、インジウム錫酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

［０２１２］

また、第１の電極層４０３０、第２の電極層４０３１はタングステン（Ｗ）、モリブデン（Ｍｏ）、ジルコニウム（Ｚｒ）、ハフニウム（Ｈｆ）、バナジウム（Ｖ）、ニオブ（Ｎｂ）、タンタル（Ｔａ）、クロム（Ｃｒ）、コバルト（Ｃｏ）、ニッケル（Ｎｉ）、チタン（Ｔｉ）、白金（Ｐｔ）、アルミニウム（Ａｌ）、銅（Ｃｕ）、銀（Ａｇ）などの金属、またはその合金、もしくはその金属窒化物から一種以上を用いて形成することができる。

［０２１３］

また、第１の電極層４０３０、第２の電極層４０３１として、導電性高分子（導電性ポリマーともいう）を含む導電性組成物を用いて形成することができる。導電性高分子としては、いわゆるπ電子共役系導電性高分子を用いることができる。例えば、ポリアニリン若しくはその誘導体、ポリピロール若しくはその誘導体、ポリチオフェン若しくはその誘導体、または、アニリン、ピロールおよびチオフェンの２種以上からなる共重合体若しくはその誘導体などがあげられる。

［０２１４］

また、トランジスタは静電気などにより破壊されやすいため、駆動回路保護用の保護回路を設けることが好ましい。保護回路は、非線形素子を用いて構成することが好ましい。

［０２１５］

なお、図１６に示すように、トランジスタやキャパシタが高さ方向に重なる領域を有するようなスタック構造としてもよい。例えば、駆動回路を構成するトランジスタ４０１１およびトランジスタ４０２２を重ねて配置すれば、狭額縁の表示装置とすることができる。また、画素回路を構成するトランジスタ４０１０、トランジスタ４０２３、キャパシタ４０２０などが一部でも重なる領域を有するように配置すれば開口率や解像度を向上させることができる。なお、図１６では図１５Ａに示す液晶表示装置にスタック構造を応用した例を示しているが、図１５Ｂに示すＥＬ表示装置に応用してもよい。

［０２１６］

また、画素回路において、電極や配線に可視光に対して透光性の高い導電膜を用いることで、画素内の光の透過率を高めることができ、実質的に開口率を向上させることができる。なお、ＯＳトランジスタを用いる場合は半導体層も透光性を有するため、さらに開口率を高めることができる。これらは、トランジスタ等をスタック構造としない場合においても有効である。

［０２１７］

また、液晶表示装置と発光装置を組み合わせて表示装置を構成してもよい。

［０２１８］

発光装置は表示面の逆側、または表示面の端部に配置される。発光装置は表示デバイスに光を供給

する機能を有する。発光装置は、バックライトとも呼ぶことができる。

［０２１９］

ここで、発光装置は、板状またはシート状の導光部（導光板ともいう）と、異なる色の光を呈する複数の発光デバイスを有することができる。当該発光デバイスを導光部の側面近傍に配置すると、導光部側面から内部へ光を発することができる。導光部は光路を変更する機構（光取り出し機構ともいう）を有しており、これにより、発光装置は表示パネルの画素部に光を均一に照射することができる。または、導光部を設けず、画素の直下に発光装置を配置する構成としてもよい。

［０２２０］

発光装置は、赤色（Ｒ）、緑色（Ｇ）、青色（Ｂ）の３色の発光デバイスを有することが好ましい。さらに白色（Ｗ）の発光デバイスを有していてもよい。これら発光デバイスとして発光ダイオード（ＬＥＤ：Ｌｉｇｈｔ　Ｅｍｉｔｔｉｎｇ　Ｄｉｏｄｅ）を用いることが好ましい。

［０２２１］

さらに、発光デバイスは、その発光スペクトルの半値全幅（ＦＷＨＭ：Ｆｕｌｌ　Ｗｉｄｔｈ　ａｔ　Ｈａｌｆ　Ｍａｘｉｍｕｍ）が、５０ｎｍ以下、好ましくは４０ｎｍ以下、より好ましくは３０ｎｍ以下、さらに好ましくは２０ｎｍ以下である、極めて色純度の高い発光デバイスであることが好ましい。なお、発光スペクトルの半値全幅は、小さければ小さいほどよいが、例えば１ｎｍ以上とすることができる。これにより、カラー表示を行う際に、色再現性が高い鮮やかな表示を行うことができる。

［０２２２］

また、赤色の発光デバイスは、発光スペクトルのピーク波長が、６２５ｎｍ以上６５０ｎｍ以下の範囲内に位置する素子を用いることが好ましい。また、緑色の発光デバイスは、発光スペクトルのピーク波長が、５１５ｎｍ以上５４０ｎｍ以下の範囲内に位置する素子を用いることが好ましい。青色の発光デバイスは、発光スペクトルのピーク波長が、４４５ｎｍ以上４７０ｎｍ以下の範囲内に位置する素子を用いることが好ましい。

［０２２３］

表示装置は、３色の発光デバイスを順次点滅させるとともに、これと同期させて画素を駆動し、継時加法混色法に基づいてカラー表示を行うことができる。当該駆動方法は、フィールドシーケンシャル駆動とも呼ぶことができる。

［０２２４］

フィールドシーケンシャル駆動では、鮮やかなカラー画像を表示することができる。また、滑らかな動画像を表示することができる。また上記駆動方法を用いることで、１つの画素を複数の異なる色の副画素で構成する必要がなく、１つの画素の有効反射面積（有効表示面積、開口率ともいう）を大きくできるため、明るい表示を行うことができる。さらに、画素にカラーフィルタを設ける必要がないため、画素の透過率を向上させることもでき、さらに明るい表示を行うことができる。また、作製工程を簡略化でき、作製コストを低減することができる。

［０２２５］

図１７Ａ、図１７Ｂは、フィールドシーケンシャル駆動が可能な表示装置の断面概略図の一例である。当該表示装置の第１の基板４００１側にはＲＧＢ各色の発光が可能なバックライトユニットが設けられる。なお、フィールドシーケンシャル駆動では、ＲＧＢ各色の時分割発光で色を表現するため、カラーフィルタは不要となる。

［０２２６］

図１７Ａに示すバックライトユニット４３４０ａは、画素の直下に拡散板４３５２を介して発光デバイス４３４２が複数設けられた構成である。拡散板４３５２は、発光デバイス４３４２から第１の基板４００１側に射出された光を拡散し、表示部面内の輝度を均一化する機能を有する。発光デバイス４３４２と拡散板４３５２との間には、必要に応じて偏光板を設けてもよい。また、拡散板４３５２は不要であれば設けなくてもよい。また、遮光層４１３２を省いた構成としてもよい。

［０２２７］

バックライトユニット４３４０ａは、発光デバイス４３４２を多く搭載することができるため、明るい表示が可能となる。また、導光板は不要であり、発光デバイス４３４２の光の効率を損ないにくい利点がある。なお、必要に応じて発光デバイス４３４２に光拡散用のレンズ４３４４を設けてもよい。

［０２２８］

図１７Ｂに示すバックライトユニット４３４０ｂは、画素の直下に拡散板４３５２を介して導光板４３４１が設けられた構成である。導光板４３４１の端部には発光デバイス４３４２が複数設けられる。導光板４３４１は、拡散板４３５２とは逆側に凹凸形状を有し、導波した光を当該凹凸形状で散乱して拡散板４３５２の方向に射出することができる。

［０２２９］

発光デバイス４３４２は、プリント基板４３４７に固定することができる。なお、図１７Ｂでは、ＲＧＢ各色の発光デバイス４３４２が重なるように図示しているが、奥行方向にＲＧＢ各色の発光デバイス４３４２が並ぶように配置することもできる。また、導光板４３４１において、発光デバイス４３４２とは反対側の側面には、可視光を反射する反射層４３４８を設けてもよい。

［０２３０］

バックライトユニット４３４０ｂは、発光デバイス４３４２を少なくすることができるため、低コストかつ薄型とすることができる。

［０２３１］

また、液晶デバイスには、光散乱型液晶デバイスを用いてもよい。光散乱型液晶デバイスとしては、液晶と高分子の複合材料を有する素子を用いることが好ましい。例えば、高分子分散型液晶デバイスを用いることができる。または、高分子ネットワーク型液晶（ＰＮＬＣ（Ｐｏｌｙｍｅｒ　Ｎｅｔｗｏｒｋ　Ｌｉｑｕｉｄ　Ｃｒｙｓｔａｌ））素子を用いてもよい。

［０２３２］

光散乱型液晶デバイスは、一対の電極で挟まれる樹脂部の３次元ネットワーク構造中に液晶部が設けられた構造である。液晶部に用いる材料としては、例えばネマティック液晶を用いることができる。また、樹脂部としては光硬化樹脂を用いることができる。光硬化樹脂は、例えば、アクリレート、メタクリレートなどの単官能モノマー、ジアクリレート、トリアクリレート、ジメタクリレート、トリメタクリレートなどの多官能モノマー、または、これらを混合させた重合性化合物を用いることができる。

［０２３３］

光散乱型液晶デバイスは液晶材料の屈折率の異方性を利用し、光を透過または散乱させることにより表示を行う。また、樹脂部も屈折率の異方性を有していてもよい。光散乱型液晶デバイスに印加される電圧に従って液晶分子が一定方向に配列するとき、液晶部と樹脂部の屈折率の差が小さくな

る方向が発生し、当該方向に沿って入射する光は液晶部で散乱されることなく透過する。したがって、光散乱型液晶デバイスは当該方向からは透明な状態に視認される。一方で、印加される電圧に従って液晶分子の配列がランダムとなるとき、液晶部と樹脂部の屈折率の差に大きな変化が生じないため、入射する光は液晶部で散乱される。したがって、光散乱型液晶デバイスは視認の方向を問わず不透明の状態となる。

［０２３４］

図１８Ａは、図１７Ａの表示装置の液晶デバイス４０１３を光散乱型液晶デバイス４０１６に置き換えた構成である。光散乱型液晶デバイス４０１６は、液晶部および樹脂部を有する複合層４００９、第１の電極層４０３０、ならびに第２の電極層４０３１を有する。フィールドシーケンシャル駆動に関する要素は、図１７Ａと同じであるが、光散乱型液晶デバイス４０１６を用いる場合は、配向膜および偏光板が不要となる。なお、スペーサ４０３５は球状の形態で図示しているが、柱状であってもよい。

［０２３５］

図１８Ｂは、図１７Ｂの表示装置の液晶デバイス４０１３を光散乱型液晶デバイス４０１６に置き換えた構成である。図１８Ｂの構成では、光散乱型液晶デバイス４０１６に電圧を印加しないときに光を透過し、電圧を印加したときに光を散乱させるモードで動作する構成とすることが好ましい。当該構成とすることで、ノーマル状態（表示をさせない状態）で透明な表示装置とすることができる。この場合は、光を散乱させる動作を行ったときにカラー表示を行うことができる。

［０２３６］

図１８Ｂに示す表示装置の変形例を図１９Ａ乃至図１９Ｅに示す。なお、図１９Ａ乃至図１９Ｅにおいては、明瞭化のため、図１８Ｂの一部要素を用い、他の要素を省いて図示している。

［０２３７］

図１９Ａは、第１の基板４００１が導光板としての機能を有する構成である。第１の基板４００１の外側の面には、凹凸形状を設けてもよい。当該構成では、導光板を別途設ける必要がなくなるため、製造コストを低減することができる。また、当該導光板による光の減衰もなくなるため、発光デバイス４３４２が射出する光を効率良く利用することができる。

［０２３８］

図１９Ｂは、複合層４００９の端部近傍から光を入射する構成である。複合層４００９と第２の基板４００６との界面、および複合層４００９と第１の基板４００１との界面での全反射を利用し、光散乱型液晶デバイスから外部に光を射出することができる。複合層４００９の樹脂部には、第１の基板４００１および第２の基板４００６よりも屈折率が大きい材料を用いる。

［０２３９］

なお、発光デバイス４３４２は表示装置の一辺に設けるだけでなく、図１９Ｃに示すように対向する二辺に設けてもよい。さらに、三辺または四辺に設けてもよい。発光デバイス４３４２を複数の辺に設けることで、光の減衰を補うことができ、大面積の表示デバイスにも対応することができる。

［０２４０］

図１９Ｄは、発光デバイス４３４２から射出される光がミラー４３４５を介して表示装置に導光される構成である。当該構成により表示装置に一定の角度からの導光を行いやすくなるため、効率良く全反射光を得ることができる。

［０２４１］

図１９Ｅは、複合層４００９上に層４００３および層４００４の積層を有する構成である。層４００３および層４００４の一方はガラス基板などの支持体であり、他方は無機膜、有機樹脂のコーティング膜またはフィルムなどで形成することができる。複合層４００９の樹脂部には、層４００４よりも屈折率が大きい材料を用いる。また、層４００４には層４００３よりも屈折率が大きい材料を用いる。

［０２４２］

複合層４００９と層４００４との間には一つ目の界面が形成され、層４００４と層４００３との間には二つ目の界面が形成される。当該構成により、一つ目の界面で全反射されず通り抜けた光を二つ目の界面で全反射させ、複合層４００９に戻すことができる。したがって、発光デバイス４３４２が射出する光を効率良く利用することができる。

［０２４３］

なお、図１８Ｂおよび図１９Ａ乃至図１９Ｅにおける構成は、互いに組み合すことができる。

［０２４４］

本実施の形態は、他の実施の形態および実施例に記載した構成と適宜組み合わせて実施することが可能である。

［０２４５］

（実施の形態３）

本実施の形態では、上記実施の形態に示した各トランジスタに置き換えて用いることのできるトランジスタの一例について、図面を用いて説明する。

［０２４６］

本発明の一態様の表示装置は、ボトムゲート型のトランジスタや、トップゲート型トランジスタなどの様々な形態のトランジスタを用いて作製することができる。よって、既存の製造ラインに合わせて、使用する半導体層の材料やトランジスタ構造を容易に置き換えることができる。

［０２４７］

〔ボトムゲート型トランジスタ〕

図２０Ａ１は、ボトムゲート型のトランジスタの一種であるチャネル保護型のトランジスタ８１０のチャネル長方向の断面図である。図２０Ａ１において、トランジスタ８１０は基板７７１上に形成されている。また、トランジスタ８１０は、基板７７１上に絶縁層７７２を介して電極７４６を有する。また、電極７４６上に絶縁層７２６を介して半導体層７４２を有する。電極７４６はゲート電極として機能できる。絶縁層７２６はゲート絶縁層として機能できる。

［０２４８］

また、半導体層７４２のチャネル形成領域上に絶縁層７４１を有する。また、半導体層７４２の一部と接して、絶縁層７２６上に電極７４４ａおよび電極７４４ｂを有する。電極７４４ａは、ソース電極またはドレイン電極の一方として機能できる。電極７４４ｂは、ソース電極またはドレイン電極の他方として機能できる。電極７４４ａの一部、および電極７４４ｂの一部は、絶縁層７４１上に形成される。

［０２４９］

絶縁層７４１は、チャネル保護層として機能できる。チャネル形成領域上に絶縁層７４１を設けることで、電極７４４ａおよび電極７４４ｂの形成時に生じる半導体層７４２の露出を防ぐことができる。よって、電極７４４ａおよび電極７４４ｂの形成時に、半導体層７４２のチャネル形成領域

がエッチングされることを防ぐことができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。

［０２５０］

また、トランジスタ８１０は、電極７４４ａ、電極７４４ｂおよび絶縁層７４１上に絶縁層７２８を有し、絶縁層７２８の上に絶縁層７２９を有する。

［０２５１］

半導体層７４２に酸化物半導体を用いる場合、電極７４４ａおよび電極７４４ｂの、少なくとも半導体層７４２と接する部分に、半導体層７４２の一部から酸素を奪い、酸素欠損を生じさせることが可能な材料を用いることが好ましい。半導体層７４２中の酸素欠損が生じた領域はキャリア濃度が増加し、当該領域はｎ型化し、ｎ型領域（n^+領域）となる。したがって、当該領域はソース領域またはドレイン領域として機能することができる。半導体層７４２に酸化物半導体を用いる場合、半導体層７４２から酸素を奪い、酸素欠損を生じさせることが可能な材料の一例として、タングステン、チタン等を挙げることができる。

［０２５２］

半導体層７４２にソース領域およびドレイン領域が形成されることにより、電極７４４ａおよび電極７４４ｂと半導体層７４２の接触抵抗を低減することができる。よって、電界効果移動度や、しきい値電圧などの、トランジスタの電気特性を良好なものとすることができる。

［０２５３］

半導体層７４２にシリコンなどの半導体を用いる場合は、半導体層７４２と電極７４４ａの間、および半導体層７４２と電極７４４ｂの間に、ｎ型半導体またはｐ型半導体として機能する層を設けることが好ましい。ｎ型半導体またはｐ型半導体として機能する層は、トランジスタのソース領域またはドレイン領域として機能することができる。

［０２５４］

絶縁層７２９は、外部からのトランジスタへの不純物の拡散を防ぐ、または低減する機能を有する材料を用いて形成することが好ましい。なお、必要に応じて絶縁層７２９を省略することもできる。

［０２５５］

図２０Ａ２に示すトランジスタ８１１は、絶縁層７２９上にバックゲート電極として機能できる電極７２３を有する点が、トランジスタ８１０と異なる。電極７２３は、電極７４６と同様の材料および方法で形成することができる。

［０２５６］

一般に、バックゲート電極は導電層で形成され、ゲート電極とバックゲート電極で半導体層のチャネル形成領域を挟むように配置される。よって、バックゲート電極は、ゲート電極と同様に機能させることができる。バックゲート電極の電位は、ゲート電極と同電位としてもよいし、接地電位（ＧＮＤ電位）や、任意の電位としてもよい。また、バックゲート電極の電位をゲート電極と連動させず独立して変化させることで、トランジスタのしきい値電圧を変化させることができる。

［０２５７］

電極７４６および電極７２３は、どちらもゲート電極として機能することができる。よって、絶縁層７２６、絶縁層７２８、および絶縁層７２９は、それぞれがゲート絶縁層として機能することができる。なお、電極７２３は、絶縁層７２８と絶縁層７２９の間に設けてもよい。

［０２５８］

なお、電極７４６または電極７２３の一方を、「ゲート電極」という場合、他方を「バックゲート電極」という。例えば、トランジスタ８１１において、電極７２３を「ゲート電極」と言う場合、電極７４６を「バックゲート電極」と言う。また、電極７２３を「ゲート電極」として用いる場合は、トランジスタ８１１をトップゲート型のトランジスタの一種と考えることができる。また、電極７４６および電極７２３のどちらか一方を、「第１のゲート電極」といい、他方を「第２のゲート電極」という場合がある。

［０２５９］

半導体層７４２を挟んで電極７４６および電極７２３を設けることで、更には、電極７４６および電極７２３を同電位とすることで、半導体層７４２においてキャリアの流れる領域が膜厚方向においてより大きくなるため、キャリアの移動量が増加する。この結果、トランジスタ８１１のオン電流が大きくなると共に、電界効果移動度が高くなる。

［０２６０］

したがって、トランジスタ８１１は、占有面積に対して大きいオン電流を有するトランジスタである。すなわち、求められるオン電流に対して、トランジスタ８１１の占有面積を小さくすることができる。本発明の一態様によれば、トランジスタの占有面積を小さくすることができる。よって、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

［０２６１］

また、ゲート電極とバックゲート電極は導電層で形成されるため、トランジスタの外部で生じる電界が、チャネルが形成される半導体層に作用しないようにする機能（特に静電気などに対する電界遮蔽機能）を有する。なお、バックゲート電極を半導体層よりも大きく形成し、バックゲート電極で半導体層を覆うことで、電界遮蔽機能を高めることができる。

［０２６２］

また、バックゲート電極を、遮光性を有する導電膜で形成することで、バックゲート電極側から半導体層に光が入射することを防ぐことができる。よって、半導体層の光劣化を防ぎ、トランジスタのしきい値電圧がシフトするなどの電気特性の劣化を防ぐことができる。

［０２６３］

本発明の一態様によれば、信頼性の良好なトランジスタを実現することができる。また、信頼性の良好な半導体装置を実現することができる。

［０２６４］

図２０Ｂ１は、図２０Ａ１とは異なる構成のチャネル保護型のトランジスタ８２０のチャネル長方向の断面図である。トランジスタ８２０は、トランジスタ８１０とほぼ同様の構造を有しているが、絶縁層７４１が半導体層７４２の端部を覆っている点が異なる。また、半導体層７４２と重なる絶縁層７４１の一部を選択的に除去して形成した開口部において、半導体層７４２と電極７４４ａが電気的に接続している。また、半導体層７４２と重なる絶縁層７４１の一部を選択的に除去して形成した他の開口部において、半導体層７４２と電極７４４ｂが電気的に接続している。絶縁層７４１の、チャネル形成領域と重なる領域は、チャネル保護層として機能できる。

［０２６５］

図２０Ｂ２に示すトランジスタ８２１は、絶縁層７２９上にバックゲート電極として機能できる電極７２３を有する点が、トランジスタ８２０と異なる。

［０２６６］

絶縁層７４１を設けることで、電極７４４ａおよび電極７４４ｂの形成時に生じる半導体層７４２の露出を防ぐことができる。よって、電極７４４ａおよび電極７４４ｂの形成時に半導体層７４２の薄膜化を防ぐことができる。

［０２６７］

また、トランジスタ８２０およびトランジスタ８２１は、トランジスタ８１０およびトランジスタ８１１よりも、電極７４４ａと電極７４６の間の距離、および電極７４４ｂと電極７４６の間の距離が長くなる。よって、電極７４４ａと電極７４６の間に生じる寄生容量を小さくすることができる。また、電極７４４ｂと電極７４６の間に生じる寄生容量を小さくすることができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現できる。

［０２６８］

図２０Ｃ１は、ボトムゲート型のトランジスタの１つであるチャネルエッチング型のトランジスタ８２５のチャネル長方向の断面図である。トランジスタ８２５は、絶縁層７４１を用いずに電極７４４ａおよび電極７４４ｂを形成する。このため、電極７４４ａおよび電極７４４ｂの形成時に露出する半導体層７４２の一部がエッチングされる場合がある。一方、絶縁層７４１を設けないため、トランジスタの生産性を高めることができる。

［０２６９］

図２０Ｃ２に示すトランジスタ８２６は、絶縁層７２９上にバックゲート電極として機能できる電極７２３を有する点が、トランジスタ８２５と異なる。

［０２７０］

図２１Ａ１乃至図２１Ｃ２にトランジスタ８１０、８１１、８２０、８２１、８２５、８２６のチャネル幅方向の断面図をそれぞれ示す。

［０２７１］

図２１Ｂ２、図２１Ｃ２に示す構造では、ゲート電極とバックゲート電極とが接続され、ゲート電極とバックゲート電極との電位が同電位となる。また、半導体層７４２は、ゲート電極とバックゲート電極で挟まれている。

［０２７２］

ゲート電極およびバックゲート電極のそれぞれのチャネル幅方向の長さは、半導体層７４２のチャネル幅方向の長さよりも長く、半導体層７４２のチャネル幅方向全体は、絶縁層７２６、７４１、７２８、７２９を間に挟んでゲート電極およびバックゲート電極に覆われた構成である。

［０２７３］

当該構成とすることで、トランジスタに含まれる半導体層７４２を、ゲート電極およびバックゲート電極の電界によって電気的に取り囲むことができる。

［０２７４］

トランジスタ８２１およびトランジスタ８２６のように、ゲート電極およびバックゲート電極の電界によって、チャネル形成領域が形成される半導体層７４２を電気的に取り囲むトランジスタのデバイス構造をＳｕｒｒｏｕｎｄｅｄ　ｃｈａｎｎｅｌ（Ｓ－ｃｈａｎｎｅｌ）構造と呼ぶことができる。

［０２７５］

Ｓ－ｃｈａｎｎｅｌ構造とすることで、ゲート電極およびバックゲート電極の一方または双方によってチャネルを誘起させるための電界を効果的に半導体層７４２に印加することができるため、ト

ランジスタの電流駆動能力が向上し、高いオン電流特性を得ることが可能となる。また、オン電流を高くすることが可能であるため、トランジスタを微細化することが可能となる。また、Ｓ－ｃｈａｎｎｅｌ構造とすることで、トランジスタの機械的強度を高めることができる。

［０２７６］

〔トップゲート型トランジスタ〕

図２２Ａ１に例示するトランジスタ８４２は、トップゲート型のトランジスタの１つである。電極７４４ａおよび電極７４４ｂは、絶縁層７２８および絶縁層７２９に形成した開口部において半導体層７４２と電気的に接続する。

［０２７７］

また、電極７４６と重ならない絶縁層７２６の一部を除去し、電極７４６と残りの絶縁層７２６をマスクとして用いて不純物を半導体層７４２に導入することで、半導体層７４２中に自己整合（セルフアライメント）的に不純物領域を形成することができる。トランジスタ８４２は、絶縁層７２６が電極７４６の端部を越えて延伸する領域を有する。半導体層７４２の絶縁層７２６を介して不純物が導入された領域の不純物濃度は、絶縁層７２６を介さずに不純物が導入された領域の不純物濃度よりも小さくなる。よって、半導体層７４２は、絶縁層７２６と重なる領域であって、電極７４６と重ならない領域にＬＤＤ（Ｌｉｇｈｔｌｙ　Ｄｏｐｅｄ　Ｄｒａｉｎ）領域が形成される。

［０２７８］

図２２Ａ２に示すトランジスタ８４３は、電極７２３を有する点がトランジスタ８４２と異なる。トランジスタ８４３は、基板７７１の上に形成された電極７２３を有する。電極７２３は、絶縁層７７２を介して半導体層７４２と重なる領域を有する。電極７２３は、バックゲート電極として機能することができる。

［０２７９］

また、図２２Ｂ１に示すトランジスタ８４４および図２２Ｂ２に示すトランジスタ８４５のように、電極７４６と重ならない領域の絶縁層７２６を全て除去してもよい。また、図２２Ｃ１に示すトランジスタ８４６および図２２Ｃ２に示すトランジスタ８４７のように、絶縁層７２６を残してもよい。

［０２８０］

トランジスタ８４２乃至トランジスタ８４７も、電極７４６を形成した後に、電極７４６をマスクとして用いて不純物を半導体層７４２に導入することで、半導体層７４２中に自己整合的に不純物領域を形成することができる。本発明の一態様によれば、電気特性の良好なトランジスタを実現することができる。また、本発明の一態様によれば、集積度の高い半導体装置を実現することができる。

［０２８１］

図２３Ａ１乃至図２３Ｃ２にトランジスタ８４２、８４３、８４４、８４５、８４６、８４７のチャネル幅方向の断面図をそれぞれ示す。

［０２８２］

トランジスタ８４３、トランジスタ８４５、およびトランジスタ８４７は、それぞれ先に説明したＳ－ｃｈａｎｎｅｌ構造である。ただし、これに限定されず、トランジスタ８４３、トランジスタ８４５、およびトランジスタ８４７をＳ－ｃｈａｎｎｅｌ構造としなくてもよい。

［０２８３］

本実施の形態は、他の実施の形態および実施例に記載した構成と適宜組み合わせて実施することが可能である。

［０２８４］

（実施の形態４）

本発明の一態様に係る表示装置を用いることができる電子機器として、表示機器、パーソナルコンピュータ、記録媒体を備えた画像記憶装置または画像再生装置、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍端末、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレイヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図２４に示す。

［０２８５］

図２４Ａはデジタルカメラであり、筐体９６１、シャッターボタン９６２、マイク９６３、スピーカ９６７、表示部９６５、操作キー９６６、ズームレバー９６８、レンズ９６９等を有する。表示部９６５に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

［０２８６］

図２４Ｂは携帯データ端末であり、筐体９１１、表示部９１２、スピーカ９１３、操作ボタン９１４、カメラ９１９等を有する。表示部９１２が有するタッチパネル機能により情報の入出力を行うことができる。表示部９１２に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

［０２８７］

図２４Ｃは携帯電話機であり、筐体９５１、表示部９５２、操作ボタン９５３、外部接続ポート９５４、スピーカ９５５、マイク９５６、カメラ９５７等を有する。当該携帯電話機は、表示部９５２にタッチセンサを備える。電話を掛ける、或いは文字を入力するなどのあらゆる操作は、指やスタイラスなどで表示部９５２に触れることで行うことができる。また、筐体９５１および表示部９５２は可撓性を有し、図示するように折り曲げて使用することができる。表示部９５２に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

［０２８８］

図２４Ｄはビデオカメラであり、第１筐体９０１、第２筐体９０２、表示部９０３、操作キー９０４、レンズ９０５、接続部９０６、スピーカ９０７等を有する。操作キー９０４およびレンズ９０５は第１筐体９０１に設けられており、表示部９０３は第２筐体９０２に設けられている。表示部９０３に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

［０２８９］

図２４Ｅはテレビであり、筐体９７１、表示部９７３、操作ボタン９７４、スピーカ９７５、通信用接続端子９７６、光センサ９７７等を有する。表示部９７３にはタッチセンサが設けられ、入力操作を行うこともできる。表示部９７３に本発明の一態様の表示装置を用いることで、様々な画像の表示を行うことができる。

［０２９０］

図２４Ｆはデジタルサイネージであり、大型の表示部９２２を有する。デジタルサイネージは、例えば、柱９２１の側面に大型の表示部９２２が取り付けられる。表示部９２２に本発明の一態様の

表示装置を用いることで、表示品位の高い表示を行うことができる。

［０２９１］

本実施の形態は、他の実施の形態および実施例に記載した構成と適宜組み合わせて実施することが可能である。

［実施例］

［０２９２］

本実施例では、本発明の一態様に関わるトランジスタおよび表示装置を試作した結果について説明する。

［０２９３］

＜トランジスタ特性＞

［０２９４］

図２５Ａは、表示装置の製造工程と共通する工程で作製したＯＳトランジスタ（Ｗ／Ｌ＝３μｍ／６μｍ）のI_D－V_G特性（Ｖｄｓ＝０．１Ｖ、１０Ｖ）である。また、図２５Ｂは、ＯＳトランジスタ（Ｗ／Ｌ＝６μｍ／２μｍ）のI_D－V_G特性（V_{ds}＝０．１Ｖ、１０Ｖ）である。トランジスタ特性はノーマリーオフであり、オフ電流は測定機器の測定下限以下の値であった。ＯＳトランジスタは、チャネル長が２μｍ以下であれば、一般的な低温ポリシリコン（Ｌｏｗ　Ｔｅｍｐｅｒａｔｕｒｅ　Ｐｏｌｙｃｒｙｓｔａｌｌｉｎｅ　Ｓｉｌｉｃｏｎ、以下ＬＴＰＳ）トランジスタと同程度の電流能力を示す。

［０２９５］

＜ＥＬ画素回路＞

図２６Ａに、表示素子として発光デバイスを用いた画素の回路図を示す。画素回路には、１個のトランジスタ（Ｍ４）と１個のキャパシタ（ＣＷ）で構成されるメモリ回路を設けており、画素回路全体として、５個のトランジスタ（Ｍ１乃至Ｍ５）と、２個のキャパシタ（ＣＷ、ＣＳ）と、発光デバイス（ＯＬＥＤ）を有する構成とした。また、全てのトランジスタにフロントゲートと電気的に接続するバックゲートを設けた。画素回路が有する要素は、ゲート線（ＧＬ１乃至ＧＬ３）、ソース線（ＳＬ、ＳＬＷ）、電源線（ＡＮＯＤＥ、ＣＡＴＨＯＤＥ）、基準電位線（Ｖ０）の少なくとも一つと電気的な接続を有する。また、画素回路は、いくつかの要素が接続されるｎｏｄｅ　Ａおよびｎｏｄｅ　Ｂを有する。詳細は、図２の説明を参照することができる。

［０２９６］

ＯＳトランジスタは、その極めて小さいリーク電流特性から、１個のトランジスタと１個のキャパシタでメモリ回路として機能させることができる。そのため、ＬＴＰＳトランジスタを適用した場合に比べ、少ない要素数でメモリ回路を画素に組み込むことができる。また、当該メモリ回路はアナログ値を保持することができる。

［０２９７］

次に、図２６Ｂに示すタイミングチャートに従った駆動方法について簡単に説明する。重み（V_w）を書き込む期間と表示データ（V_{data}）を書き込む期間は異なるタイミングとした。なお、タイミングチャート内に示すｎは画素の行数を示し、ｎは１以上の自然数である。

［０２９８］

＜重み（V_w）の書き込み＞

まず、ゲート線ＧＬ１を高電位とし、トランジスタＭ４、Ｍ５を導通させてｎｏｄｅ　Ａに基準電

位線（Ｖ０）から供給される基準電位V_0を書き込む。また、ｎｏｄｅ　Ｂにソース線ＳＬＷに供給される電位（V_w）を書き込む。

［０２９９］

＜表示データ（V_{data}）の書き込み＞

次に、ゲート線ＧＬ１を低電位、ゲート線ＧＬ２を高電位とし、ｎｏｄｅ　Ａにソース線ＳＬに供給される電位（V_{data}）を書き込む。このとき、ｎｏｄｅ　Ｂ（トランジスタＭ２のゲート）の電圧V_gは、（C_w（V_w-V_0）＋C_s（V_w-V_0）＋$C_w\cdot V_{data}$）／（C_w+C_s）となる。なお、C_wはキャパシタＣＷの容量値、C_sはキャパシタＣＳの容量値である。

［０３００］

ここで、V_0＝０Ｖであれば、$V_g=V_w+(C_w/(C_w+C_s))\cdot V_{data}$となる。したがって、$V_w>(C_s/(C_w+C_s))\cdot V_{data}$であれば、ソースドライバの出力よりも大きな電圧を画素に印加できることになる。

［０３０１］

＜液晶画素回路＞

図２７Ａに、表示素子として液晶デバイスを用いた画素の回路図を示す。画素回路には、ＥＬ画素回路と同様に１個のトランジスタ（Ｍ４）と１個のキャパシタ（ＣＷ）で構成されるメモリ回路を設けている。画素回路全体として、２個のトランジスタ（Ｍ１、Ｍ４）と、２個のキャパシタ（ＣＷ、ＣＳ）と、液晶デバイス（ＬＣ）を有する構成とした。また、全てのトランジスタにフロントゲートと電気的に接続するバックゲートを設けた。画素回路が有する要素は、ゲート線（ＧＬ１、ＧＬ２）、ソース線（ＳＬ、ＳＬＷ）、基準電位線（ＴＣＯＭ、ＣＳＣＯＭ）のいずれかの少なくとも一つと電気的な接続を有する。また、画素回路は、いくつかの要素が接続されるｎｏｄｅ　Ａおよびｎｏｄｅ　Ｂを有する。詳細は、図６Ａの説明を参照することができる。なお、ＥＬ画素回路と共通する要素には共通の符号を用いている。

［０３０２］

次に、上記液晶画素回路の駆動方法について簡単に説明する。

［０３０３］

＜重み（V_w）の書き込み＞

まず、ゲート線ＧＬ１、ＧＬ２を高電位とし、トランジスタＭ１、Ｍ４を導通させてｎｏｄｅ　Ａにソース線ＳＬに供給される電位（基準電位V_r）を書き込む。また、ｎｏｄｅ　ＢにＳＬＷに供給される電位（V_w）を書き込む。

［０３０４］

＜表示データ（V_{data}）の書き込み＞

次に、ゲート線ＧＬ１を低電位、ゲート線ＧＬ２を高電位とし、Ｍ４のみを非導通としてｎｏｄｅ Ａにソース線ＳＬに供給される電位（V_{data}）を書き込む。このとき、キャパシタＣＷの容量結合によりｎｏｄｅ　Ｂの電位は、（C_w（V_w-V_r）＋（C_s+C_{lc}）・（V_w-V_r）＋$C_w\cdot V_{data}$）／（$C_w+C_s+C_{lc}$）となる。なお、C_{lc}は、液晶デバイスＬＣの容量値である。

［０３０５］

ｎｏｄｅ　Ｂの電位は、C_wと（C_s+C_{lc}）との比にも依存するが、当該式によりV_{data}よりも大きな電位とすることができる。すなわち、ソースドライバから供給されるV_{data}よりも大きい電位を液晶デバイスＬＣに印加することができる。

［０３０６］

＜ソースドライバ＞

前述した効果を利用すると、ＥＬ画素回路において、電圧V_gとして最大５Ｖの電圧が必要な場合、ソースドライバの出力電圧は、５Ｖよりも小さな値とすることができる。電圧V_gは、キャパシタＣＷとキャパシタＣＳの容量比にも依存するが、ソースドライバの出力電圧は、例えば３．３Ｖでも十分となる。

［０３０７］

また、液晶画素回路において、ｎｏｄｅ　Ｂで最大５Ｖの電圧が必要な場合、ソースドライバの出力電圧は、５Ｖよりも小さな値とすることができる。ｎｏｄｅ　Ｂの電圧は、キャパシタＣＷとキャパシタＣＳ＋液晶デバイスＬＣの容量比にも依存するが、ソースドライバの出力電圧は、例えば３．３Ｖでも十分となる。

［０３０８］

当該効果は、ソースドライバが有するアンプ回路の耐圧上限の低減にもつながる。上述したＥＬ画素回路を利用することで、ソースドライバのアンプ回路は、５Ｖの耐圧を持つテクノロジで構成する必要がなくなり、３．３Ｖの耐圧を持つテクノロジで構成すればよいことになる。また、上述した液晶画素回路を利用することで、ソースドライバのアンプ回路は、１０Ｖ以上の耐圧を持つテクノロジで構成する必要がなくなり、１０Ｖ以下の耐圧を持つテクノロジで構成すればよいことになる。

［０３０９］

ソースドライバを図２８に示すブロック図の構成とし、各ブロックの消費電力を見積もるシミュレーションを５Ｖテクノロジおよび３．３Ｖテクノロジを想定して行った。想定したパネルは、スマートフォンサイズのパネルであり、画素数は１０８０×１９２０である。なお、シミュレーションにはＳｉｌｖａｃｏ社のＳｍａｒｔｓｐｉｃｅを使用した。

［０３１０］

なお、パネルの動作条件は、表示部の３０％を書き換える場合を想定した。また、ソースドライバのロジック部等の構成は共通とし、アンプ回路のみトランジスタサイズを変更した場合を想定した。

［０３１１］

図２９ＡにＥＬ画素回路に適用するソースドライバの消費電力の見積もり比較結果を示す。画素回路Ａは、従来の画素回路（トランジスタ×３＋キャパシタ×１、図２６Ａにおいて、トランジスタＭ１、Ｍ３およびキャパシタＣＷを有さない構成）の想定であり、５Ｖテクノロジのアンプ回路を有するソースドライバの消費電力を示している。画素回路Ｂは、前述した本発明の一態様の画素回路（トランジスタ×５＋キャパシタ×２、図２６Ａの構成）の想定であり、３．３Ｖテクノロジのアンプ回路を有するソースドライバの消費電力を示している。

［０３１２］

図２９Ａに示すように、画素回路Ｂを用い、かつ適切なテクノロジのソースドライバを用いることで消費電力を大きく削減できることがわかった。ソースドライバの消費電力の大半を占めるアンプ回路に、低電圧用のテクノロジを適用できることが大きく消費電力を下げられる理由である。また、レベルシフト回路の消費電力は、電源電圧に依存する。したがって、本発明の一態様の画素回路を用いることで、ソースドライバを低消費電力化できることがわかった。

［０３１３］

図２９Ｂに液晶画素回路に適用するソースドライバの消費電力の見積もり比較結果を示す。画素回路Ｃは、従来の画素回路（トランジスタ×１＋キャパシタ×１、図２７Ａにおいて、トランジスタＭ１およびキャパシタＣＷを有さない構成）およびソースドライバを想定したときの消費電力を示している。また、画素回路Ｄは、本発明の一態様の画素回路および適切なテクノロジのソースドライバを想定したときの消費電力である。なお、画素回路Ｄとしては、より低消費電力の見込める動作が行える図２７Ｂに示す画素回路（トランジスタ×３＋キャパシタ×２）を用いた。図２９Ｂに示す結果より、ＥＬ画素回路に適用するソースドライバの結果と同様に、本発明の一態様の画素回路を用いることで、ソースドライバを低消費電力化できることがわかった。

［０３１４］

図２６Ａに示す画素回路は、上述した画素回路Ｂ（トランジスタ×５＋キャパシタ×２）に相当するが、画素回路Ａ（トランジスタ×３＋キャパシタ×１）としての動作も可能である。ここで、図２６Ａに示す画素回路を有したパネルを試作し、画素回路Ａとして動作させた場合（Ａモード）と、画素回路Ｂとして動作させた場合（Ｂモード）の消費電力を実測した結果を説明する。なお、ソースドライバには、５Ｖテクノロジを用いている。

［０３１５］

表示画像には、全白、チェッカー（白黒格子）、自然画（シマウマの画像）の３種類を用いた。また、ＡモードとＢモードで発光デバイス（ＯＬＥＤ）の輝度を揃え、消費電力が同じになるようにした。

［０３１６］

図３０に、それぞれの画像を表示したときの消費電力の比較結果を示す。消費電力は、発光デバイスの消費電力、ソースドライバの消費電力およびゲートドライバの消費電力を加算した値である。このうち、上述したように発光デバイスの消費電力は、Ａモード、Ｂモードともに同じである。ゲートドライバの消費電力は、駆動するゲート線が一つ多いＢモードのほうが大きくなるが、ソースドライバの消費電力より１桁小さいため、消費電力の比較結果に与える影響は軽微である。

［０３１７］

各表示における消費電力の差は、実質的にソースドライバの消費電力の差そのものということができ、Ｂモードで動作することにより消費電力を低減できることがわかった。すなわち、本発明の一態様の画素回路は、従来の画素回路より低消費電力で動作できることが確かめられた。

［０３１８］

＜ＥＬ表示パネル＞

表１に、試作したＥＬ表示パネルの仕様を示す。ゲートドライバは、ＯＳトランジスタで画素回路と同じ基板上に設けた。発光デバイスには白色タンデム型の有機ＥＬデバイスを使用し、カラーフィルタによりカラー化する方式を採用した。図３２Ａは、試作したＥＬ表示パネルの表示結果である。

［０３１９］

［表１］

	仕様
対角サイズ	4．68インチ
解像度	720×1280
画素サイズ	84μm×84μm
画素密度	302ppi
開口率	43．7%
画素配列	RGB ストライプ
カラー方式	白色タンデムOLED＋カラーフィルタ
光取り出し方式	トップエミッション
ソースドライバ	COG
ゲートドライバ	内蔵

［０３２０］

＜液晶表示パネル＞

表２に示す仕様の液晶表示パネルを試作した。ゲートドライバは、ＯＳトランジスタで画素回路と同じ基板上に設けた。ソースドライバには－４Ｖ乃至＋４Ｖまで出力できるＩＣチップを使用した。ＦＦＳモードの液晶材料を用い、図３１Ａに示すように飽和電圧が１０Ｖとなる条件で試作した。この電圧はソースドライバの出力電圧より高いため、従来の画素回路では液晶デバイスを飽和動作させることができない。

［０３２１］

［表２］

	仕様
対角サイズ	10．2インチ
解像度	720×1920
画素サイズ	126μm×126μm
画素密度	201ppi
開口率	46．2%
液晶	FFSモード
ソースドライバ	COG
ゲートドライバ	内蔵

［０３２２］
液晶デバイスに印加した電圧とパネルの輝度の関係を従来の画素回路Ｘと本発明の一態様の画素回路Ｙで比較した結果を図３１Ｂに示す。本発明の一態様の画素回路Ｙの昇圧機能により、ソースドライバの出力以上の電圧を液晶デバイスに印加できていることが確認できた。図３２Ｂは、試作した液晶表示パネルの表示結果である。低出力のソースドライバを用いても液晶デバイスに十分な電圧を印加することができるため、高輝度の表示をさせることができた。
［０３２３］
ＯＳトランジスタの極めて小さなオフリーク特性を利用し、画素内にメモリ回路を搭載した有機ＥＬ表示パネルおよび液晶表示パネルを試作した。メモリに重みを保持させることで、ソースドライバの出力以上の電圧を画素内で生成することができるため、ソースドライバの出力電圧を下げられることが確認された。また、当該効果によって、ソースドライバを構成するトランジスタの耐圧を下げることが可能となること、およびソースドライバの消費電力の低減できることが見積もられた。
［０３２４］
本発明の一態様の画素回路は、ＯＳトランジスタのみで構成することができる。また、特殊な製造工程もなく、マスク枚数を増加させることもない。また、ＯＳトランジスタの製造工程は、ＬＴＰＳトランジスタの製造工程よりもマスク枚数を減らすことができ、製造工程の面でもＯＳトランジスタを表示パネルに適用することは優位といえる。
［符号の説明］
［０３２５］
１０：画素、１１：画素アレイ、２０：ソースドライバ、２１：ロジック部、２１＿ｎ：回路、２１＿１：回路、２２：アンプ部、２２＿ｍ：回路、２２＿１：回路、２５：電源回路、２５ａ：電源回路、２５ｂ：電源回路、３０：ゲートドライバ、４０：回路、１０１：トランジスタ、１０

２：トランジスタ、１０３：トランジスタ、１０４：トランジスタ、１０５：トランジスタ、１０６：キャパシタ、１０７：キャパシタ、１０８：発光デバイス、１０９：トランジスタ、１１０：液晶デバイス、１１１：画素電極、１２１：配線、１２２：配線、１２３：配線、１２４：配線、１２５：配線、１２６：配線、１２７：配線、１２９：配線、１３０：配線、１３１：配線、１５１：トランジスタ、１５２：トランジスタ、２１５：表示部、２２１ａ：走査線駆動回路、２３１ａ：信号線駆動回路、２３２ａ：信号線駆動回路、２４１ａ：共通線駆動回路、７２３：電極、７２６：絶縁層、７２８：絶縁層、７２９：絶縁層、７４１：絶縁層、７４２：半導体層、７４４ａ：電極、７４４ｂ：電極、７４６：電極、７７１：基板、７７２：絶縁層、８１０：トランジスタ、８１１：トランジスタ、８２０：トランジスタ、８２１：トランジスタ、８２５：トランジスタ、８２６：トランジスタ、８４２：トランジスタ、８４３：トランジスタ、８４４：トランジスタ、８４５：トランジスタ、８４６：トランジスタ、８４７：トランジスタ、９０１：筐体、９０２：筐体、９０３：表示部、９０４：操作キー、９０５：レンズ、９０６：接続部、９０７：スピーカ、９１１：筐体、９１２：表示部、９１３：スピーカ、９１４：操作ボタン、９１９：カメラ、９２１：柱、９２２：表示部、９５１：筐体、９５２：表示部、９５３：操作ボタン、９５４：外部接続ポート、９５５：スピーカ、９５６：マイク、９５７：カメラ、９６１：筐体、９６２：シャッターボタン、９６３：マイク、９６５：表示部、９６６：操作キー、９６７：スピーカ、９６８：ズームレバー、９６９：レンズ、９７１：筐体、９７３：表示部、９７４：操作ボタン、９７５：スピーカ、９７６：通信用接続端子、９７７：光センサ、４００１：基板、４００３：層、４００４：層、４００５：シール材、４００６：基板、４００８：液晶層、４００９：複合層、４０１０：トランジスタ、４０１１：トランジスタ、４０１３：液晶デバイス、４０１４：配線、４０１５：電極、４０１６：光散乱型液晶デバイス、４０１７：電極、４０１８：ＦＰＣ、４０１９：異方性導電層、４０２０：キャパシタ、４０２１：電極、４０２２：トランジスタ、４０２３：トランジスタ、４０３０：電極層、４０３１：電極層、４０３２：絶縁層、４０３３：絶縁層、４０３５：スペーサ、４０４１：プリント基板、４０４２：集積回路、４１０２：絶縁層、４１０３：絶縁層、４１０４：絶縁層、４１１０：絶縁層、４１１１：絶縁層、４１１２：絶縁層、４１３１：着色層、４１３２：遮光層、４１３３：絶縁層、４２００：入力装置、４２１０：タッチパネル、４２２７：電極、４２２８：電極、４２３７：配線、４２３８：配線、４２３９：配線、４２６３：基板、４２７２ｂ：ＦＰＣ、４２７３ｂ：ＩＣ、４３４０ａ：バックライトユニット、４３４０ｂ：バックライトユニット、４３４１：導光板、４３４２：発光デバイス、４３４４：レンズ、４３４５：ミラー、４３４７：プリント基板、４３４８：反射層、４３５２：拡散板、４５１０：隔壁、４５１１：発光層、４５１３：発光デバイス、４５１４：充填材

請求の範囲

［請求項１］

ドライバ回路と、画素回路と、を有する表示装置であって、

前記ドライバ回路は、シフトレジスタ回路と、アンプ回路と、を有し、

前記画素回路は、前記アンプ回路から出力される第１のデータおよび第２のデータを加算して第３のデータを生成する機能を有し、

前記シフトレジスタ回路および前記アンプ回路には、同一の電源電圧が供給される構成を有する表示装置。

［請求項２］

請求項１において、

前記シフトレジスタ回路および前記アンプ回路には、同一の電源回路が電気的に接続されている表示装置。

［請求項３］

請求項１において、

前記ドライバ回路に供給される電圧は、３．３Ｖ以下である表示装置。

［請求項４］

請求項１において、

前記ドライバ回路は、さらに、入力インターフェイス回路、シリアルパラレル変換回路、ラッチ回路、レベルシフト回路、ＰＴＬ、デジタルアナログ変換回路、およびバイアス生成回路の中から選ばれる一つ以上の回路を有し、当該回路には前記シフトレジスタ回路および前記アンプ回路と同一の電源電圧が供給される構成を有する表示装置。

［請求項５］

ドライバ回路と、画素回路と、を有する表示装置であって、

前記ドライバ回路は、シフトレジスタ回路と、アンプ回路と、を有し、

前記画素回路は、前記アンプ回路から出力される第１のデータおよび第２のデータを加算して第３のデータを生成する機能を有し、

前記シフトレジスタ回路は、第１のトランジスタを有し、

前記アンプ回路は、第２のトランジスタを有し、

前記第１のトランジスタおよび前記第２のトランジスタにおいて、一方のトランジスタのゲート絶縁膜の厚さがａの領域を有するとき、他方のトランジスタは、ゲート絶縁膜の厚さが０．９ａ以上１．１ａ以下の領域を有する表示装置。

［請求項６］

請求項５において、

前記ドライバ回路は、さらに、入力インターフェイス回路、シリアルパラレル変換回路、ラッチ回路、レベルシフト回路、ＰＴＬ、デジタルアナログ変換回路、およびバイアス生成回路の中から選ばれる一つ以上の回路を有し、当該回路が有するトランジスタは、ゲート絶縁膜の厚さが０．９ａ以上１．１ａ以下の領域を有する表示装置。

［請求項７］

請求項５において、

前記画素回路は、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、第６の

トランジスタと、第７のトランジスタと、第１のキャパシタと、第２のキャパシタと、発光デバイスと、を有し、

前記第３のトランジスタのソースまたはドレインの一方は、前記第１のキャパシタの一方の電極と電気的に接続され、

前記第１のキャパシタの他方の電極は、前記第４のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第４のトランジスタのソースまたはドレインの一方は前記第５のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第１のキャパシタの一方の電極は、前記第６のトランジスタのゲートと電気的に接続され、

前記第６のトランジスタのソースまたはドレインの一方は、前記第７のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第７のトランジスタのソースまたはドレインの一方は、前記発光デバイスの一方の電極と電気的に接続され、

前記発光デバイスの一方の電極は、前記第２のキャパシタの一方の電極と電気的に接続され、

前記第２のキャパシタの他方の電極は、前記第６のトランジスタのゲートと電気的に接続されている表示装置。

［請求項８］

請求項５において、

前記画素回路は、第３のトランジスタと、第４のトランジスタと、第５のトランジスタと、第１のキャパシタと、第２のキャパシタと、液晶デバイスと、を有し、

前記第３のトランジスタのソースまたはドレインの一方は、前記第１のキャパシタの一方の電極と電気的に接続され、

前記第１のキャパシタの他方の電極は、前記第４のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第４のトランジスタのソースまたはドレインの一方は、前記第５のトランジスタのソースまたはドレインの一方と電気的に接続され、

前記第１のキャパシタの一方の電極は、前記第２のキャパシタの一方の電極と電気的に接続され、

前記第２のキャパシタの一方の電極は、前記液晶デバイスの一方の電極と電気的に接続されている表示装置。

［請求項９］

請求項７または８において、

前記第３のトランジスタのソースまたはドレインの他方は、前記第４のトランジスタのソースまたはドレインの他方と電気的に接続されている表示装置。

［請求項１０］

請求項５または７乃至８のいずれか一項において、

前記画素回路が有するトランジスタは、チャネル形成領域に金属酸化物を有し、前記金属酸化物は、Ｉｎと、Ｚｎと、Ｍ（MはＡｌ、Ｔｉ、Ｇａ、Ｓｎ、Ｙ、Ｚｒ、Ｌａ、Ｃｅ、ＮｄまたはＨｆ）と、を有する表示装置。

［請求項１１］

請求項１または５に記載の表示装置と、カメラと、を有する電子機器。

図1

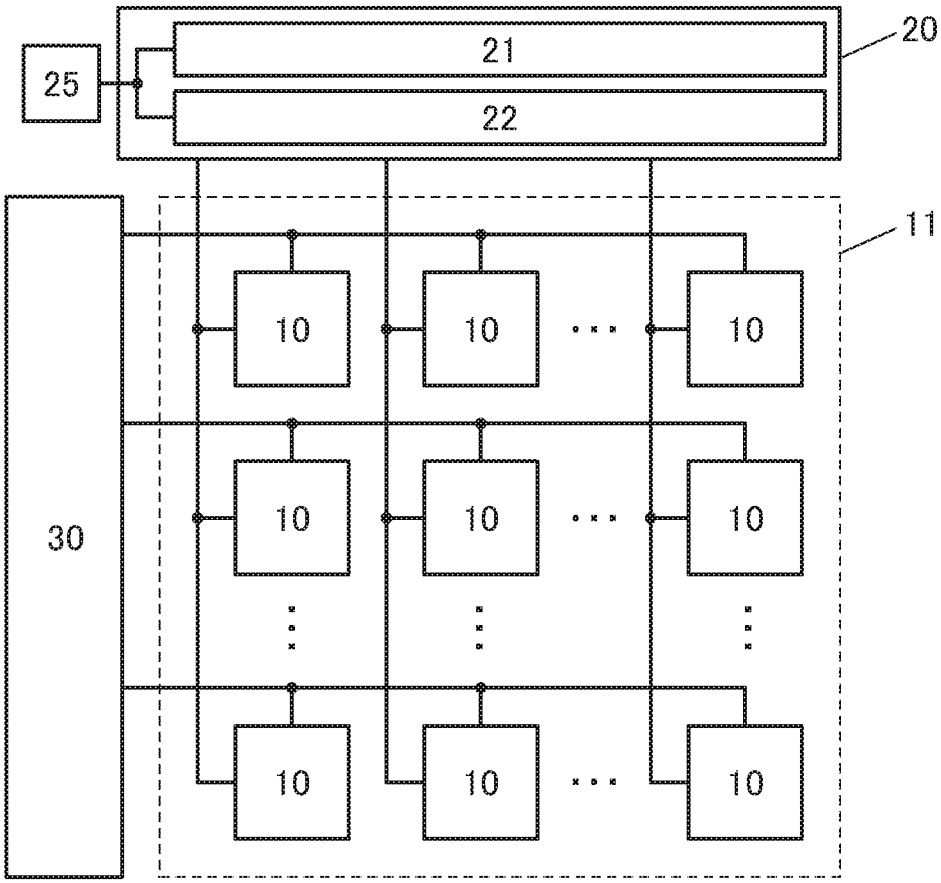


図2

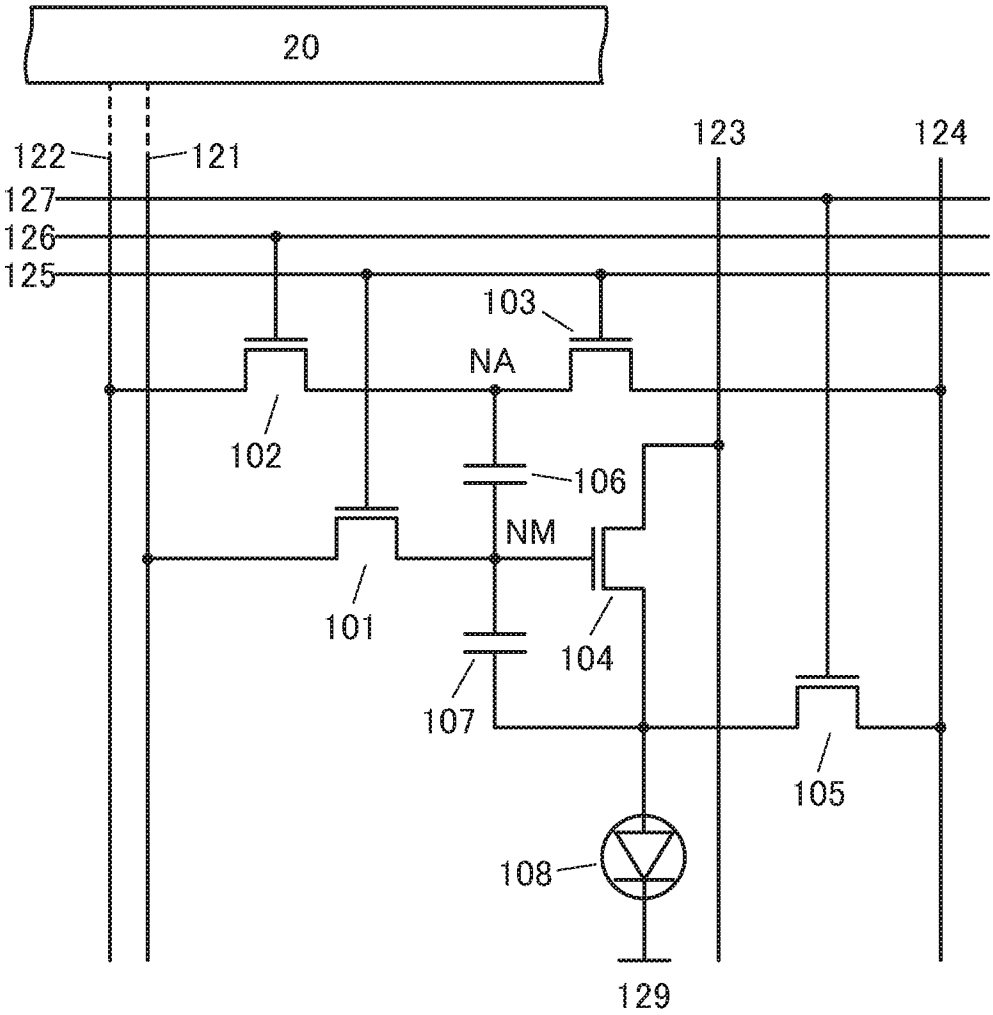

20
122
121
123
124
127
126
125
103
NA
102
106
NM
101
104
107
105
108
129

図3A

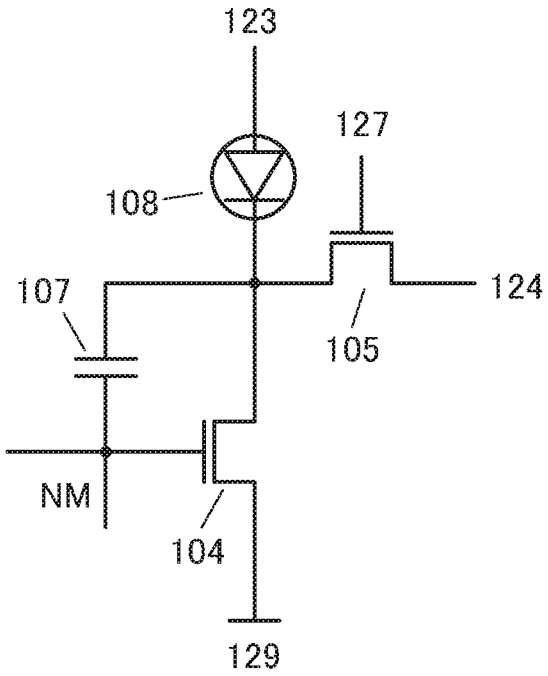

123
127
108
107
124
105
NM
104
129

図3B

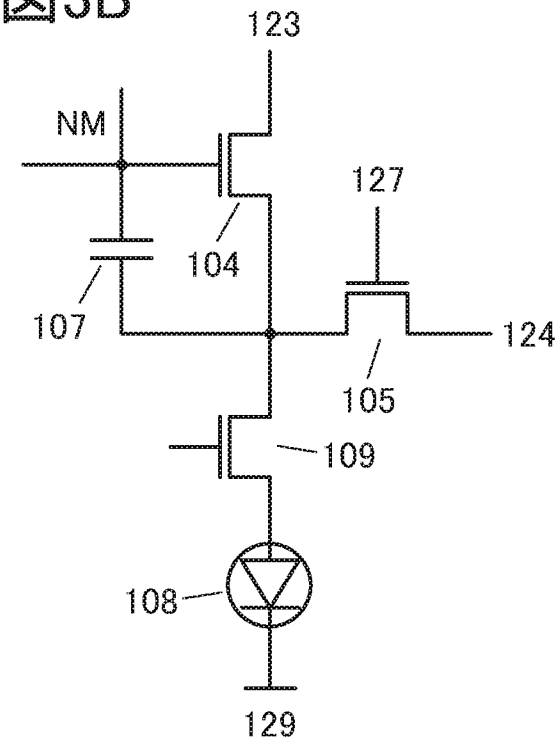

123
NM
127
104
107
124
105
109
108
129

図3C

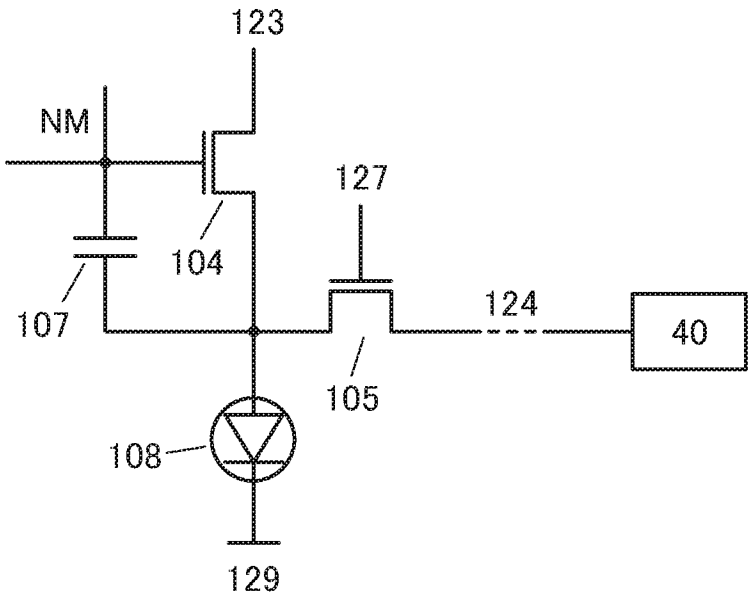

123
NM
127
104
107
124
40
105
108
129

図4

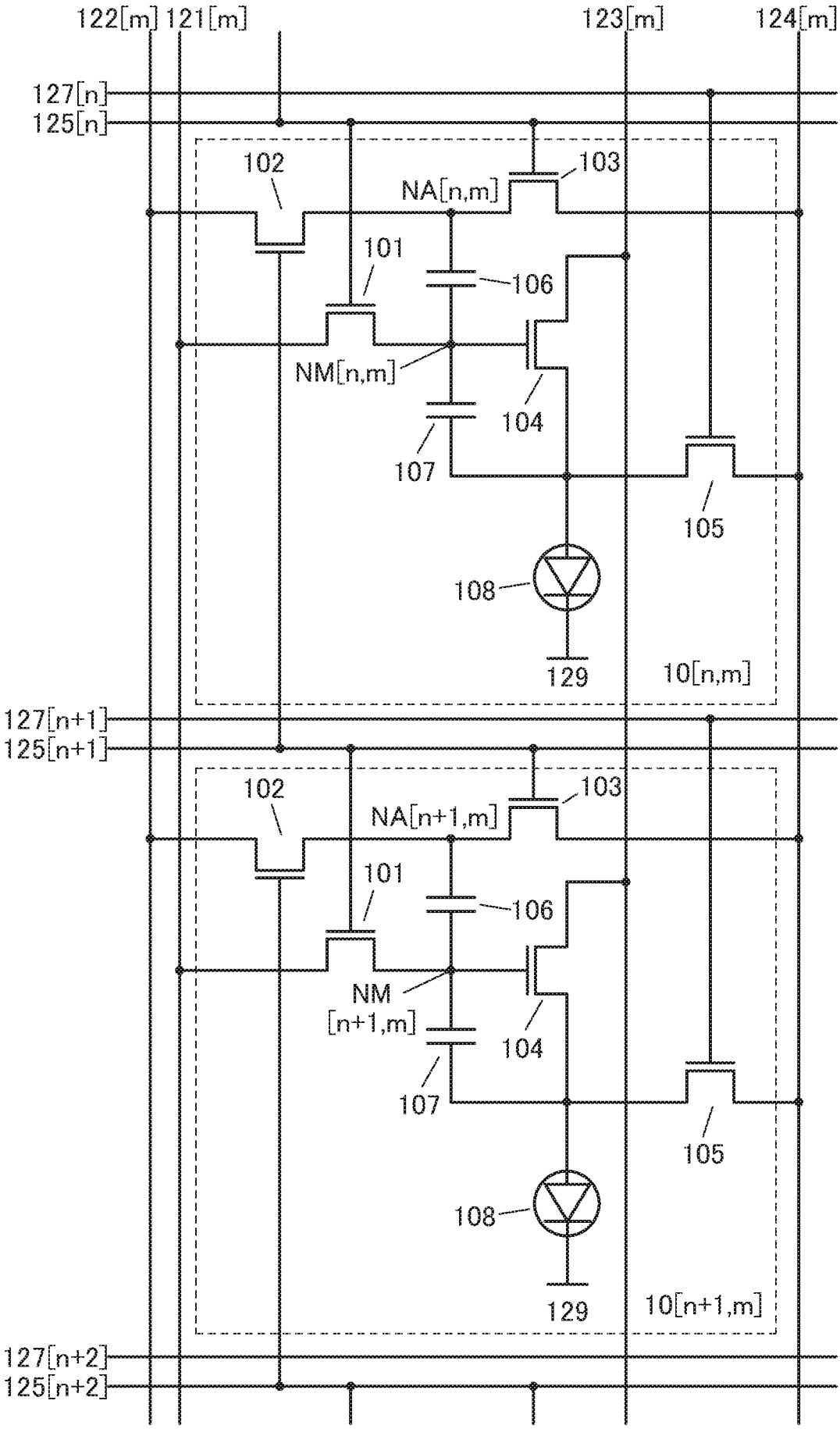

122[m]
121[m]
123[m]
124[m]
127[n]
125[n]
102
103
NA[n,m]
101
106
NM[n,m]
104
107
105
108
129
10[n,m]
127[n+1]
125[n+1]
102
103
NA[n+1,m]
101
106
NM
[n+1,m]
104
107
105
108
129
10[n+1,m]
127[n+2]
125[n+2]

図5

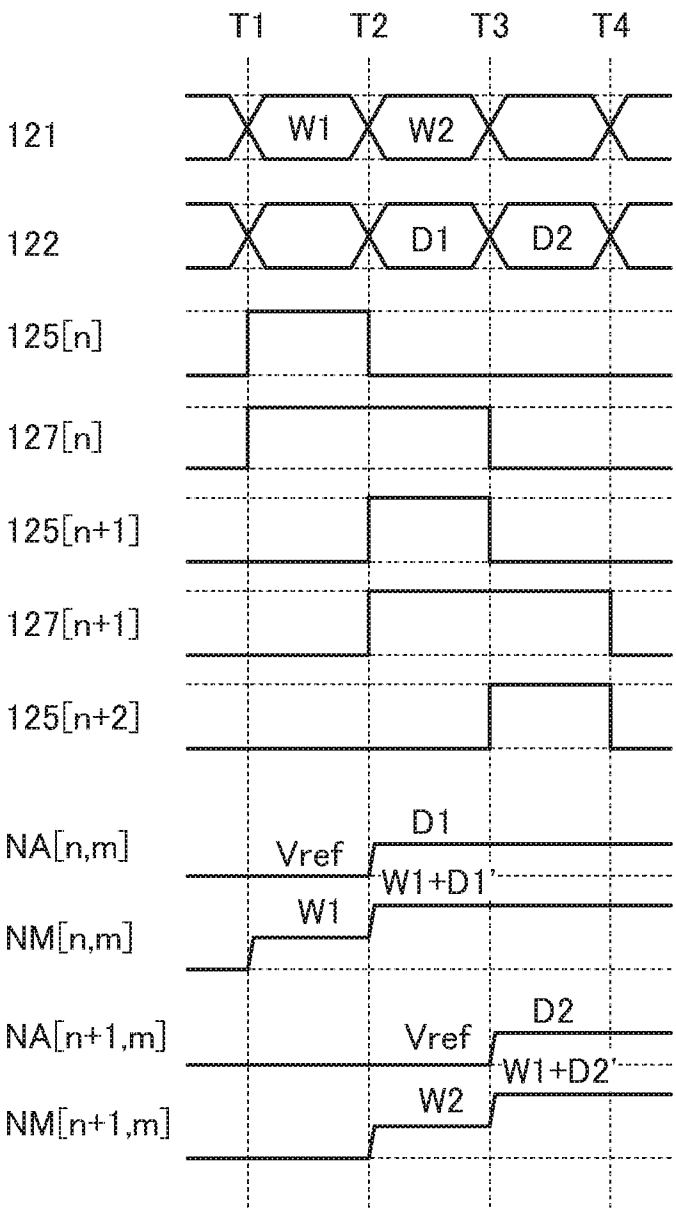

T1
T2
T3
T4
121
W1
W2
122
D1
D2
125[n]
127[n]
125[n+1]
127[n+1]
125[n+2]
NA[n,m]
Vref
D1
W1+D1'
NM[n,m]
W1
NA[n+1,m]
Vref
D2
W1+D2'
NM[n+1,m]
W2

図6A

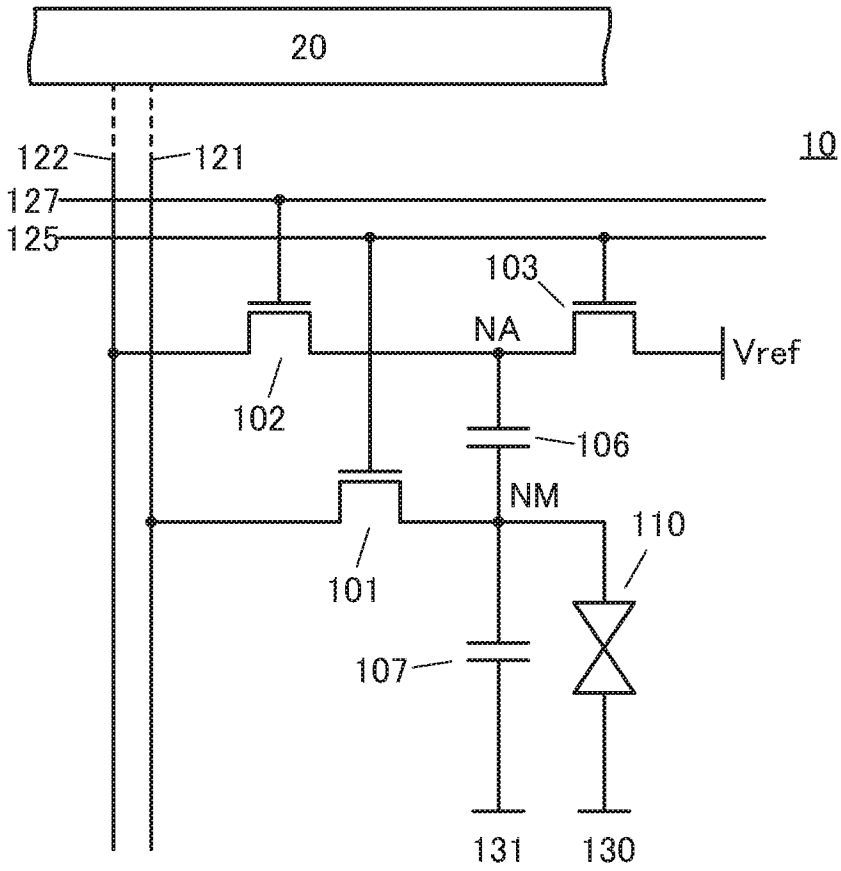

20
10
122
121
127
125
103
NA
Vref
102
106
NM
110
101
107
131
130

図6B

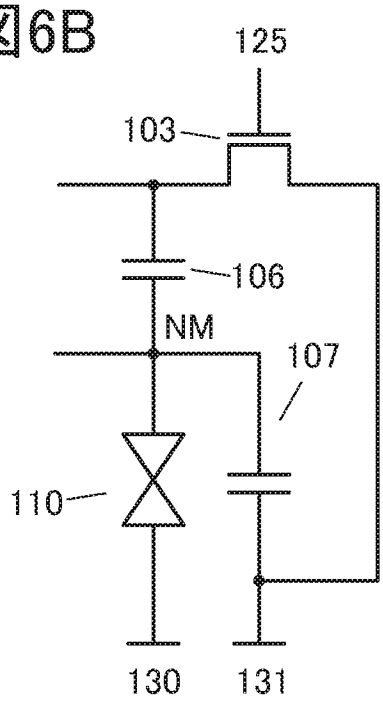

125
103
106
NM
107
110
130
131

図6C

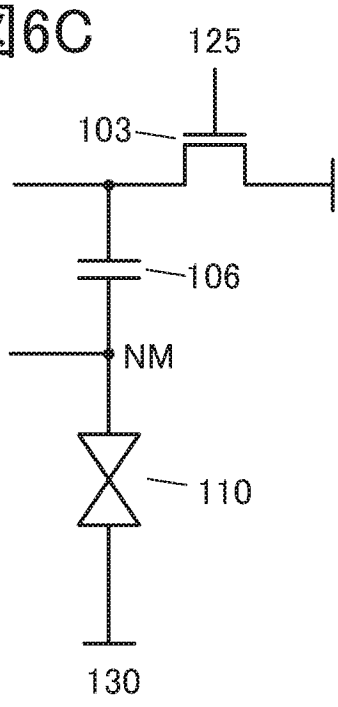

125
103
106
NM
110
130

図7

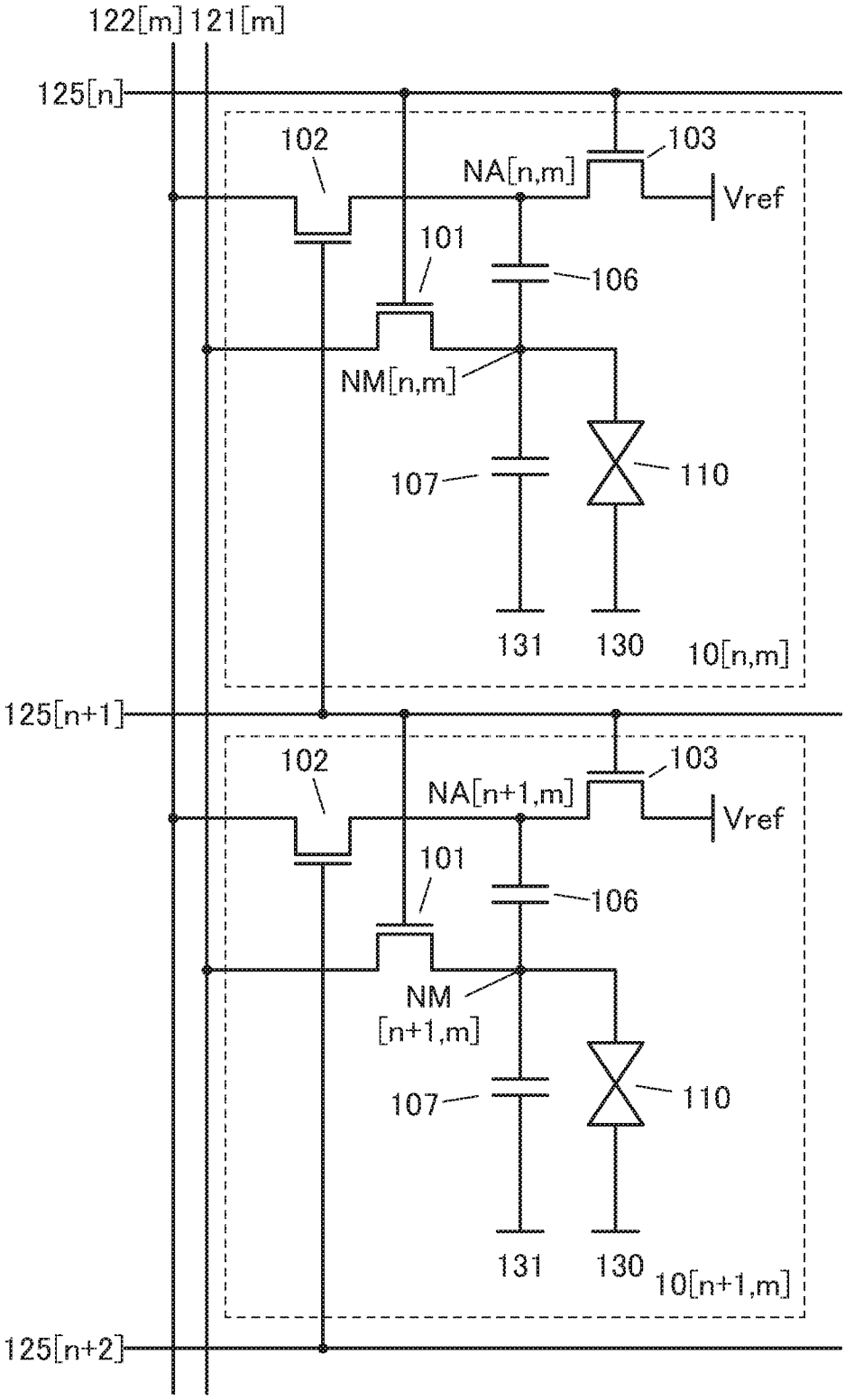

122[m]
121[m]
125[n]
102
103
NA[n,m]
Vref
101
106
NM[n,m]
107
110
131
130
10[n,m]
125[n+1]
102
103
NA[n+1,m]
Vref
101
106
NM
[n+1,m]
107
110
131
130
10[n+1,m]
125[n+2]

図8

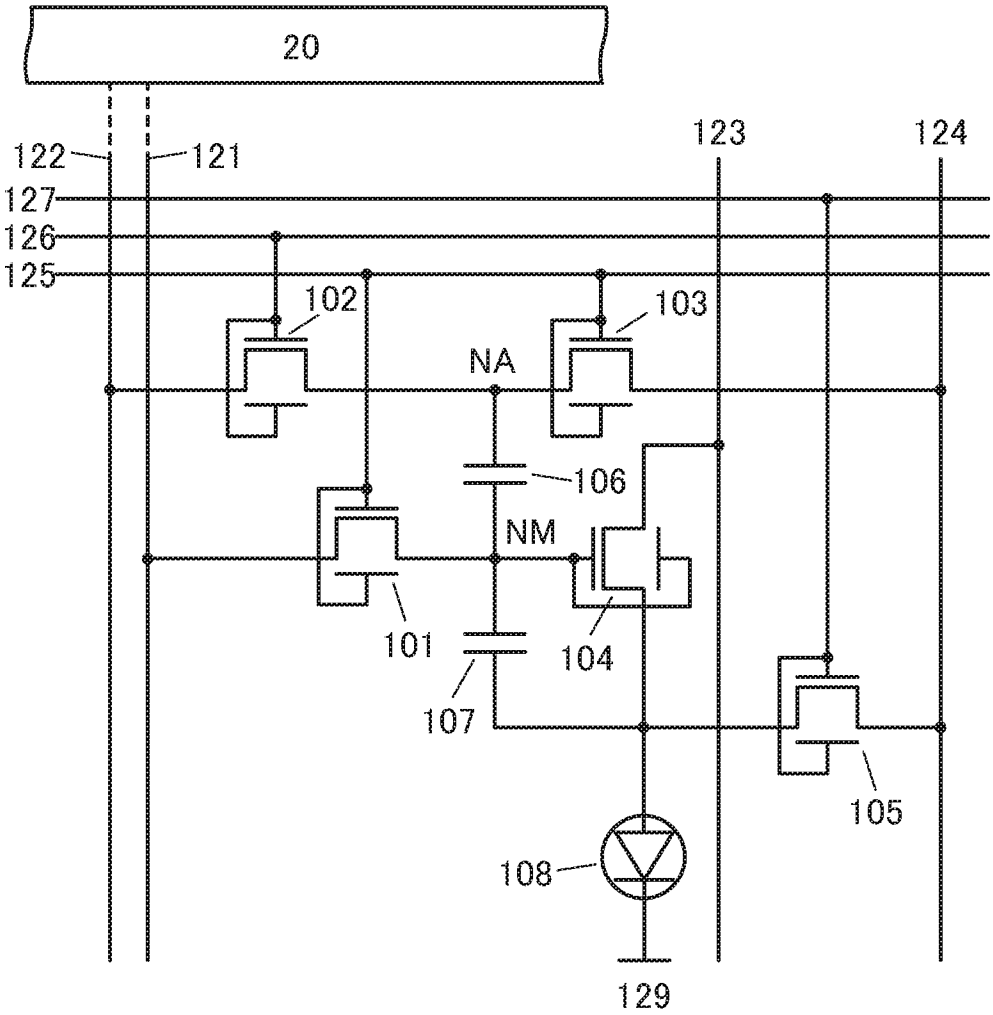

20
122
121
123
124
127
126
125
102
103
NA
106
NM
101
104
107
105
108
129

図9

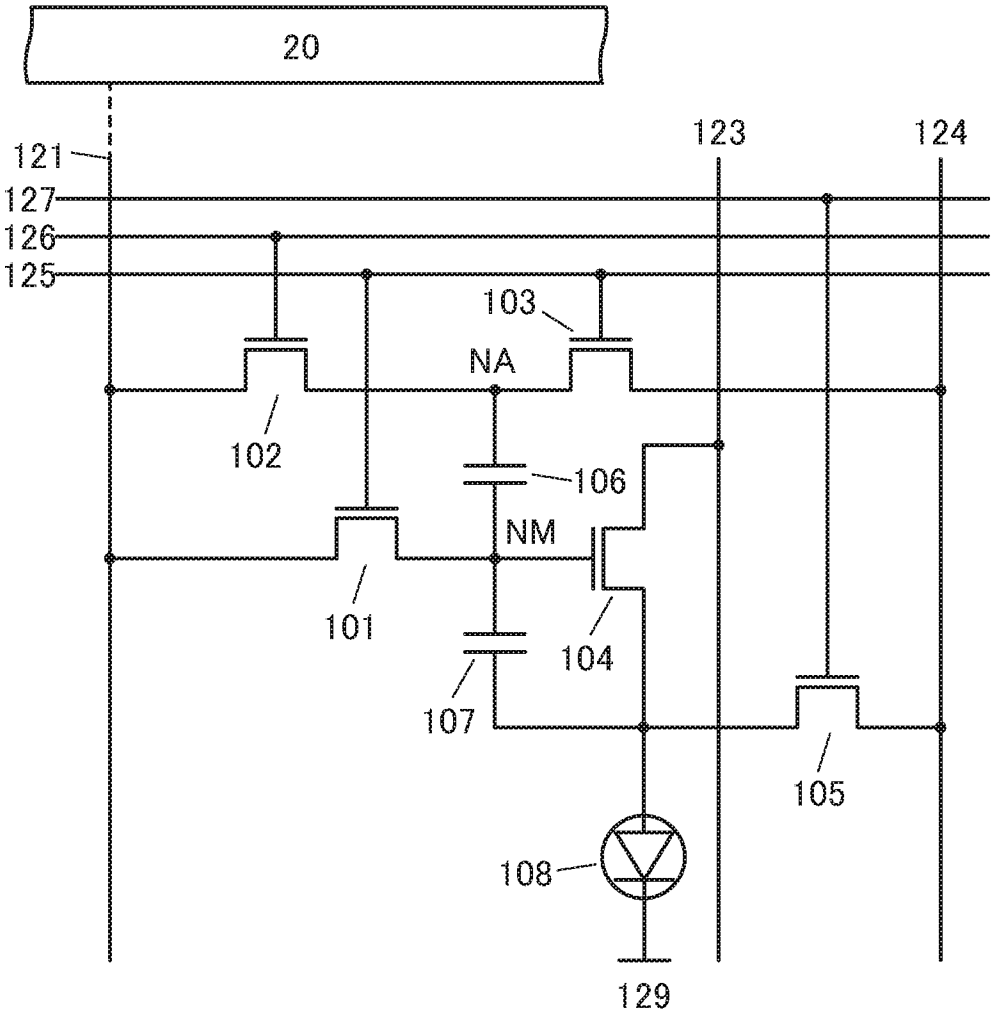

20
121
127
126
125
123
124
103
NA
102
106
NM
101
104
107
105
108
129

図10C

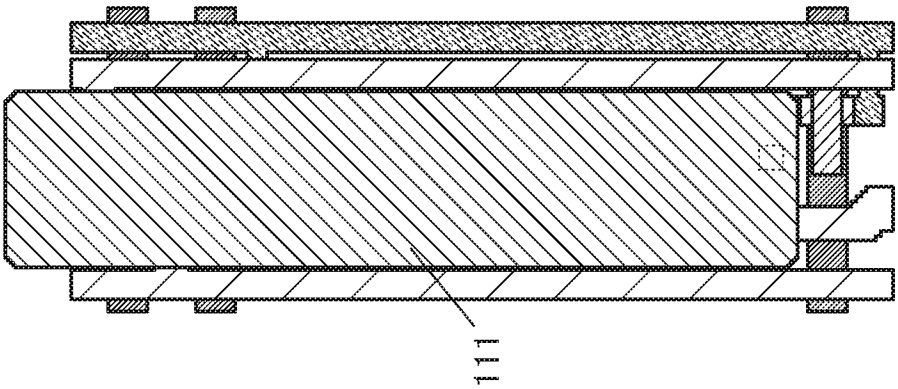


図10B

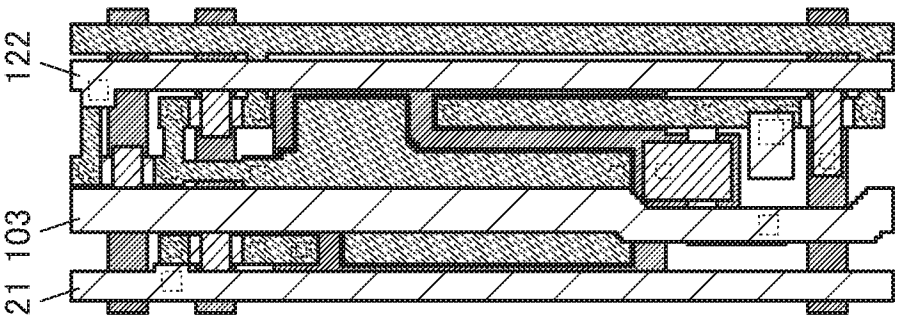


図10A

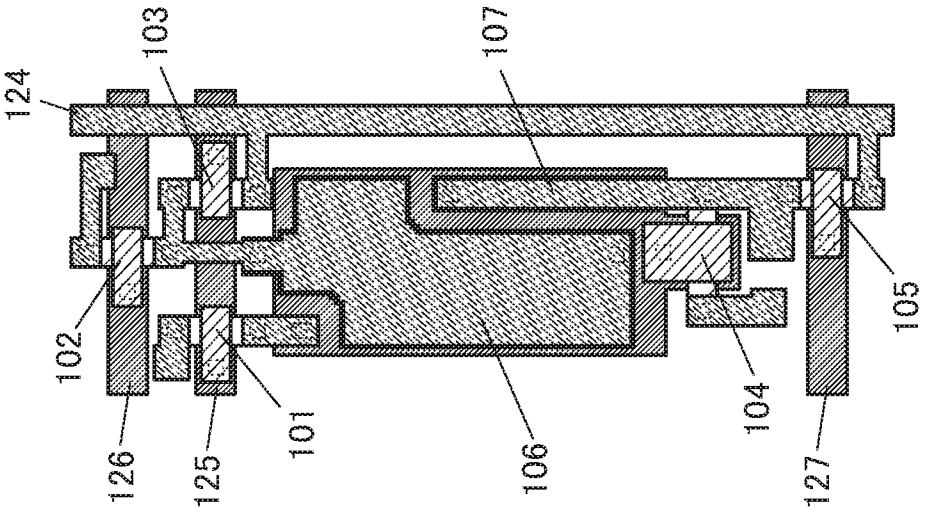


図11A

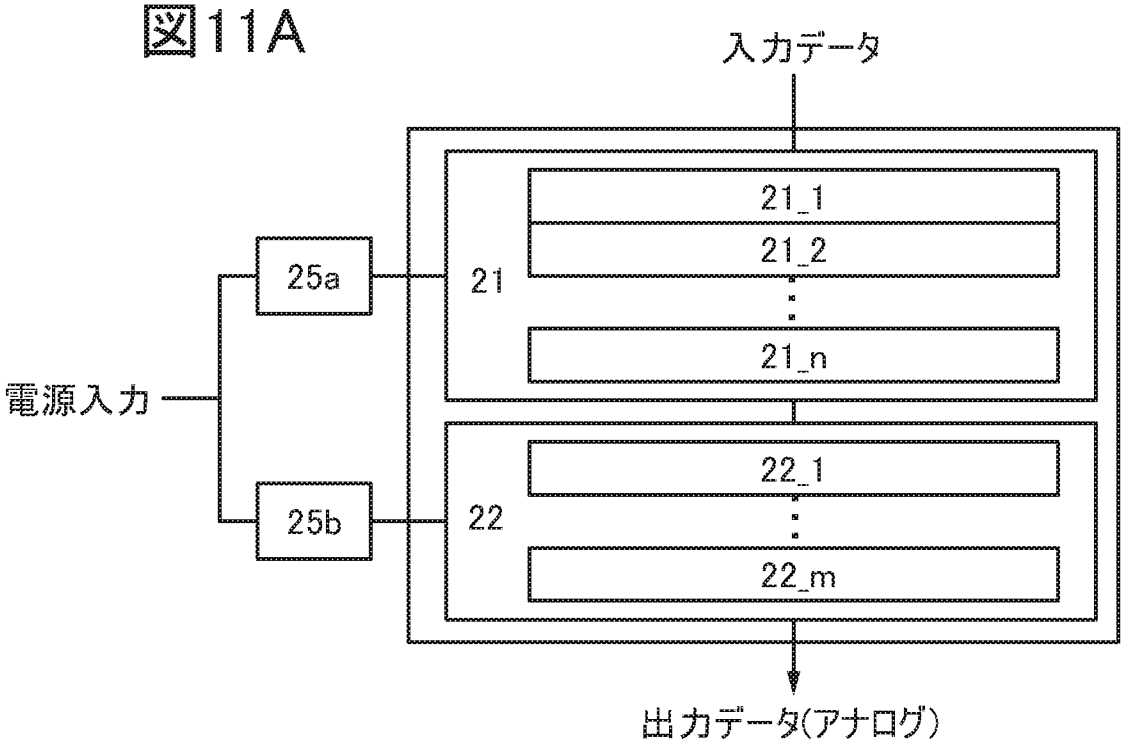


図11B

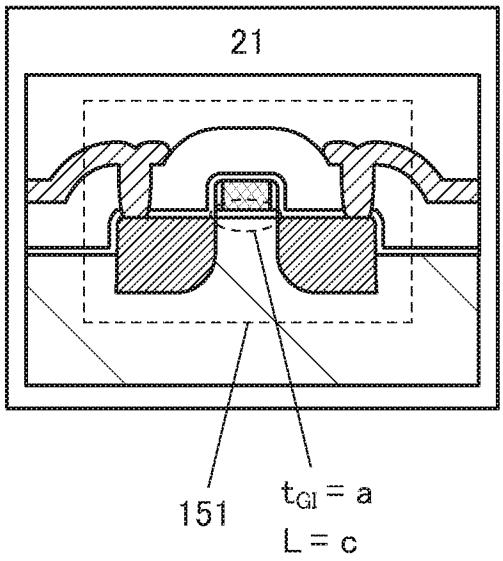


図11C

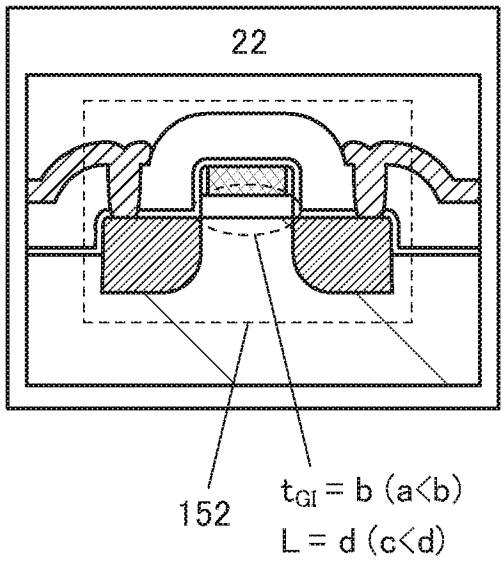


図12A

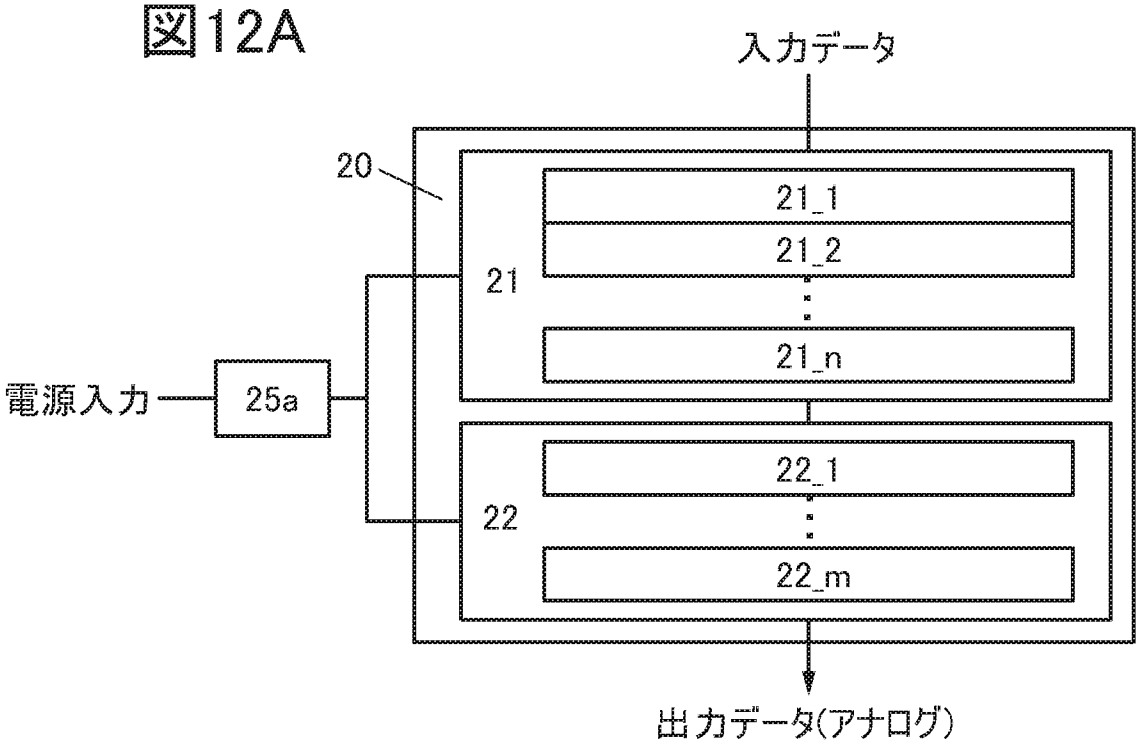


図12B

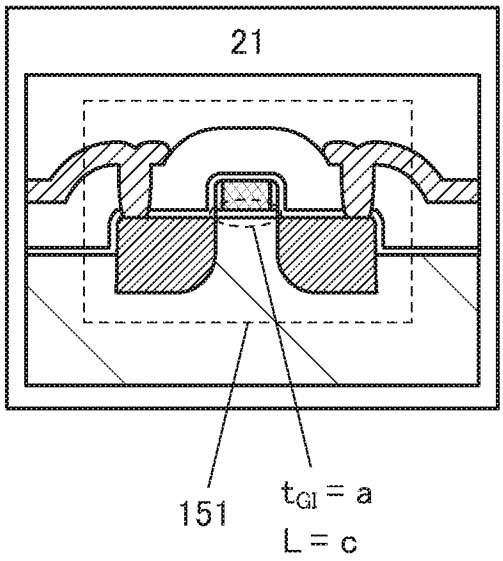


図12C

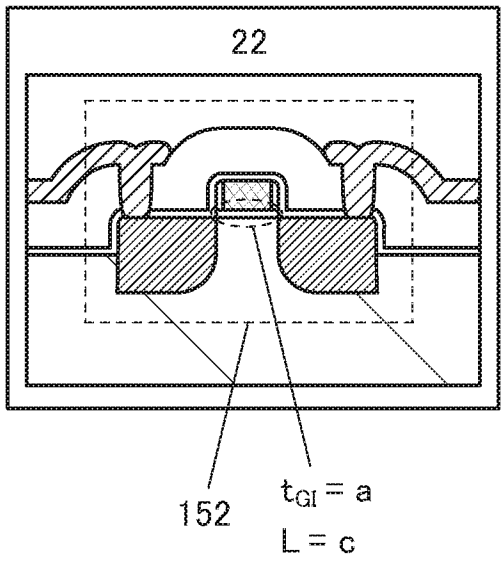


図13A

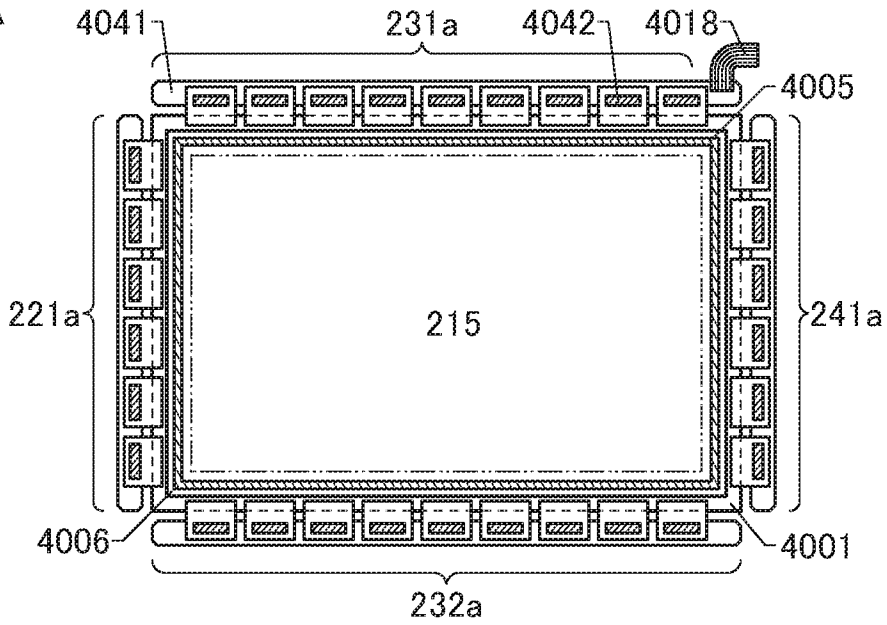


図13B

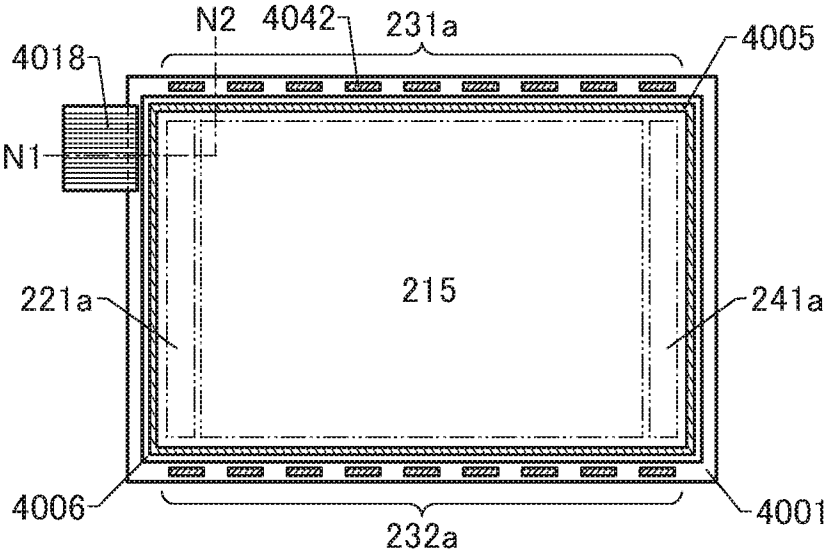


図13C

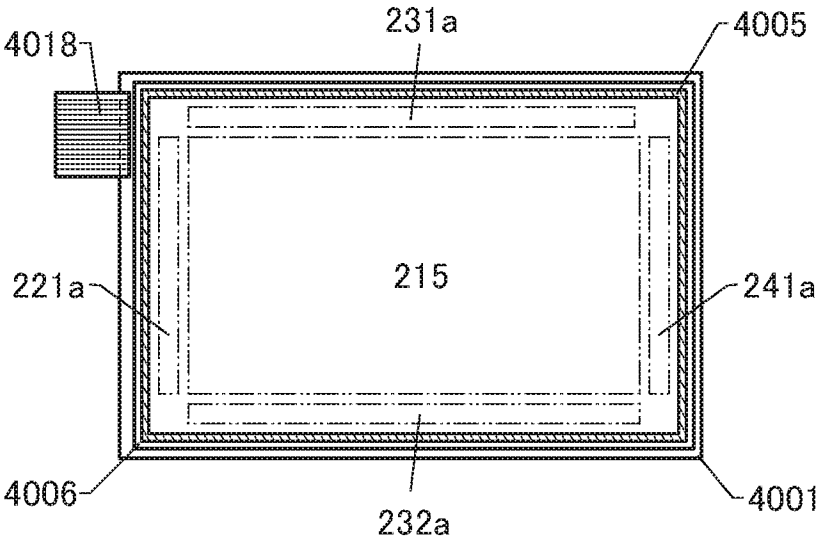


図14A

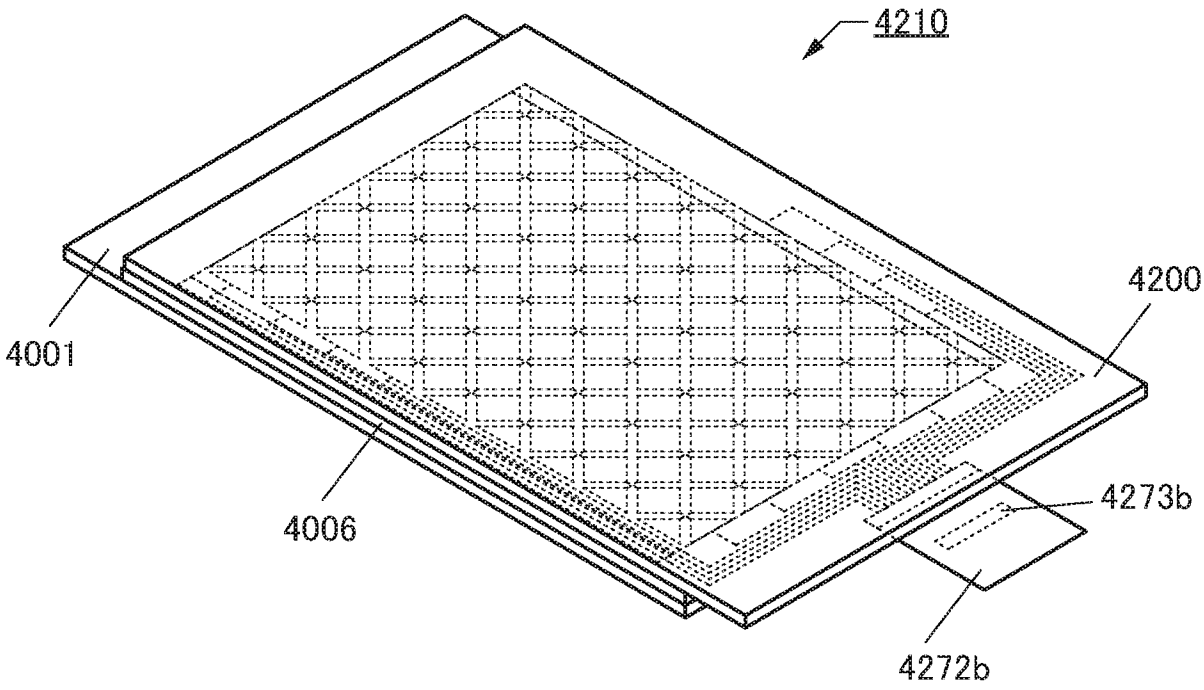
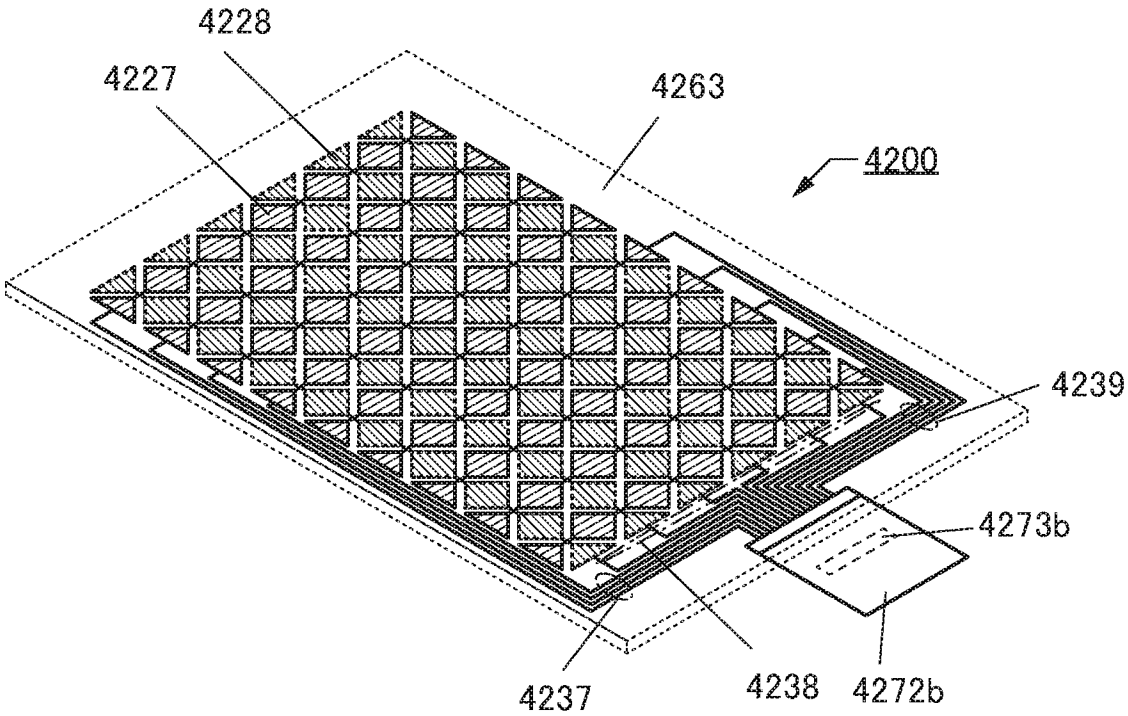

4210
4200
4001
4006
4273b
4272b

図14B


4228
4227
4263
4200
4239
4273b
4237
4238
4272b

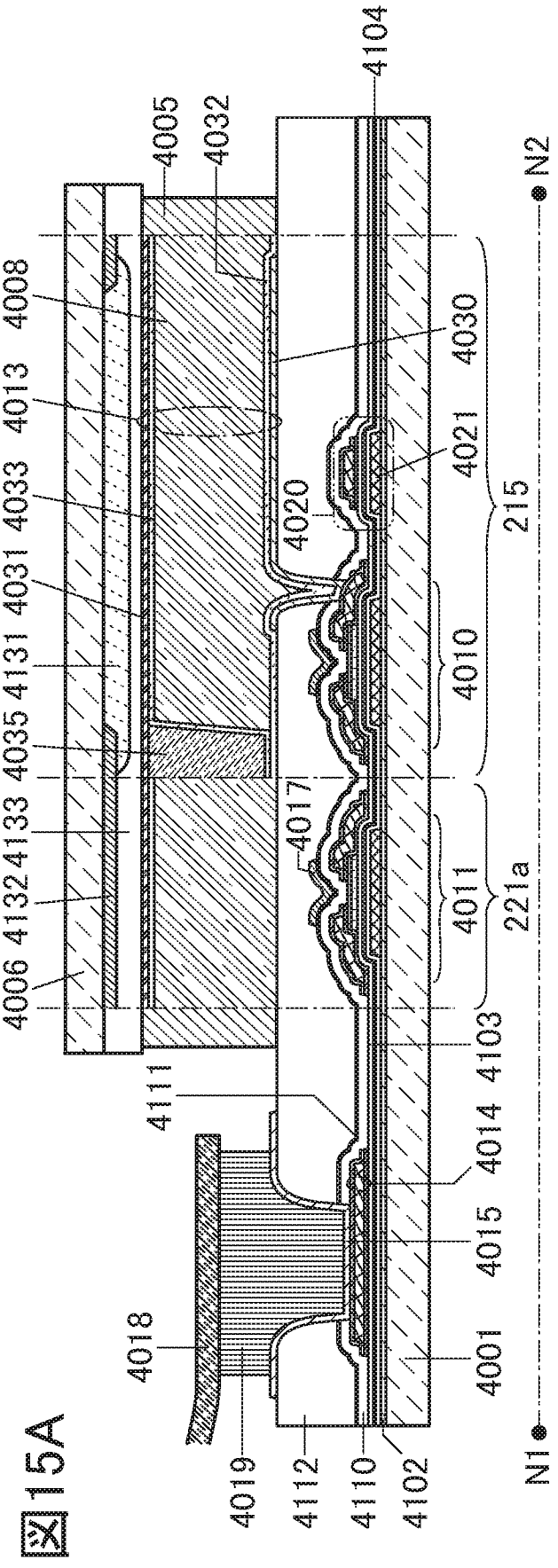

4104
4005
4032
4008
4013
4033
4031
4131
4035
4133
4132
4006
4030
4021
4020
215
4010
4017
4011
221a
4103
4111
4014
4015
4018
4001
4019
4112
4110
4102
N1
N2

図15A

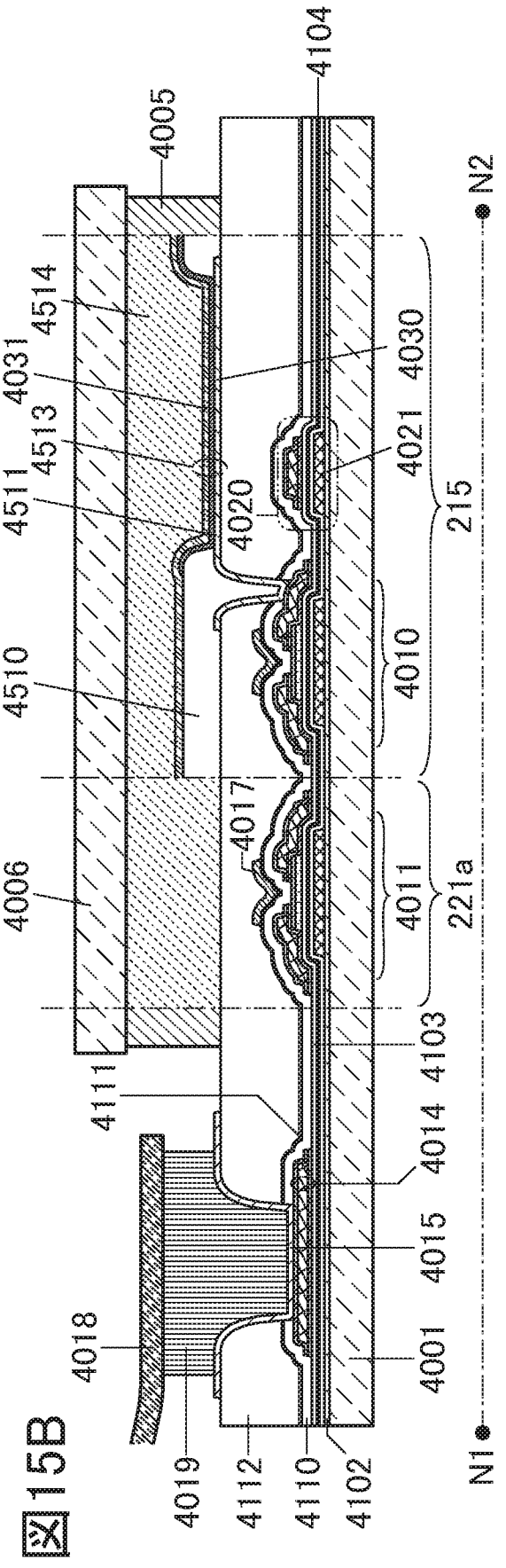

4104
4005
4514
4031
4513
4511
4030
4021
4020
215
4510
4010
4017
4006
4011
221a
4103
4111
4014
4015
4018
4001
4019
4112
4110
4102
N1
N2

図15B

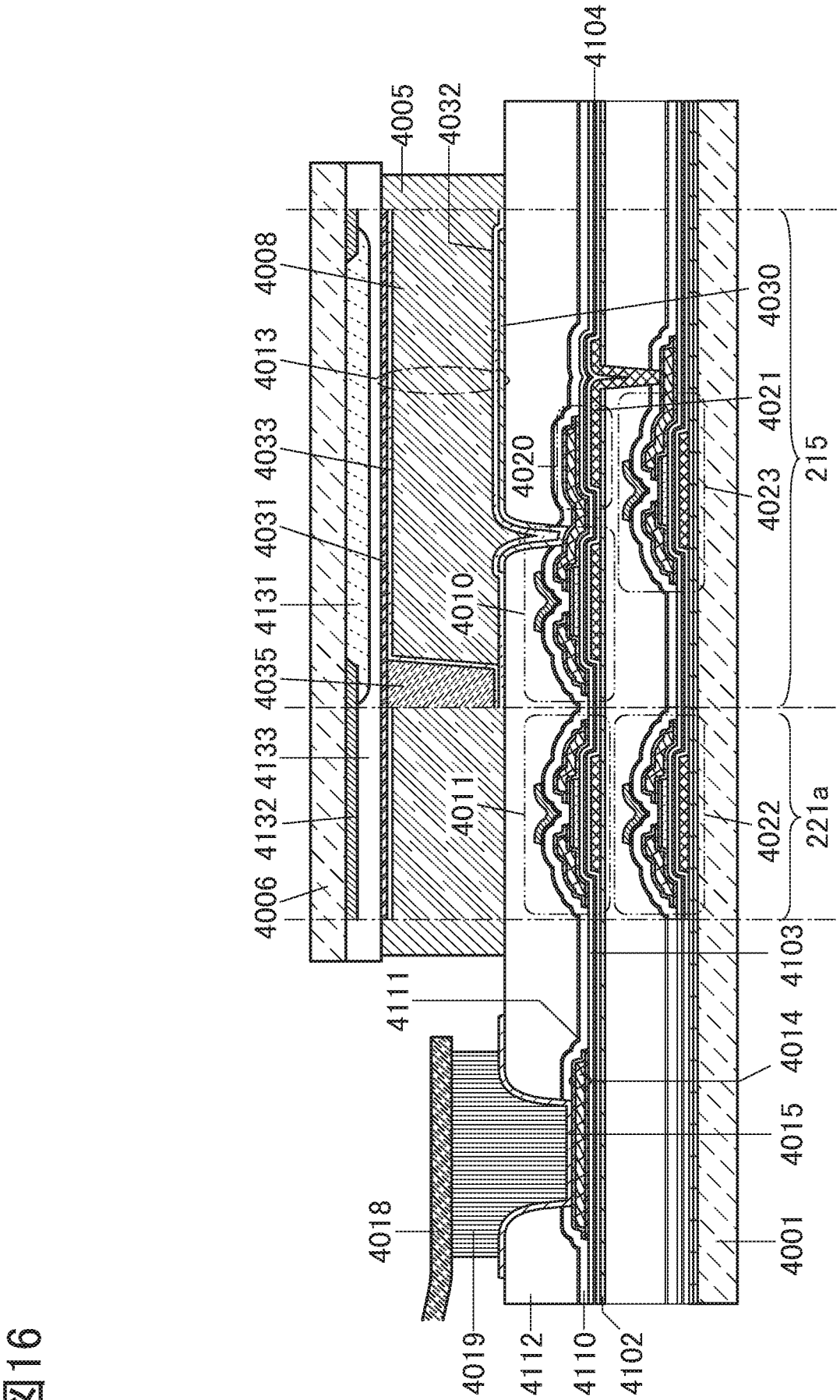

4104
4005
4032
4008
4030
4013
4021
4033
4020
4023
215
4031
4131
4010
4035
4133
4132
4011
4022
221a
4006
4103
4111
4014
4015
4018
4001
4019
4112
4110
4102

図16

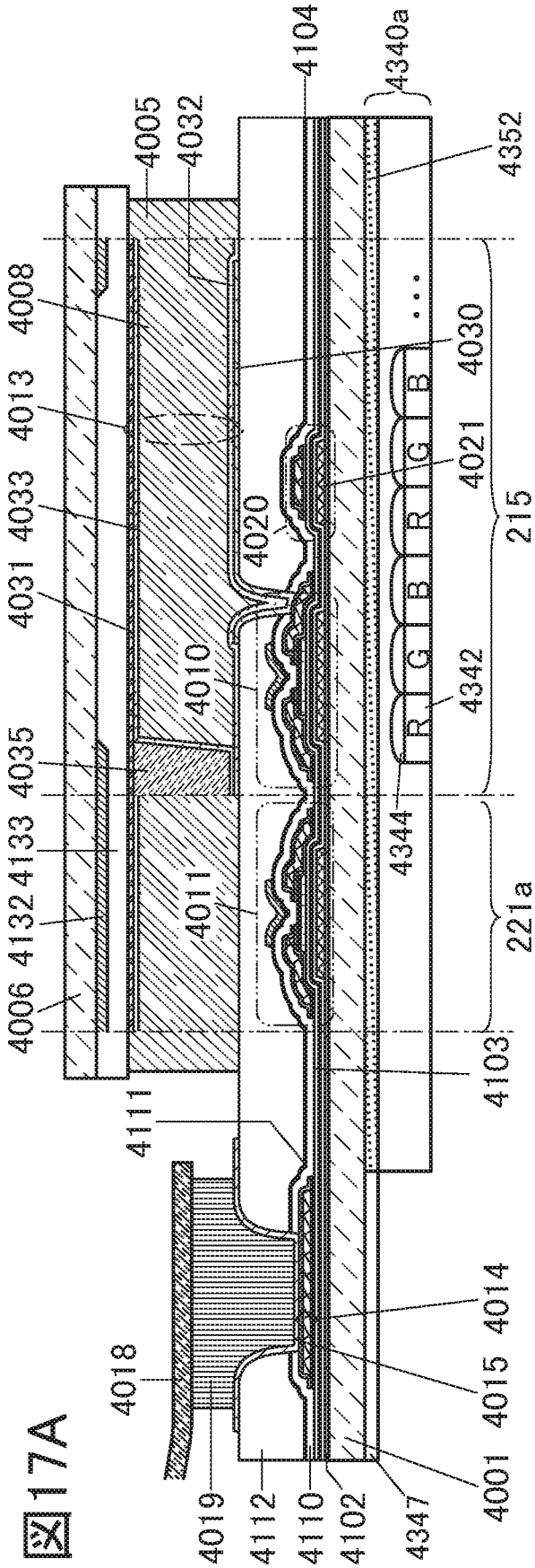

4104
4340a
4005
4032
4352
4008
4030
4013
4021
4033
4020
4031
4010
4035
4342
4133
4344
4132
4011
4006
4103
4111
4014
4018
4015
4001
4019
4112
4110
4102
4347
R
G
B
215
221a

図17A

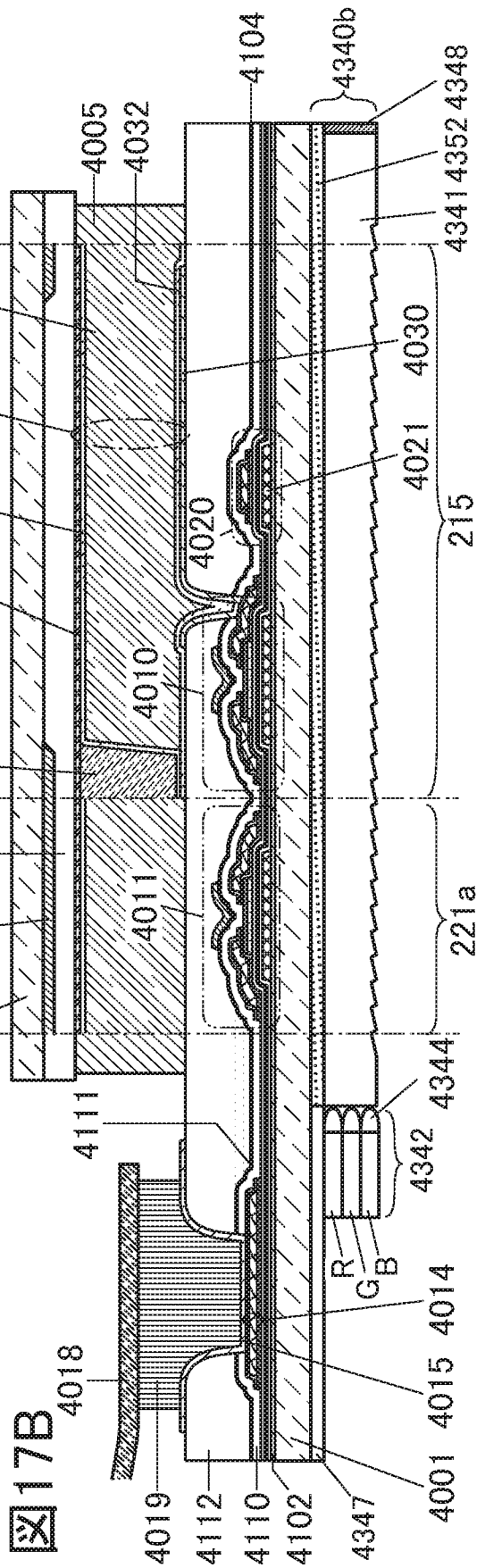

4104
4340b
4348
4005
4032
4352
4341
4008
4030
4013
4021
4033
4020
4031
4010
4035
4133
4132
4011
4006
4111
4344
4342
4014
4018
4015
4001
4019
4112
4110
4102
4347
R
G
B
215
221a

図17B

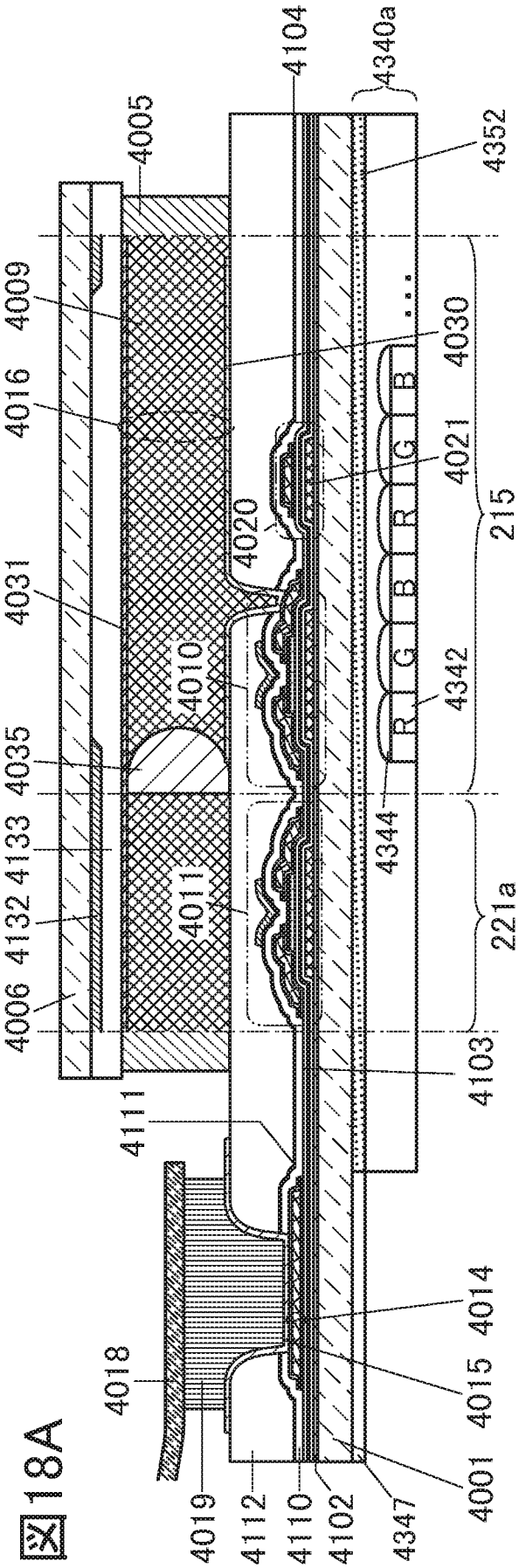

4104
4340a
4005
4352
4009
4030
4016
4021
4020
4031
4010
4035
4342
4133
4344
4132
4011
4006
4103
4111
4014
4018
4015
4001
4019
4112
4110
4102
4347
R
G
B
215
221a

図18A

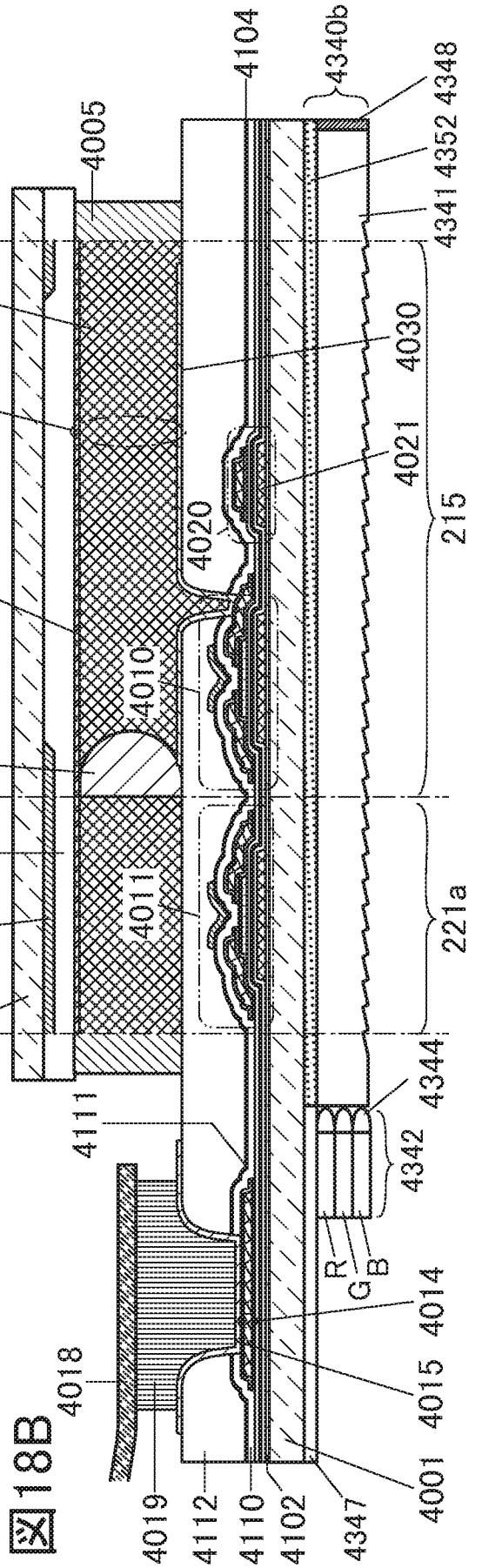

4104
4340b
4348
4005
4341
4352
4009
4030
4016
4021
4020
4031
4010
4035
4133
4011
4132
4006
4344
4111
4342
R
G
B
4014
4018
4015
4001
4019
4112
4110
4102
4347
215
221a

図18B

図19A

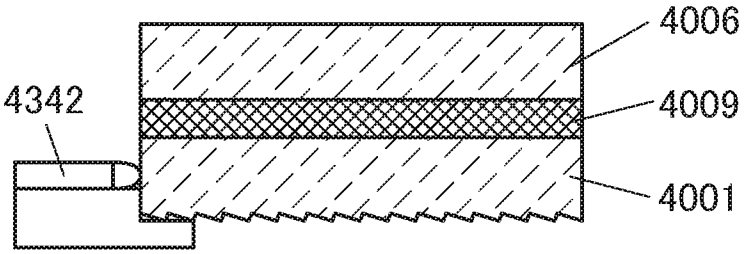


図19B

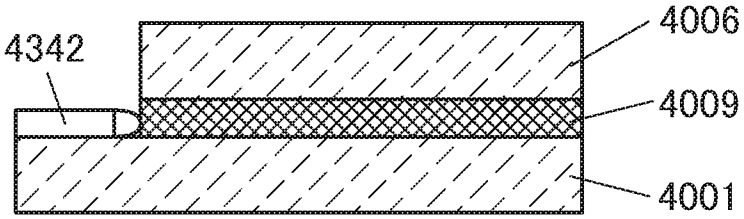


図19C

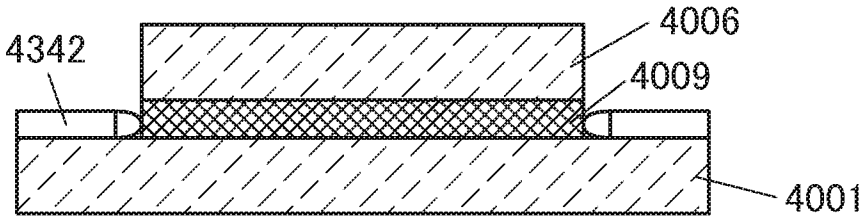


図19D

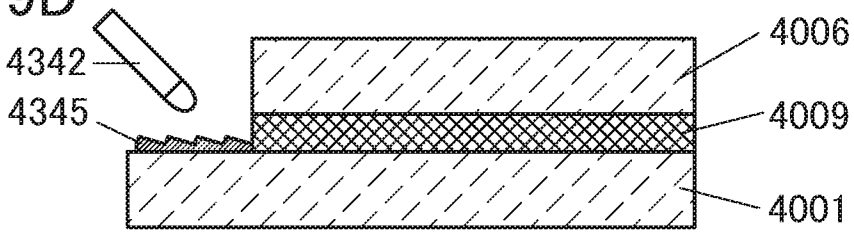


図19E

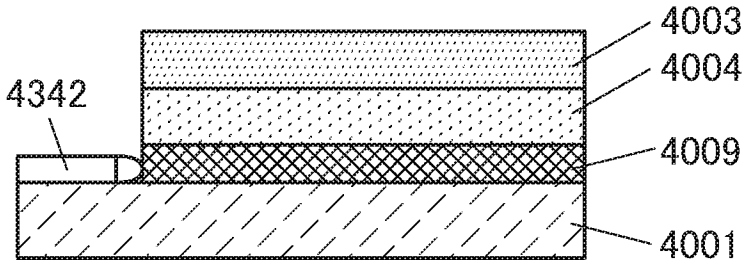


図20A1

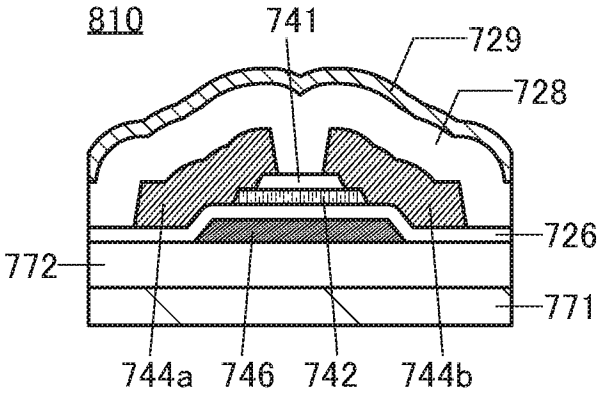


図20A2

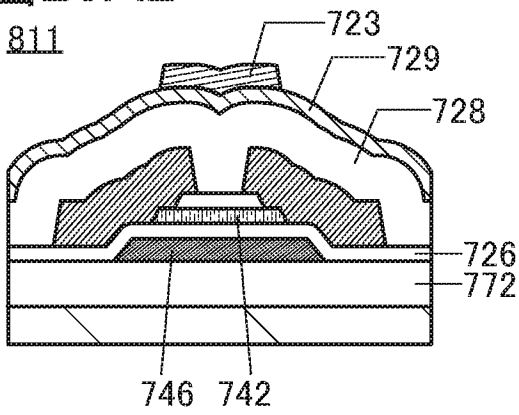


図20B1

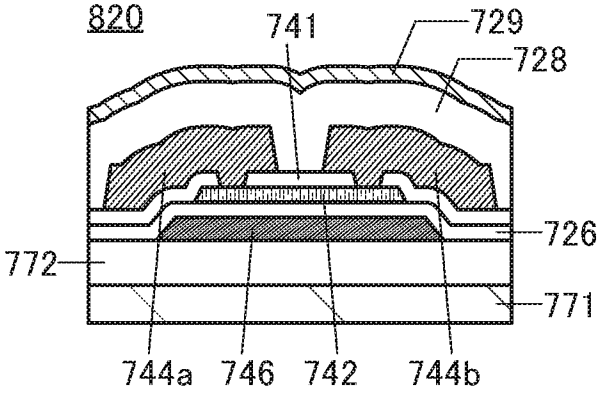


図20B2

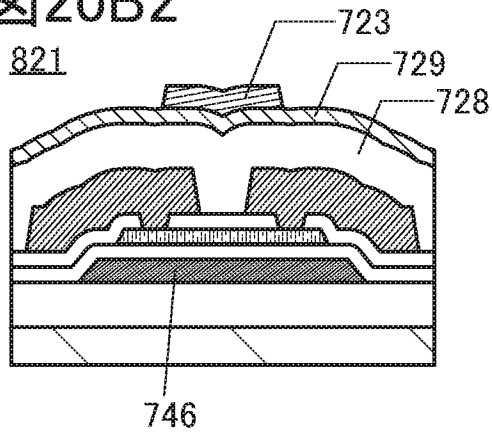


図20C1

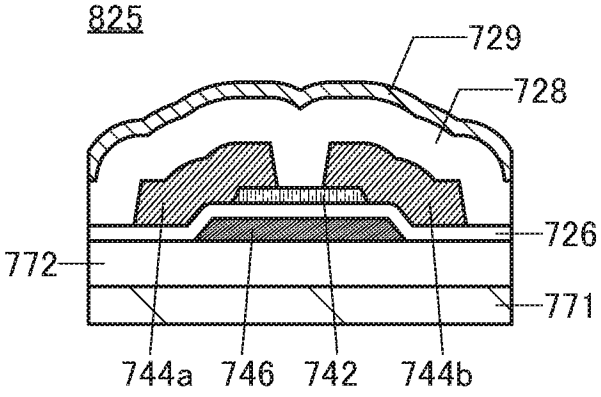


図20C2

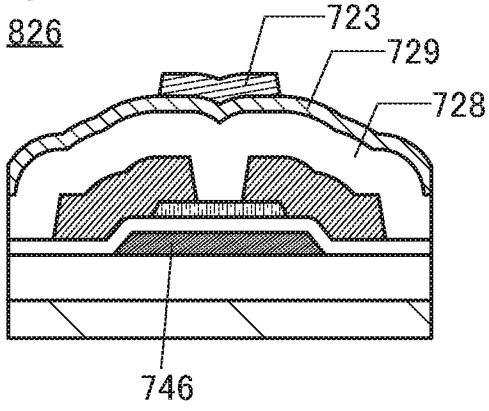


図21A1

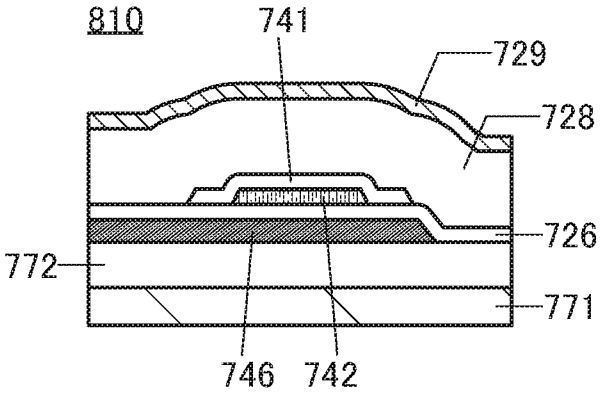


図21A2

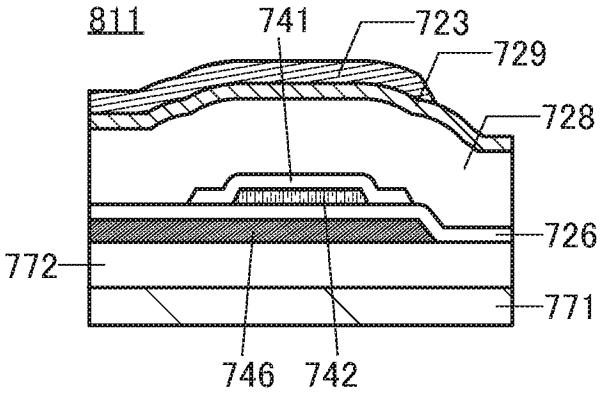


図21B1

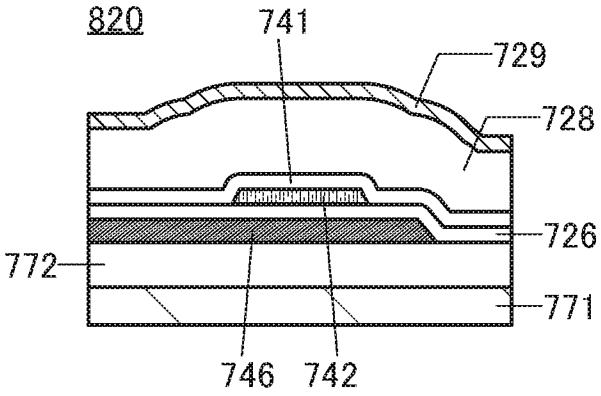


図21B2

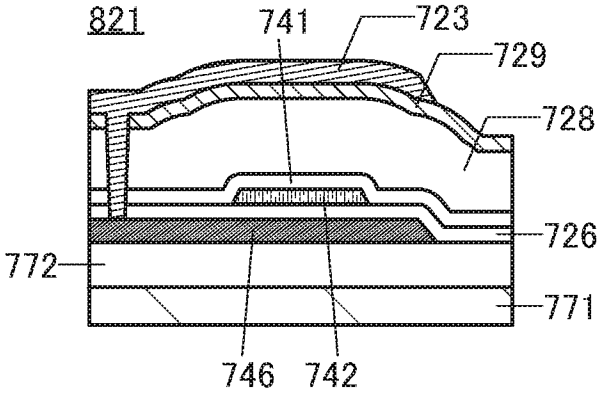


図21C1

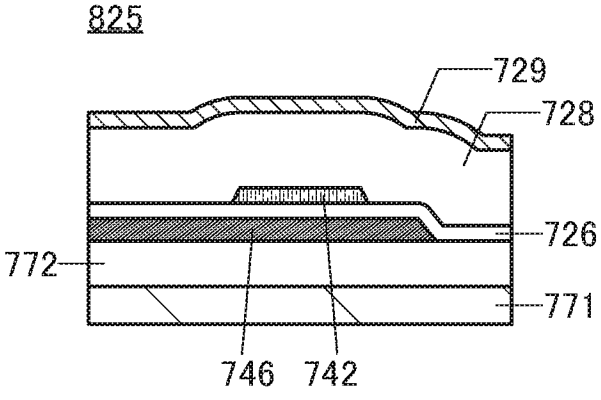


図21C2

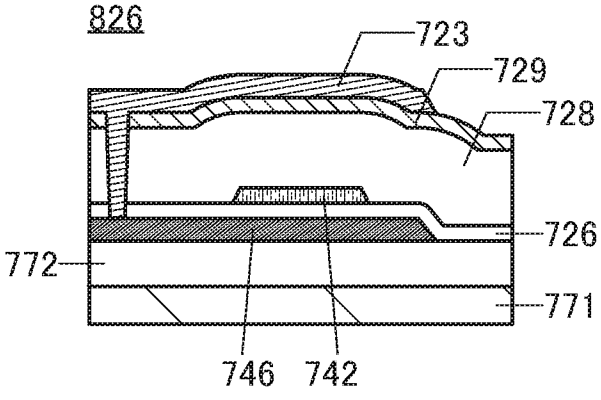


図22A1

842

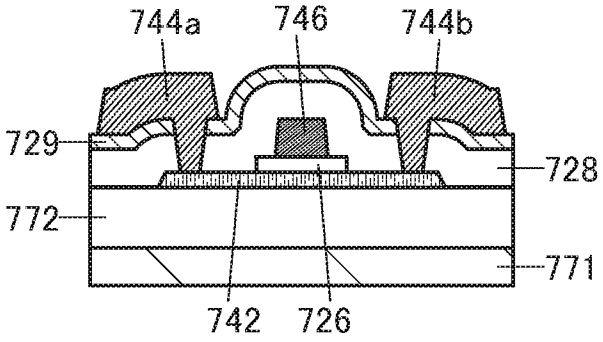


図22A2

843

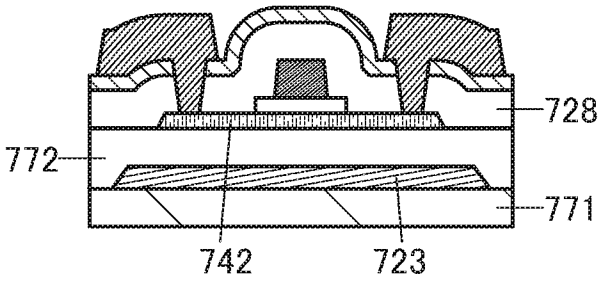


図22B1

844

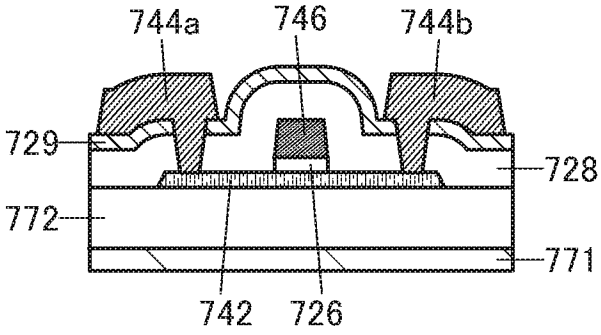


図22B2

845

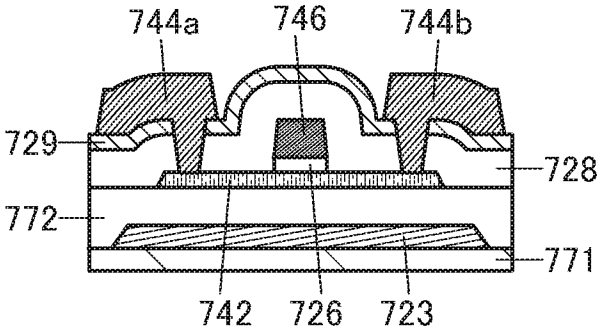


図22C1

846

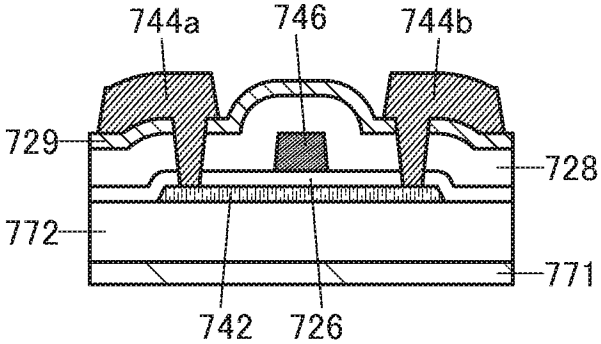


図22C2

847

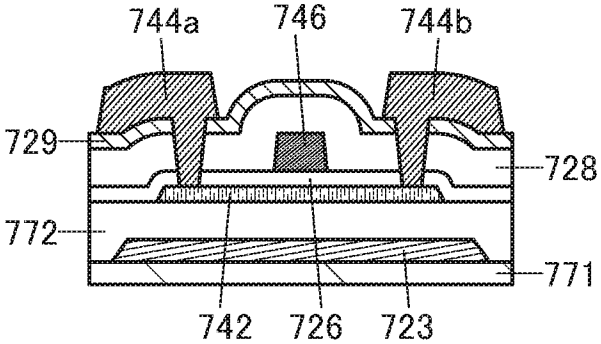


図23A1

842

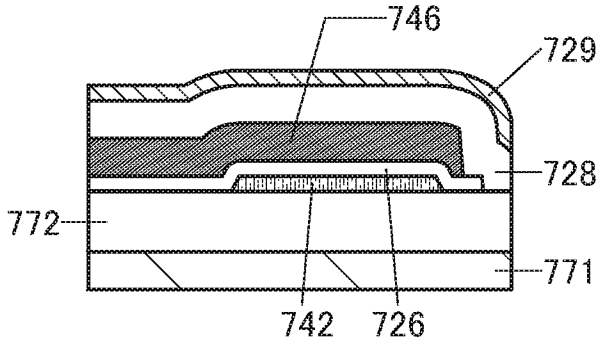


図23A2

843

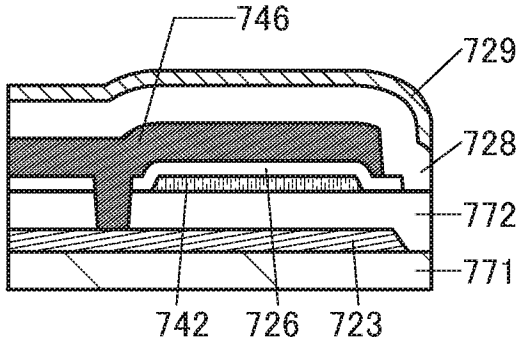


図23B1

844

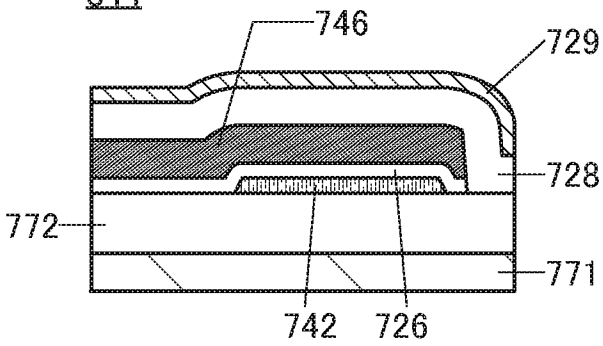


図23B2

845

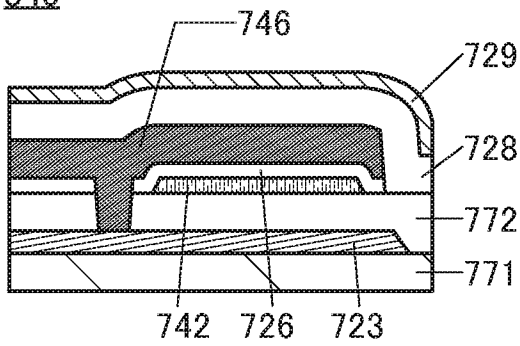


図23C1

846

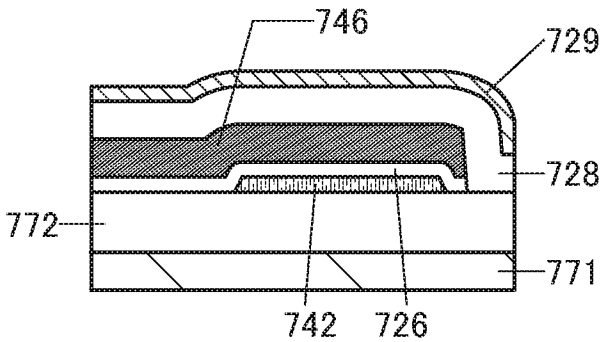


図23C2

847

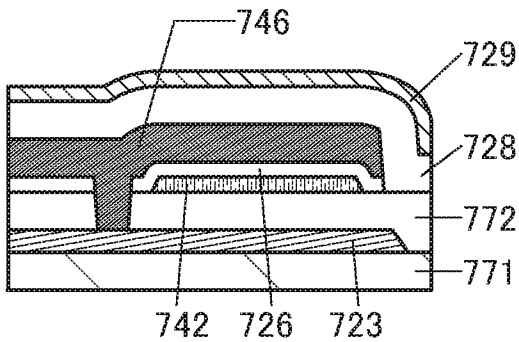


図24A

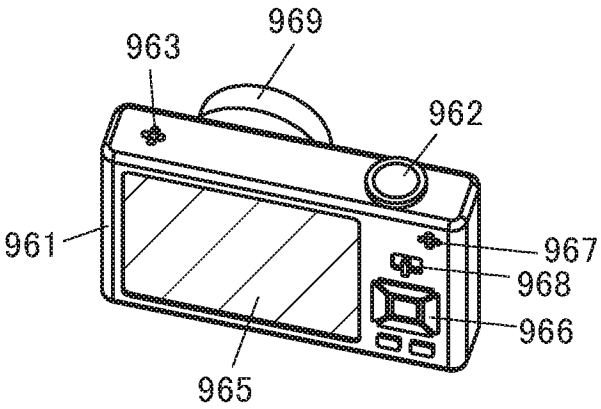


図24B

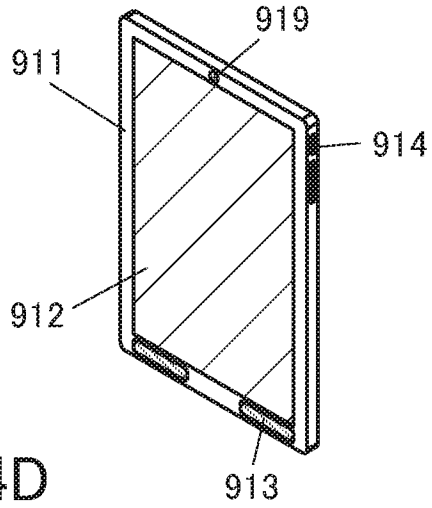


図24C

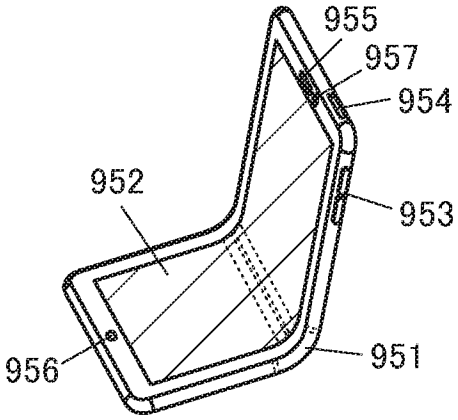


図24D

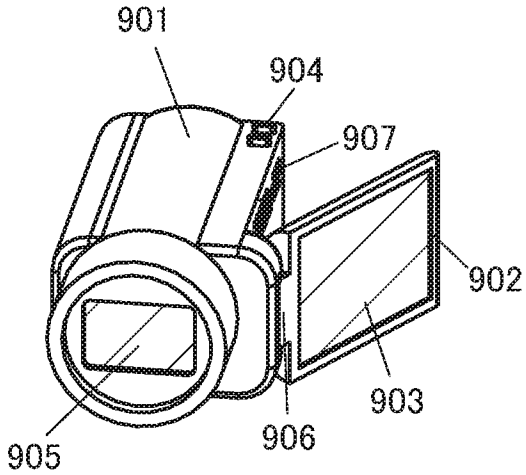


図24E

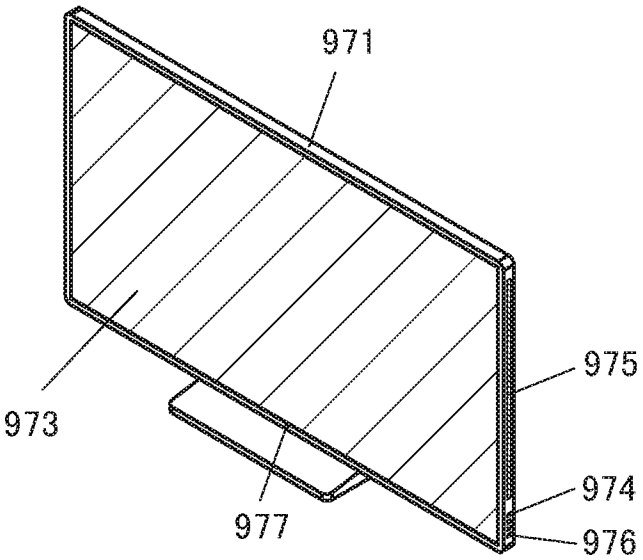


図24F

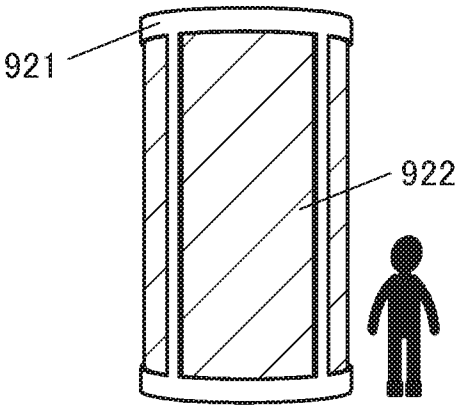


図25A

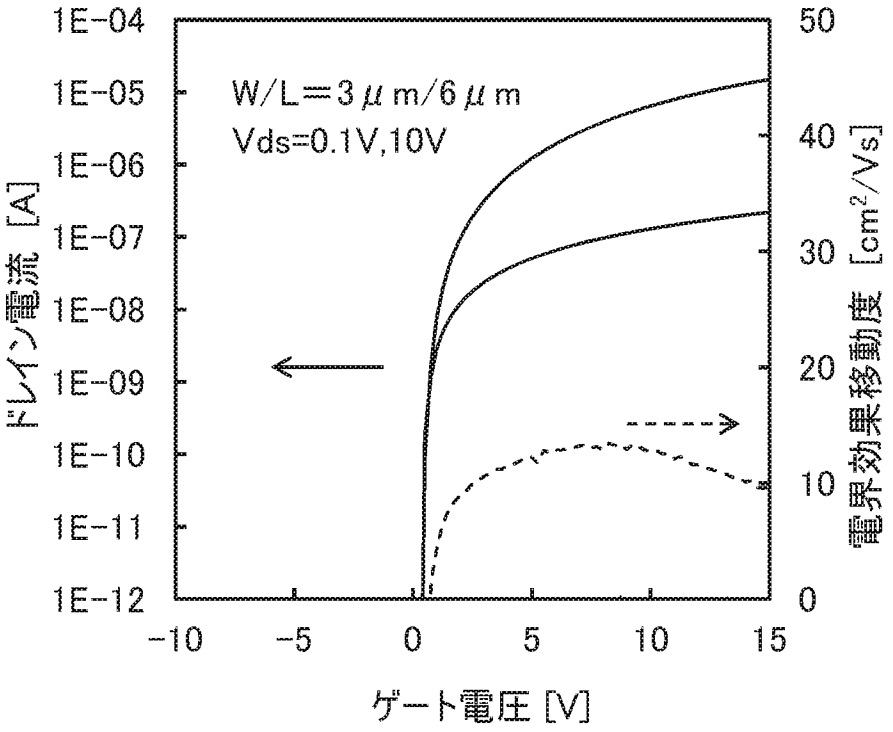

W/L＝3μm/6μm
Vds=0.1V,10V
ドレイン電流 [A]
電界効果移動度 [cm²/Vs]
ゲート電圧 [V]
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
-10
-5
0
5
10
15

図25B

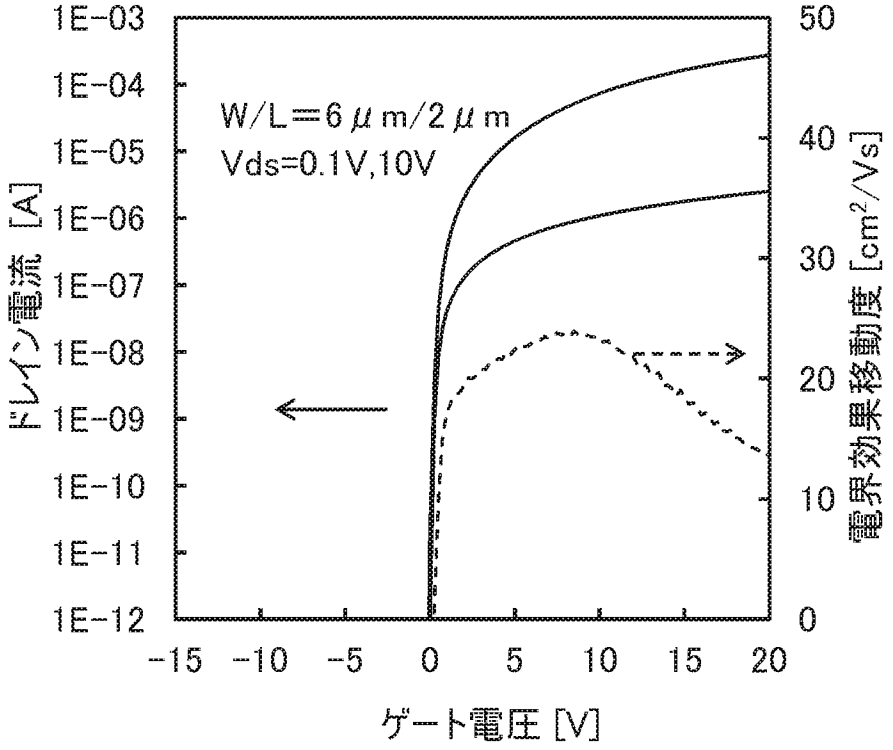

W/L＝6μm/2μm
Vds=0.1V,10V
ドレイン電流 [A]
電界効果移動度 [cm²/Vs]
ゲート電圧 [V]
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
-15
-10
-5
0
5
10
15
20

図26A

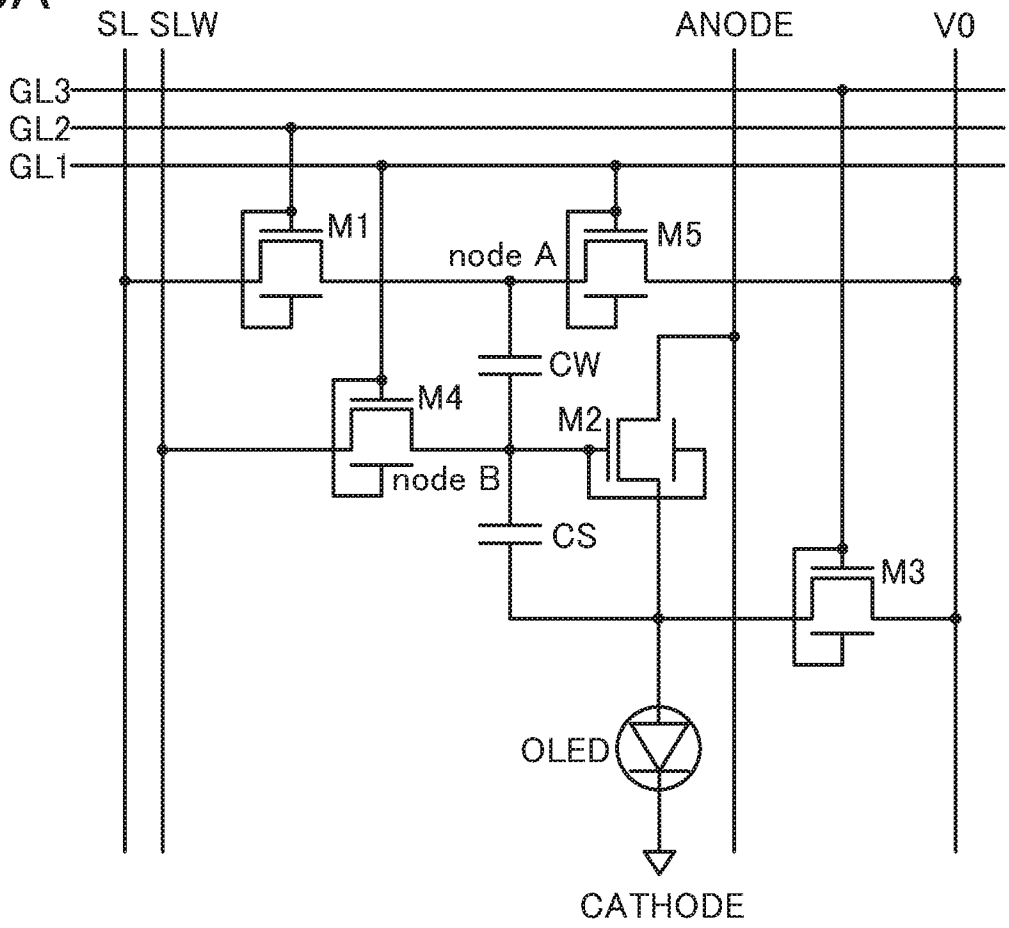

SL SLW
ANODE
V0
GL3
GL2
GL1
M1
node A
M5
CW
M4
M2
node B
CS
M3
OLED
CATHODE

図26B

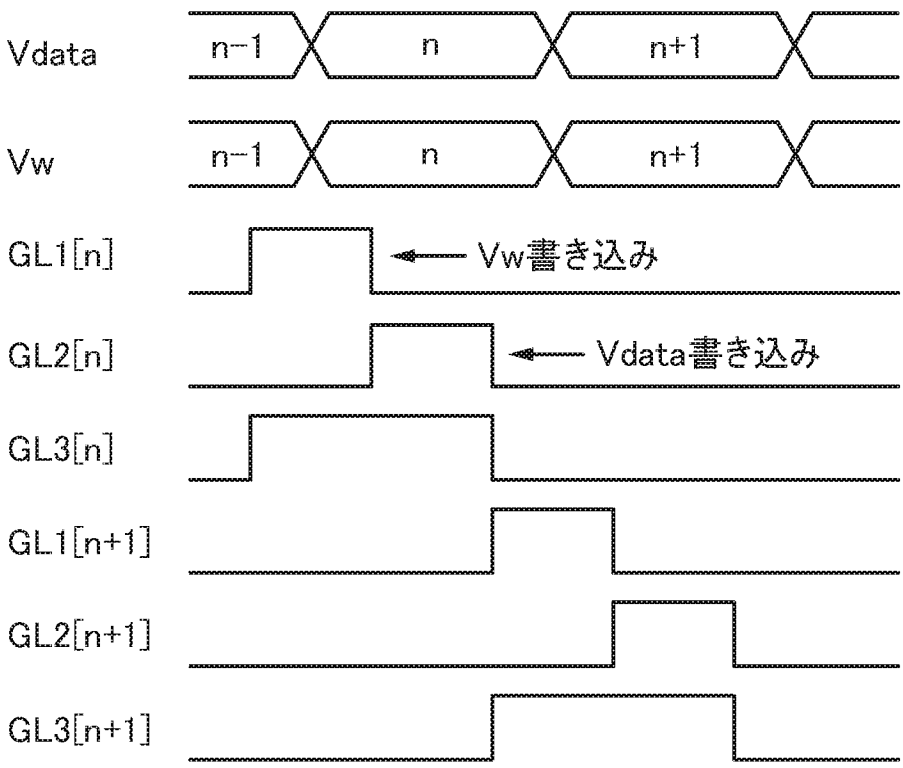

Vdata
n−1
n
n+1
Vw
n−1
n
n+1
GL1[n]
Vw書き込み
GL2[n]
Vdata書き込み
GL3[n]
GL1[n+1]
GL2[n+1]
GL3[n+1]

図27A

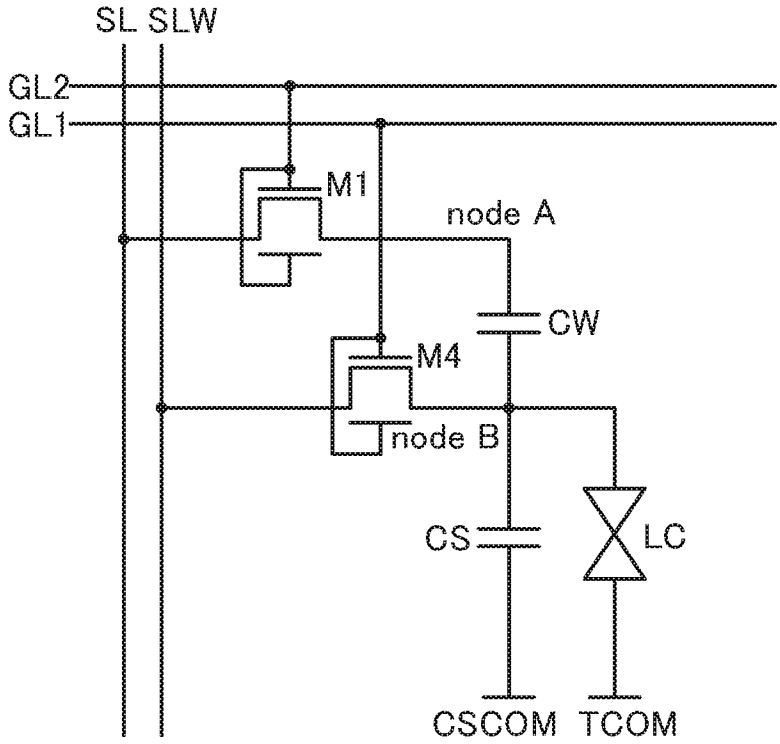

SL SLW
GL2
GL1
M1
node A
CW
M4
node B
CS
LC
CSCOM
TCOM

図27B

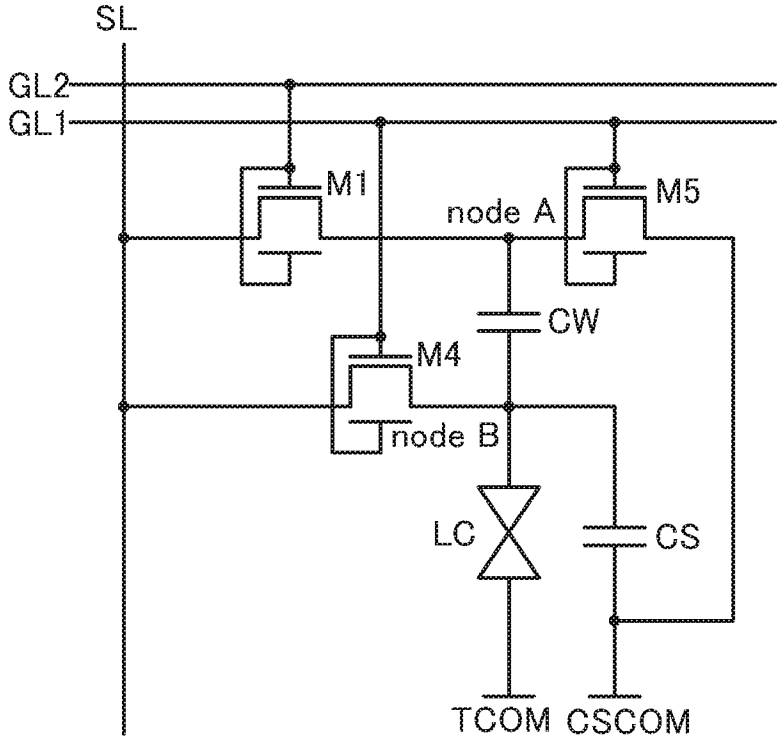

SL
GL2
GL1
M1
node A
M5
CW
M4
node B
LC
CS
TCOM
CSCOM

図28

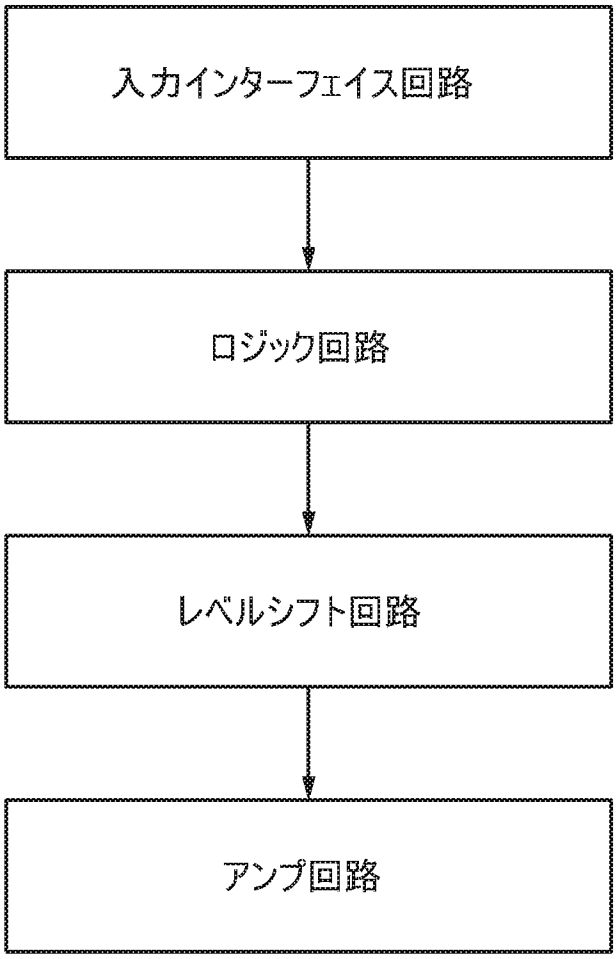


図29A

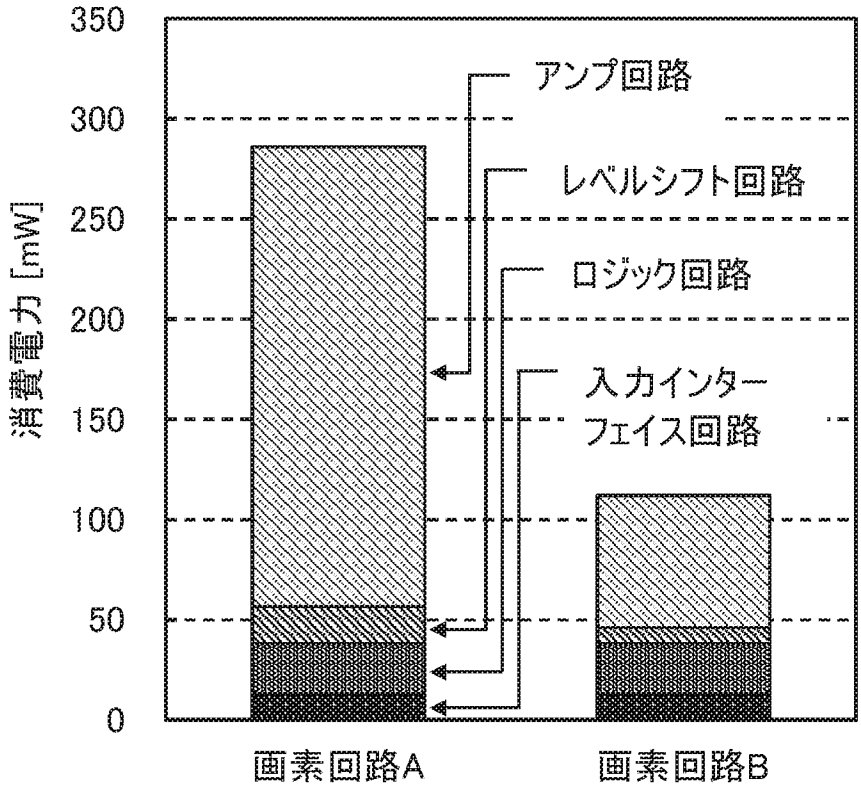

350
300
250
200
150
100
50
0
消費電力 [mW]
アンプ回路
レベルシフト回路
ロジック回路
入力インター
フェイス回路
画素回路A
画素回路B

図29B

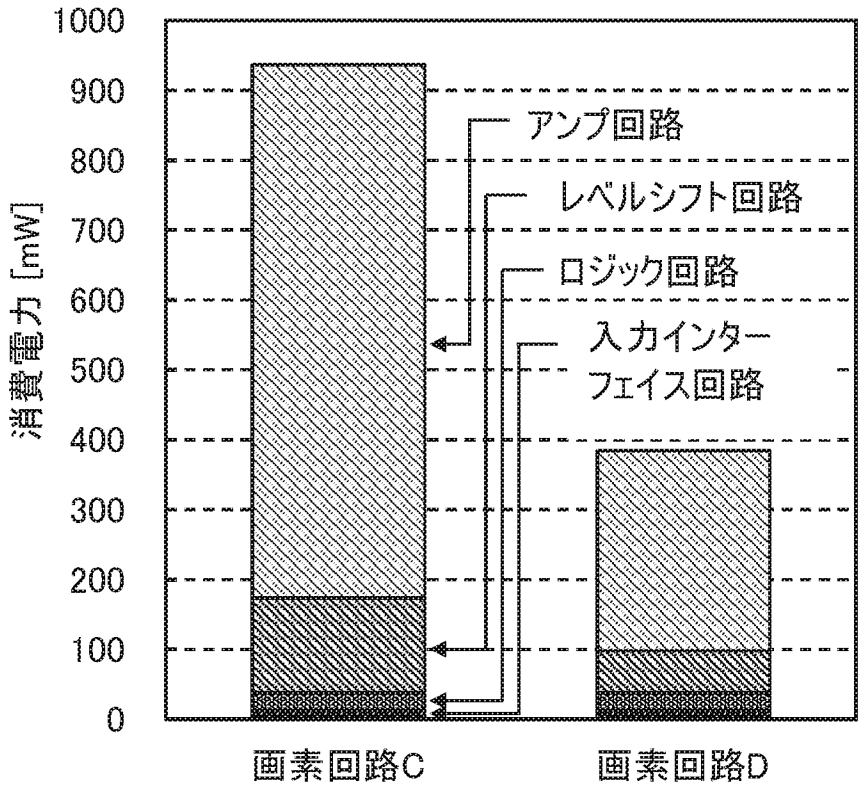

1000
900
800
700
600
500
400
300
200
100
0
消費電力 [mW]
アンプ回路
レベルシフト回路
ロジック回路
入力インター
フェイス回路
画素回路C
画素回路D

図30

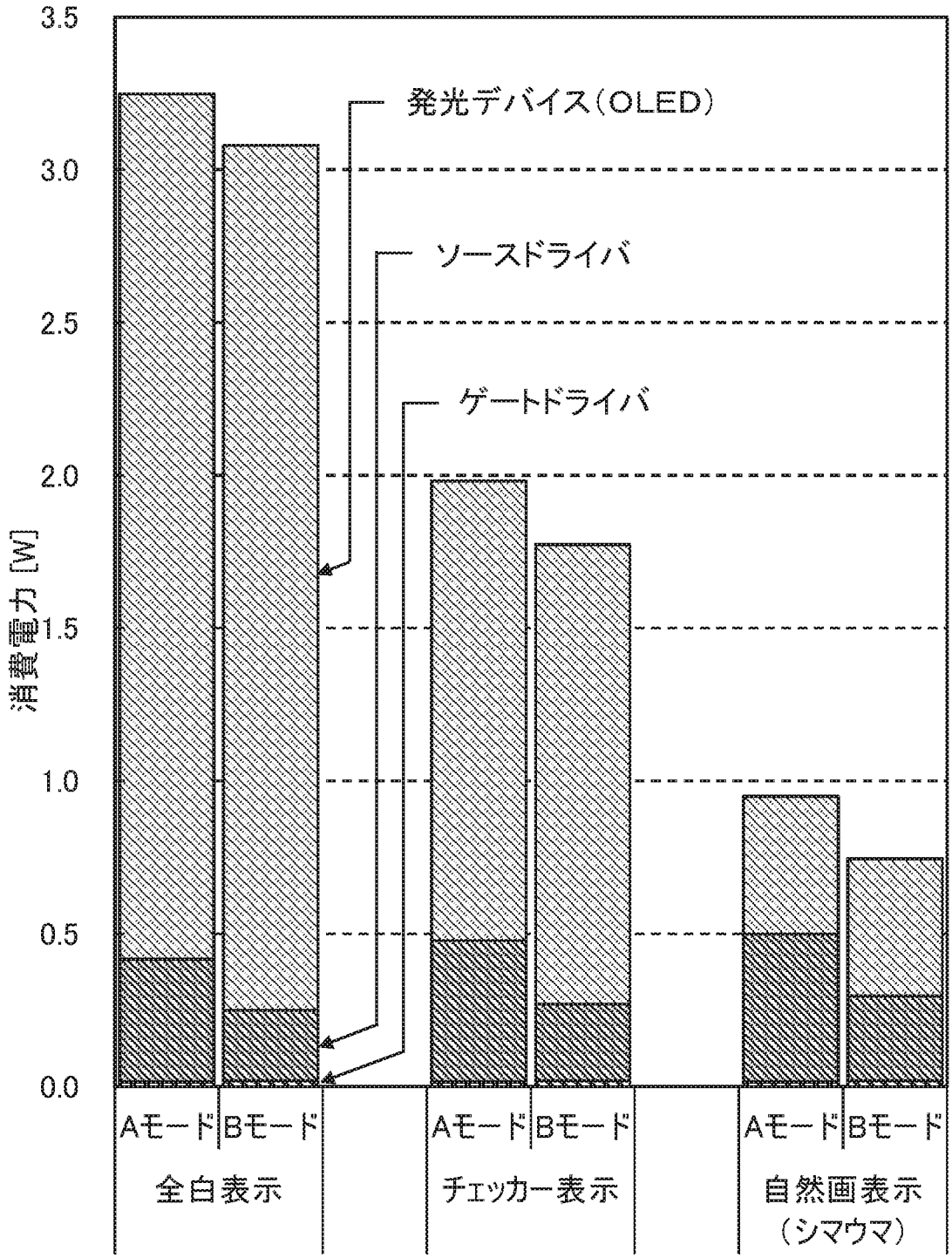

3.5
3.0
2.5
2.0
1.5
1.0
0.5
0.0
消費電力 [W]
発光デバイス（OLED）
ソースドライバ
ゲートドライバ
Aモード
Bモード
Aモード
Bモード
Aモード
Bモード
全白表示
チェッカー表示
自然画表示
（シマウマ）

図31A

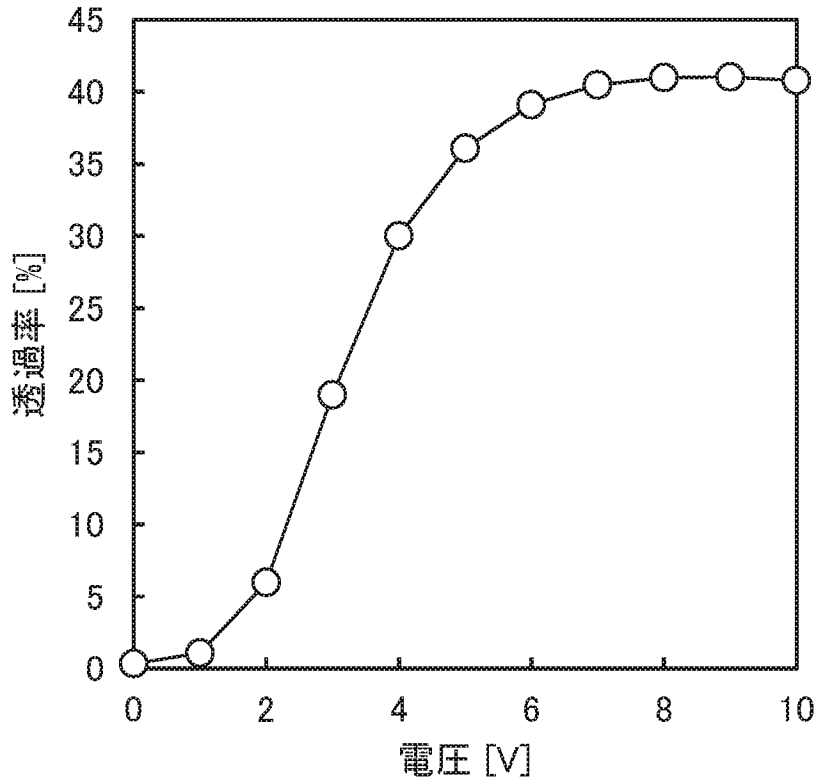

透過率 [%]
0
5
10
15
20
25
30
35
40
45
0
2
4
6
8
10
電圧 [V]

図31B

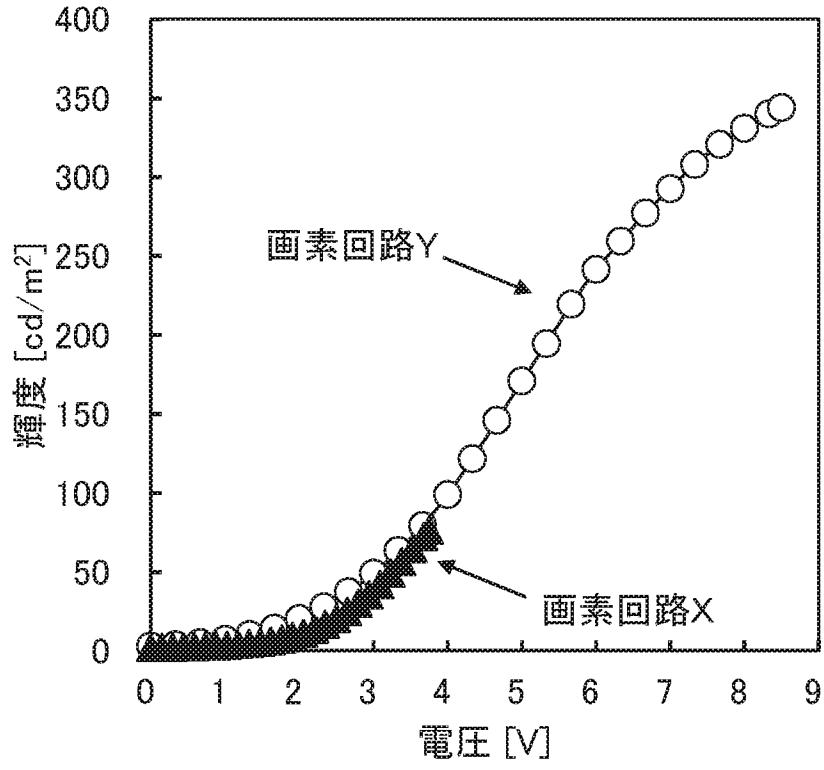

輝度 [cd/m2]
0
50
100
150
200
250
300
350
400
0
1
2
3
4
5
6
7
8
9
電圧 [V]
画素回路Y
画素回路X

図32A



図32B



INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2019/059206

A. CLASSIFICATION OF SUBJECT MATTER
G09G 3/20(2006.01)i; G09G 3/3233(2016.01)i; G09G 3/3275(2016.01)i; G09G 3/36(2006.01)i
FI: G09G3/20 624B; G09G3/20 623H; G09G3/20 623B; G09G3/20 611A; G09G3/20 621H; G09G3/20 623C; G09G3/36; G09G3/3275; G09G3/3233
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G09G3/00-3/38

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2017-27012 A (JAPAN DISPLAY INC.) 02.02.2017 (2017-02-02) paragraphs [0011]-[0028], fig. 1-2E	1-4, 11
Y	JP 2012-185328 A (SONY CORP.) 27.09.2012 (2012-09-27) paragraphs [0026]-[0057], fig. 1-7	1-4, 11
Y	JP 2007-140496 A (SEMICONDUCTOR ENERGY LABORATORY CO., LTD.) 07.06.2007 (2007-06-07) paragraphs [0002]-[0009], [0028]-[0044], fig. 1-2, 6	1-4, 11
A	US 2012/0188290 A1 (PARK Dong-Wook, and others) 26.07.2012 (2012-07-26) whole document	1-4, 11

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
29 January 2020 (29.01.2020)	10 February 2020 (10.02.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2019/059206

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
See extra sheet

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1-4, 11

Remark on Protest

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/IB2019/059206

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2017-27012 A	02 Feb. 2017	US 2017/0025080 A1 paragraphs [0034]-[0058], fig. 1-2E	
JP 2012-185328 A	27 Sep. 2012	US 2012/0223978 A1 paragraphs [0047]-[0078], fig. 1-7 CN 102654979 A	
JP 2007-140496 A	07 Jun. 2007	US 2007/0090385 A1 paragraphs [0004]-[0011], [0041]-[0057], fig. 1-2, 6 EP 1777822 A2 KR 10-2007-0043650 A CN 1953179 A	
US 2012/0188290 Al	26 Jul. 2012	KR 10-2012-0084967 A whole document	

INTERNATIONAL SEARCH REPORT

International application No.
PCT/IB2019/059206

<Continuation of Box No. III>

The claims are classified into the following two inventions.

(Invention 1) Claims 1-4 and 11

Claims 1-4 and 11 have the special technical feature in which "the same power supply voltage is supplied to a shift register circuit and … an amplifier circuit". Thus, claims 1-4 and 11 are classified as invention 1.

(Invention 2) Claims 5-10

Claims 5-10 share, with claim 1 classified as invention 1, a common technical feature of a "display device having a driver circuit and a pixel circuit, wherein the driver circuit has a shift register circuit and an amplifier circuit, and the pixel circuit has a function of generating third data by adding up first data and second data output from the amplifier circuit". However, this technical feature does not make a contribution over the prior art in light of the disclosure of document 1, and is thus not considered to be a special technical feature. Furthermore, these inventions share no other identical or corresponding special technical features.

Furthermore, claims 5-10 are not dependent on claim 1. Furthermore, claims 5-10 are not substantially identical or equivalent to any of the claims classified as invention 1.

Therefore, claims 5-10 cannot be classified as invention 1.

Claims 5-10 have a special technical feature in which a "shift register circuit has a first transistor, … an amplifier circuit has a second transistor, wherein when the thickness of a gate insulating film of one of the first transistor and the second transistor falls within the range of 'a', the thickness of the gate insulating film of the other transistor falls within the range of from 0.9a to 1.1a". Thus, claims 5-10 are classified as invention 2.

国際調査報告

国際出願番号
PCT/IB2019/059206

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

G09G 3/20(2006.01)i; G09G 3/3233(2016.01)i; G09G 3/3275(2016.01)i; G09G 3/36(2006.01)i
FI: G09G3/20 624B; G09G3/20 623H; G09G3/20 623B; G09G3/20 611A; G09G3/20 621H; G09G3/20 623C; G09G3/36; G09G3/3275; G09G3/3233

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

G09G3/00-3/38

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2017-27012 A (株式会社ジャパンディスプレイ) 02.02.2017 (2017-02-02) [0011]-[0028],図1-2E	1-4,11
Y	JP 2012-185328 A (ソニー株式会社) 27.09.2012 (2012-09-27) [0026]-[0057],図1-7	1-4,11
Y	JP 2007-140496 A (株式会社半導体エネルギー研究所) 07.06.2007 (2007-06-07) [0002]-[0009],[0028]-[0044], 図1-2,6	1-4,11
A	US 2012/0188290 A1 (PARK Dong-Wook, and others) 26.07.2012 (2012-07-26) whole document	1-4,11

☐ C欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
29.01.2020	10.02.2020

名称及びあて先	権限のある職員（特許庁審査官）
日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目４番３号	小野　健二 2I 5061 電話番号 03-3581-1101 内線 3273

国際調査報告

国際出願番号
PCT/IB2019/059206

第Ⅲ欄　発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲は、以下の２つの発明に区分される。

（発明１）請求項１－４、１１
請求項１－４、１１は、「シフトレジスタ回路および・・・アンプ回路には、同一の電源電圧が供給される」という特別な技術的特徴を有しているので、発明１に区分する。

（発明２）請求項５－１０
請求項５－１０は、発明１に区分された請求項１と、「ドライバ回路と、画素回路と、を有する表示装置であって、前記ドライバ回路は、シフトレジスタ回路と、アンプ回路と、を有し、前記画素回路は、前記アンプ回路から出力される第１のデータおよび第２のデータを加算して第３のデータを生成する機能」という共通の技術的特徴を有している。しかしながら、当該技術的特徴は、文献１の開示内容に照らして、先行技術に対する貢献をもたらすものではないから、当該技術的特徴は、特別な技術的特徴であるとはいえない。また、これらの発明の間には、他に同一の又は対応する特別な技術的特徴は存在しない。
さらに、請求項５－１０は、請求項１の従属請求項ではない。また、請求項５－１０は、発明１に区分されたいずれの請求項に対しても実質同一又はそれに準ずる関係にはない。
したがって、請求項５－１０は発明１に区分できない。
そして、請求項５－１０は、「シフトレジスタ回路は、第１のトランジスタを有し、・・・アンプ回路は、第２のトランジスタを有し、前記第１のトランジスタおよび前記第２のトランジスタにおいて、一方のトランジスタのゲート絶縁膜の厚さがａの領域を有するとき、他方のトランジスタは、ゲート絶縁膜の厚さが０．９ａ以上１．１ａ以下の領域を有する」という特別な技術的特徴を有しているので、発明２に区分する。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。

2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。

3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。

4. ☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。 1-4,11

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。

☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。

☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/IB2019/059206

引用文献	公表日	パテントファミリー文献	公表日
JP 2017-27012 A	02.02.2017	US 2017/0025080 A1 [0034]-[0058], Figs.1-2E	
JP 2012-185328 A	27.09.2012	US 2012/0223978 A1 [0047]-[0078],Figs.1-7 CN 102654979 A	
JP 2007-140496 A	07.06.2007	US 2007/0090385 A1 [0004]-[0011],[0041]-[0057],Figs.1-2,6 EP 1777822 A2 KR 10-2007-0043650 A CN 1953179 A	
US 2012/0188290 A1	26.07.2012	KR 10-2012-0084967 A whole document	