



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0054975
(43) 공개일자 2014년05월09일

- | | |
|--|---|
| <p>(51) 국제특허분류(Int. Cl.)
H01L 27/115 (2006.01) H01L 21/8247 (2006.01)
G11C 13/00 (2006.01)</p> <p>(21) 출원번호 10-2012-0121125</p> <p>(22) 출원일자 2012년10월30일
심사청구일자 없음</p> | <p>(71) 출원인
에스케이하이닉스 주식회사
경기도 이천시 부발읍 경충대로 2091</p> <p>(72) 발명자
박남균
서울 관악구 행운2길 1, 501호 (봉천동)</p> <p>(74) 대리인
김성남</p> |
|--|---|

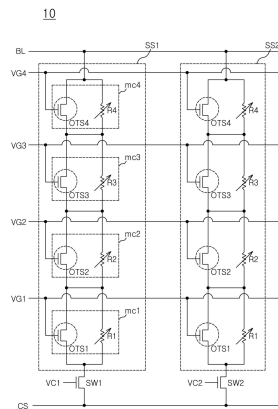
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 가변 저항 메모리 장치

(57) 요약

복수의 컬럼 선택 스위치, 상기 복수의 컬럼 선택 스위치에 의해 선택되는 적층구성되는 복수의 가변 저항 메모리 셀, 및 상기 복수의 가변 저항 메모리 셀과 전기적으로 연결되는 비트 라인을 포함하며, 상기 복수의 가변 저항 메모리 셀은 적층 배열되는 복수의 워드 라인에 의해 선택적으로 구동되는 OTS(Ovonic Threshold switch) 소자 및 상기 OTS 소자와 병렬 연결되는 가변 저항을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 기관;

상기 반도체 기관 상부에 형성되는 컬럼 선택 스위치;

상기 컬럼 선택 스위치 상부에 형성되며, 복수의 도전막이 상호 절연되어 적층구성되는 적층 게이트;

상기 적층 게이트와 게이트 절연막을 사이에 두고 오버랩되도록 형성되며 상기 컬럼 선택 스위치와 전기적으로 연결되는 OTS(ovonic threshold switch) 물질층; 및

상기 OTS 물질층 표면에 형성되는 가변 저항 물질층을 포함하는 가변 저항 메모리 장치.

청구항 2

제 1 항에 있어서,

상기 컬럼 선택 스위치는,

상기 반도체 기관에 형성되는 공통 소스 영역;

상기 공통 소스 영역 상부에 형성되는 채널 필라,

상기 채널 필라의 상부 영역에 형성되는 드레인;

상기 채널 필라의 외주를 둘러싸도록 형성되는 게이트; 및

상기 채널 필라와 상기 게이트 사이에 개재되는 게이트 절연막을 포함하는 수직 채널 트랜지스터인 가변 저항 메모리 장치.

청구항 3

제 2 항에 있어서,

상기 적층 게이트는 상기 드레인 양측 상부에 위치하도록 형성되는 가변 저항 메모리 장치.

청구항 4

제 2 항에 있어서,

상기 OTS 물질층은 상기 적층 게이트의 측벽 및 상기 컬럼 선택 트랜지스터의 드레인 상부를 따라 형성되는 가변 저항 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 OTS 물질층은 Te, Se, Ge, Si, As, Ti, S 및 Sb 중 적어도 하나의 물질로 구성되며, NDR(negative differential resistance) 특성을 갖는 막인 가변 저항 메모리 장치.

청구항 6

제 1 항에 있어서,

상기 가변 저항 물질층은 저항 메모리의 재료인 PCMO막, 상변화 메모리의 재료인 칼코게나이드막, 자기 메모리의 재료인 자성층, STTMRAM의 재료인 자화 반전 소자층 또는 폴리머 메모리의 재료인 폴리머층 중 하나의 막인 가변 저항 메모리 장치.

청구항 7

반도체 기관; 및

OTS(Ovonic threshold switch) 스위치 및 가변 저항층으로 구성되며, 상기 반도체 기판 상에 적층되어, 상호 직렬 연결되는 복수의 메모리 셀을 포함하는 가변 저항 메모리 장치.

청구항 8

제 7 항에 있어서,

개별 메모리 셀을 구성하는 상기 OTS 스위치 및 상기 가변 저항층은 병렬 형태로 연결되는 가변 저항 메모리 장치.

청구항 9

제 7 항에 있어서,

상기 OTS 스위치는 상호 절연된 적층된 복수의 게이트를 더 포함하며,

상기 복수의 게이트의 선택에 의해 대응되는 상기 OTS 스위치가 턴온되도록 구성되는 가변 저항 메모리 장치.

청구항 10

복수의 컬럼 선택 스위치;

상기 복수의 컬럼 선택 스위치에 의해 선택되는 적층구성되는 복수의 가변 저항 메모리 셀; 및

상기 복수의 가변 저항 메모리 셀과 전기적으로 연결되는 비트 라인을 포함하며,

상기 복수의 가변 저항 메모리 셀은 적층 배열되는 복수의 워드 라인에 의해 선택적으로 구동되는 OTS(Ovonic Threshold switch) 소자 및 상기 OTS 소자와 병렬 연결되는 가변 저항을 포함하는 가변 저항 메모리 장치.

명세서

기술분야

[0001] 본 발명은 가변 저항 메모리 장치에 관한 것으로, 보다 구체적으로는 3차원 적층형 가변 저항 메모리 장치에 관한 것이다.

배경기술

[0002] 모바일 및 디지털 정보 통신과 가전 산업의 급속한 발전에 따라, 기존의 전자의 전하 제어에 기반을 둔 소자 연구는 한계에 봉착할 것으로 전망된다. 이에, 기존 전자 전하 소자의 개념이 아닌 새로운 개념의 신 기능성 메모리 장치의 개발이 요구되고 있다. 특히, 주요 정보 기기의 메모리의 대용량화 요구를 충족시키기 위해, 차세대 대용량 초고속 및 초전력 메모리 장치의 개발이 필요하다.

[0003] 현재, 차세대 메모리 장치로서 저항 소자를 메모리 매체로 사용하는 저항성 메모리가 제안되고 있으며, 대표적으로, 상변화 메모리 장치, 저항 메모리, 및 자기 저항 메모리가 있다.

[0004] 이러한 저항 메모리는 스위칭 소자 및 저항 소자를 기본 구성으로 하고 있으며, 저항 소자의 상태에 따라 "0" 또는 "1"의 데이터를 저장하게 된다.

[0005] 하지만, 이러한 저항 메모리 또한 집적 밀도 개선이 최우선 과제이며, 좁은 면적에 최대의 메모리 셀을 집적시키는 것이 관건이다. 또한, 이렇게 복수의 메모리 셀을 한정된 영역에 집적시켰을 때, 스위칭 퍼포먼스 (switching performance)를 확보할 수 있어야 한다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 집적 밀도를 개선할 수 있는 3차원 적층형 가변 저항 메모리 장치를 제공하는 것이다.

과제의 해결 수단

[0007] 본 발명의 일 실시예에 다른 가변 저항 메모리 장치는, 반도체 기판, 상기 반도체 기판 상부에 형성되는 컬럼

선택 스위치, 상기 컬럼 선택 스위치 상부에 형성되며, 복수의 도전막이 상호 절연되어 적층구성되는 적층 게이트, 상기 적층 게이트와 게이트 절연막을 사이에 두고 오버랩되도록 형성되며 상기 컬럼 선택 스위치와 전기적으로 연결되는 OTS(ovonic threshold switch) 물질층, 및 상기 OTS 물질층 표면에 형성되는 가변 저항 물질층을 포함한다.

[0008] 또한, 본 발명의 다른 실시예에 따른 가변 저항 메모리 장치는, 반도체 기관, 및 OTS(Ovonic threshold switch) 스위치 및 가변 저항층으로 구성되며, 상기 반도체 기관 상에 적층되어, 상호 직렬 연결되는 복수의 메모리 셀을 포함한다.

[0009] 또한, 본 발명의 또 다른 실시예에 따른 가변 저항 메모리 장치는, 복수의 컬럼 선택 스위치, 상기 복수의 컬럼 선택 스위치에 의해 선택되는 적층구성되는 복수의 가변 저항 메모리 셀, 및 상기 복수의 가변 저항 메모리 셀과 전기적으로 연결되는 비트 라인을 포함하며, 상기 복수의 가변 저항 메모리 셀은 적층 배열되는 복수의 워드 라인에 의해 선택적으로 구동되는 OTS(Ovonic Threshold switch) 소자 및 상기 OTS 소자와 병렬 연결되는 가변 저항을 포함한다.

발명의 효과

[0010] 본 발명에 따르면, 셀 게이트를 적층하여, 한정된 공간에 복수의 메모리 셀을 적층 형성하므로써, 집적 밀도를 개선할 수 있다. 또한, 스위칭 소자로서, 가변 저항 메모리의 거동과 유사한 OTS 트랜지스터를 사용하므로써, 스위칭 특성을 보다 개선할 수 있다.

도면의 간단한 설명

[0011] 도 1은 본 발명의 일 실시예에 따른 가변 저항 메모리 장치의 회로도이다.
 도 2는 본 발명의 실시예에 적용된 OPS 스위치의 전류-전압 특성을 나타낸 그래프이다.
 도 3 및 도 4는 본 발명의 실시예에 따른 가변 저항 메모리 장치의 구동을 설명하기 위한 도면이다.
 도 5 내지 도 9는 본 발명의 일 실시예에 따른 가변 저항 메모리 장치의 제조 방법을 공정 순서별로 나타낸 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0012] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명하도록 한다. 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

[0013] 도 1을 참조하면, 가변 저항 메모리 장치(10)는 직렬로 연결된 복수의 메모리 셀(mc1,mc2,mc3,mc4)을 포함한다.

[0014] 직렬 연결된 복수의 메모리 셀(mc1-mc4)은 비트 라인(BL)과 공통 소스 라인(CS) 사이에 연결될 수 있다. 즉, 직렬로 연결된 복수의 메모리 셀(mc1-mc4)은 반도체 기관(도시되지 않음)의 상부로부터 순차적으로 적층된다. 본 실시예에서 직렬 연결된 복수의 적층 메모리 셀(mc1-mc4)들을 컬럼 스트링(SS1, SS2)이라 명명하여 설명할 것이다.

[0015] 한편, 각각의 메모리 셀(mc1-mc4)은 스위칭 소자 및 가변 저항(R1-R4)으로 구성될 수 있으며, 각 메모리 셀을 구성하는 스위칭 소자와 가변 저항 상호 병렬로 연결될 수 있다. 본 실시예에서, 스위칭 소자로는 OTS(Ovonic Threshold switch) 소자(OTS1,OTS2,OTS3,OTS4)가 이용될 수 있다. OTS 소자(OTS1-OTS4)는 알려진 바와 같이, 전압 또는 전류에 따라 문턱 전압이 가변되는 소자로서, 이러한 OTS 소자에 대해 미합중국 특허 5,694,146에 자세히 기재되어 있다.

[0016] 본 실시예에서 적용되는 OTS 소자의 채널층(이하, OTS 물질층)으로는 Te, Se, Si, As, Ti, S 및 Sb 물질 중 적어도 하나의 물질을 포함하는 칼코게나이드 계열 물질일 수 있다. 하지만, 상기 OTS 물질층으로 이용되는 칼코

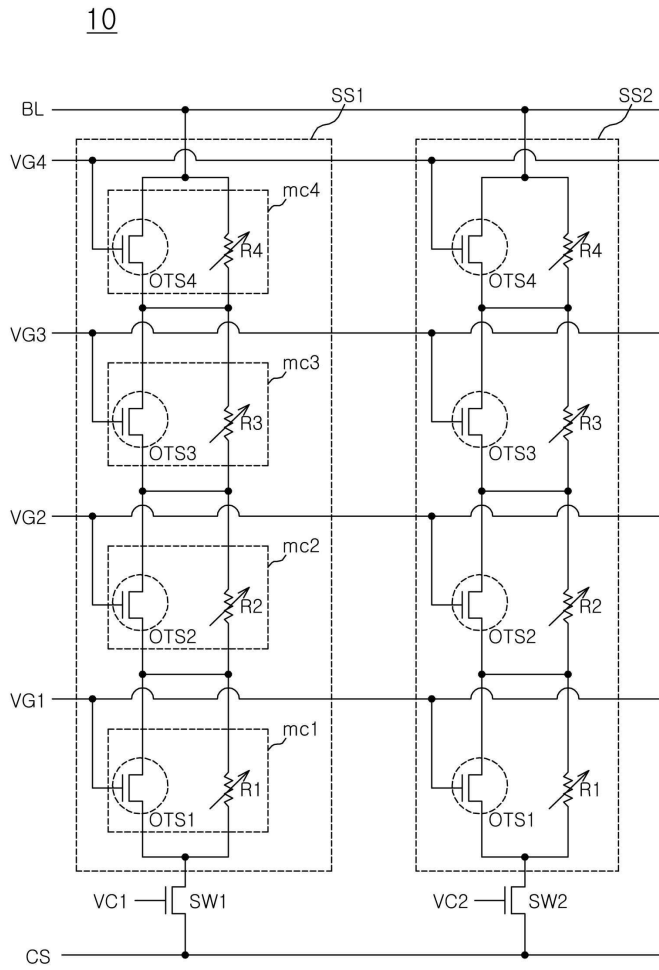
게나이드 물질은 상기 가변 저항(R1-R4)으로 이용되는 가변 저항 물질보다는 도전 특성 및 전류 이동 특성이 우수한 물질일 수 있다.

- [0017] 이러한 OTS 소자는 도 2에 도시된 바와 같이, 그것의 게이트 전압이 인가되지 않은 구간(a)에서는, 전류(I)가 발생되지 않지만, 일정 게이트 전압 구간(b)에서는 전류가 상승되는 특성을 갖는다. 이에 따라, 본 실시예에서는 상기 OTS 소자의 게이트 전압에 의해 발생하는 전류를 이용하여, 가변 저항의 라이트 및 리드를 수행할 수 있다.
- [0018] 여기서, 미설명 부호 SW1 및 SW2는 컬럼 스트링(SS1,SS2)을 선택하기 위한 컬럼 선택 스위치, 예를 들어, 컬럼 선택 트랜지스터를 나타낸다.
- [0019] 이하, 본 실시예의 가변 저항 메모리 장치의 동작을 설명한다.
- [0020] 본 실시예에서는 제 1 컬럼 스트링(SS1)의 제 2 메모리 셀(mc2)에 데이터를 라이트(write) 및 리드(read)하는 경우에 대해 예를 들어 설명할 것이다.
- [0021] 도 3을 참조하면, 제 1 컬럼 스트링(SS1)을 선택하기 위한 제 1 컬럼 선택 트랜지스터(SW1)에 게이트 전압(Vc1)으로 하이 전압이 인가된다.
- [0022] 이어서, 데이터가 라이트될 제 2 메모리 셀(mc2)을 제외하고, 제 1, 제 3 및 제 4 메모리 셀(mc1,mc3,mc4)의 OTS 소자(OTS1,OTS3,OTS4)를 인에이블시킨다. 즉, 제 1, 제 3 및 제 4 OTS 소자(OTS1, OTS3, OTS4)를 인에이블시키기 위하여, 제 1, 제 3 및 제 4 게이트 전압(VG1,VG3,VG4)으로 하이 전압을 인가하고, 제 2 게이트 전압(VG2)으로는 로우 전압을 인가한다. 여기서, 상기 하이 전압이란 OTS 소자에서 전류를 발생시킬 수 있는 구간 전압에 해당될 수 있으며, 로우 전압이란 전압이 인가되지 않는 상태를 의미할 수 있다.
- [0023] 그러면, 제 4, 제 3 및 제 1 메모리 셀(mc4,mc3,mc1)은 제 4, 제 3 및 제 1 OTS 소자(OTS4, OTS3, OTS1)가 도통되어 전류 패스가 형성되는 반면, 제 2 메모리 셀(mc2)은 제 2 OTS 소자(OTS2)가 디스에이블되었으므로, 제 2 가변 저항(R2)으로 전류 패스가 형성된다.
- [0024] 이에 따라, 비트 라인(BL)으로부터 제공되는 라이트 전류(Iwrite)는 제 4 및 제 3 OTS 소자(OTS4, OTS3), 제 2 가변 저항(R2) 및 제 1 OTS 소자(OTS1)를 통해 공통 소스 라인(CS)으로 흐르게 되고, 이 과정에서 제 2 가변 저항(R2)에 데이터가 라이트된다.
- [0025] 한편, 도 4를 참조하면, 상기 라이트 동작과 동일한 스위치 온/오프 상태에서, 선택된 컬럼 스트링(SS1)에 비트 라인(BL)으로부터 리드 전류(Iread)가 제공된다. 리드 전류(Iread)는 해당 도전 패스를 거쳐 접지와 연결된 공통 소스 라인(CS)에 도달된다. 커먼 소스(CS)에 도달되는 전류 값의 측정에 의해, 제 2 가변 저항(R2)에 어떠한 데이터가 기입되었는지 확인할 수 있다. 이때, 리드 전류(Iread)는 가변 저항(R2)의 결정 상태에 영향을 미치지 않는 수준으로서, 라이트 전류(Iwrite) 보다는 낮은 값을 가질 수 있다.
- [0026] 도 5 내지 도 9는 본 발명의 일 실시예에 따른 가변 저항 메모리 장치의 공정별 단면도이다.
- [0027] 도 5를 참조하면, 반도체 기판(100) 상부에 공통 소스 영역(105)을 형성한다. 공통 소스 영역(105)은 예를 들어, 불순물 영역이거나, 혹은 도전층으로 구성될 수 있다.
- [0028] 공통 소스 영역(105) 상부에 일정 두께의 도전층을 형성한 다음, 이를 패터닝하여, 채널 필라(110)를 형성한다. 채널 필라(110) 상부에 불순물을 주입하여, 드레인 영역(115)을 형성한다. 이에 따라, 채널 필라(110)내에 채널 예정 영역이 한정된다.
- [0029] 이때, 채널 필라(110)는 상기 컬럼 스트링(SS1,SS2)으로 한정된 영역당 하나씩 형성될 수 있다. 채널 필라(110)가 형성된 반도체 기판(100) 결과물 상부에 게이트 절연막(120)을 피복하고, 채널 필라(110)를 둘러싸도록 게이트(125)를 형성한다. 게이트(125)는 상기 채널 예정 영역과 대응될 수 있는 높이(혹은 두께)로 형성될 수 있다. 이에 따라, 수직 구조의 컬럼 선택 트랜지스터(SW1,SW2)가 완성된다.
- [0030] 반도체 기판(100) 결과물 상부에 층간 절연막(130)을 형성한다. 층간 절연막(130)은 컬럼 선택 트랜지스터(SW1,SW2)가 매립될 수 있는 정도의 두께로 형성된 다음, 상기 드레인 영역(120)이 노출되도록 평탄화될 수 있다. 그 후, 노출된 드레인 영역(120)에 공지의 방식에 따라 오믹층(135)을 형성한다. 본 실시예에서 오믹층

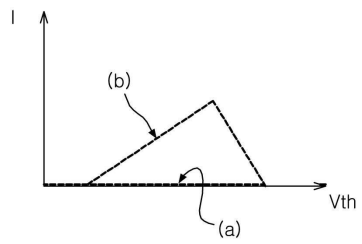
170 : 비트 라인

도면

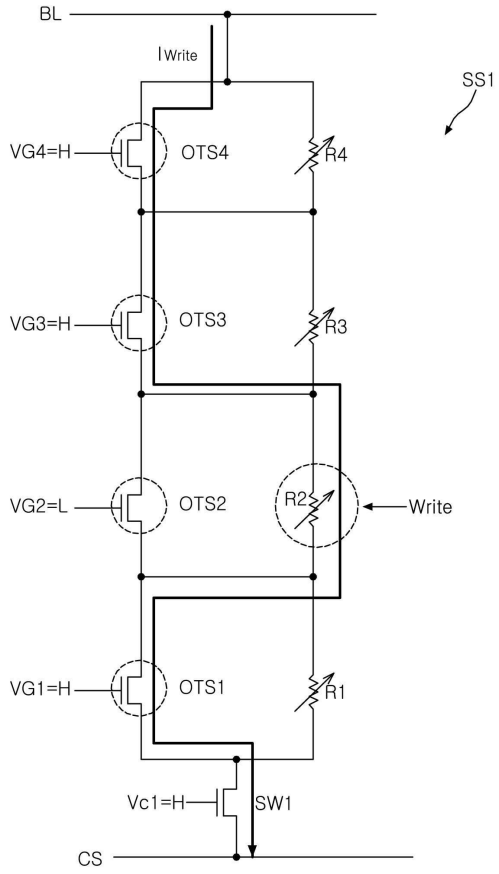
도면1



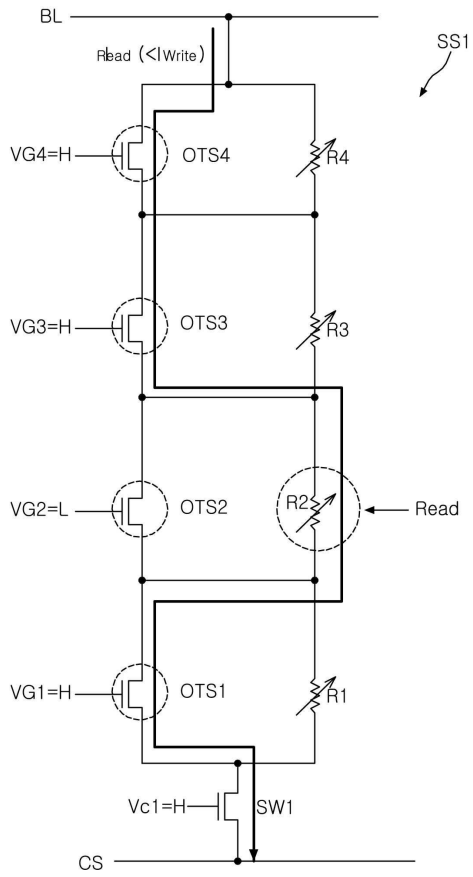
도면2



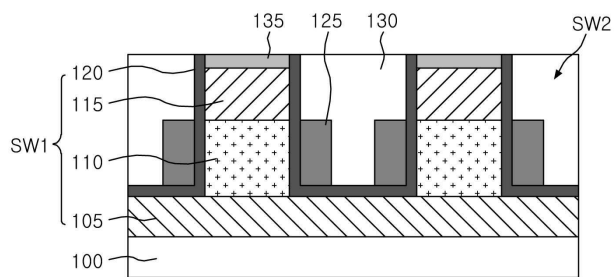
도면3



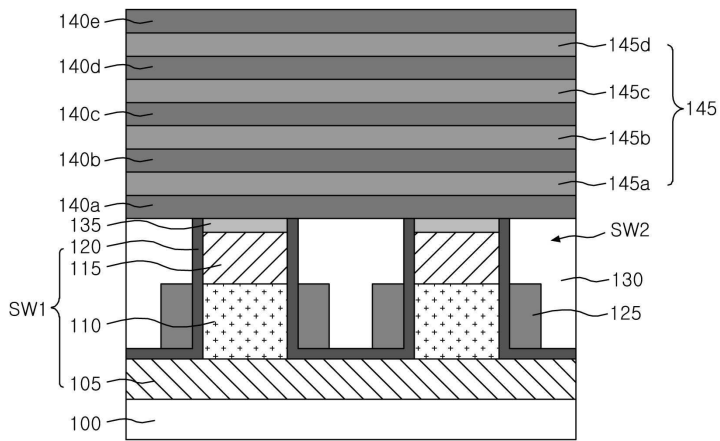
도면4



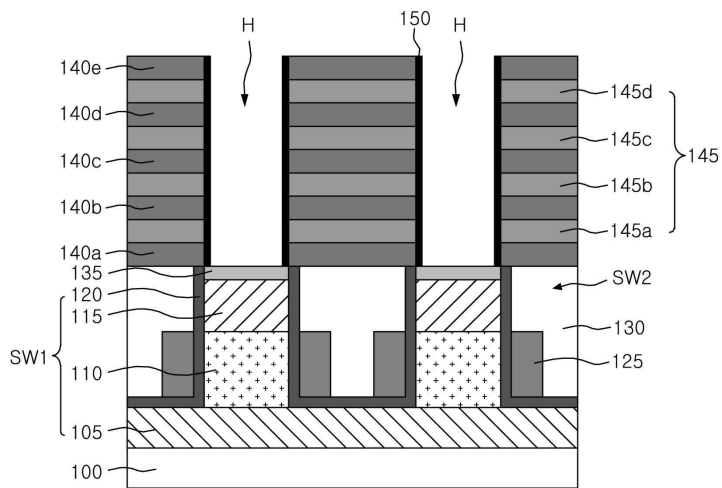
도면5



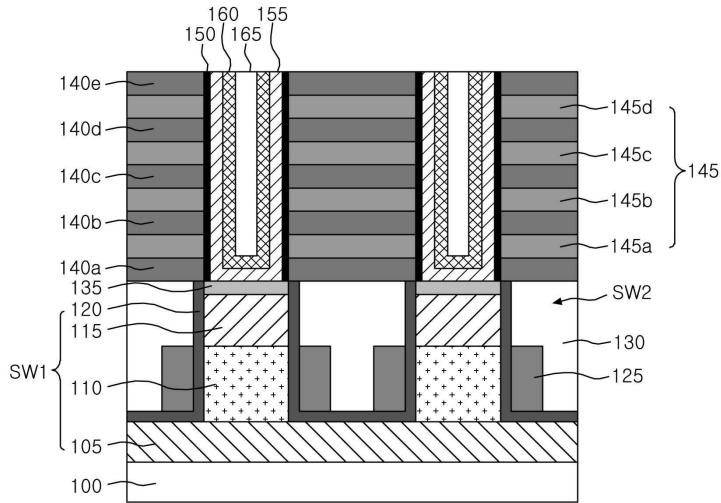
도면6



도면7



도면8



도면9

