



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0115131
(43) 공개일자 2013년10월21일

(51) 국제특허분류(Int. Cl.)
G05F 1/56 (2006.01) *G05F 3/00* (2006.01)
(21) 출원번호 10-2013-0034960
(22) 출원일자 2013년04월01일
심사청구일자 없음
(30) 우선권주장
JP-P-2012-090058 2012년04월11일 일본(JP)

(71) 출원인
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와Ken 아쓰기시 하세 398
(72) 발명자
다카하시 케이
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내
타나다 요시후미
일본국 243-0036 가나가와Ken 아쓰기시 하세 398
가부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인
황의만

전체 청구항 수 : 총 14 항

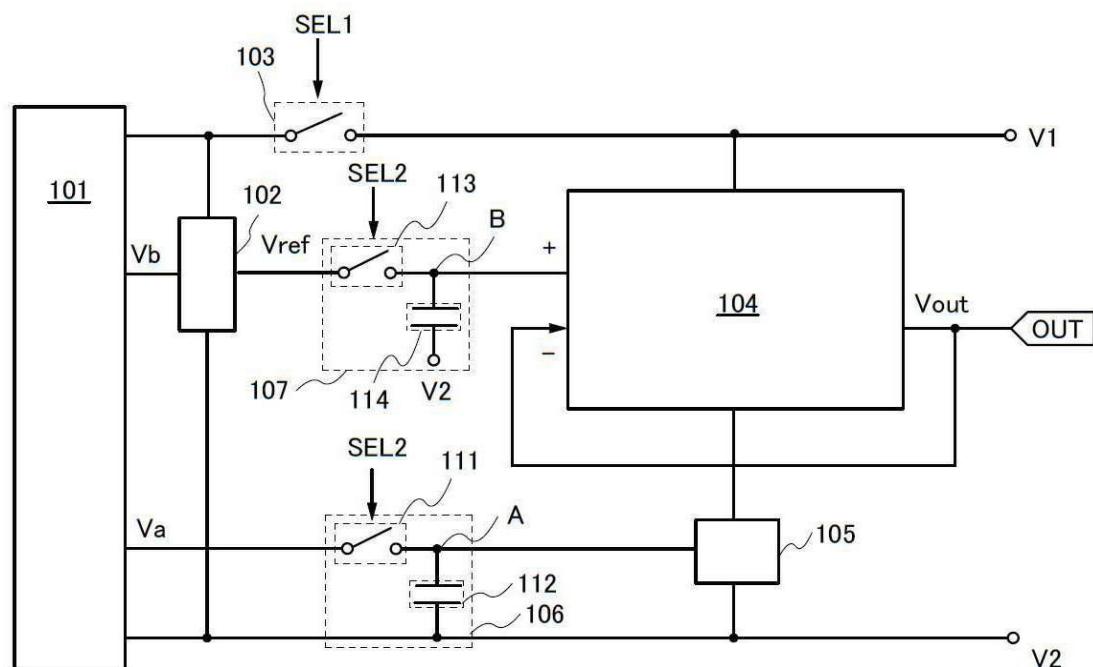
(54) 발명의 명칭 반도체 장치

(57) 요 약

본 발명은, 신호 처리 회로의 소비 전력을 저감한다. 또, 이 신호 처리 회로를 구비함으로써, 반도체 장치의 소비 전력을 저감한다.

신호 처리 회로는, 기준 전압 생성 회로와, 분압 회로와, 연산 증폭기와, 이 연산 증폭기에 바이어스 전류를 공급하는 바이어스 회로와, 제 1 및 제 2 보유 회로를 가지고, 기준 전압 생성 회로와 바이어스 회로와의 사이에, 제 1 보유 회로가 접속되어 있고, 분압 회로와 연산 증폭기의 비반전 입력 단자와의 사이에, 제 2 보유 회로가 접속되어 있다. 제 1 및 제 2 보유 회로에 의해, 기준 전압 및 참조 전압을 보유할 수 있기 때문에, 기준 전압 생성 회로의 동작을 정지할 수 있다. 따라서, 기준 전압 생성 회로에서의 소비 전력을 삭감할 수 있다.

대 표 도



특허청구의 범위

청구항 1

반도체 장치로서,

제 1 전원 전압이 공급되는 제 1 단자와 제 2 전원 전압이 공급되는 제 2 단자와의 사이에 전기적으로 접속되고, 제 1 및 제 2 기준 전압을 출력하는 제 1 회로와,

상기 제 1 단자와 상기 제 2 단자와의 사이에 전기적으로 접속되고, 상기 제 2 기준 전압을 분압하여, 제 3 기준 전압을 출력하는 제 2 회로와,

상기 제 1 단자와 상기 제 1 회로 사이에 전기적으로 접속되고, 제 1 신호에 따라, 도통 상태 또는 비도통 상태가 되는 제 1 스위치와,

상기 제 3 기준 전압이 비반전 입력 단자에 공급되고, 출력 전압이 반전 입력 단자에 공급되는 연산 증폭기와,

상기 연산 증폭기에 바이어스 전류를 공급하는 제 3 회로와,

상기 제 1 회로와 상기 제 3 회로와의 사이에 전기적으로 접속되고, 제 2 신호에 따라, 상기 제 1 기준 전압의 보유를 행하는 제 4 회로와,

상기 제 2 회로와 상기 연산 증폭기의 상기 비반전 입력 단자와의 사이에 전기적으로 접속되고, 상기 제 2 신호에 따라, 상기 제 3 기준 전압의 보유를 행하는 제 5 회로를 포함하는, 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 제 3 회로는 상기 연산 증폭기와 상기 제 2 단자 사이에 전기적으로 접속되는, 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 제 3 회로는 상기 연산 증폭기와 상기 제 1 단자 사이에 전기적으로 접속되는, 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 제 4 회로 및 상기 제 5 회로는, 각각 제 2 스위치 및 용량 소자를 가지고,

상기 제 2 스위치는, 상기 제 2 신호에 따라, 도통 상태 또는 비도통 상태가 되는, 반도체 장치.

청구항 5

제 4 항에 있어서,

상기 제 2 스위치는 채널 형성 영역을 구비하는 산화물 반도체층을 포함하는 트랜지스터인, 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 제 1 스위치는 채널 형성 영역을 구비하는 산화물 반도체층을 포함하는 트랜지스터인, 반도체 장치.

청구항 7

반도체 장치로서,

제 1 전원 전압이 공급되는 제 1 단자와 제 2 전원 전압이 공급되는 제 2 단자와의 사이에 전기적으로 접속되고, 제 1 및 제 2 기준 전압을 출력하는 제 1 회로와,

상기 제 1 단자와 상기 제 1 회로와의 사이에 전기적으로 접속되고, 제 1 신호에 따라, 도통 상태 또는 비도통 상태가 되는 제 1 스위치와,

상기 제 1 단자와 상기 제 2 단자와의 사이에 전기적으로 접속되고, 상기 제 2 기준 전압을 분압하여, 제 3 기준 전압을 출력하는 제 2 회로와,

상기 제 3 기준 전압이 비반전 입력 단자에 공급되고, 출력 전압이 반전 입력 단자에 공급되는 연산 증폭기와,

상기 연산 증폭기와 상기 제 1 단자와의 사이에 전기적으로 접속되고, 상기 연산 증폭기에 바이어스 전류를 공급하는 제 3 회로와,

상기 연산 증폭기와 상기 제 2 단자와의 사이에 전기적으로 접속되고, 상기 연산 증폭기에 바이어스 전류를 공급하는 제 4 회로와,

상기 제 1 회로와 상기 제 3 회로와의 사이에 전기적으로 접속되고, 제 2 신호에 따라, 상기 제 1 기준 전압의 보유를 행하는 제 5 회로와,

상기 제 1 회로와 상기 제 4 회로와의 사이에 전기적으로 접속되고, 상기 제 2 신호에 따라, 상기 제 2 기준 전압의 보유를 행하는 제 6 회로와,

상기 제 2 회로와 상기 연산 증폭기의 상기 비반전 입력 단자와의 사이에 전기적으로 접속되고, 상기 제 2 신호에 따라, 상기 제 3 기준 전압의 보유를 행하는 제 7 회로를 포함하는, 반도체 장치.

청구항 8

제 7 항에 있어서,

상기 제 5 내지 제 7 회로는 각각 제 2 스위치 및 용량 소자를 가지고,

상기 제 2 스위치는 상기 제 2 신호에 따라, 도통 상태 또는 비도통 상태가 되는, 반도체 장치.

청구항 9

제 8 항에 있어서,

상기 제 2 스위치는 채널 형성 영역을 구비하는 산화물 반도체층을 포함하는 트랜지스터인, 반도체 장치.

청구항 10

제 7 항에 있어서,

상기 제 1 스위치는 채널 형성 영역을 구비하는 산화물 반도체층을 포함하는 트랜지스터인, 반도체 장치.

청구항 11

반도체 장치로서,

제 1 전원 전압이 공급되는 제 1 단자와 제 2 전원 전압이 공급되는 제 2 단자와의 사이에 전기적으로 접속되고, 기준 전압을 출력하며, 제 1 신호에 따라 도통 상태 또는 비도통 상태가 되는 제 1 스위치를 포함하는 제 1 회로와,

상기 기준 전압이 반전 입력 단자에 공급되는 연산 증폭기와,

상기 제 1 회로와 상기 연산 증폭기와의 사이에 전기적으로 접속되고, 제 2 신호에 따라, 상기 기준 전압의 보유를 행하는 제 2 회로와,

상기 제 2 단자와 상기 연산 증폭기의 비반전 입력 단자와의 사이에 전기적으로 접속되고, 제 3 신호에 따라, 상기 비반전 입력 단자의 전위의 보유를 행하는 제 3 회로를 포함하는, 반도체 장치.

청구항 12

제 11 항에 있어서,

상기 제 2 회로 및 상기 제 3 회로는, 각각 제 2 스위치 및 용량 소자를 포함하는, 반도체 장치.

청구항 13

제 12 항에 있어서,

상기 제 2 스위치는 채널 형성 영역을 구비하는 산화물 반도체층을 포함하는 트랜지스터인, 반도체 장치.

청구항 14

제 11 항에 있어서,

상기 제 1 스위치는 채널 형성 영역을 구비하는 산화물 반도체층을 포함하는 트랜지스터인, 반도체 장치.

명세서

기술 분야

[0001] 본 발명은, 반도체 장치에 관한 것이다. 특히, 신호 처리 회로에 대하여 전원 전압의 공급을 정지하는 것이 가능한 반도체 장치에 관한 것이다. 또한, 본 명세서 등에서 반도체 장치란, 반도체 특성을 이용함으로써 기능할 수 있는 장치 전반을 가리키고, 전기 광학 장치, 발광 표시 장치, 반도체 회로 및 전자기기는 모두 반도체 장치이다.

배경기술

[0002] 근년, 전자기기에 있어서는, 동작시의 저소비 전력화가 강하게 요구되고 있다. 전자기기의 소비 전력 대책으로서, 신호 처리 회로에서의 동작 상태에 따라, 개개의 논리 회로의 동작을 제어하는 것이 행해지고 있다.

[0003] 신호 처리 회로로서, 예를 들면, 볼티지 레귤레이터(voltage regulator)에서는, 고전원 전압 변동 제거비로 양호한 과도 응답 특성이 얻어지는 제 1 차동 증폭 회로, 제 2 차동 증폭 회로, 및 출력 트랜지스터의 3단 구성 동작과 저소비 전류에 적합한 제 2 차동 증폭 회로 및 출력 트랜지스터의 2단 구성 동작을 자동으로 전환하는 것이 하는 것이 행해지고 있다(특허문현 1 참조).

선행기술문현

특허문현

[0004] (특허문헌 0001) 일본국 특개 2011-096210

발명의 내용

해결하려는 과제

[0005] 그러나, 특허문헌 1에 기재된 볼티지 레귤레이터에서는, 미소 전류에서의 동작 상태라도, 기준 전압 생성 회로에 전원으로부터 전류가 공급되고 있는 한, 기준 전압 생성 회로에서의 전력은 계속하여 소비된다. 따라서, 신호 처리 회로에 의해 소비되는 전력은 충분히 저감되어 있다고는 할 수 없었다.

[0006] 상기 문제를 감안하여, 본 발명의 일 양태에서는, 신호 처리 회로의 소비 전력을 저감하는 것을 목적의 하나로 한다. 또, 이 신호 처리 회로를 구비함으로써, 반도체 장치의 소비 전력을 저감하는 것을 목적의 하나로 한다.

과제의 해결 수단

[0007] 본 발명의 일 양태에 따른 반도체 장치는 기준 전압 생성 회로와, 분압(分壓) 회로와, 연산 증폭기와, 이 연산 증폭기에 바이어스 전류를 공급하는 바이어스 회로와, 제 1 및 제 2 보유 회로를 가지고, 기준 전압 생성 회로와 바이어스 회로와의 사이에 제 1 보유 회로가 접속되어 있고, 분압 회로와 연산 증폭기의 비반전 입력 단자와의 사이에 제 2 보유 회로가 접속되어 있다.

[0008] 제 1 및 제 2 보유 회로는 각각 스위치 및 용량 소자를 가진다. 제 1 보유 회로에서의 스위치의 일단이 기준 전압 생성 회로와 접속되고, 타단이 용량 소자의 한쌍의 전극의 한쪽과 바이어스 회로에 접속된다. 또, 제 2 보유 회로에서의 스위치의 일단이 분압 회로와 접속되고, 타단이 용량 소자의 한쌍의 전극의 한쪽과 연산 증폭기에 접속된다. 스위치로서는 오프 전류가 현저히 작은 트랜지스터를 이용한다.

[0009] 오프 전류가 현저히 작은 트랜지스터로서는, 실리콘보다 넓은 밴드 갭을 가지는 반도체로 이루어지는 막이나 기판 중에 채널이 형성되는 트랜지스터를 이용할 수 있다. 실리콘보다 넓은 밴드 갭을 가지는 반도체로서는 화합물 반도체가 있고, 예를 들면, 산화물 반도체, 질화물 반도체 등이 있다. 예를 들면, 오프 전류가 현저히 작은 트랜지스터로서 채널이 산화물 반도체막에 형성되는 트랜지스터를 이용할 수 있다.

[0010] 또한, 본 명세서 등에 있어서, 오프 전류란, 트랜지스터가 오프 상태일 때에, 소스와 드레인과의 사이에 흐르는 전류를 말한다. n 채널형의 트랜지스터(예를 들면, 문턱 전압이 0 내지 2 V 정도)에서는, 게이트와 소스와의 사이에 인가되는 전압이 부(負)의 전압인 경우에, 소스와 드레인과의 사이를 흐르는 전류를 말한다.

[0011] 스위치로서 채널이 산화물 반도체막에 형성되는 트랜지스터를 이용함으로써, 스위치와 용량 소자가 접속된 노드의 전위가 일정하게 유지된 후, 스위치를 비도통 상태로 해도, 스위치를 통하여 누출되는 전하량을, 현저히 작게 억제할 수 있다.

[0012] 따라서, 제 1 보유 회로가 가지는 스위치를 비도통 상태로 함으로써, 기준 전압 생성 회로로부터 출력된 전압을, 스위치와 용량 소자가 접속된 노드로 보유할 수 있다. 또, 제 2 보유 회로가 가지는 스위치를 비도통 상태로 함으로써, 분압 회로로부터 출력된 전압을, 스위치와 용량 소자가 접속된 노드로 보유할 수 있다.

[0013] 따라서, 기준 전압 생성 회로로부터, 바이어스 회로나 연산 증폭기에 전압을 계속 출력할 필요가 없어지기 때문에, 기준 전압 생성 회로를 상시 동작시킬 필요가 없어진다. 이것에 의해, 기준 전압 생성 회로에 전원의 공급을 정지할 수 있기 때문에, 기준 전압 생성 회로로 소비되는 전력을 약감할 수 있다.

[0014] 본 발명의 일 양태에 따른 반도체 장치는, 제 1 전원 전압이 공급되는 제 1 단자와, 제 2 전원 전압이 공급되는 제 2 단자와의 사이에 접속되고, 제 1 및 제 2 기준 전압을 출력하는 기준 전압 생성 회로와, 제 1 단자와 제 2 단자와의 사이에 접속되고, 제 2 기준 전압을 분압하여 참조 전압을 출력하는 분압 회로와, 제 1 단자와, 기준 전압 생성 회로와의 사이에 접속되고, 제 1 신호에 따라, 도통 상태 또는 비도통 상태가 되는 제 1 스위치와, 참조 전압이 비반전 입력 단자에 인가되고, 출력 전압이 반전 입력 단자에 인가되는 연산 증폭기와, 연산 증폭기에 바이어스 전류를 공급하는 바이어스 회로와, 기준 전압 생성 회로와 바이어스 회로와의 사이에 접속되고, 제 2 신호에 따라, 제 1 기준 전압의 보유를 행하는 제 1 보유 회로와, 분압 회로와 연산 증폭기의 비반전 입력 단자와의 사이에 접속되고, 제 2 신호에 따라, 참조 전압의 보유를 행하는 제 2 보유 회로를 가진다.

[0015] 본 발명의 일 양태에 따른 반도체 장치는, 제 1 전원 전압이 공급되는 제 1 단자와 제 2 전원 전압이 공급되는 제 2 단자와의 사이에 접속되고, 제 1 및 제 2 기준 전압을 출력하는 기준 전압 생성 회로와, 제 1 단자와 제 2 단자와의 사이에 접속되고, 제 2 기준 전압을 분압하여 참조 전압을 출력하는 분압 회로와, 제 1 단자와 기준 전압 생성 회로와의 사이에 접속되고, 제 1 신호에 따라, 도통 상태 또는 비도통 상태가 되는 제 1 스위치와, 참조 전압이 비반전 입력 단자에 인가되고, 출력 전압이 반전 입력 단자에 인가되는 연산 증폭기와, 연산 증폭기와 제 2 단자와의 사이에 접속되고, 연산 증폭기에 바이어스 전류를 공급하는 바이어스 회로와, 기준 전압 생성 회로와 바이어스 회로와의 사이에 접속되고, 제 2 신호에 따라, 제 1 기준 전압의 보유를 행하는 제 1 보유 회로와, 분압 회로와 연산 증폭기의 비반전 입력 단자와의 사이에 접속되고, 제 2 신호에 따라, 참조 전압의 보유를 행하는 제 2 보유 회로를 가진다.

[0016] 본 발명의 일 양태에 따른 반도체 장치는, 제 1 전원 전압이 공급되는 제 1 단자와 제 2 전원 전압이 공급되는 제 2 단자와의 사이에 접속되고, 기준 전압을 출력하는 기준 전압 생성 회로와, 제 1 단자와 제 2 단자와의 사이에 접속되고, 기준 전압을 분압하여 참조 전압을 출력하는 분압 회로와, 제 1 단자와 기준 전압 생성 회로와의 사이에 접속되고, 제 1 신호에 따라, 도통 상태 또는 비도통 상태가 되는 제 1 스위치와, 참조 전압이 비반전 입력 단자에 인가되고, 출력 전압이 반전 입력 단자에 인가되는 연산 증폭기와, 연산 증폭기와 제 1 단자의 사이에 접속되고, 연산 증폭기에 바이어스 전류를 공급하는 바이어스 회로와, 기준 전압 생성 회로와 바이어스 회로와의 사이에 접속되고, 제 2 신호에 따라, 기준 전압의 보유를 행하는 제 1 보유 회로와, 분압 회로와 연산 증폭기의 비반전 입력 단자와의 사이에 접속되고, 제 2 신호에 따라, 참조 전압의 보유를 행하는 제 2 보유 회로를 가진다.

[0017] 상기 각 반도체 장치에 있어서, 제 1 및 제 2 보유 회로는 제 2 스위치 및 용량 소자를 가지고, 제 2 스위치는 제 2 신호에 따라, 도통 상태 또는 비도통 상태가 된다. 또, 제 2 스위치는 채널이 산화물 반도체에 형성되는 트랜지스터이다.

[0018] 또, 본 발명의 일 양태에 따른 반도체 장치는, 제 1 전원 전압이 공급되는 제 1 단자와 제 2 전원 전압이 공급되는 제 2 단자와의 사이에 접속되고, 제 1 및 제 2 기준 전압을 출력하는 기준 전압 생성 회로와, 제 1 단자와 기준 전압 생성 회로와의 사이에 접속되고, 제 1 신호에 따라, 도통 상태 또는 비도통 상태가 되는 제 1 스위치와, 제 1 단자와 제 2 단자와의 사이에 접속되고, 제 2 기준 전압을 분압하여 참조 전압을 출력하는 분압 회로와, 참조 전압이 비반전 입력 단자에 인가되고, 출력 전압이 반전 입력 단자에 인가되는 연산 증폭기와, 연산 증폭기와 제 1 단자의 사이에 접속되고, 연산 증폭기에 바이어스 전류를 공급하는 제 1 바이어스 회로와, 연산 증폭기와 제 2 단자와의 사이에 접속되고, 연산 증폭기에 바이어스 전류를 공급하는 제 2 바이어스 회로와, 기준 전압 생성 회로와 제 1 바이어스 회로와의 사이에 접속되고, 제 2 신호에 따라, 제 1 기준 전압의 보유를 행하는 제 1 보유 회로와, 기준 전압 생성 회로와 제 2 바이어스 회로와의 사이에 접속되고, 제 2 신호에 따라, 제 2 기준 전압의 보유를 행하는 제 2 보유 회로와, 분압 회로와 연산 증폭기의 비반전 입력 단자와의 사이에 접속되고, 제 2 신호에 따라, 참조 전압의 보유를 행하는 제 3 보유 회로를 가진다.

[0019] 상기 반도체 장치에 있어서, 제 1 내지 제 3 보유 회로는 각각 제 2 스위치 및 용량 소자를 가지고, 제 2 스위치는 제 2 신호에 따라, 도통 상태 또는 비도통 상태가 된다. 또, 제 2 스위치는 채널이 산화물 반도체에 형성되는 트랜지스터이다.

[0020] 상기 각 반도체 장치에 있어서, 제 1 스위치는 채널이 산화물 반도체에 형성된다.

[0021] 또한, 트랜지스터에 이용하는 산화물 반도체는 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고, 또한 산소 결손이 저감됨으로써, 고순도화된 산화물 반도체(purified Oxide Semiconductor)인 것이 바람직하다. 고순도화된 산화물 반도체는, i형(진성 반도체) 또는 i형에 한없이 가깝다. 따라서, 상기 산화물 반도체를 이용한 트랜지스터는 오프 전류가 현저하게 작다는 특성을 가진다. 또, 산화물 반도체의 밴드 갭은, 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다. 수분 또는 수소 등의 불순물 농도가 충분히 저감되고, 또한, 산소 결손이 저감되어 고순도화된 산화물 반도체막을 이용함으로써, 트랜지스터의 오프 전류를 현저히 작게 할 수 있다.

[0022] 구체적으로, 고순도화된 산화물 반도체를 반도체막에 이용한 트랜지스터의 오프 전류가 작다는 것은 여러가지 실험에 의해 증명할 수 있다. 예를 들면, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 의 소자인 경우에도, 소스 단자와 드레인 단자간의 전압(드레인 전압)이 1 V에서 10 V의 범위에서, 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 $1 \times 10^{-13} \text{ A}$ 이하라는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의

채널 폭으로 나눈 수치에 상당하는 오프 전류 밀도는, $100 \text{ zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를, 이 트랜지스터로 제어하는 회로를 이용하여, 오프 전류 밀도의 측정을 행하였다. 이 측정에서는, 상기 트랜지스터에 고순도화된 산화물 반도체막을 채널 형성 영역에 이용하여, 용량 소자의 단위 시간 당의 전하량의 추이로부터 이 트랜지스터의 오프 전류 밀도를 측정했다. 그 결과, 트랜지스터의 소스 단자와 드레인 단자간의 전압이 3 V인 경우에, 수십 $\text{yA}/\mu\text{m}$ 라는, 더욱 낮은 오프 전류 밀도를 얻을 수 있다는 것을 알 수 있었다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역에 이용한 트랜지스터는, 실리콘을 이용한 트랜지스터에 비해 오프 전류가 현저하게 작다고 할 수 있다.

발명의 효과

[0023] 상기 문제를 감안하여, 본 발명의 일 양태에서는, 신호 처리 회로의 소비 전력을 충분히 저감할 수 있다. 또, 이 신호 처리 회로를 구비함으로써, 반도체 장치의 소비 전력을 충분히 저감할 수 있다.

도면의 간단한 설명

[0024] 도 1은 신호 처리 회로의 블럭도.

도 2는 신호 처리 회로의 블럭도.

도 3은 신호 처리 회로의 회로도.

도 4는 신호 처리 회로의 블럭도.

도 5는 신호 처리 회로의 블럭도.

도 6은 신호 처리 회로의 회로도.

도 7은 신호 처리 회로의 블럭도.

도 8은 신호 처리 회로의 일부를 나타낸 회로도.

도 9는 전원 제어 장치의 블럭도.

도 10은 트랜지스터의 제작 방법을 설명한 단면도.

도 11은 신호 처리 회로의 회로도.

발명을 실시하기 위한 구체적인 내용

[0025] 이하에서는, 본 발명의 실시형태에 대하여 도면을 이용하여 상세하게 설명한다. 단, 본 발명은 이하의 설명에 한정되는 것은 아니고, 본 발명의 취지 및 그 범위로부터 벗어나지 않고 그 형태 및 상세한 사항을 다양하게 변경할 수 있다는 것은, 당업자라면 용이하게 이해할 수 있을 것이다. 따라서, 본 발명은, 이하에 나타내는 실시 형태의 기재 내용에 한정하여 해석되는 것은 아니다.

[0026] (실시형태 1)

[0027] 본 실시형태에서는, 본 발명의 일 양태에 따른 신호 처리 회로에 대하여, 도 1 내지 도 3을 참조하여 설명한다.

[0028] 도 1에, 신호 처리 회로의 블럭도를 나타낸다. 도 1에 나타낸 신호 처리 회로는 기준 전압 생성 회로(101)와, 분압 회로(102)와, 스위치(103)와, 연산 증폭기(104)와, 바이어스 회로(105)와, 보유 회로(106)와, 보유 회로(107)로 구성되어 있다.

[0029] 기준 전압 생성 회로(101)는 제 1 전원 전압(V1)이 공급되는 제 1 단자와, 제 2 전원 전압(V2)이 공급되는 제 2 단자와의 사이에 접속되고, 바이어스 회로(105)에 기준 전압(Va) 및 분압 회로(102)에 기준 전압(Vb)을 출력한다. 제 1 전원 전압(V1)은 예를 들면 VDD라고 하고, 제 2 전원 전압(V2)은 GND라고 한다.

[0030] 분압 회로(102)는 제 1 단자와 제 2 단자와의 사이에 접속되고, 기준 전압(Vb)을 분압하여, 연산 증폭기(104)의

비반전 입력 단자에 참조 전압(Vref)을 출력한다.

[0031] 스위치(103)는 제 1 단자와 기준 전압 생성 회로(101)와의 사이에 접속되고, 제어 신호(SEL1)에 따라, 도통 상태 또는 비도통 상태가 된다. 스위치(103)가 도통 상태인 경우, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(101)에 공급하고, 비도통 상태인 경우, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(101)에 공급하는 것을 정지한다.

[0032] 연산 증폭기(104)는 비반전 입력 단자에 참조 전압(Vref)이 입력되고, 출력 단자로부터 출력 전압(Vout)을 출력하고, 또한, 출력 전압(Vout)의 일부를 반전 입력 단자에 귀환시키고 있다.

[0033] 바이어스 회로(105)는 제 2 단자와 연산 증폭기(104)와의 사이에 접속되고, 연산 증폭기(104)에 바이어스 전류를 공급한다.

[0034] 보유 회로(106)는 기준 전압 생성 회로(101)와 바이어스 회로(105)와의 사이에 접속된다. 또, 보유 회로(106)는 스위치(111) 및 용량 소자(112)를 가지고, 스위치(111)의 일단은 기준 전압 생성 회로(101)에 접속되고, 타단은 용량 소자(112)의 한쌍의 전극의 한쪽과 바이어스 회로(105)에 접속된다. 용량 소자(112)의 한쌍의 전극의 다른 한쪽은 제 2 단자와 접속된다. 여기서, 스위치(111) 타단과 용량 소자(112)의 한쌍의 전극의 다른 한쪽과, 바이어스 회로(105)가 접속된 접속점을 노드(A)라고 한다.

[0035] 스위치(111)는 제어 신호(SEL2)에 따라, 도통 상태 또는 비도통 상태가 된다. 스위치(111)가 도통 상태인 경우는 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Va)을 바이어스 회로(105)에 공급하고, 스위치(111)가 비도통 상태인 경우는 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Va)을 노드(A)로 보유한다.

[0036] 보유 회로(107)는 분압 회로(102)와 연산 증폭기(104)의 비반전 입력 단자와의 사이에 접속된다. 또, 보유 회로(107)는 스위치(113) 및 용량 소자(114)를 가지고, 스위치(113)의 일단은 분압 회로(102)에 접속되고, 타단은 용량 소자(114)의 한쌍의 전극의 한쪽과, 연산 증폭기(104)의 비반전 입력 단자에 접속된다. 용량 소자(114)의 한쌍의 전극의 다른 한쪽은 제 2 단자와 접속된다. 여기서, 스위치(113)의 타단과, 용량 소자(114)의 한쌍의 전극의 한쪽과, 연산 증폭기(104)의 비반전 입력 단자가 접속된 접속점을 노드(B)라고 한다.

[0037] 스위치(113)는 제어 신호(SEL2)에 따라, 도통 상태 또는 비도통 상태가 된다. 스위치(113)가 도통 상태인 경우는 분압 회로(102)로부터 출력된 참조 전압(Vref)을 연산 증폭기(104)의 비반전 입력 단자에 공급하고, 스위치(113)가 비도통 상태인 경우는 분압 회로(102)로부터 출력된 참조 전압(Vref)을 노드(B)에서 보유한다.

[0038] 도 2에, 도 1에 나타낸 신호 처리 회로에서의 스위치(103), 바이어스 회로(105), 보유 회로(106), 보유 회로(107)의 일례를 나타낸다.

[0039] 스위치(103)로서는 예를 들면, 제어 신호(SEL1)에 따라, 온 상태 또는 오프 상태가 되는 트랜지스터(115)를 이용한다.

[0040] 바이어스 회로(105)로서는 예를 들면, 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Va)에 따라, 온 상태 또는 오프 상태가 되는 트랜지스터(116)를 이용한다. 트랜지스터(116)는 노드(A)에서의 전압이 트랜지스터(116)의 문턱 전압 이상이면 온 상태가 되고, 연산 증폭기(104)에 바이어스 전류를 공급하고, 노드(A)에서의 전압이 트랜지스터(116)의 문턱 전압보다 낮으면 오프 상태가 되고, 연산 증폭기(104)에 바이어스 전류를 공급하는 것을 정지한다. 또한, 도 2에서는, 트랜지스터(116)는 n 채널형 트랜지스터로 한다.

[0041] 보유 회로(106)에서, 스위치(111)는 예를 들면, 제어 신호(SEL2)에 따라, 온 상태 또는 오프 상태가 되는 트랜지스터(117)를 이용한다. 또, 트랜지스터(117)로서 오프 전류가 현저히 작은 트랜지스터를 이용한다.

[0042] 또, 보유 회로(107)에서, 스위치(113)는 예를 들면, 제어 신호(SEL2)에 따라, 온 상태 또는 오프 상태가 되는 트랜지스터(118)를 이용한다. 또, 트랜지스터(118)로서 오프 전류가 현저히 작은 트랜지스터를 이용한다.

[0043] 오프 전류가 현저히 작은 트랜지스터로서는, 실리콘보다 넓은 밴드 갭을 가지는 반도체로 이루어지는 막이나 기판 중에 채널이 형성되는 트랜지스터를 이용할 수 있다. 실리콘보다 넓은 밴드 갭을 가지는 반도체로서는 화합물 반도체가 있고, 예를 들면, 산화물 반도체, 질화물 반도체 등이 있다. 예를 들면, 오프 전류가 현저히 작은 트랜지스터로서 채널이 산화물 반도체막에 형성되는 트랜지스터를 이용할 수 있다.

[0044] 보유 회로(106)에서의 스위치(111)로서 오프 전류가 현저히 작은 트랜지스터(117)를 이용하고, 이 트랜지스터(117)를 오프 상태로 함으로써, 용량 소자(112)의 한쌍의 전극 중 한쪽의 전압을 장기간에 걸쳐 보유할 수 있다. 즉, 스위치(111)가 비도통 상태인 경우에, 보유 회로(106)에서의 노드(A)의 전압을 장기간에 걸쳐 보유

할 수 있다.

[0045] 또, 보유 회로(107)에서의 스위치(113)로서, 오프 전류가 현저히 작은 트랜지스터(118)를 이용하여, 이 트랜지스터(118)를 오프 상태로 함으로써, 용량 소자(114)의 한쌍의 전극 중 한쪽의 전압을 장기간에 걸쳐 보유할 수 있다. 즉, 스위치(113)가 비도통 상태인 경우에, 보유 회로(107)에서의 노드(B)의 전압을 장기간에 걸쳐 보유할 수 있다.

[0046] 다음에, 도 2에 나타낸 신호 처리 회로의 동작에 대하여 설명한다.

[0047] 우선, 트랜지스터(115)에 제어 신호(SEL1)를 입력함으로써, 트랜지스터(115)를 온 상태로 하여, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(101)에 공급한다. 트랜지스터(115)가 nch형 트랜지스터인 경우는 제어 신호(SEL1)로서 하이 레벨(high level)을 입력하면 좋고, pch형 트랜지스터인 경우는 제어 신호(SEL1)로서 로 레벨(low level)을 입력하면 좋다. 또한, 이하에서, 트랜지스터(115), 트랜지스터(117), 및 트랜지스터(118)는 nch형 트랜지스터인 경우에 대하여 설명한다. 기준 전압 생성 회로(101)에 제 1 전원 전압(V1)이 공급됨으로써, 기준 전압 생성 회로(101)가 동작하여, 기준 전압(Vb)을 분압 회로(102)에, 기준 전압(Va)을 보유 회로(106)에 출력한다.

[0048] 또, 분압 회로(102)에서는, 기준 전압(Vb)을 분압한 참조 전압(Vref)을 보유 회로(107)에 출력한다.

[0049] 제어 신호(SEL2)를 하이 레벨로 하여, 트랜지스터(117) 및 트랜지스터(118)를 온 상태로 한다. 트랜지스터(117)가 온 상태가 됨으로써, 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Va)을 트랜지스터(116)에 공급한다. 이것에 의해, 트랜지스터(116)가 온 상태가 되고, 제 2 단자로부터 제 2 전원 전압(V2)을 연산 증폭기(104)에 공급한다. 또, 트랜지스터(118)가 온 상태가 됨으로써, 분압 회로(102)로부터 출력된 참조 전압(Vref)을 연산 증폭기(104)의 비반전 입력 단자에 출력한다. 이것에 의해, 연산 증폭기(104)가 동작하기 때문에, 출력 단자로부터 출력 전압(Vout)을 출력함과 동시에, 일부의 출력 전압(Vout)을 연산 증폭기(104)의 반전 입력 단자에 출력한다.

[0050] 도 2에 나타낸 신호 처리 회로가 정상 상태(기준 전압(Va)이 바이어스 회로(105)에 정상적으로 공급되어 있는 상태, 참조 전압(Vref)이 연산 증폭기(104)의 비반전 입력 단자에 정상적으로 공급되어 있는 상태)가 된 후, 제어 신호(SEL2)를 로 레벨로 하고, 트랜지스터(117) 및 트랜지스터(118)를 오프 상태로 한다. 트랜지스터(117) 및 트랜지스터(118)는 오프 전류가 현저히 작은 트랜지스터이기 때문에, 노드(A)에서의 전압(기준 전압(Va)) 및 노드(B)에서의 전압(참조 전압(Vref))을 장기간에 걸쳐 보유할 수 있다.

[0051] 다음에, 제어 신호(SEL1)를 로 레벨로 하고, 트랜지스터(115)를 오프 상태로 한다. 이것에 의해, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(101)에 공급하는 것을 정지한다. 기준 전압 생성 회로(101)에 제 1 전원 전압(V1)의 공급이 정지되지 때문에, 기준 전압 생성 회로(101)의 동작이 정지된다.

[0052] 도 2에 나타낸 신호 처리 회로에서는, 보유 회로(106)에 오프 전류가 현저히 작은 트랜지스터(117)를 이용하고 있다. 따라서, 트랜지스터(117)를 오프 상태로 함으로써, 노드(A)에서의 전압(기준 전압(Va))을 장기간에 걸쳐 보유할 수 있다. 이것에 의해, 기준 전압 생성 회로(101)의 동작이 정지하더라도, 기준 전압(Va)을 트랜지스터(116)에 계속하여 공급할 수 있다. 마찬가지로 보유 회로(107)에 오프 전류가 현저히 작은 트랜지스터(118)를 이용하고 있다. 따라서, 트랜지스터(118)를 오프 상태로 함으로써, 노드(B)에서의 전압(참조 전압(Vref))을 장기간에 걸쳐 보유할 수 있다. 이것에 의해, 기준 전압 생성 회로(101)의 동작이 정지하더라도, 참조 전압(Vref)을 연산 증폭기(104)의 비반전 입력 단자에 계속 공급할 수 있다.

[0053] 예를 들어, 스위치(111)로서 실리콘을 이용한 트랜지스터를 이용한 경우, 오프 전류는 1 pA가 된다. 또, 용량 소자(112)의 용량을 예를 들어 1 pF로 하면, 노드(A)에서 기준 전압(Va)을 변화량 1 mV 미만으로 보유할 수 있는 기간은 1 msec가 된다. 따라서, 기준 전압 생성 회로(101)의 동작을 정지시키면, 바이어스 회로(105)의 동작이 정지하게 되므로, 신호 처리 회로가 정상 상태가 되어도 기준 전압 생성 회로(101)의 동작을 정지할 수 없다.

[0054] 그러나, 본 발명의 일 양태에서는, 스위치(111)로서 산화물 반도체를 이용한 트랜지스터(117)를 이용하고 있기 때문에, 오프 전류를 100 yA로 할 수 있다. 또, 용량 소자(112)의 용량을 예를 들어 1 pF로 하면, 노드(A)에서 기준 전압(Va)을 변화량 1 mV 미만으로 보유할 수 있는 기간은 10^7 sec(약 115일)가 된다.

[0055] 또, 스위치(113)에 대해서도 마찬가지로, 산화물 반도체를 이용한 트랜지스터(118)를 이용하고 있기 때문에, 오프 전류를 100 yA로 할 수 있다. 또, 용량 소자(114)의 용량을 예를 들어 1 pF로 하면, 노드(B)에서 참조 전압

(Vref)을 변화량 1 mV 미만으로 보유할 수 있는 기간은 10^7 sec(약 115일)가 된다.

[0056] 따라서, 10^7 sec(약 115일)의 기간은 기준 전압 생성 회로(101)의 동작을 정지할 수 있다. 또, 10^7 sec(약 115일)의 기간이 경과하기 전에, 스위치(103)를 도통 상태로 하고, 기준 전압 생성 회로(101)에 제 1 전원 전압(V1)을 공급하고, 기준 전압 생성 회로(101)를 동작시켜, 기준 전압(Va)을 보유 회로(106), 및 참조 전압(Vref)을 보유 회로(107)에 출력하면 좋다.

[0057] 종래의 기준 전압 생성 회로에서, 전압을 출력하고 있는 동안은, 상시 전원 전압이 공급될 필요가 있었다. 이 것에 의해, 종래의 기준 전압 생성 회로에서는, 상시 전력이 소비되고 있었다.

[0058] 이것에 대하여, 본 발명의 일 양태에서는, 스위치(111, 113)로서 채널이 산화물 반도체막에 형성되는 트랜지스터를 이용하고 있다. 예를 들면, 스위치(113)와 용량 소자(114)가 접속된 노드(B)의 전위가 일정하게 유지된 후, 스위치(113)를 비도통 상태로 하더라도, 스위치(113)를 통하여 누출되는 전하량을 현저히 작게 억제할 수 있다.

[0059] 따라서, 보유 회로(106)가 가지는 스위치(111)를 비도통 상태로 함으로써, 기준 전압 생성 회로(101)로부터 출력된 전압을 스위치(111)와 용량 소자(112)가 접속된 노드(A)로 보유할 수 있다. 또, 보유 회로(107)가 가지는 스위치(113)를 비도통 상태로 함으로써, 분압 회로(102)로부터 출력된 전압을 스위치(113)와 용량 소자(114)가 접속된 노드(B)로 보유할 수 있다.

[0060] 따라서, 기준 전압 생성 회로(101)로부터, 바이어스 회로(105)나 연산 증폭기(104)에 전압을 계속 출력할 필요가 없어지기 때문에, 기준 전압 생성 회로(101)를 상시 동작시킬 필요가 없어진다. 이것에 의해, 스위치(103)를 비도통 상태로 하고, 기준 전압 생성 회로(101)에 전원의 공급을 정지할 수 있기 때문에, 기준 전압 생성 회로(101)로 소비되는 전력을 삐감할 수 있다.

[0061] 본 실시형태에서는, 스위치(111) 및 스위치(113)가 산화물 반도체를 이용한 트랜지스터인 경우에 대하여 설명했지만, 스위치(103)가 산화물 반도체를 이용한 트랜지스터여도 좋다.

[0062] 또, 스위치(103), 스위치(111), 및 스위치(113)로서 이용하는 트랜지스터는 산화물 반도체층을 끼우고 상하에 2개의 게이트를 가지는 트랜지스터로 해도 좋다. 스위치(103)의 경우는 한쪽의 게이트에 제어 신호(SEL1)를 입력하고, 다른 한쪽의 게이트에는 다른 제어 신호를 입력할 수 있다. 또, 스위치(111) 및 스위치(113)의 경우에는, 한쪽의 게이트에 제어 신호(SEL2)를 입력하고, 다른 한쪽의 게이트에는 다른 제어 신호를 입력할 수 있다. 다른 제어 신호는 일정한 전위의 신호여도 좋다. 일정한 전위는 저전원 전위나 고전원 전위여도 좋다. 또한, 2개의 게이트를 전기적으로 접속하고, 제어 신호를 입력해도 좋다. 다른 한쪽의 게이트에 입력하는 신호에 의해, 트랜지스터의 문턱 전압 등을 제어하는 것이 가능하다. 또, 트랜지스터의 오프 전류를 더욱 저감하는 것도 가능하다.

[0063] 또, 본 실시형태에서는, 제어 신호(SEL1) 및 제어 신호(SEL2)가 다른 신호인 경우에 대하여 설명했지만, 제어 신호(SEL1) 및 제어 신호(SEL2)를 같은 신호로 해도 좋다.

[0064] 기준 전압 생성 회로(101), 분압 회로(102), 연산 증폭기(104)를 트랜지스터를 이용하여 구성하는 경우에, 이 트랜지스터는 산화물 반도체 이외의 반도체로 이루어지는 층 또는 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들면, 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터로 할 수 있다.

[0065] 도 3에, 도 1에 나타낸 신호 처리 회로를 보다 상세하게 나타낸다.

[0066] 기준 전압 생성 회로(101)는 트랜지스터(131~134), 및 저항 소자(135)로 구성된다. 트랜지스터(131) 및 트랜지스터(132)는 p채널형 트랜지스터이며, 트랜지스터(133) 및 트랜지스터(134)는 n 채널형 트랜지스터이다. 노드(a)는 보유 회로(106)에서의 트랜지스터(115)의 소스 또는 드레인의 한쪽과 접속되어 있고, 노드(b)는 분압 회로(102)에서의 트랜지스터(136)의 게이트와 접속되어 있다. 또, 기준 전압(Va)은 노드(a)에서의 전압이며, 기준 전압(Vb)은 노드(b)에서의 전압이다.

[0067] 분압 회로(102)는 트랜지스터(136) 및 저항 소자(137)로 구성된다. 트랜지스터(136)는 p채널형 트랜지스터이다. 트랜지스터(136)의 소스 또는 드레인의 한쪽은 보유 회로(107)에서의 트랜지스터(118)의 소스 또는 드레인의 한쪽과 접속되어 있다.

[0068] 연산 증폭기(104)는 트랜지스터(138~141), 트랜지스터(143) 및 용량 소자(144)로 구성된다. 트랜지스터(138), 트랜지스터(139) 및 트랜지스터(143)는 p채널형 트랜지스터이다. 또, 트랜지스터(138) 및 트랜지스터(139)는

커런트 미러 회로(current mirror circuit)를 구성한다. 또, 트랜지스터(140) 및 트랜지스터(141)는 n 채널형 트랜지스터이며, 차동 회로를 구성한다. 또, 트랜지스터(143) 및 용량 소자(144)에 의해, 버퍼 회로가 구성된다.

[0069] 또한, 본 실시형태에서는, 연산 증폭기를 이용하여 신호 처리 회로를 구성하는 예에 대하여 나타내지만, 연산 증폭기 대신에 콤파리레이터(comparator)를 이용하여 신호 처리 회로를 구성해도 좋다.

[0070] 바이어스 회로(105)는, 트랜지스터(116) 및 트랜지스터(142)를 가진다. 트랜지스터(116) 및 트랜지스터(142)는 n 채널형 트랜지스터이다.

[0071] 본 실시형태에 나타내는 신호 처리 회로에서는, 기준 전압 생성 회로(101)와 바이어스 회로(105)와의 사이에 보유 회로(106)를 접속함으로써, 보유 회로(106)에서, 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Va)을 보유할 수 있다. 또, 분압 회로(102)와 연산 증폭기(104)와의 사이에, 보유 회로(107)를 접속함으로써, 보유 회로(107)에서, 분압 회로(102)로부터 출력된 참조 전압(Vref)을 보유할 수 있다. 이것에 의해, 보유 회로(106)에서 기준 전압(Va)이 보유되고, 보유 회로(107)에서 참조 전압(Vref)이 보유되어 있는 기간에는, 기준 전압 생성 회로(101)의 동작을 정지할 수 있기 때문에, 기준 전압 생성 회로(101)에 의해 소비되는 전력을 삭감할 수 있다. 따라서, 신호 처리 회로에 의해 소비되는 전력을 저감할 수 있다.

[0072] 본 실시형태에 나타내는 신호 처리 회로는, 예를 들면, AC-DC 컨버터, 센서 등에 적용할 수 있다. 연산 증폭기나 콤파리레이터 등의 아날로그 회로를 이용하여, 일정한 전압이나, 신호를 계속 출력할 필요가 있는 회로에서는, 특히 유용하다.

[0073] 본 실시형태는, 다른 실시형태와 적절히 조합하여 적용할 수 있다.

[0074] (실시형태 2)

[0075] 본 실시형태에서는, 본 발명의 일 양태에 따른 신호 처리 회로의 다른 일 형태에 대하여, 도 4 내지 도 6을 참조하여 설명한다.

[0076] 도 4에, 신호 처리 회로의 블럭도를 나타낸다. 도 4에 나타내는 신호 처리 회로는, 기준 전압 생성 회로(101)와, 분압 회로(102)와, 스위치(103)와, 연산 증폭기(104)와, 보유 회로(107)와, 바이어스 회로(109)와, 보유 회로(108)로 구성되어 있다.

[0077] 기준 전압 생성 회로(101)는 제 1 전원 전압(V1)이 공급되는 제 1 단자와 제 2 전원 전압(V2)이 공급되는 제 2 단자와의 사이에 접속되고, 바이어스 회로(109) 및 분압 회로(102)에 기준 전압(Vb)을 출력한다. 제 1 전원 전압(V1)은 예를 들면 VDD로 하고, 제 2 전원 전압(V2)은 GND로 한다.

[0078] 분압 회로(102)는 제 1 단자와 제 2 단자와의 사이에 접속되고, 기준 전압(Vb)을 분압하여, 연산 증폭기(104)의 비반전 입력 단자에 참조 전압(Vref)을 출력한다.

[0079] 스위치(103)는 제 1 단자와 기준 전압 생성 회로(101)와의 사이에 접속되고, 제어 신호(SEL1)에 따라, 도통 상태 또는 비도통 상태가 된다. 스위치(103)가 도통 상태인 경우는, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(101)에 공급하고, 비도통 상태인 경우는, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(101)에 공급하는 것을 정지한다.

[0080] 연산 증폭기(104)는 비반전 입력 단자에 참조 전압(Vref)이 입력되고, 출력 단자로부터 출력 전압(Vout)을 출력하고, 또한, 출력 전압(Vout)의 일부를 반전 입력 단자에 귀환시키고 있다.

[0081] 바이어스 회로(109)는 제 1 단자와 연산 증폭기(104)와의 사이에 접속되고, 연산 증폭기(104)에 바이어스 전류를 공급한다.

[0082] 보유 회로(108)는 기준 전압 생성 회로(101)와 바이어스 회로(109)와의 사이에 접속된다. 또, 보유 회로(108)는 스위치(119) 및 용량 소자(120)를 가지고, 스위치(119)의 일단은 기준 전압 생성 회로(101)에 접속되고, 타단은 용량 소자(120)의 한쪽의 전극의 한쪽과 바이어스 회로(109)에 접속된다. 용량 소자(120)의 한쪽의 전극의 다른 한쪽은 제 1 단자와 접속된다. 여기서, 스위치(119) 타단과, 용량 소자(120)의 한쪽의 전극의 한쪽과, 바이어스 회로(109)가 접속된 접속점을 노드(C)로 한다.

[0083] 스위치(119)는 제어 신호(SEL2)에 따라, 도통 상태 또는 비도통 상태가 된다. 스위치(119)가 도통 상태인 경우

는, 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Vb)을, 바이어스 회로(109)에 공급하고, 스위치(119)가 비도통 상태인 경우는, 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Vb)을 노드(C)에서 보유한다.

[0084] 보유 회로(107)의 구성에 대해서는, 실시형태 1과 마찬가지이므로, 상세한 설명은 생략한다.

[0085] 도 5에, 도 4에 나타내는 신호 처리 회로에서의 바이어스 회로(109), 및 보유 회로(108)의 일례를 나타낸다.

[0086] 바이어스 회로(109)는, 예를 들면, 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Vb)에 따라, 온 상태 또는 오프 상태가 되는 트랜지스터(121)를 이용한다. 트랜지스터(121)는, 노드(C)에서의 전압이 트랜지스터(121)의 문턱 전압 이상이면 온 상태가 되어, 연산 증폭기(104)에 바이어스 전류를 공급하고, 노드(C)에서의 전압이 트랜지스터(121)의 문턱 전압보다 낮으면 오프 상태가 되어, 연산 증폭기(104)에 바이어스 전류를 공급하는 것을 정지한다. 또한, 도 5에서, 트랜지스터(121)는 p채널형 트랜지스터로 한다.

[0087] 보유 회로(108)에서, 스위치(119)는 예를 들면, 제어 신호(SEL2)에 따라, 온 상태 또는 오프 상태가 되는 트랜지스터(122)를 이용한다. 또, 트랜지스터(122)로서 오프 전류가 현저히 작은 트랜지스터를 이용한다. 또한, 오프 전류가 현저히 작은 트랜지스터로서는, 도 2에 나타낸 트랜지스터(118)와 같은 트랜지스터를 이용할 수 있다.

[0088] 보유 회로(108)에서의 스위치(119)로서 오프 전류가 현저히 작은 트랜지스터(122)를 이용하여, 이 트랜지스터(122)를 오프 상태로 함으로써, 용량 소자(120)의 한쌍의 전극 중 한쪽의 전압을 장기간에 걸쳐 보유할 수 있다. 즉, 스위치(119)가 비도통 상태인 경우에, 보유 회로(108)에서의 노드(C)의 전압을 장기간에 걸쳐 보유할 수 있다.

[0089] 다음에, 도 5에 나타내는 신호 처리 회로의 동작에 대하여 설명한다.

[0090] 우선, 트랜지스터(115)에 제어 신호(SEL1)를 입력함으로써, 트랜지스터(115)를 온 상태로 하여, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(101)에 공급한다. 트랜지스터(115)가 nch형 트랜지스터인 경우는, 제어 신호(SEL1)로서 하이 레벨을 입력하면 좋고, pch형 트랜지스터인 경우는, 제어 신호(SEL1)로서 로 레벨을 입력하면 좋다. 또한, 이하에서, 트랜지스터(115), 트랜지스터(118), 및 트랜지스터(122)는 nch형 트랜지스터인 경우에 대하여 설명한다. 기준 전압 생성 회로(101)에 제 1 전원 전압(V1)이 공급됨으로써, 기준 전압 생성 회로(101)가 동작하고, 기준 전압(Vb)을 보유 회로(108)와 분압 회로(102)에 출력한다.

[0091] 또, 분압 회로(102)에서는, 기준 전압(Vb)을 분압한 참조 전압(Vref)을 보유 회로(107)에 출력한다.

[0092] 또, 제어 신호(SEL2)를 하이 레벨로 하여, 트랜지스터(118) 및 트랜지스터(122)를 온 상태로 한다. 트랜지스터(122)가 온 상태가 됨으로써, 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Vb)을 트랜지스터(121)에 공급한다. 이것에 의해, 트랜지스터(121)가 온 상태가 되어, 제 1 단자로부터 제 1 전원 전압(V1)을 연산 증폭기(104)에 공급한다. 또, 트랜지스터(118)가 온 상태가 됨으로써, 분압 회로(102)로부터 출력된 참조 전압(Vref)을 연산 증폭기(104)의 비반전 입력 단자에 출력한다. 이것에 의해, 연산 증폭기(104)가 동작하기 때문에, 출력 단자로부터 출력 전압(Vout)을 출력함과 동시에, 일부의 출력 전압(Vout)을 연산 증폭기(104)의 반전 입력 단자에 출력한다.

[0093] 도 5에 나타내는 신호 처리 회로가 정상 상태(기준 전압(Vb)이 트랜지스터(121)에 정상적으로 공급되고 있는 상태, 참조 전압(Vref)이 연산 증폭기(104)의 비반전 입력 단자에 정상적으로 공급되고 있는 상태)가 된 후, 제어 신호(SEL2)를 로 레벨로 하여, 트랜지스터(118) 및 트랜지스터(122)를 오프 상태로 한다. 트랜지스터(118) 및 트랜지스터(122)는 오프 전류가 현저히 작은 트랜지스터이기 때문에, 노드(B)에서의 전압(참조 전압(Vref)) 및 노드(C)에서의 전압(기준 전압(Vb))을 장기간에 걸쳐 보유할 수 있다.

[0094] 다음에, 제어 신호(SEL1)를 로 레벨로 하여 트랜지스터(115)를 오프 상태로 한다. 이것에 의해, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(101)에 공급하는 것을 정지한다. 기준 전압 생성 회로(101)에 제 1 전원 전압(V1)의 공급이 정지하기 때문에, 기준 전압 생성 회로(101)의 동작이 정지한다.

[0095] 도 5에 나타내는 신호 처리 회로에서는, 보유 회로(108)에 오프 전류가 현저히 작은 트랜지스터(122)를 이용하고 있다. 따라서, 트랜지스터(122)를 오프 상태로 함으로써, 노드(C)에 있어서의 전압(기준 전압(Vb))을 장기간에 걸쳐 보유할 수 있다. 이것에 의해, 기준 전압 생성 회로(101)의 동작이 정지해도, 기준 전압(Vb)을 트랜지스터(121)에 계속 공급할 수 있다. 마찬가지로 보유 회로(107)에, 오프 전류가 현저히 작은 트랜지스터(118)를 이용하고 있다. 따라서, 트랜지스터(118)를 오프 상태로 함으로써, 노드(B)에서의 전압(참조 전압(Vref))을 장기간에 걸쳐 보유할 수 있다. 이것에 의해, 기준 전압 생성 회로(101)의 동작이 정지해도, 참조 전압

(Vref)을 연산 증폭기(104)의 비반전 입력 단자에 계속 공급할 수 있다.

[0096] 본 발명의 일 양태에서는, 스위치(119)로서 산화물 반도체를 이용한 트랜지스터(122)를 이용하고 있기 때문에, 오프 전류를 100 yA로 할 수 있다. 또, 용량 소자(120)의 용량을, 예를 들어 1 pF로 하면, 노드(C)에서 기준 전압(Vb)을 보유할 수 있는 기간은 10^7 sec(약 115일)가 된다.

[0097] 또, 스위치(113)에 대해서도 마찬가지로 산화물 반도체를 이용한 트랜지스터(118)를 이용하고 있기 때문에, 오프 전류를 100 yA로 할 수 있다. 또, 용량 소자(114)의 용량을, 예를 들어 1 pF로 하면, 노드(B)에서 참조 전압(Vref)을 보유할 수 있는 기간은 10^7 sec(약 115일)가 된다.

[0098] 따라서, 10^7 sec(약 115일)의 기간은 기준 전압 생성 회로(101)의 동작을 정지할 수 있다. 또, 10^7 sec(약 115일)의 기간이 경과하기 전에, 트랜지스터(115)를 도통 상태로 하고, 기준 전압 생성 회로(101)에 제 1 전원 전압(V1)을 공급하고, 기준 전압 생성 회로(101)를 동작시키고, 기준 전압(Vb)을 보유 회로(108), 참조 전압(Vref)을 보유 회로(107)에 출력하면 좋다.

[0099] 본 발명의 일 양태에서는, 스위치(113, 119)로서 채널이 산화물 반도체막에 형성되는 트랜지스터를 이용하고 있다. 예를 들면, 스위치(113)와 용량 소자(114)가 접속된 노드(B)의 전위가 일정하게 유지된 후, 스위치(113)를 비도통 상태로 하더라도, 스위치(113)를 통하여 누출되는 전하량을 현저히 작게 억제할 수 있다.

[0100] 따라서, 보유 회로(108)가 가지는 스위치(119)를 비도통 상태로 함으로써, 기준 전압 생성 회로(101)로부터 출력된 전압을 스위치(119)와 용량 소자(120)가 접속된 노드(C)로 보유할 수 있다. 또, 보유 회로(107)가 가지는 스위치(113)를 비도통 상태로 함으로써, 분압 회로(102)로부터 출력된 전압을 스위치(113)와 용량 소자(114)가 접속된 노드(B)로 보유할 수 있다.

[0101] 따라서, 기준 전압 생성 회로(101)로부터, 바이어스 회로(109)나 연산 증폭기(104)에 전압을 계속 출력할 필요가 없어지기 때문에, 기준 전압 생성 회로(101)를 상시 동작시킬 필요가 없어진다. 이것에 의해, 트랜지스터(115)를 비도통 상태로 하여, 기준 전압 생성 회로(101)에 전원의 공급을 정지할 수 있기 때문에, 기준 전압 생성 회로(101)에 의해 소비되는 전력을 삭감할 수 있다.

[0102] 본 실시형태에서는, 스위치(113) 및 스위치(119)가 산화물 반도체를 이용한 트랜지스터인 경우에 대하여 설명했지만, 스위치(103)가 산화물 반도체를 이용한 트랜지스터여도 좋다.

[0103] 또, 스위치(103), 스위치(113), 및 스위치(119)로서 이용하는 트랜지스터는 산화물 반도체층을 끼우고 상하에 2개의 게이트를 가지는 트랜지스터로 해도 좋다. 스위치(103)의 경우는, 한쪽의 게이트에 제어 신호(SEL1)를 입력하고, 다른 한쪽의 게이트에는 다른 제어 신호를 입력할 수 있다. 또, 스위치(113) 및 스위치(119)의 경우는, 한쪽의 게이트에 제어 신호(SEL2)를 입력하고, 다른 한쪽의 게이트에는 다른 제어 신호를 입력할 수 있다. 다른 제어 신호는 일정한 전위의 신호여도 좋다. 일정한 전위는 저전원 전위나 고전원 전위여도 좋다. 또한, 2개의 게이트를 전기적으로 접속하고, 제어 신호를 입력해도 좋다. 다른 한쪽의 게이트에 입력하는 신호에 의해, 트랜지스터의 문턱 전압 등을 제어하는 것이 가능하다. 또, 트랜지스터의 오프 전류를 더욱 저감하는 것도 가능하다.

[0104] 또, 본 실시형태에서는, 제어 신호(SEL1) 및 제어 신호(SEL2)가 다른 신호인 경우에 대하여 설명했지만, 제어 신호(SEL1) 및 제어 신호(SEL2)를 같은 신호로 해도 좋다.

[0105] 기준 전압 생성 회로(101), 분압 회로(102), 연산 증폭기(104)를 트랜지스터를 이용하여 구성하는 경우에, 이 트랜지스터는 산화물 반도체 이외의 반도체로 이루어지는 층 또는 기판에 채널이 형성되는 트랜지스터로 할 수 있다. 예를 들면, 실리콘층 또는 실리콘 기판에 채널이 형성되는 트랜지스터로 할 수 있다.

[0106] 도 6에, 도 4에 나타내는 신호 처리 회로를 보다 상세하게 나타낸다.

[0107] 기준 전압 생성 회로(101)는 트랜지스터(131~134), 및 저항 소자(135)로 구성된다. 노드(b)는 분압 회로(102)에서의 트랜지스터(136)의 게이트와, 보유 회로(108)에서의 트랜지스터(122)의 소스 또는 드레인의 한쪽과 접속되어 있다. 또, 기준 전압(Vb)은 노드(b)에서의 전압이다.

[0108] 분압 회로(102)는 트랜지스터(136) 및 저항 소자(137)로 구성된다. 트랜지스터(136)의 소스 또는 드레인의 한쪽은, 보유 회로(107)에서의 트랜지스터(118)의 소스 또는 드레인의 한쪽과 접속되어 있다.

[0109] 연산 증폭기(104)는 트랜지스터(138~141), 트랜지스터(143), 및 용량 소자(144)로 구성된다. 트랜지스터(138)

및 트랜지스터(139)는 차동 회로를 구성한다. 또, 트랜지스터(140) 및 트랜지스터(141)는 커런트 미러 회로를 구성한다. 또, 트랜지스터(143) 및 용량 소자(144)에 의해, 베퍼 회로가 구성된다.

[0110] 또한, 본 실시형태에서는 연산 증폭기를 이용하여 신호 처리 회로를 구성하는 예에 대하여 나타내지만, 연산 증폭기로 바꾸어 콤파레이터를 이용하여 신호 처리 회로를 구성해도 좋다.

[0111] 바이어스 회로(109)는 트랜지스터(121) 및 트랜지스터(145)를 가진다. 트랜지스터(121) 및 트랜지스터(145)는 p채널형 트랜지스터이다.

[0112] 도 4 내지 도 6에 나타내는 신호 처리 회로에서는, 기준 전압 생성 회로(101)와 바이어스 회로(109)와의 사이에 보유 회로(108)를 접속함으로써, 보유 회로(108)에서, 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Vb)을 보유할 수 있다. 또, 분압 회로(102)와 연산 증폭기(104)와의 사이에, 보유 회로(107)를 접속함으로써, 보유 회로(107)에서, 분압 회로(102)로부터 출력된 참조 전압(Vref)을 보유할 수 있다. 이것에 의해, 보유 회로(108)에서 기준 전압(Vb)이 보유되고, 보유 회로(107)에서 참조 전압(Vref)이 보유되어 있는 기간에는 기준 전압 생성 회로(101)의 동작을 정지할 수 있기 때문에, 기준 전압 생성 회로(101)에 의해 소비되는 전력을 삭감할 수 있다. 따라서, 신호 처리 회로에 의해 소비되는 전력을 절감할 수 있다.

[0113] 다음에, 본 발명의 일 양태에 따른 신호 처리 회로의 다른 일 형태에 대하여, 도 7 및 도 8을 참조하여 설명한다.

[0114] 도 7에, 신호 처리 회로의 블럭도를 나타낸다. 도 7에 나타낸 신호 처리 회로는 기준 전압 생성 회로(101), 분압 회로(102), 스위치(103), 연산 증폭기(104), 바이어스 회로(105), 보유 회로(106), 보유 회로(107), 보유 회로(108) 및 바이어스 회로(109)로 구성되어 있다.

[0115] 기준 전압 생성 회로(101)는 제 1 전원 전압(V1)이 공급되는 제 1 단자와 제 2 전원 전압(V2)이 공급되는 제 2 단자와의 사이에 접속되고, 바이어스 회로(105)에 기준 전압(Va), 및 분압 회로(102) 및 보유 회로(108)에 기준 전압(Vb)을 출력한다. 제 1 전원 전압(V1)은 예를 들면 VDD로 하고, 제 2 전원 전압(V2)은 GND로 한다.

[0116] 분압 회로(102)는 제 1 단자와 제 2 단자와의 사이에 접속되고, 기준 전압(Vb)을 분압하여, 연산 증폭기(104)의 비반전 입력 단자에 참조 전압(Vref)을 출력한다.

[0117] 스위치(103)는 제 1 단자와 기준 전압 생성 회로(101)와의 사이에 접속되고, 제어 신호(SEL1)에 따라, 도통 상태 또는 비도통 상태가 된다. 스위치(103)가 도통 상태인 경우는, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(101)에 공급하고, 비도통 상태인 경우는, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(101)에 공급하는 것을 정지한다.

[0118] 연산 증폭기(104)는 비반전 입력 단자에 참조 전압(Vref)이 입력되고, 출력 단자로부터 출력 전압(Vout)을 출력하고, 또한, 출력 전압(Vout)의 일부를 반전 입력 단자에 귀환시키고 있다.

[0119] 제 1 단자와 연산 증폭기(104)와의 사이에 바이어스 회로(109)가 접속되고, 제 2 단자와 연산 증폭기(104)와의 사이에 바이어스 회로(105)가 접속되어 있다. 바이어스 회로(109) 및 바이어스 회로(105)의 각각은, 연산 증폭기(104)에 바이어스 전류를 공급한다.

[0120] 보유 회로(106)는 도 1에 나타낸 신호 처리 회로와 마찬가지로, 기준 전압 생성 회로(101)와 바이어스 회로(105)와의 사이에 접속되고, 보유 회로(107)는 도 1에 나타낸 신호 처리 회로와 마찬가지로, 분압 회로(102)와 연산 증폭기(104)의 비반전 입력 단자와의 사이에 접속되고, 보유 회로(108)는 도 4에 나타내는 신호 처리 회로와 마찬가지로, 기준 전압 생성 회로(101)와 바이어스 회로(109)와의 사이에 접속된다.

[0121] 보유 회로(106), 보유 회로(107), 및 보유 회로(108)는, 각각 스위치 및 용량 소자를 가진다. 보유 회로(106), 보유 회로(107), 및 보유 회로(108)가 가지는 스위치는 제어 신호(SEL2)에 따라, 도통 상태 또는 비도통 상태가 된다.

[0122] 보유 회로(106), 보유 회로(107), 및 보유 회로(108)의 상세한 사항에 대해서는, 도 1 내지 도 7의 기재를 참조할 수 있다.

[0123] 도 8에, 도 7에 나타낸 신호 처리 회로에 있어서의 연산 증폭기(104), 바이어스 회로(105), 및 바이어스 회로(109)의 일례를 나타낸다.

[0124] 연산 증폭기(104)는 트랜지스터(151)~트랜지스터(162), 저항 소자(163), 및 용량 소자(164)로 구성된다. 트랜

지스터(151)~트랜지스터(156)는 p채널형 트랜지스터이며, 부호 157~162는 n 채널형 트랜지스터이다.

[0125] 바이어스 회로(105a)는 트랜지스터(165)를 가지고, 바이어스 회로(105b)는 트랜지스터(166) 및 트랜지스터(167)를 가진다. 트랜지스터(165)~트랜지스터(167)는 n 채널형 트랜지스터이다.

[0126] 바이어스 회로(109)는 트랜지스터(168) 및 트랜지스터(169)를 가진다. 트랜지스터(168) 및 트랜지스터(169)는 p채널형 트랜지스터이다.

[0127] 단자 A는 도 7에 나타낸 신호 처리 회로에서의 보유 회로(106)의 노드(A)에 상당하고, 단자 B는 도 7에 나타낸 신호 처리 회로에서의 보유 회로(107)의 노드(B)에 상당하고, 단자 C는 도 7에 나타낸 신호 처리 회로에서의 보유 회로(108)의 노드(C)에 상당한다.

[0128] 도 7 및 도 8에 나타내는 신호 처리 회로에서는, 기준 전압 생성 회로(101)와 바이어스 회로(105a)와의 사이에 보유 회로(106)를 접속함으로써, 보유 회로(106)에서, 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Va)을 보유할 수 있다. 또, 분압 회로(102)와 연산 증폭기(104)와의 사이에, 보유 회로(107)를 접속함으로써, 보유 회로(107)에서, 분압 회로(102)로부터 출력된 참조 전압(Vref)을 보유할 수 있다. 또, 기준 전압 생성 회로(101)와 바이어스 회로(109)와의 사이에, 보유 회로(108)를 접속함으로써, 보유 회로(108)에서, 기준 전압 생성 회로(101)로부터 출력된 기준 전압(Vb)을 보유할 수 있다.

[0129] 이것에 의해, 보유 회로(106)에서 기준 전압(Va)이 보유되고, 보유 회로(107)에서 참조 전압(Vref)이 보유되고, 보유 회로(108)에서 기준 전압(Vb)이 보유되어 있는 기간에는, 기준 전압 생성 회로(101)의 동작을 정지할 수 있기 때문에, 기준 전압 생성 회로(101)에 의해 소비되는 전력을 삭감할 수 있다. 따라서, 신호 처리 회로에 의해 소비되는 전력을 저감할 수 있다.

[0130] 본 실시형태에 나타내는 신호 처리 회로는, 예를 들면, AC-DC 컨버터, 센서 등에 적용할 수 있다. 연산 증폭기나 콤퍼레이터 등의 아날로그 회로를 이용하여, 일정한 전압이나, 신호를 계속 출력할 필요가 있는 회로에서는, 특히 유용하다.

[0131] 본 실시형태는, 다른 실시형태와 적절히 조합하여 적용할 수 있다.

[0132] (실시형태 3)

[0133] 본 실시형태에서는, 본 발명의 일 양태에 따른 신호 처리 회로의 다른 일 형태에 대하여, 도 11을 참조하여 설명한다.

[0134] 도 11에 신호 처리 회로의 회로도를 나타낸다. 도 11에 나타낸 신호 처리 회로는 기준 전압 생성 회로(190), 연산 증폭기(104), 보유 회로(107), 보유 회로(171), 트랜지스터(172), 및 저항 소자(173, 174)로 구성되어 있다.

[0135] 본 실시형태에서는, 도 11에 나타낸 기준 전압 생성 회로(190)의 구성이 다른 실시형태에 나타내는 기준 전압 생성 회로(101)의 구성과 일부 다르다. 도 11에 나타낸 기준 전압 생성 회로(190)는 보유 회로(175), 스위치(176), 저항 소자(177), 및 트랜지스터(178, 179)를 가진다. 보유 회로(175)는 스위치(180)와 용량 소자(181)를 가진다. 또, 기준 전압 생성 회로(190)는 제 1 전원 전압(V1)이 공급되는 제 1 단자와 제 2 전원 전압(V2)이 공급되는 제 2 단자와의 사이에 접속되고, 보유 회로(107)에 참조 전압(Vref)을 출력한다.

[0136] 스위치(176)는 제 1 단자와 저항 소자(177)의 단자의 한쪽과의 사이에 접속되고, 제어 신호(SEL3)에 따라, 도통 상태 또는 비도통 상태가 된다. 스위치(176)가 도통 상태인 경우는, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(190)에 공급하고, 비도통 상태인 경우는, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(190)에 공급하는 것을 정지한다.

[0137] 저항 소자(177)의 단자의 다른 한쪽은, 트랜지스터(178)의 소스 또는 드레인의 한쪽과, 스위치(180)의 일단과 전기적으로 접속된다. 또, 스위치(180) 타단은, 용량 소자(181)의 한쌍의 전극 중 한쪽과, 트랜지스터(179)의 게이트와 전기적으로 접속된다. 트랜지스터(179)의 소스 또는 드레인의 한쪽은 제 1 단자에 전기적으로 접속된다. 또, 트랜지스터(178)의 소스 또는 드레인의 다른 한쪽과, 용량 소자(181)의 한쌍의 전극 중 다른 한쪽과, 트랜지스터(179)의 소스 또는 드레인의 다른 한쪽은, 제 2 단자와 전기적으로 접속된다.

[0138] 보유 회로(175)는 스위치(180) 및 용량 소자(181)를 가진다. 보유 회로(175)에 있어서, 스위치(180)는 예를 들

면, 제어 신호(SEL4)에 따라, 온 상태 또는 오프 상태가 되는 트랜지스터를 이용한다. 또, 이 트랜지스터로서 오프 전류가 현저히 작은 트랜지스터를 이용한다.

[0139] 보유 회로(175)에서의 스위치(180)로서 오프 전류가 현저히 작은 트랜지스터를 이용하고, 이 트랜지스터를 오프 상태로 함으로써, 용량 소자(181)의 한쌍의 전극 중 한쪽의 전압을 장기간에 걸쳐 보유할 수 있다. 즉, 스위치(180)가 비도통 상태인 경우에, 보유 회로(175)에서의 참조 전압(Vref)을 장기간에 걸쳐 보유할 수 있다.

[0140] 연산 증폭기(104)는 반전 입력 단자에 참조 전압(Vref)이 입력되고, 비반전 입력 단자는 보유 회로(171)와 접속되고, 출력 단자는 트랜지스터(172)의 게이트와 접속된다.

[0141] 또, 트랜지스터(172)의 소스 또는 드레인의 한쪽은 제 1 단자와 접속되고, 소스 또는 드레인의 다른 한쪽은 저항 소자(173)의 단자의 한쪽과, 출력 단자와 접속된다. 출력 단자로부터 출력 전압(Vout)이 출력된다. 또, 저항 소자(173)의 단자의 다른 한쪽은 저항 소자(174)의 단자의 한쪽과 접속되고, 저항 소자(174)의 단자의 다른 한쪽은 제 2 단자와 접속된다.

[0142] 보유 회로(171)는 스위치(182) 및 용량 소자(183)를 가진다. 보유 회로(171)에 있어서, 스위치(182)는 예를 들면, 제어 신호(SEL5)에 따라, 온 상태 또는 오프 상태가 되는 트랜지스터를 이용한다. 또, 이 트랜지스터로서 오프 전류가 현저히 작은 트랜지스터를 이용한다.

[0143] 보유 회로(171)에서의 스위치(182)로서, 오프 전류가 현저히 작은 트랜지스터를 이용하고, 이 트랜지스터를 오프 상태로 함으로써, 용량 소자(183)의 한쌍의 전극 중 한쪽의 전압을 장기간에 걸쳐 보유할 수 있다. 즉, 스위치(182)가 비도통 상태인 경우에, 보유 회로(171)에서의 노드(D)의 전압을 장기간에 걸쳐 보유할 수 있다.

[0144] 다음에, 도 11에 나타낸 신호 처리 회로의 동작에 대하여 설명한다.

[0145] 우선, 스위치(176)에 제어 신호(SEL3)를 입력함으로써, 스위치(176)를 도통 상태로 하여, 제 1 단자로부터 제 1 전원 전압(V1)을 기준 전압 생성 회로(190)에 공급한다. 스위치(176)가 nch형 트랜지스터인 경우는, 제어 신호(SEL3)로서 하이 레벨을 입력하면 좋고, pch형 트랜지스터인 경우는, 제어 신호(SEL3)로서 로 레벨을 입력하면 좋다. 또한, 이하에서, 스위치(113), 스위치(182), 스위치(176), 및 스위치(180)는 nch형 트랜지스터인 경우에 대하여 설명한다. 이때, 제어 신호(SEL4)를 하이 레벨로 하여 스위치(180)를 도통 상태로 함으로써, 참조 전압(Vref)을 보유 회로(107)에 출력한다.

[0146] 제어 신호(SEL2)를 하이 레벨로 하여, 스위치(113)를 도통 상태로 함으로써, 기준 전압 생성 회로(190)로부터 출력된 참조 전압(Vref)을 연산 증폭기(104)의 반전 입력 단자에 출력한다. 이것에 의해, 연산 증폭기(104)가 동작되기 때문에, 출력 단자로부터 출력한 전압을 트랜지스터(172)의 게이트에 입력한다.

[0147] 도 11에 나타낸 신호 처리 회로가 정상 상태(참조 전압(Vref)이 연산 증폭기의 반전 입력 단자에 정상적으로 공급되어 있는 상태)가 된 후, 제어 신호(SEL4)를 로 레벨로 하여 스위치(180)를 비도통 상태로 한다. 스위치(180)로서 오프 전류가 현저히 작은 트랜지스터를 이용함으로써, 참조 전압(Vref)을 장기간에 걸쳐 보유할 수 있다.

[0148] 참조 전압(Vref)을 장기간에 걸쳐 보유할 수 있기 때문에, 기준 전압 생성 회로(190)에, 제 1 단자로부터 제 1 전원 전압(V1)을 공급할 필요는 없어진다. 따라서, 제어 신호(SEL3)를 로 레벨로 함으로써, 스위치(176)를 비도통 상태로 할 수 있다.

[0149] 또, 도 11에 나타낸 신호 처리 회로에서는 출력(VOUT)측의 부하 변동이 생겨도, VOUT 노드의 전위가 일정하게 되도록, 연산 증폭기(104)에 귀환부를 형성하여 피드백 제어를 행하는 경우가 있다. 그러나, 연산 증폭기(104)도 정상적으로 전류를 소비하기 때문에, 피드백이 불필요한 경우(예를 들면, 출력측에서 생기는 부하 변동이 작은 경우)에는, 귀환 입력부의 전압을 고정하도록, 보유 회로(171)에서의 스위치(182)를 비도통 상태로 한다. 또, 보유 회로(171)에서의 스위치(182)를 비도통 상태로 하는 경우에는, 보유 회로(107)에서의 스위치(113)를 비도통 상태로 할 필요가 있다. 이것에 의해, 피드백이 불필요한 경우에, 연산 증폭기(104)에 있어서 소비되는 전력을 더욱 저감할 수 있다.

[0150] 본 실시형태에서는, 신호 처리 회로에 분압 회로를 설치하지 않는 구성으로 했지만, 다른 실시형태에 나타낸 신호 처리 회로와 마찬가지로, 분압 회로를 형성하는 구성으로 해도 좋다. 예를 들면, 도 11에 있어서, 제 1 단자와 제 2 단자와의 사이에 분압 회로를 접속하고, 기준 전압 생성 회로(190)의 참조 전압(Vref)이 분압 회로에 입력되는 구성으로 하면 좋다. 이때, 분압 회로의 출력은 보유 회로(107)와 연산 증폭기(104)의 출력 단자에

입력되도록 하면 좋다.

[0151] 본 실시형태는, 다른 실시형태와 적절히 조합하여 적용할 수 있다.

[0152] (실시형태 4)

[0153] 본 실시형태에서는, 앞의 실시형태에 나타내는 신호 처리 회로를 적용할 수 있는 전원 제어 장치의 일례에 대하여, 도 9를 참조하여 설명한다. 도 9에 나타내는 전원 제어 장치(300)는 단자 AC_IN 및 단자 AC_INB로부터 입력되는 교류 신호를, 단자 AC_OUT 및 단자 AC_OUTB로부터 출력함으로써, 외부 장치에 전원의 공급을 행한다.

[0154] 전원 제어 장치(300)는 메인 스위치(301), 서브 스위치(302), 및 데이터 처리 장치(303)를 가진다. 전원 제어 장치(300)는 그 밖에도, 정류 회로(304), AC/DC 컨버터(305), DC/DC 컨버터(306), 용량 소자(307), 및 불휘발성 메모리(308)를 가진다. 데이터 처리 장치(303)는 휘발성 기억부(309), 불휘발성 기억부(310), 및 센서(311)를 가진다.

[0155] 메인 스위치(301)는 도통 상태가 됨으로써, 단자 AC_IN 및 단자 AC_INB로부터 입력되는 교류 신호를, 단자 AC_OUT 및 단자 AC_OUTB로부터 외부 장치로 출력한다. 또, 메인 스위치(301)는 비도통 상태가 됨으로써, 단자 AC_IN 및 단자 AC_INB로부터 입력되는 교류 신호를, 단자 AC_OUT 및 단자 AC_OUTB로부터 외부 장치로 출력하는 것을 정지한다. 메인 스위치(301)는 데이터 처리 장치(303)의 제어에 의해, 외부 장치의 사용 상황에 따라, 도통 상태 또는 비도통 상태가 전환된다. 메인 스위치(301)를 비도통 상태로 함으로써, 외부 장치의 대기 전력을 삭감할 수 있다.

[0156] 서브 스위치(302)는 도통 상태가 됨으로써 단자 AC_IN 및 단자 AC_INB로부터 입력되는 교류 신호를 정류 회로(304)에 출력한다. 또, 서브 스위치(302)는 비도통 상태가 됨으로써 단자 AC_IN 및 단자 AC_INB로부터 입력되는 교류 신호를, 정류 회로(304)에 출력하는 것을 정지한다. 서브 스위치(302)는 데이터 처리 장치(303)의 제어에 의해, 도통 상태 또는 비도통 상태가 전환된다.

[0157] 또한, 본 명세서에서 설명하는 메인 스위치 및 서브 스위치로서는, 릴레이 회로와 같이 기계적으로 동작할 수 있는 스위치나, 사이리스터(thyristor) 또는 파워 트랜지스터와 같이 전기적으로 동작할 수 있는 스위치를 이용할 수 있다.

[0158] 정류 회로(304)는 입력되는 교류 신호를 정류화하기 위한 회로이다.

[0159] AC/DC 컨버터(305)는 정류 회로(304)로 정류화된 리플을 포함한 신호를 평활화하여 직류 신호로 하고, 역률(power factor)을 조정하기 위한 회로이다.

[0160] DC/DC 컨버터(306)는 AC/DC 컨버터(305)로 변환된 직류 신호를 데이터 처리 장치(303)를 동작할 수 있는 전압의 직류 신호로 하기 위한 회로이다.

[0161] 용량 소자(307)는 DC/DC 컨버터(306)로 얻어지는 데이터 처리 장치(303)를 동작할 수 있는 전압을 보유하기 위해 제공된다.

[0162] 불휘발성 메모리(308)는 데이터 처리 장치(303)에서 처리하는 데이터 또는 프로그램을 기억하기 위한 회로이다. 또한 불휘발성 메모리(308)가 가지는 메모리 소자로서는, 플래시 메모리 외에, 강유전체 메모리(FeRAM), 자기 메모리(MRAM), 상변화 메모리(PRAM), 전계 유발 거대 저항 변화를 이용한 저항 변화형 메모리(ReRAM)를 이용하면 좋다. 또는 전원의 공급이 정지되어도 데이터의 보유가 가능한 메모리 소자라면, 다른 메모리 소자여도 좋다.

[0163] 데이터 처리 장치(303)가 가지는 휘발성 기억부(309)는 전원의 공급이 해제되고 있을 때에 데이터 처리 장치(303)로 연산을 행하고, 이 연산의 결과 또는 연산에 이용하는 데이터, 혹은 프로그램을 기억하는 기억 회로이다. 이 기억 회로는, 데이터 처리 장치(303) 내의 일시적인 데이터를 기억하는 기능을 가지는 레지스터에 상당하는 회로이다. 휘발성 기억부(309)는 일례로서는, 플립 플롭으로 구성할 수 있다. 휘발성 기억부(309)에서의 기억은 불휘발성 기억부(310)에서의 데이터의 기억보다 고속으로 행하는 구성으로 하는 것이 바람직하다. 휘발성 기억부(309)에서의 데이터의 기억을 고속으로 행하게 함으로써, 데이터 처리 장치(303)의 성능을 향상시킬 수 있다.

[0164] 데이터 처리 장치(303)가 가지는 불휘발성 기억부(310)는 전원의 공급이 행해지지 않을 때에 데이터 처리 장치(303) 내에 기억된, 연산의 결과 또는 연산에 이용하는 데이터, 혹은 프로그램을 기억하기 위한 회로이다. 불휘발성 기억부(310)는 일례로서는, 불휘발성을 가지는 메모리 소자를 이용하여 구성할 수 있다.

[0165] 데이터 처리 장치(303)는 메인 스위치(301)의 도통 상태 또는 비도통 상태의 제어, 서브 스위치(302)의 도통 상태 또는 비도통 상태의 제어, 및 전원 제어 장치(300) 내에 설치되는 장치를 동작시킬 때에 필요한 연산 처리를 행한다.

[0166] 예를 들면, 데이터 처리 장치(303)는 일정 기간마다 연산 처리 중인 데이터를 휘발성 기억부(309)로부터 불휘발성 기억부(310)에 저장시켜, 서브 스위치(302)를 비도통 상태로 하는 동작을 행한다. 또 데이터 처리 장치(303)는 서브 스위치(302)를 도통 상태로 하고, 불휘발성 기억부(310)에 저장시킨 데이터를 휘발성 기억부(309)에 복귀시켜 다시 연산 처리를 행하는 동작을 행한다.

[0167] 또, 데이터 처리 장치(303)는 센서(311)를 가진다. 센서(311)를 가짐으로써, 센서(311)로부터의 신호를 기초로 연산 처리를 행하여, 필요에 따라서 메인 스위치(301)의 도통 상태 또는 비도통 상태의 제어를 행하는 구성으로 할 수 있다.

[0168] 또, 데이터 처리 장치가 가지는 센서(311)로서 앞의 실시형태에 나타내는 신호 처리 회로를 적용할 수 있다. 센서(311)로서 앞의 실시형태에 나타내는 신호 처리 회로를 적용함으로써, 신호 처리 회로에서, 기준 전압 생성 회로로부터 출력된 기준 전압을 보유 회로에서 보유하는 것이 가능하다. 따라서, 보유 회로에서 기준 전압이 보유되어 있는 기간에는, 기준 전압 생성 회로의 동작을 정지할 수 있다. 따라서, 기준 전압 생성 회로의 소비 전력을 삭감할 수 있기 때문에, 신호 처리 회로의 소비 전력을 저감할 수 있다. 또한, 이 신호 처리 회로를 포함한 전원 제어 장치의 소비 전력을 저감할 수 있다.

[0169] (실시형태 5)

[0170] 본 실시형태에서는, 본 발명의 일 양태에 따른 신호 처리 회로의 단면 구조의 일례에 대하여, 도 10을 참조하여 설명한다.

[0171] 앞의 실시형태에 나타내는 신호 처리 회로는 기준 전압 생성 회로(101), 분압 회로(102), 및 연산 증폭기(104)를, 실리콘 등을 이용한 트랜지스터로 형성하고, 이를 회로에 적층하여, 보유 회로(106), 보유 회로(107), 및 보유 회로(108) 등을, 산화물 반도체를 이용한 트랜지스터로 형성한다.

[0172] 도 10에는, 본 발명의 일 양태에 따른 신호 처리 회로의 일부의 단면을 나타낸다. 도 10에 나타내는 신호 처리 회로는, 하부에 제 1 반도체 재료(예를 들면, 실리콘)를 이용한 n형의 트랜지스터 및 p형의 트랜지스터를 가지고, 상부에 제 2 반도체 재료(예를 들면, 산화물 반도체)를 이용한 트랜지스터 및 용량 소자를 가진다.

[0173] <하부의 트랜지스터의 구성>

[0174] n형의 트랜지스터(510)는, 반도체 재료를 포함한 기판(500)에 형성된 채널 형성 영역(501)과, 채널 형성 영역(501)을 끼우도록 형성된 저농도 불순물 영역(502) 및 고농도 불순물 영역(503)(이것들을 아울러 간단히 불순물 영역이라고도 부름)과, 이 불순물 영역에 접하여 형성된 금속간 화합물 영역(507)과, 채널 형성 영역(501) 위에 형성된 게이트 절연막(504a)과, 게이트 절연막(504a) 위에 형성된 게이트 전극층(505a)과, 금속간 화합물 영역(507)과 접하여 형성된 소스 전극층(506a) 및 드레인 전극층(506b)을 가진다. 게이트 전극층(505a)의 측면에는, 사이드 월 절연막(508a)이 형성되어 있다. 트랜지스터(510)를 덮도록 충간 절연막(521) 및 충간 절연막(522)이 형성되어 있다. 충간 절연막(521) 및 충간 절연막(522)에 형성된 개구를 통하여, 소스 전극층(506a) 및 드레인 전극층(506b)과, 금속간 화합물 영역(507)이 접속되어 있다.

[0175] p형의 트랜지스터(520)는, 반도체 재료를 포함한 기판(500)에 형성된 채널 형성 영역(511)과, 채널 형성 영역(511)을 끼우도록 형성된 저농도 불순물 영역(512) 및 고농도 불순물 영역(513)(이것들을 아울러 간단히 불순물 영역이라고도 부름)과, 이 불순물 영역에 접하여 형성된 금속간 화합물 영역(517)과, 채널 형성 영역(511) 위에 형성된 게이트 절연막(504b)과, 게이트 절연막(504b) 위에 형성된 게이트 전극층(505b)과, 금속간 화합물 영역(517)과 접하여 형성된 소스 전극층(506c) 및 드레인 전극층(506d)을 가진다. 게이트 전극층(505b)의 측면에는, 사이드 월 절연막(508b)이 형성되어 있다. 트랜지스터(520)를 덮도록 충간 절연막(521) 및 충간 절연막(522)이 형성되어 있다. 충간 절연막(521) 및 충간 절연막(522)에 형성된 개구를 통하여, 소스 전극층(506c) 및 드레인 전극층(506d)과, 금속간 화합물 영역(517)이 접속되어 있다.

(506c) 및 드레인 전극층(506d)과, 금속간 화합물 영역(517)이 접속되어 있다.

[0176] 또, 기판(500)에는, 트랜지스터(510)와 트랜지스터(520)의 각각을 둘러싸도록 소자 분리 절연막(509)이 형성되어 있다.

[0177] 또한, 도 10에서는, 트랜지스터(510) 및 트랜지스터(520)가 반도체 기판에 채널이 형성되는 트랜지스터인 경우에 대하여 나타내지만, 트랜지스터(510) 및 트랜지스터(520)가 절연 표면 위에 형성된 비정질 반도체막, 단결정 반도체막에 채널이 형성되는 트랜지스터여도 좋다. 또, SOI 기판과 같이, 단결정 반도체막에 채널이 형성되는 트랜지스터여도 좋다.

[0178] 반도체 기판으로서 단결정 반도체 기판을 이용함으로써, 트랜지스터(510) 및 트랜지스터(520)를 고속 동작시킬 수 있다. 따라서, 앞의 실시형태에 설명한 신호 처리 회로에서의 기준 전압 생성 회로, 분압 회로, 및 연산 증폭기 등을, 단결정 반도체 기판에 형성하는 것이 바람직하다.

[0179] 또, 트랜지스터(510)와 트랜지스터(520)는 배선(523)에 의해 각각 접속되어 있고, 배선(523) 위에는, 절연막(524)이 형성되어 있다. 또, 절연막(524) 위에는 도전층(525a, 525b), 절연막(526)이 형성되어 있다. 절연막(526)은 절연막(524) 위에 도전층(525a, 525b)을 형성한 후, 도전층(525a, 525b) 위에 절연막을 형성하고, 이 절연막을 도전층(525a, 525b)의 상면이 노출할 때까지, 연마 처리를 행한 것이 바람직하다.

<상부의 트랜지스터의 구성>

[0181] 상부의 트랜지스터(530)는 실리콘보다 밴드 갭이 넓은 반도체막에 채널이 형성되는 트랜지스터이다. 트랜지스터(530)는 절연막(524) 위에 형성된 도전층(525b)과, 도전층(525b) 위에 형성된 절연막(531) 및 절연막(532)과, 절연막(532) 위에 형성된 반도체막(533)과, 반도체막(533)에 접하여 형성된 소스 전극층(534a), 드레인 전극층(534b)과, 반도체막(533), 소스 전극층(534a), 드레인 전극층(534b) 위에 형성된 게이트 절연막(535)과, 게이트 절연막(535) 위에 형성된 게이트 전극층(536a)을 가진다. 또한, 도전층(525b)은 게이트 전극층으로서 기능한다.

[0182] 도 10에서는, 반도체막을 끼우고 상하에 2개의 게이트 전극층을 가지는 경우에 대하여 나타내고 있다. 한쪽의 게이트 전극층에는, 온 상태 또는 오프 상태를 제어하기 위한 신호가 인가되고, 다른 한쪽의 게이트 전극층은 전기적으로 절연하고 있는 플로팅 상태여도 좋고, 전위가 인가되고 있는 상태여도 좋다. 후자의 경우, 한쌍의 전극에 같은 높이의 전위가 인가되어도 좋고, 다른 한쪽의 게이트 전극층에만 접지 전위 등의 고정 전위가 인가되어도 좋다. 다른 한쪽의 게이트 전극층에 인가하는 전위의 높이를 제어함으로써, 트랜지스터의 문턱 전압을 제어할 수 있다.

[0183] 또, 절연막(532) 위에는 도전층(534c)이 형성되고, 도전층(534c) 위에는 게이트 절연막(535)이 형성되고, 게이트 절연막(535) 위에는 도전층(536b)이 형성되어 있다. 도전층(534c), 게이트 절연막(535), 도전층(536b)에 의해, 용량 소자(540)가 구성된다.

[0184] 또, 트랜지스터(530) 및 용량 소자(540)를 덮도록, 충간 절연막(537), 충간 절연막(538)이 형성되어 있다. 또, 충간 절연막(537) 및 충간 절연막(538)에 형성된 개구를 통하여, 소스 전극층(534a)과 배선(539)이 접속되어 있다.

[0185] 실리콘보다 넓은 밴드 갭을 가지는 반도체막으로서는 화합물 반도체가 있고, 예를 들면, 산화물 반도체, 질화물 반도체 등이 있다. 본 실시형태에서는, 반도체막(533)으로서 산화물 반도체를 이용하는 경우에 대하여 설명한다.

[0186] 트랜지스터(530)에 이용하는 산화물 반도체는, 전자 공여체(도너)가 되는 수분 또는 수소 등의 불순물이 저감되고, 또한 산소 결손이 저감됨으로써, 고순도화된 산화물 반도체(purified Oxide Semiconductor)인 것이 바람직하다. 고순도화된 산화물 반도체는, i형(진성 반도체) 또는 i형에 한없이 가깝다. 그 때문에, 상기 산화물 반도체를 이용한 트랜지스터는 오프 전류가 현저하게 작다는 특성을 가진다. 또, 산화물 반도체의 밴드 갭은 2 eV 이상, 바람직하게는 2.5 eV 이상, 보다 바람직하게는 3 eV 이상이다. 수분 또는 수소 등의 불순물 농도가 충분히 저감되고, 또한, 산소 결손이 저감되어, 고순도화된 산화물 반도체막을 이용함으로써, 트랜지스터의 오프 전류를 현저히 작게 할 수 있다.

[0187] 구체적으로, 고순도화된 산화물 반도체를 반도체막에 이용한 트랜지스터의 오프 전류가 작다는 것은, 여러가지 실험에 의해 증명할 수 있다. 예를 들면, 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 10 μm 의 소자라도, 소스 단자

와 드레인 단자간의 전압(드레인 전압)이 1 V에서 10 V의 범위에서, 오프 전류가 반도체 파라미터 애널라이저의 측정 한계 이하, 즉 1×10^{-13} A 이하라는 특성을 얻을 수 있다. 이 경우, 오프 전류를 트랜지스터의 채널 폭으로 제거한 수치에 상당하는 오프 전류 밀도는, $100 \text{ zA}/\mu\text{m}$ 이하인 것을 알 수 있다. 또, 용량 소자와 트랜지스터를 접속하고, 용량 소자에 유입 또는 용량 소자로부터 유출되는 전하를 이 트랜지스터로 제어하는 회로를 이용하여, 오프 전류 밀도의 측정을 행하였다. 이 측정에서는, 상기 트랜지스터에 고순도화된 산화물 반도체막을 채널 형성 영역에 이용하여, 용량 소자의 단위 시간 당의 전하량의 추이로부터 이 트랜지스터의 오프 전류 밀도를 측정했다. 그 결과, 트랜지스터의 소스 단자와 드레인 단자간의 전압이 3 V인 경우에, 수십 $\text{yA}/\mu\text{m}^2$ 라는, 더 낮은 오프 전류 밀도가 얻어진다는 것을 알 수 있었다. 따라서, 고순도화된 산화물 반도체막을 채널 형성 영역에 이용한 트랜지스터는, 실리콘을 이용한 트랜지스터에 비해 오프 전류가 현저하게 작다고 할 수 있다.

[0188] 또, 산화물 반도체로서는, 적어도 인듐(In) 혹은 아연(Zn)을 포함하는 것이 바람직하다. 또, 이 산화물 반도체를 이용한 트랜지스터의 전기적 특성의 편차를 줄이기 위한 스태빌라이저(stabilizer)로서 그것들에 더하여 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 지르코늄(Zr) 중 어느 일종 또는 복수종을 포함하는 것이 바람직하다.

[0189] 또, 다른 스태빌라이저(stabilizer)로서 란타노이드인, 랜탄(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유로퓸(Eu), 가돌리늄(Gd), 테르븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 에르븀(Er), 티타늄(Tm), 이테르븀(Yb), 루테늄(Lu) 중 어느 일종 또는 복수종을 포함하고 있어도 좋다.

[0190] 예를 들면, 산화물 반도체로서, 산화 인듐, 산화 주석, 산화 아연, 2원계 금속의 산화물인 In-Zn계 산화물, Sn-Zn계 산화물, Al-Zn계 산화물, Zn-Mg계 산화물, Sn-Mg계 산화물, In-Mg계 산화물, In-Ga계 산화물, 3원계 금속의 산화물인 In-Ga-Zn계 산화물(IGZO라고도 표기함), In-Al-Zn계 산화물, In-Sn-Zn계 산화물, Sn-Ga-Zn계 산화물, Al-Ga-Zn계 산화물, Sn-Al-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, 4원계 금속의 산화물인 In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, In-Hf-Al-Zn계 산화물을 이용할 수 있다.

[0191] 또한, 예를 들면, In-Ga-Zn계 산화물이란, In과 Ga와 Zn을 포함한 산화물이라는 의미이며, In과 Ga와 Zn의 비율은 묻지 않는다. 또, In과 Ga와 Zn 이외의 금속 원소를 포함하고 있어도 좋다. In-Ga-Zn계 산화물은 무전계(no electric field) 시의 저항이 충분히 높고 오프 전류를 충분히 작게 하는 것이 가능하고, 또, 이동도도 높다.

[0192] 예를 들면, $\text{In : Ga : Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) 혹은 $\text{In : Ga : Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$)의 원자비의 In-Ga-Zn계 산화물이나 그 조성의 근방의 산화물을 이용할 수 있다. 혹은, $\text{In : Sn : Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$), $\text{In : Sn : Zn} = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) 혹은 $\text{In : Sn : Zn} = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$)의 원자비의 In-Sn-Zn계 산화물이나 그 조성 근방의 산화물을 이용하면 좋다.

[0193] 예를 들면, In-Sn-Zn계 산화물에서는 비교적 용이하게 높은 이동도를 얻을 수 있다. 그러나, In-Ga-Zn계 산화물에서도, 별크내 결합 밀도를 져감함으로써 이동도를 높일 수 있다.

[0194] 산화물 반도체막은 예를 들면 비단결정을 가져도 좋다. 비단결정은, 예를 들면, CAAC(C Axis Aligned Crystal), 다결정, 미결정, 비정질부를 가진다. 비정질부는 미결정, CAAC보다 결합 준위 밀도가 높다. 또, 미결정은 CAAC보다 결합 준위 밀도가 높다. 또한, CAAC를 가지는 산화물 반도체를 CAAC-OS(C Axis Aligned Crystalline Oxide Semiconductor)라고 부른다.

[0195] 산화물 반도체층은, 예를 들어 CAAC-OS를 가져도 좋다. CAAC-OS는 예를 들어 c축 배향하고, a축 또는/및 b축은 거시적으로 보면 정렬되어 있지 않다.

[0196] 산화물 반도체막은 예를 들면 미결정을 가져도 좋다. 또한, 미결정을 가지는 산화물 반도체를 미결정 산화물 반도체라고 부른다. 미결정 산화물 반도체막은 예를 들면, 1 nm 이상 10 nm 미만의 사이즈의 미결정(나노 결정이라고도 함)을 막 중에 포함한다.

[0197] 산화물 반도체막은 예를 들면 비정질부를 가져도 좋다. 또한, 비정질부를 가지는 산화물 반도체를 비정질 산화물 반도체라고 부른다. 비정질 산화물 반도체막은 예를 들면, 원자 배열이 무질서하고, 결정 성분을 갖지 않는

다. 또는, 비정질 산화물 반도체막은 예를 들면, 완전한 비정질이며, 결정부를 갖지 않는다.

[0198] 또한, 산화물 반도체막이 CAAC-OS, 미결정 산화물 반도체, 비정질 산화물 반도체의 혼합막이어도 좋다. 혼합막은 예를 들면, 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역을 가진다. 또, 혼합막은 예를 들면, 비정질 산화물 반도체의 영역과, 미결정 산화물 반도체의 영역과, CAAC-OS의 영역과의 적층 구조를 가져도 좋다.

[0199] 또한, 산화물 반도체막은 예를 들면, 단결정을 가져도 좋다.

[0200] 산화물 반도체막은 복수의 결정부를 가지고, 이 결정부의 c축이 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향으로 정렬되어 있는 것이 바람직하다. 또한, 다른 결정부 간에서, 각각 a축 및 b축의 방향이 상이하여도 좋다. 그와 같은 산화물 반도체막의 일례로서는, CAAC-OS막이 있다.

[0201] CAAC-OS막에 포함되는 결정부는 한 변이 100 nm 미만의 입방체 내에 들어가는 크기인 것이 많다. 또, 투과형 전자 현미경(TEM : Transmission Electron Microscope)에 의한 관찰상에서는, CAAC-OS막에 포함되는 결정부와 결정부와의 경계는 명확하지 않다. 또, TEM에 의해 CAAC-OS막에는 명확한 입계(그레인 바운더리라고도 함)는 확인할 수 없다. 따라서, CAAC-OS막은 입계에 기인하는 전자 이동도의 저하가 억제된다.

[0202] CAAC-OS막에 포함되는 결정부는, 예를 들면, c축이 CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬되고, 또한 ab면에 수직인 방향에서 볼 때 금속 원자가 삼각형상 또는 육각형상으로 배열되고, c축에 수직인 방향에서 볼 때 금속 원자가 층상(層狀) 또는 금속 원자와 산소 원자가 층상으로 배열되어 있다. 또한, 다른 결정부간에서, 각각 a축 및 b축의 방향이 상이하여도 좋다. 본 명세서에서, 단지 수직이라고 기재하는 경우, 80° 이상 100° 이하, 바람직하게는 85° 이상 95° 이하의 범위도 포함되는 것으로 한다. 또, 단지 평행이라고 기재하는 경우, -10° 이상 10° 이하, 바람직하게는 -5° 이상 5° 이하의 범위도 포함되는 것으로 한다.

[0203] 또한, CAAC-OS막에 있어서, 결정부의 분포가 일정하지 않아도 좋다. 예를 들면, CAAC-OS막의 형성 과정에서, 산화물 반도체막의 표면측으로부터 결정 성장시키는 경우, 피형성면의 근방에 대하여 표면의 근방에서는 결정부가 차지하는 비율이 높아지는 일이 있다. 또, CAAC-OS막에 불순물을 첨가함으로써, 이 불순물 첨가 영역에 있어서 결정부의 결정성이 저하되는 일도 있다.

[0204] CAAC-OS막에 포함되는 결정부의 c축은, CAAC-OS막의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬되기 때문에, CAAC-OS막의 형상(피형성면의 단면 형상 또는 표면의 단면 형상)에 따라서는 서로 다른 방향을 향하는 경우가 있다. 또, 결정부는 성막했을 때, 또는 성막 후에 가열 처리 등의 결정화 처리를 행했을 때에 형성된다. 따라서, 결정부의 c축은, CAAC-OS막이 형성되었을 때의 피형성면의 법선 벡터 또는 표면의 법선 벡터에 평행한 방향이 되도록 정렬된다.

[0205] CAAC-OS막을 이용한 트랜지스터는 가시광선이나 자외광의 조사에 의한 전기 특성의 변동이 작다. 따라서, 이 트랜지스터는 신뢰성이 높다.

[0206] 또, 트랜지스터의 문턱 전압의 시프트량은 한쪽의 게이트 절연막 및 다른 한쪽의 게이트 절연막의 재료가 같은 경우에는, 막두께비(比)에 따라 제어하는 것이 가능하다. 한쪽의 게이트 절연막 및 다른 한쪽의 게이트 절연막의 막두께비가 1 : 10의 경우는, 막두께비가 1 : 1인 경우와 비교하여, 트랜지스터의 문턱 전압의 시프트량이 커지는 경향이 있다.

[0207] 반도체막(533)은 성막 전, 성막 시, 성막 후에, 수소가 포함되지 않게 하는 것이 바람직하다. 예를 들면, 반도체막(533)의 성막 시에, 수소가 극력 포함되지 않도록 성막하고, 반도체막(533)의 성막 후에 탈수화 또는 탈수소화를 위한 가열 처리를 행하는 것이 바람직하다. 또, 반도체막(533)과 접하는 절연막의 성막 시에, 수소가 극력 포함되지 않게 성막하고, 절연막의 성막 후에 탈수화 또는 탈수소화를 위한 가열 처리를 행하는 것이 바람직하다.

[0208] 또한, 절연막(531)으로서 수소가 투과하는 것을 방지하는 막을 이용함으로써, 하부의 트랜지스터나, 절연막(524), 층간 절연막(522) 등에 포함되는 수소가 반도체막(533)에 도달하는 것을 방지할 수 있다. 수소가 투과하는 것을 방지하는 막으로서 절화 실리콘막, 산화 절화 실리콘막, 산화 알루미늄막, 산화 절화 알루미늄막 등을 이용하는 것이 바람직하다. 또, 층간 절연막(537)으로서 수소가 투과하는 것을 방지하는 막을 이용함으로써, 층간 절연막(538)에 포함되는 수소가 반도체막(533)에 도달하는 것을 방지할 수 있다.

[0209] 또, 반도체막(533)에 포함되는 산소 결손을 저감시키기 위해, 반도체막(533)에 산소를 공급하는 처리를 행하는

것이 바람직하다. 예를 들면, 반도체막(533)과 산소가 과잉으로 포함되는 절연막을 접하여 형성하고, 가열 처리를 행함으로써, 산소가 과잉으로 포함되는 절연막으로부터 반도체막(533)에, 산소를 공급할 수 있다. 반도체막(533)에 산소가 공급됨으로써, 반도체막(533)에 포함되는 산소 결손을 저감할 수 있다. 또, 반도체막(533)에 탈수화 또는 탈수소화 처리를 행한 후, 반도체막(533)에 산소를 첨가하는 처리를 행하여도 좋다. 산소를 첨가하는 처리로서는, 예를 들면, 이온 주입법, 이온 도핑법, 플라즈마 처리 등에 의해, 산소 라디칼, 오존, 산소 원자, 산소 이온 등을 반도체막(533)에 첨가하여 행한다.

[0210] 이와 같이, 반도체막(533)에서, 불순물이나 산소 결손이 저감됨으로써, 캐리어의 발생을 억제할 수 있다. 캐리어 밀도가 높아지는 것을 억제함으로써, 캐리어 밀도에 기인하여, 트랜지스터의 문턱 전압이 마이너스 방향으로 시프트되는 것을 억제할 수 있다. 따라서, 트랜지스터의 다른 한쪽의 게이트 전극에 인가하는 전위에 의해, 트랜지스터의 문턱 전압을 용이하게 제어하는 것이 가능하게 된다.

[0211] 본 실시형태는, 다른 실시형태와 적절히 조합하여 적용할 수 있다.

부호의 설명

[0212] 101 : 기준 전압 생성 회로

102 : 분압 회로

103 : 스위치

104 : 연산 증폭기

105 : 바이어스 회로

105a : 바이어스 회로

105b : 바이어스 회로

106 : 보유 회로

107 : 보유 회로

108 : 보유 회로

109 : 바이어스 회로

111 : 스위치

112 : 용량 소자

113 : 스위치

114 : 용량 소자

115 : 트랜지스터

116 : 트랜지스터

117 : 트랜지스터

118 : 트랜지스터

119 : 스위치

120 : 용량 소자

121 : 트랜지스터

122 : 트랜지스터

131 : 트랜지스터

132 : 트랜지스터

133 : 트랜지스터

134 : 트랜지스터

135 : 저항 소자

136 : 트랜지스터

137 : 저항 소자

138 : 트랜지스터

139 : 트랜지스터

140 : 트랜지스터

141 : 트랜지스터

142 : 트랜지스터

143 : 트랜지스터

144 : 용량 소자

145 : 트랜지스터

151 : 트랜지스터

156 : 트랜지스터

162 : 트랜지스터

163 : 저항 소자

164 : 용량 소자

165 : 트랜지스터

166 : 트랜지스터

167 : 트랜지스터

168 : 트랜지스터

169 : 트랜지스터

171 : 보유 회로

172 : 트랜지스터

173 : 저항 소자

174 : 저항 소자

175 : 보유 회로

176 : 스위치

177 : 저항 소자

178 : 트랜지스터

179 : 트랜지스터

180 : 스위치

181 : 용량 소자

182 : 스위치

183 : 용량 소자

190 : 기준 전압 생성 회로

300 : 전원 제어 장치

301 : 메인 스위치

302 : 서브 스위치

303 : 데이터 처리 장치

304 : 정류 회로

305 : AC/DC 컨버터

306 : DC/DC 컨버터

307 : 용량 소자

308 : 불휘발성 메모리

309 : 휘발성 기억부

310 : 불휘발성 기억부

311 : 센서

500 : 기관

501 : 채널 형성 영역

502 : 저농도 불순물 영역

503 : 고농도 불순물 영역

504a : 게이트 절연막

504b : 게이트 절연막

505a : 게이트 전극층

505b : 게이트 전극층

506a : 소스 전극층

506b : 드레인 전극층

506c : 소스 전극층

506d : 드레인 전극층

507 : 금속간 화합물 영역

508a : 사이드 월 절연막

508b : 사이드 월 절연막

509 : 소자 분리 절연막

510 : 트랜지스터

511 : 채널 형성 영역

512 : 저농도 불순물 영역

513 : 고농도 불순물 영역

517 : 금속간 화합물 영역

520 : 트랜지스터

521 : 층간 절연막

522 : 층간 절연막

523 : 배선

524 : 절연막

525a : 도전층

525b : 도전층

526 : 절연막

530 : 트랜지스터

531 : 절연막

532 : 절연막

533 : 반도체막

534a : 소스 전극층

534b : 드레인 전극층

534c : 도전층

535 : 게이트 절연막

536a : 게이트 전극층

536b : 도전층

537 : 층간 절연막

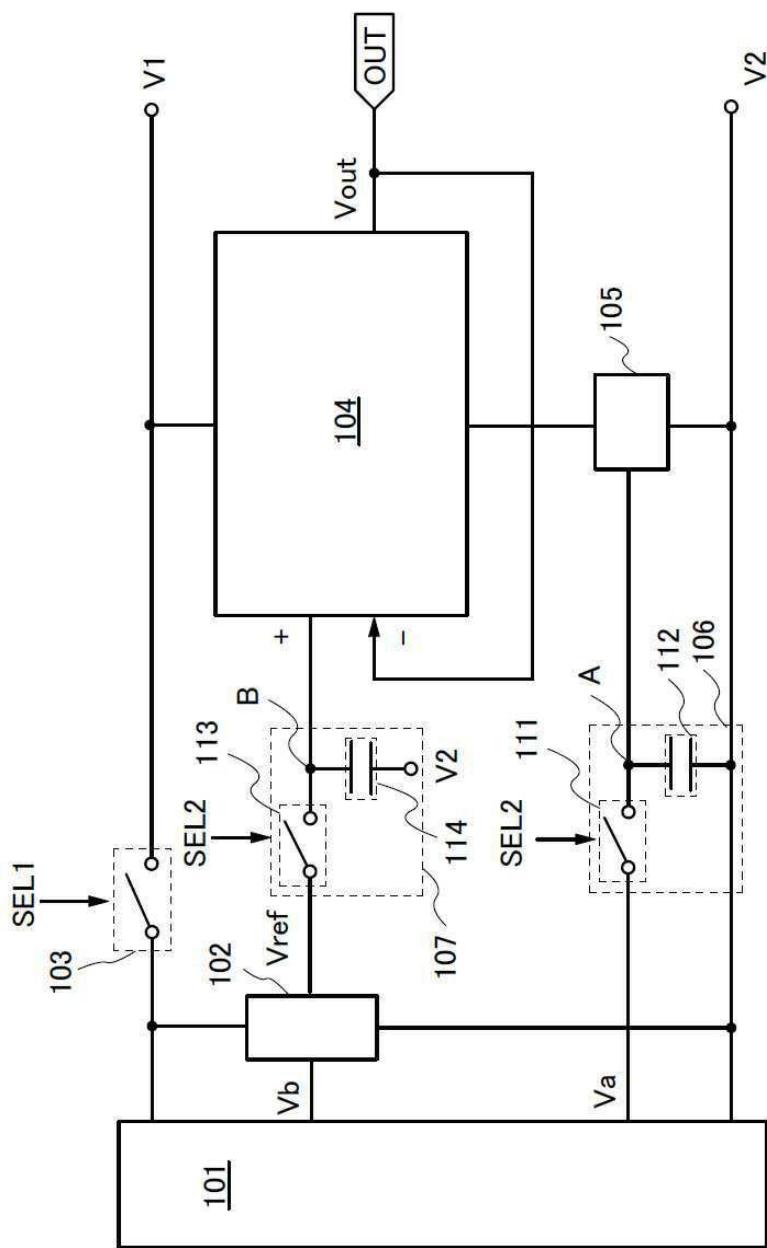
538 : 층간 절연막

539 : 배선

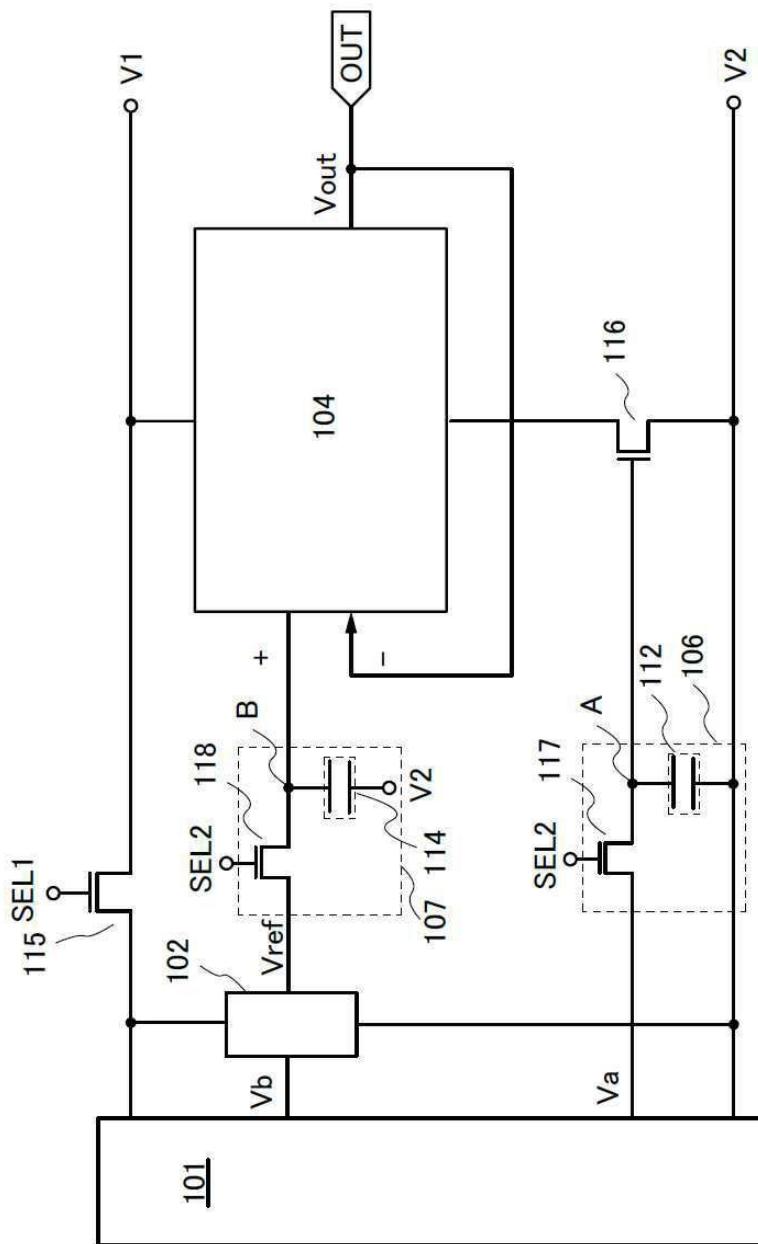
540 : 용량 소자

도면

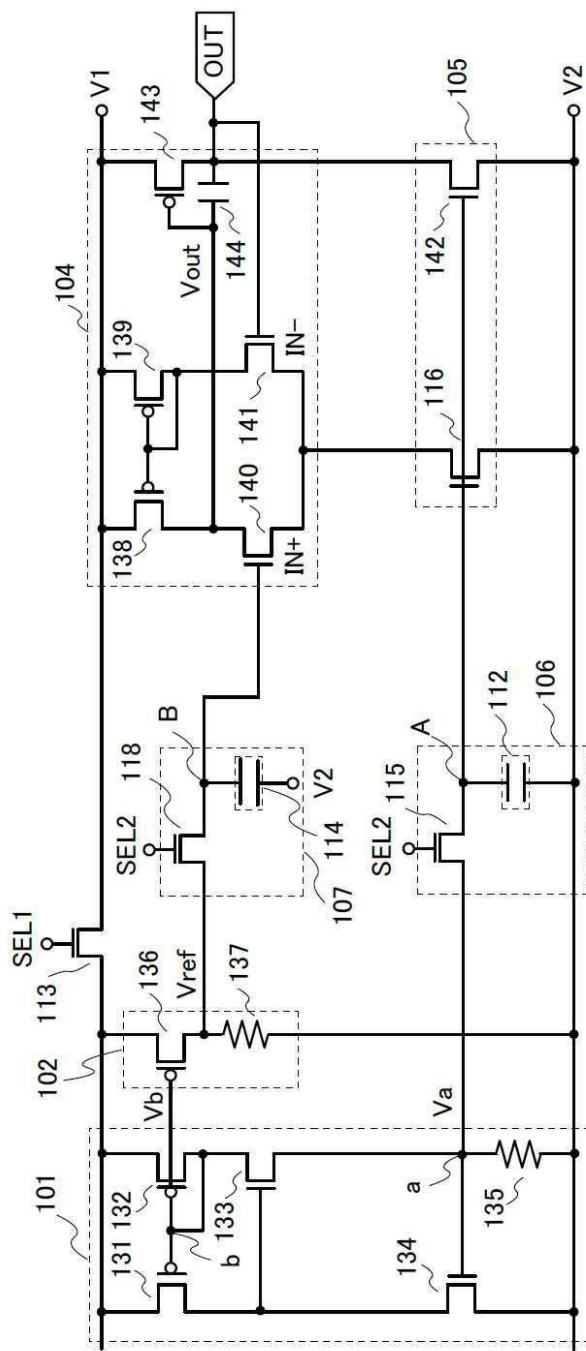
도면1



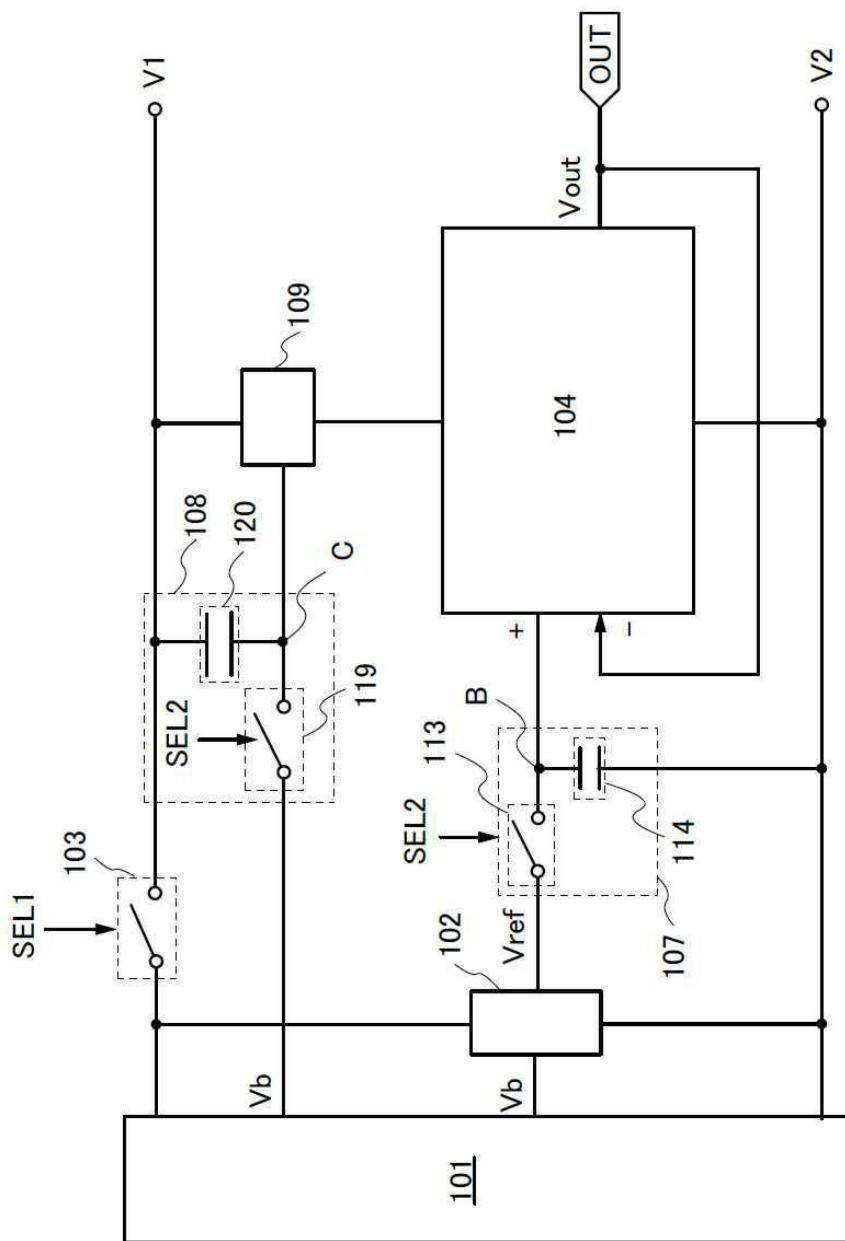
도면2



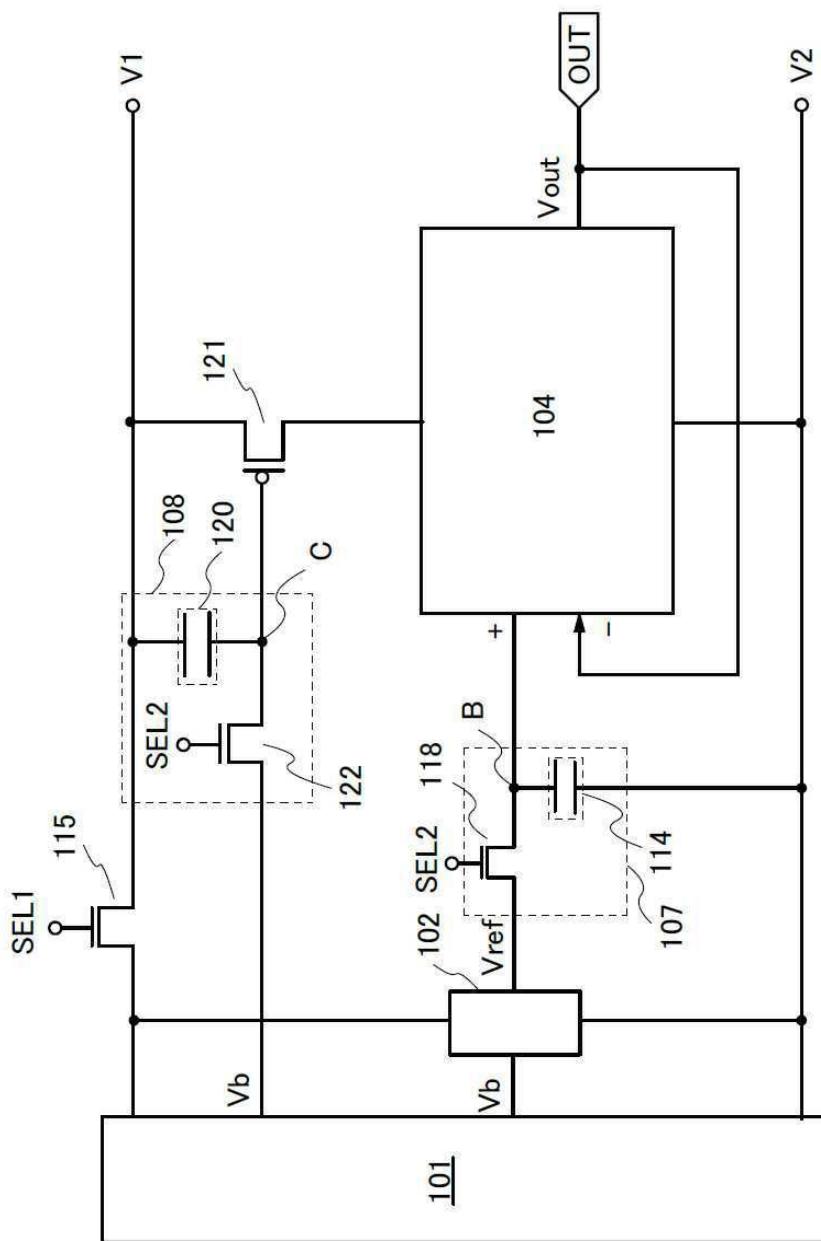
도면3



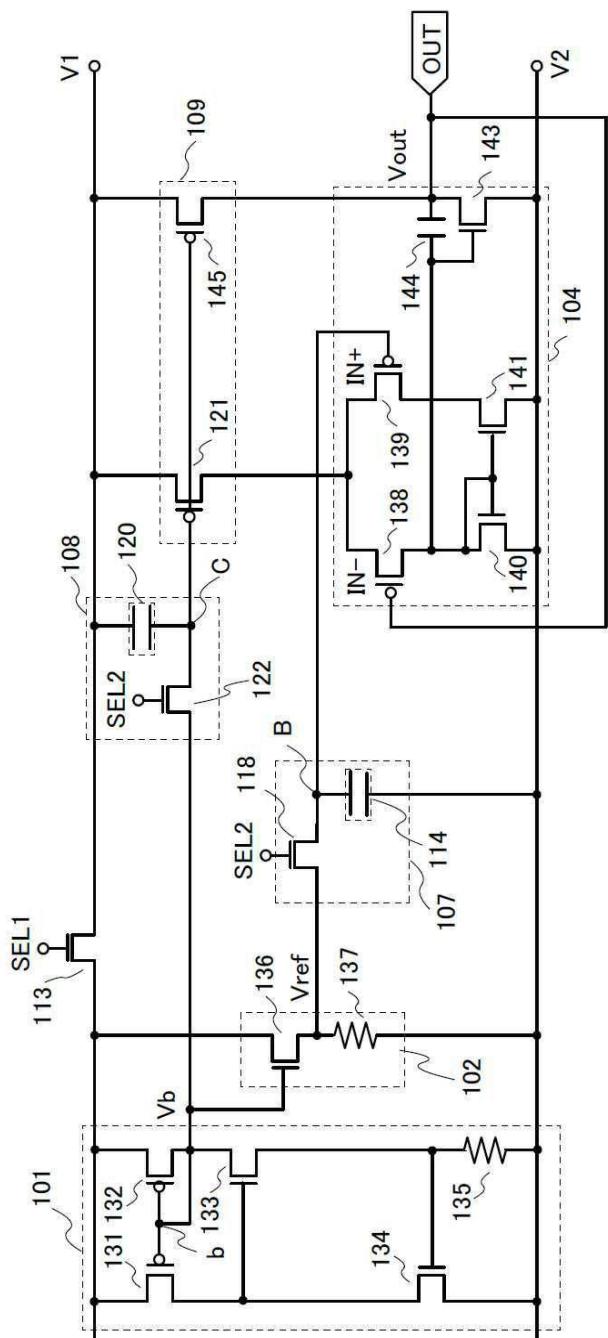
도면4



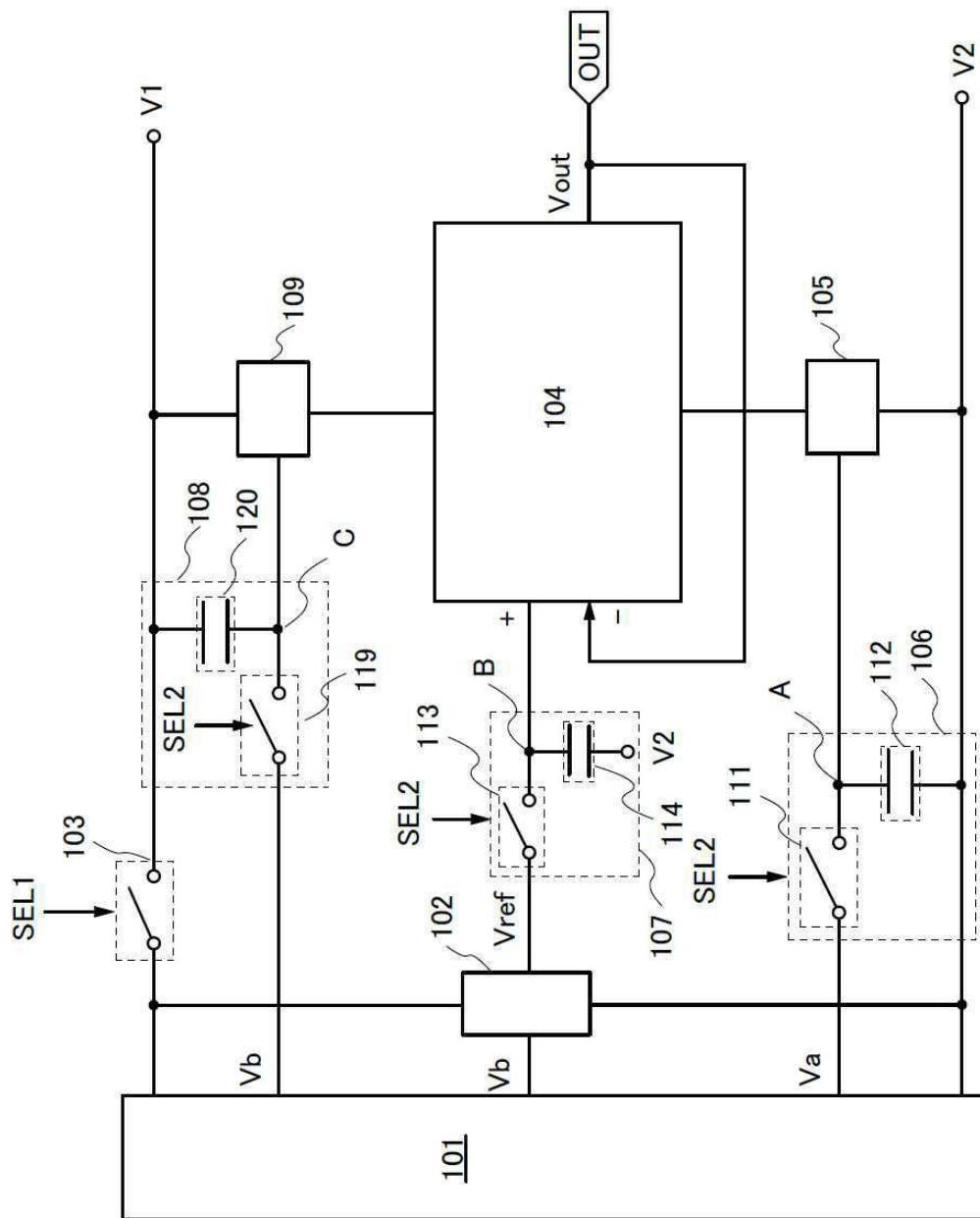
도면5



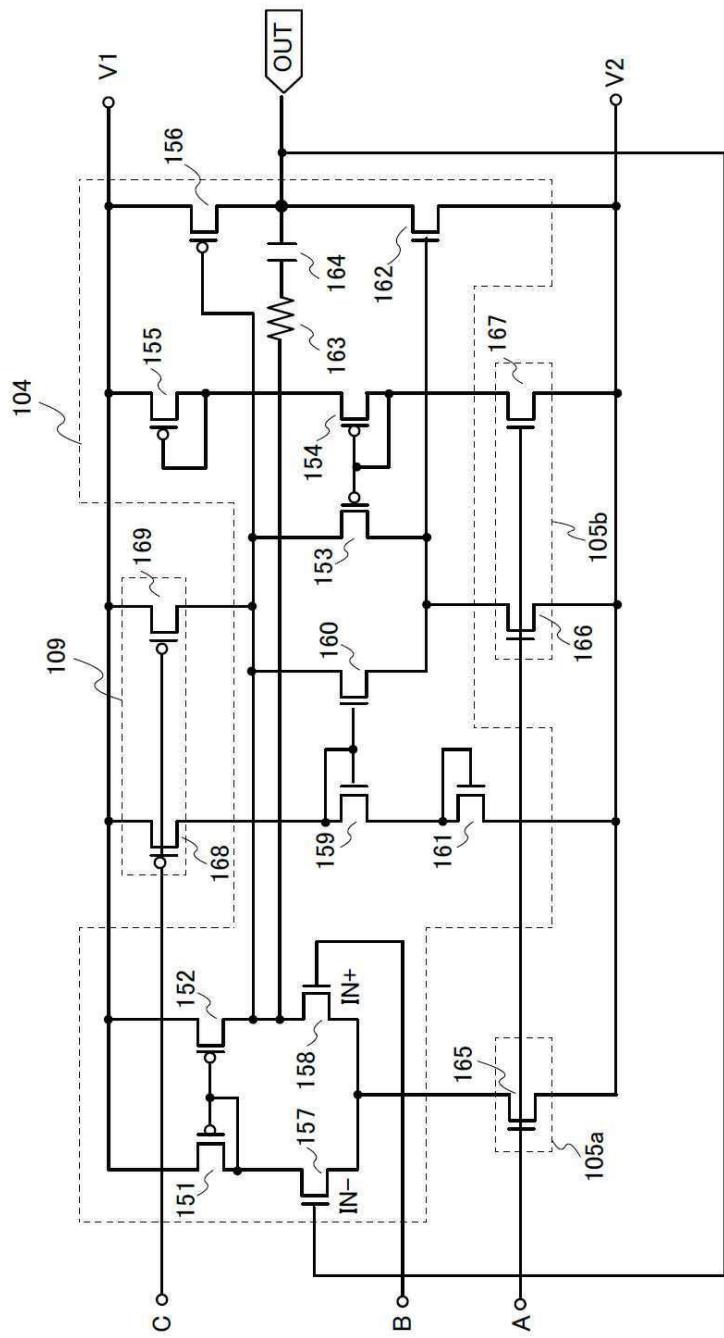
도면6



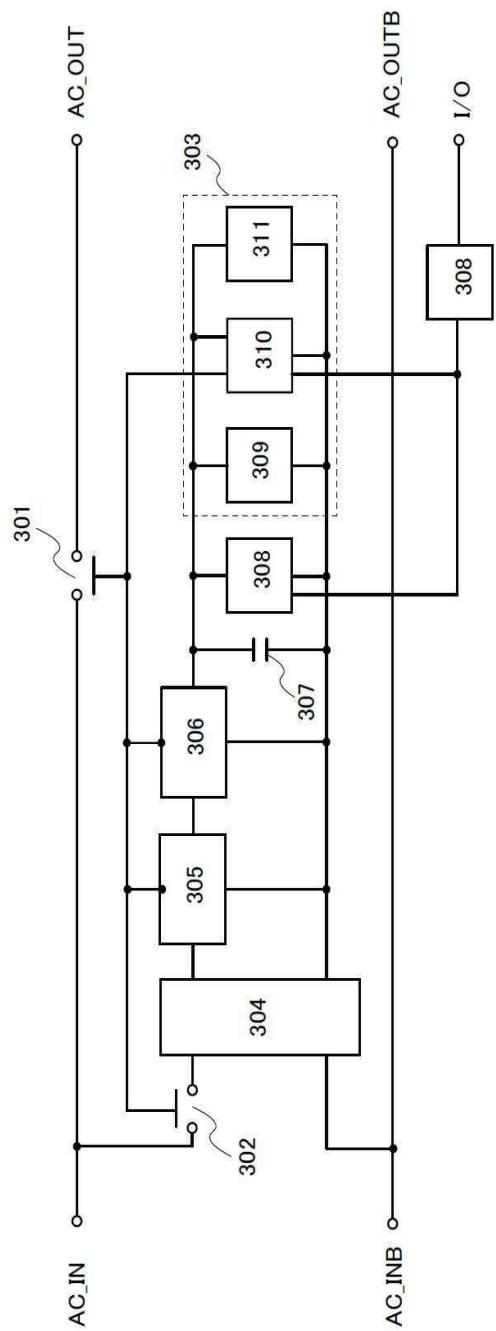
도면7



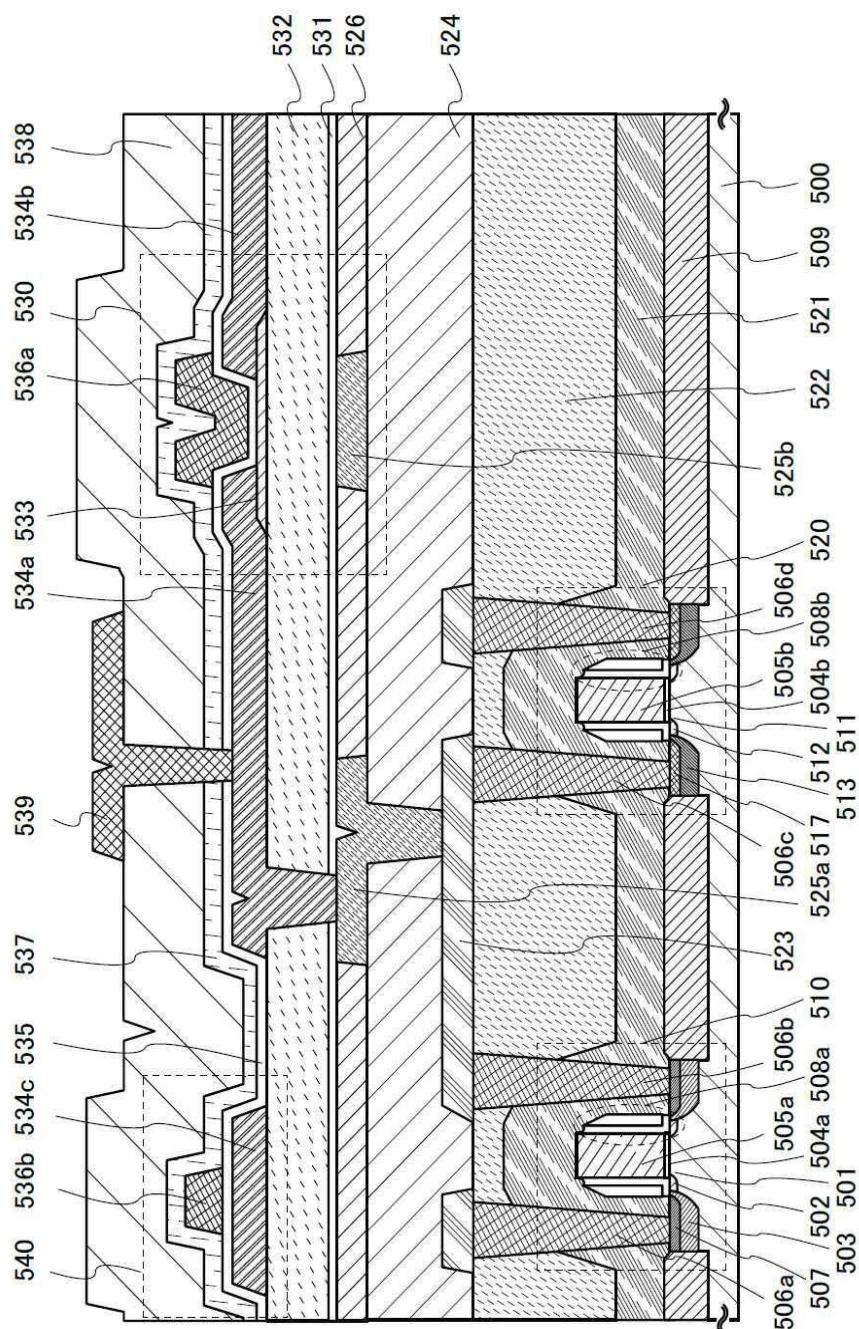
도면8



도면9



도면10



도면11

