

申請日期	90 年 3 月 30 日
案 號	90107901
類 別	

A4
C4

(以上各欄由本局填註)

發 明 專 利 說 明 書		
一、發明 名稱	中 文	
	英 文	
二、發明 人	姓 名	(4) 渡邊一雄 (5) 羅伯特·韓蕭 Henshaw, Robert Astle
	國 籍	(4) 日本 (5) 英國 (4) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所總知的所有權本部內
	住、居所	(5) 英國洛斯頓赫特福夏梅爾本劍橋路梅爾本科學 園區 c/o TTPCom Limited Melbourn Science Park Cambridge Road Melbourn, Royston Hertfordshire, SG8 6EE United
三、申請人	姓 名 (名稱)	
	國 籍	
	住、居所 (事務所)	
	代 表 人 姓 名	

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權歐洲 2000 年 12 月 28 日 00311746.2 ☒無主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

【發明所屬之技術領域】

本發明係關於適用在將 I F (中間頻率) 信號頻率轉換為 R F (無線頻率) 信號之鎖相迴圈電路之收斂的高速化有效之技術。

【習知技術】

被使用於移動體通訊終端之發訊機存在有幾種之方式。最爲一般者係以調制器將基頻信號轉換爲 I F (中間頻率) 信號，將其以混頻器轉換爲由天線應發訊頻率之混頻器方式。此外，存在代替該方式之混頻器，使用鎖相迴圈電路以做頻率轉換之 P L L 方式。P L L 方式雖有只可處理定振幅調制之缺點，但是具有與混頻器方式相比可以大幅降低發訊雜訊之特長，主要被使用於 G S M (Global System for Mobile communications) 系統之無線通訊終端機器。其動作原理之詳細例如被記載於：IEEE journal of solid-state circuits Vol.32, No.12, pp.2089-2096, "A2.7-V GSM RF Transceiver IC"。

圖 1 2 係顯示該 P L L 方式被使用之鎖相迴圈電路之一例圖。該鎖相迴圈電路係由：電流輸出型相位比較器 1 0 0，以及定電流源 1 0 1，以及混頻器 1 0 5，以及低通濾波器 (L P F) 1 0 3，以及電壓控制振盪器 1 0 4，以及開關 (S W) 1 0 2 所構成。在以下之說明中，V C O 1 0 4 假定爲具有正感度者。L P F 1 0 3 一般係使用由圖 1 2 所示之被動元件所形成之 2 次 L P F。

五、發明說明(2)

又，控制信號 LOGIC 1 被給予 SW 1 0 2。

LOGIC 1 為 0 之情形，SW 1 0 2 成為開放狀態，

LOGIC 1 為 1 之情形，SW 1 0 2 係短路於接地。

電流輸出型相位比較器 1 0 0 不是相位頻率比較器而係使用可以高速動作之混合型之相位比較器。藉由此，可以提升發訊機之頻率構成的自由度。相位比較器的缺點為：2 個之輸入的頻率差大之情形，輸出電壓由於 LPF 1 0 3 而被抑壓，不傳達於 VCO 1 0 4。即，由於在收斂初期階段之 VCO 1 0 4 之輸出頻率，該鎖相迴圈電路無法收斂。為了解除此缺點，定電流源 1 0 1 與 SW 1 0 2 被接續著。在該鎖相迴圈電路收斂前，一定使 SW 1 0 2 接續於接地，使 VCO 1 0 4 之輸入電位設定為接地電位。之後，開放 SW 1 0 2，開始收斂。電流輸出型相位比較器 1 0 0 之輸出即使不傳達於 VCO 1 0 4 之情形，藉由定電流源 1 0 1 充電 LPF 1 0 3 之電容，VCO 1 0 4 之輸入電位上升。藉由此，可以使電流輸出型相位比較器 1 0 0 之 2 個輸入頻率接近。該輸入頻率如十分接近，電流輸出型相位比較器 1 0 0 之輸出傳達於 VCO 1 0 4，收斂成為可能。

GSM 系統係使用 TDMA (Time Division Multiple Access) 方式。1 訊框為 $1\ 20 / 26\text{ ms}$ ，由 $15 / 26\text{ ms}$ 之 8 個的時間槽構成。使用 1 槽於接收，其它之 1 槽於發訊。圖 1 3 係顯示終端之發收訊定時 (timing) 之一例。在此例中，將時間槽 1 分配於接收，時間槽 4 分

五、發明說明(3)

配於發訊。發收訊間隔為2個之時間槽。但是，考慮由終端對基地局之傳播延遲，發訊提早進行最大 $3024/13\mu s$ 之定時提早份。

利用前述之習知的鎖相迴圈電路與圖14所示之定時圖說明前述PLL方式依循前述之GSM之TDMA動作而如何地動作。為了說明之方便上，設電流輸出型相位比較器100之輸入的中心頻率為 $270MHz$ ，設被輸入混頻器105之局發信號LO之頻率為 $1180MHz$ 。又，VCO104之輸入感度為正，設輸入電位0V時之輸出頻率為 $850MHz$ 。終端不是發訊定時之情形，1被輸入LOGIC1，電流輸出型相位比較器100之輸出成為0V。藉由此，被儲存在LPF103之電容之電荷被放電，VCO104之輸入電位也成為0V。因此，VCO104之輸出頻率成為 $850MHz$ 。一成為時刻 t_1 ，0被輸入LOGIC1，SW102成為開放狀態。此時之混頻器105之輸出頻率成為 $850MHz$ 與 $1180MHz$ 之和與差，即成為 $2030MHz$ 與 $330MHz$ 。和成分以LPF103被抑壓，無助於收斂之故，此處只考慮差成分。因此，電流輸出型相位比較器100之輸出頻率成為 $330-270=60MHz$ 。使用於GSM系統之情形，一般該鎖相迴圈電路之頻道被設計為約 $1MHz$ 之故，混頻器105之輸出信號以LPF103被充分壓抑，無助於對前述電容器之電荷儲存。即，成為反饋切斷狀態。但是，藉由由定電源源

五、發明說明(4)

1 0 1 來之定電流，電荷被儲存在該電容器，
V C O 1 0 4 之輸入電位上升。其結果為：V C O 1 0 4
之輸出頻率由 8 5 0 M H z 上升。V C O 1 0 4 之輸出頻
率例如考慮上升至 9 0 8 M H z 之情形。此時，電流輸出
型相位比較器 1 0 0 之輸出頻率成為 2 M H z。因此，
L P F 1 0 3 之壓抑度減少，可以有助於對前述電容器之
電荷儲存。即，反饋回復。由於反饋回復，該鎖相迴圈電
路最終收斂，V C O 1 0 4 之輸出頻率成為 1 1 8 0 -
2 7 0 = 9 1 0 M H z。收斂必須比發訊期間之開始時刻
t 2 還早完了。在發訊期間終了之時刻，1 被輸入
L O G I C 1，再度使 V C O 1 0 4 之輸入電位為 0 V，
準備下一發訊期間。

圖 1 5 係顯示上述收斂過程之 V C O 1 0 4 之輸入電
位之變化之一例。至時刻 t 1 為止，該輸入電位為 0 V。
在時刻 t 1，S W 1 0 2 成為開放，該輸入電位直線地開
始上升。該上升之斜度主要由：定電流源 1 0 1 之輸出電
流 I 1，以及 L P F 1 0 3 之總電容 C 所決定，以 $I 1 / C$
所賦予。之後，回復反饋，完了收斂。如設
V C O 1 0 4 之感度為 K_v 、該輸入電位 0 V 時之
V C O 1 0 4 的輸出頻率為 f_0 、收斂時之 V C O 1 0 4
的輸出頻率為 f_1 ，收斂時之該輸入電位 V 1 由數式 1 所
給予。

$$V1=(f1-f0)/K_v \cdots (\text{數式 } 1)$$

五、發明說明 (5)

該鎖相迴圈電路之收斂時間 t_s 可以藉由該輸出電流 I_1 ，該總電容 C 被充電為 V_1 之時間近似之， t_s 以數式 2 所給予。

$$T_s = (f_1 - f_0) / K_v \cdot C / I_1 \quad \cdots (\text{數式 } 2)$$

因此， f_1 愈高，收斂時間愈長。例如，在 GSM 系統中，收斂於發訊頻率之最高頻率 915 MHz 時，收斂時間最長。

近年來，高速資料通訊服務之要求急速提高。伴隨此，於 GSM 系統中，改善習知之資料率的方式有被提案幾個，進行朝向實用之檢討。其一為 GPRS (General Packet Radio Service)。GPRS 如圖 16 所示般地，係藉將複數的時間槽分配於發訊或接收，以提高資料率之方式。如比較圖 13 與圖 16 可以明白，在 GPRS 中，前述鎖相迴圈電路可以使用於收斂之時間與習知的 GSM 相比，約成為一半。因此，需要縮短前述鎖相迴圈電路之收斂時間。

【發明欲解決之課題】

如前述般地，習知的鎖相迴圈電路之收斂時間 t_s 由數式 2 所給予。在縮短 t_s 上，需要變更被包含在數式 2 之參數。一般 VCO 104 以模組構件而被供給之故，其

五、發明說明(6)

之特性值 f_0 與 K_v 係固定值。又， I_1 / C 由於以下之 1) 2) 所示之限制，要自由變更有困難。1) 電流輸出型相位比較器 100 之輸出電流與 C 之比係藉由系統參數之調制頻帶寬幅或容許雜訊量而決定。2) 藉由該輸出電流與 I_1 之比，決定該鎖相迴圈電路之收斂安定性。即，在習知的鎖相迴圈電路之情形，一面滿足前述之限制，一面縮短收斂時間有困難。

因此，本發明之目的在於：一面滿足前述之限制，一面可以縮短習知的鎖相迴圈電路的最大收斂時間。

本發明之前述以及其它目的與新的特徵，由本詳細說明書之記述以及所附圖面理應可以變清楚。

【解決課題用之手段】

在本申請案所揭示之發明中，如簡單說明代表性者，則如下述。

爲了達成上述目的，本發明之鎖相迴圈電路係一種至少包含：電流輸出型相位比較器，以及低通濾波器，以及 VCO 之鎖相迴圈電路，在收斂開始前，設該 VCO 之輸入電位爲 $0V$ ，在該鎖相迴圈電路之收斂頻率比設定頻率低之情形，使該輸入電位由 $0V$ 至收斂電位爲止，藉由 PLL 反饋迴圈使之收斂，在該收斂頻率比該設定頻率高之情形，首先，不使用該 PLL 反饋迴圈，使該輸入電位由 $0V$ 上升至電源電壓爲止，之後，藉由該 PLL 反饋迴圈使該輸入電位由該電源電壓至收斂電位爲止地收斂。

五、發明說明(7)

又，作為達成上述目的用之其它的動作，本發明之鎖相迴圈電路係一種至少包含：電流輸出型相位比較器，以及低通濾波器，以及VCO之鎖相迴圈電路，在收斂開始前，設該VCO之輸入電位為電源電位，在該鎖相迴圈電路之收斂頻率比設定頻率高之情形，藉由PLL反饋迴圈使該輸入電位由該電源電壓至收斂電位為止地收斂，在該收斂頻率比設定頻率低之情形，首先，不使用該PLL反饋迴圈，使該輸入電位由該電源電壓降低至0V為止，之後，藉由該PLL反饋迴圈使該輸入電位由0V至收斂電位為止地收斂。

又，為了達成上述目的，本發明之鎖相迴圈電路的構成係具備：輸出比例於第1輸入信號與第2輸入信號之相位差之信號的電流輸出型相位比較器，以及被接續於該電流輸出型相位比較器之輸出端之LPF，以及被接續於該LPF之輸出端之VCO，以及被接續於該VCO之輸出端，輸出第2信號之混頻器，以及於該電流輸出型相位比較器之輸出端輸出定電流之第1與第2定電流源，以及由該電流輸出型相位比較器之輸出端吸收定電流之第3定電流源，以及被接續於該電流輸出型相位比較器與接地之間之第1開關，具有控制該第1、第2、第3定電流源之導通、關閉與該第1開關之開放、短路之手段。

又，作為達成上述目的用之其它構成，係於該本發明之鎖相迴圈電路中，將該第2定電流源置換為被接續於該電流輸出型相位比較器之輸出端與電源電位之間之第2開

五、發明說明(8)

關，追加控制該第2開關之導通、關閉之手段。

又，作為達成上述目的用之其它的構成，係於該本發明之鎖相迴圈電路中，將該第1與第2定電流源置換為可變電流源，追加控制該可變電流源之導通、關閉與輸出電流值之手段。

又，本發明之無線通訊終端機器係具有：基頻電路，以及第1基頻信號由該基頻電路被輸入之調制器，以及被接續於該調制器之輸出的鎖相迴圈電路，以及被接續於該鎖相迴圈電路之輸出的電力放大器，以及於該基頻電路輸出第2基頻信號之接收電路，以及天線，以及該天線與該接收電路之輸入與該電力放大器之輸出被接續之天線開關，該基頻電路輸出無線通訊終端機器之動作的控制信號之無線通訊終端機器，其特徵為：該鎖相迴圈電路係由前述記載之鎖相迴圈電路所形成。又，該選擇器為天線開關或收發自動轉換開關(duplexer)。

【發明之實施形態】

以下，利用圖面詳細說明本發明之實施形態。又，於說明實施形態用之全圖中，對同一構件賦予同一標號，省略其之重複說明。進而，關於與在習知技術說明之內容重複部份的說明也省略。

圖1係顯示本發明之鎖相迴圈電路之第1實施形態之構成圖。

本發明之鎖相迴圈電路係由：電流輸出型相位比較器

五、發明說明(9)

1 0 0，以及定電流源 1 0 1、2 0 0、2 0 1，以及混頻器 1 0 5，以及 L P F 1 0 3，以及 V C O 1 0 4，以及 S E 1 0 2 所構成。定電流源 1 0 1 與 2 0 0 之輸出電流為相同之值 ($I_1 = I_2$)。又，定電流源 2 0 1 之輸出電流 I_3 比定電流源 1 0 1 與 2 0 0 還大，例如，5 0 倍之值。於以下之說明中，假定 V C O 1 0 4 為具有正感度者。控制信號 L O G I C 1 被給予 S W 1 0 2。在 L O G I C 1 為 0 之情形，S W 1 0 2 成為開放狀態，在 L O G I C 1 為 1 之情形，S W 1 0 2 成為短路於接地。又，控制信號 L O G I C 2、3、4 分別被給予定電流源 1 0 1、2 0 0、2 0 1。在 L O G I C 2、3、4 為 0 之情形，L O G I C 被輸入之定電源流分別成為關閉，在 1 之情形，分別成為導通。

電流輸出型相位比較器 1 0 0、混頻器 1 0 5、S W 1 0 2、L P F 1 0 3、V C O 1 0 4 之動作與前述之習知的鎖相迴圈電路相同。

該鎖相迴圈電路有 2 種動作模式。利用圖 2、3、4、5 以及 6 說明該動作模式之一例。圖 2 係不使用定電流源 2 0 0 與 2 0 1 之動作模式 1 之定時圖。在非發訊期間的時刻 t_4 中，使 L O G I C 1 由 1 成為 0，使 S W 1 0 2 由短路狀態成為開放狀態。又，使 L O G I C 2 由 0 成為 1，使定電流源 1 0 1 由關閉成為導通。L O G I C 3 與 4 經常為 0，使定電流源 2 0 0 與 2 0 1 經常為關閉。動作模式 1 之該鎖相迴圈電路的動作

五、發明說明(10)

與前述之習知的鎖相迴圈電路的動作相同，收斂頻率愈高，收斂時間愈長。發訊期間如終了，LOGIC 1 由 0 成為 1，使 SW 1 0 2 由開放狀態成為短路狀態。又，使 LOGIC 2 由 1 成為 0，使定電流源 1 0 1 由導通成為關閉，準備下一次之發訊期間。

圖 3 係顯示動作模式 1 之 VCO 1 0 4 之輸入電位的變化之一例。收斂過程與習知之鎖相迴圈電路相同。

圖 4 係不使用定電源源 1 0 1 之動作模式 2 之定時圖。使 LOGIC 2 經常為 0，使定電源源 1 0 1 經常為關閉。在非發訊期間之時刻 t 5 中，使 LOGIC 1 由 1 成為 0，使 SW 1 0 2 由短路狀態成為開放狀態。又，使 LOGIC 3 由 0 成為 1，使定電流源 2 0 1 由關閉成為導通。藉由定電流源 2 0 1 之輸出大電流，LPF 1 0 3 之電容被高速充電，VCO 1 0 4 之輸入電位急速上升至最大電位為止。該最大電位藉由定電流源 2 0 1 之電源電壓所決定。之後，在時刻 t 6 中，使 LOGIC 3 由 1 成為 0，使定電流源 2 0 1 由導通成為關閉。又，使 LOGIC 4 由 0 成為 1，使定電流源 2 0 0 由關閉成為導通。藉由定電流源 2 0 0，被儲存在 LPF 1 0 3 之電荷被放電，VCO 1 0 4 之輸入電位由該最大電位下降，最終收斂於收斂頻率。在此情形，收斂頻率愈高，收斂時間變得愈短。發訊期間一終了，LOGIC 1 由 1 成為 1，使 SW 1 0 2 由開放狀態成為短路狀態。又，使 LOGIC 4 由 1 成為 0，使定電流源 2 0 0 由導通成為

五、發明說明 (11)

關閉，準備下一次之發訊期間。

圖 5 係顯示動作模式 2 之 V C O 1 0 4 的輸入電位的變化之一例。至時刻 t 5 為止，該輸入電位為 0 V。在時刻 t 5，S W 1 0 2 成為開放，該輸入電位開始直線地上升。該上升之斜度主要由：定電流源 2 0 1 之輸出電流 I 3 以及 L P F 1 0 3 之總電容 C 決定，以 $I 3 / C$ 所給予。如前述般地，I 3 例如為 I 1 之 5 0 倍大之故，該上升之斜度成為藉由該動作模式 1 之 I 1 所決定之斜度 $I 1 / C$ 之 5 0 倍。即，該輸入電位以非常高速地上升至最大電位為止。一成為時刻 t 6，定電流源 2 0 1 成為關閉，定電源流 2 0 0 開始動作。藉由該定電流源 2 0 0，該輸入電位開始直線地下降。該下降之斜度主要由定電流源 2 0 0 之輸出電流 I 2 與該 C 所決定，以 $I 2 / C$ 所給予。之後，該鎖相迴圈電路回復反饋，完了收斂。動作模式 1 之收斂時間 t s 1 與習知的鎖相迴圈電路同樣地被給予。動作模式 2 之收斂時間 t s 2 如設 $t d = t 6 - t 5$ ，該輸入電位為最大電位時之 V C O 1 0 4 之輸出頻率為 f 2，由數式 3 所給予。

$$T_{s2} = (f_2 - f_1) / K_v \cdot C / I_2 + t_d \quad \cdots (\text{數式 } 3)$$

圖 6 係就動作模式 1 與 2 顯示 $K_v = 35 \text{ MHz} / \text{V}$ 、 $C = 16 \text{ nF}$ 、 $I_1 = I_2 = 0.54 \text{ mA}$ 、 $f_0 = 845 \text{ MHz}$ 、 $f_2 = 943 \text{ MHz}$ 、 $t_d = 10 \mu\text{s}$ 之

五、發明說明(12)

情形的收斂時間 t_s 之收斂頻率 f_1 依存性。假定 G S M 系統之情形，以 f_1 由 880 MHz 至 915 MHz 進行計算。又，在收斂時間之計算上，使用數式 2 與 3。由圖可以明白地，只使用動作模式 1 之習知的鎖相迴圈電路的最大收斂時間為約 $60 \mu s$ 。但是，在 f_1 為 900 MHz 以下，如使用動作模式 1，在 900 MHz 以上，如使用動作模式 2，最大收斂時間可以縮短為約 $47 \mu s$ 。

圖 7 係顯示定電流源 101、200、201 之實施例之電路圖。該電路係由基準電流產生電路 600、601、5 個之電流鏡電路、P M O S 電晶體 M1 - M4 以及反相器 I N V 1、I N V 2 所構成。5 個之電流鏡電路分別由：(Q1 - Q4、R1 - R3)、(Q5 - Q8、R4 - R6)、(Q9 - Q11、R7、R8)、(Q12 - Q14、R9、R10)、(Q15 - Q17、R11、R12) 所構成。基準電流產生電路 600、601 係由以帶隙參考 (B G R) 電路所產生之被溫度補償之基準電位產生輸出定電流之電路。

圖 1 之 I1 與 I2 由基準電流產生電路 600 之輸出電流被產生。又，I3 由基準電流產生電路 601 被產生。I1、I2 之導通、關閉控制隙藉由由 M1 - M4、I N V 1、I N V 2 所形成之開關電路而被實現。例如，L O G I C 3 為 1 之情形，M3 之源極、汲極間成為開放，M4 之源極、汲極間成為短路。因此，Q5 與 Q7 之基

五、發明說明 (13)

極間被短路之故，I 1 由 Q 7 之集極被輸出。

LOGIC 3 為 0 之情形，Q 7 之基極成為電源電壓之故，Q 7 之集極電流幾乎成為 0。I 3 之導通、關閉控制係藉由基準電流產生電路 601 之導通、關閉而進行。

電流輸出型相位比較器 100 之偏壓電流也還由基準電流產生電路 600 所產生。如前述般地，藉由電流輸出型相位比較器 100 之輸出電流與 I 1、I 2 之比，決定該鎖相迴圈電路之收斂安定性。由同一之基準電流產生 I 1、I 2 以及該偏壓電流，可以降低該輸出電流與 I 1、I 2 之比的偏差。

例如，於圖 7 中，以 LOGIC 3 被控制之 I 3 與 I 1、I 2 相比，流出 8 倍之電流。此 8 倍係於電流鏡電路之射極電阻比乘上由基準電流源被輸出之電流值之比。具體為：

$(R_{11} / R_{12}) \times (R_9 / R_{10}) \times 601$
之產生的電流值與

$(R_4 / R_6) \times (R_2 / R_3) \times 600$ 之產生的電流值之比成為 8 : 1。

於如上述之構成中，在利用 $0.35 \mu m$ BiCMOS 製程之例中，與前述習知之鎖相迴圈電路相比，約只為 6 % 之電路面積的增加，可以實現本發明之鎖相迴圈電路之第 1 實施形態。

圖 8 係顯示 LOGIC 1、2、3、4 之產生電路的實施例之電路圖。該電路係由：第 1 實施形態之鎖相迴圈

五、發明說明 (14)

電路 7 0 0，以及產生被輸入於第 1 實施形態之混頻器 1 0 5 之 L O 信號用之鎖相迴圈電路 7 0 1，以及計數器 7 1 0，以及邏輯電路 7 1 1。又，鎖相迴圈電路 7 0 1 係由：溫度補償型水晶振盪器 (T C X O) 7 0 4，以及分頻器 7 0 5、7 0 7，以及相位比較器 7 0 6，以及 L P F 7 0 8，以及 V C O 7 0 9 所構成。以點線 7 0 3 所被包圍之電路係被製造在同一 I C 內之電路。

T C X O 7 0 4 被當成被溫度補償之頻率精度高之基準信號源使用，例如，輸出 1 3 M H z 之信號。分頻器 7 0 5 分頻 T C X O 7 0 4 之輸出信號，於相位比較器 7 0 6 輸出信號。分頻比例如為 1 / 6 5，輸出 2 0 0 k H z 之信號。分頻器 7 0 5 之輸出信號被輸入計數器 7 1 0 之故，在計數器 7 1 0 之輸入與輸出之間，產生分頻器 7 0 5 之輸出信號之週期的整數倍之延遲。因此，利用該延遲，可以實現由圖 4 之 t 5 往 t 6 之延遲。邏輯電路 7 1 1 由計數器 7 1 0 之輸出信號與由該 I C 外部被輸入之

L O G I C 5、6 產生 L O G I C 1、2、3、4，輸出於鎖相迴圈電路 7 0 0。L O G I C 5 係決定圖 2、4 之 t 4、t 5 用之信號，L O G I C 6 係決定前述之動作模式用之信號。

接著，說明本發明之鎖相迴圈電路之第 2 實施形態。

圖 9 係顯示本發明之鎖相迴圈電路之第 2 實施形態之構成圖。該鎖相迴圈電路係以在第 1 實施形態中，將定電流源 2 0 1 置換為被接續於電流電壓 S W 3 0 0 為特徵之

五、發明說明 (15)

電路。S W 3 0 0 與 L O G I C 3 以外之電路的動作與第 1 實施形態相同。S W 3 0 0 只在由圖 4 之時刻 t 5 至 t 6 之間才成為導通。藉由此，L P F 1 0 3 之輸入端子與電源被短路，L P F 1 0 3 之電容以由電源來之電流被高速充電至最大電位為止。

接著，說明本發明之鎖相迴圈電路之第 3 實施形態。

圖 1 0 係顯示本發明之鎖相迴圈電路之第 3 實施形態之構成圖。該鎖相迴圈電路係以在第 1 實施形態中，將定電流源 1 0 1 與 2 0 1 置換為可變電流源 5 0 0 為特徵之電路。可變電流源 5 0 0 藉由 L O G I C 2 與 4，導通、關閉控制與輸出電流值控制成為可能。藉由可變電流源 5 0 0、L O G I C 2 與 4，實現與第 1 實施形態之定電流源 1 0 1、2 0 1 與 L O G I C 2 與 3 相同之機能。

圖 1 1 顯示本發明之無線通訊終端機器之一例。該無線通訊終端機器係由：由基頻電路 4 0 0，以及調制器 4 0 1，以及本發明之鎖相迴圈電路 4 0 0，以及電力放大器 (P A) 4 0 3 所構成之發訊系統；以及天線開關 4 0 4；以及天線 4 0 6；以及接收電路 4 0 5 所構成。

基頻電路 4 0 0 依據聲音信號或資料信號對調制器 4 0 1 輸出基頻信號 4 0 7，依據由接收電路 4 0 5 被輸入之基頻信號 4 0 8 再生聲音信號或資料信號。又，輸出控制構成該無線通訊終端機器之電路 4 1 0 用之控制信號 4 0 9。關於調制器 4 0 1，依據基頻信號 4 0 7，I F 頻帶之調制信號被產生。調制器 4 0 1 之輸出信號被

五、發明說明(16)

輸入鎖相迴圈電路 4 0 2，被施以頻率轉換後，被輸出於 P A 4 0 3。關於 P A 4 0 3，信號被電力放大，通過天線開關 4 0 4 由天線 4 0 6 被發訊。藉由天線開關 4 0 4，發訊時，天線 4 0 6 與 P A 4 0 3 被接續，接收時，天線 4 0 6 與接收電路 4 0 5 被接續。在天線 4 0 6 被接收之信號被輸入接收電路 4 0 5，進行解調，基頻信號 4 0 8 被輸出。

因此，如依據本實施形態，在鎖相迴圈電路之電流輸出型相位比較器 1 0 0 之輸出接續 L P F 1 0 3 充電用之定電流源 1 0 1，以及放電用之定電流源 2 0 0，以及高速充電用之定電流源 2 0 1，在該鎖相迴圈電路之收斂頻率低之情形，利用定電流源 1 0 1，使 V C O 1 0 4 之輸入電位由 0 V 上升而使之收斂，在該收斂頻率高之情形，使用定電流源 2 0 1，使該輸入電位一旦成為最大電位，之後，利用定電流源 2 0 0，使該輸入電位由最大電位下降而使之收斂，以收斂頻率選擇上述動作，可以縮短該鎖相迴圈電路之最大收斂時間。

以上，雖依據其之實施形態而具體說明由本發明者所完成之發明，但是本發明並不限定於前述之實施形態者，在不脫離其之要旨之範圍，不用說可以有種種變更可能。

【發明之效果】

在本申請案所揭示之發明之中，如簡單說明依據代表性者所獲得之效果，則如下述。

五、發明說明(17)

如依據本發明，只在習知的鎖相迴圈電路追加 2 個之定電流源，具有可以縮短最大收斂時間約一半之效果。

【圖面之簡單說明】

圖 1 係顯示本發明之鎖相迴圈電路之第 1 實施形態之構成圖。

圖 2 係顯示本發明之鎖相迴圈電路之動作模式 1 之定時圖。

圖 3 係顯示本發明之鎖相迴圈電路之動作模式 1 之 V C O 輸入電位之特性圖。

圖 4 係顯示本發明之鎖相迴圈電路之動作模式 2 之定時圖。

圖 5 係顯示本發明之鎖相迴圈電路之動作模式 2 之 V C O 輸入電位之特性圖。

圖 6 係顯示本發明與習知的鎖相迴圈電路之收斂時間比較之特性圖。

圖 7 係顯示本發明之鎖相迴圈電路之定電流源之實施例之電路圖。

圖 8 係顯示本發明之鎖相迴圈電路之 L O G I C 之產生電路的實施例之電路圖。

圖 9 係顯示本發明之鎖相迴圈電路之第 2 實施形態之構成圖。

圖 1 0 係顯示本發明之鎖相迴圈電路之第 3 實施形態之構成圖。

五、發明說明 (18)

圖 1 1 係顯示利用本發明之鎖相迴圈電路之無線通訊終端機器之一例之構成圖。

圖 1 2 係顯示習知的鎖相迴圈電路之構成圖。

圖 1 3 係顯示 G S M 系統用無線通訊終端機器之發收訊定時之說明圖。

圖 1 4 係顯示習知的鎖相迴圈電路之動作之定時圖。

圖 1 5 係顯示習知的鎖相迴圈電路之 V C O 輸入電位之特性圖。

圖 1 6 係顯示 G P R S 系統用無線通訊終端機器之發收訊定時之說明圖。

【標號說明】

- 1 0 0 : 電流輸出型相位比較器，
- 1 0 1 、 2 0 0 、 2 0 1 : 定電流源，
- 1 0 2 、 3 0 0 : 開關 (S W) ，
- 1 0 3 : 低通濾波器 (L P F) ，
- 1 0 4 : 電壓控制振盪器 (V C O) ，
- 1 0 5 : 混頻器，
- 4 0 0 : 基頻電路，
- 4 0 1 : 調制器，
- 4 0 2 : 鎖相迴圈電路，
- 4 0 3 : 電力放大器 (P A) ，
- 4 0 4 : 天線開關，
- 4 0 5 : 接收電路，

五、發明說明 (19)

4 0 6 : 天 線 ,

4 0 7 、 4 0 8 : 基 頻 信 號 ,

4 0 9 : 控 制 信 號 ,

5 0 0 : 可 變 電 流 源

(請先閱讀背面之注意事項再填寫本頁)

訂

四、中文發明摘要(發明之名稱：鎖相迴圈電路及無線通訊終端機器)

本發明係關於適用在將 I F (中間頻率) 信號頻率轉換為 R F (無線頻率) 信號之鎖相迴圈電路之收斂的高速化有效之技術。本發明之課題為提供：可以高速收斂之將 I F 信號轉換為 R F 信號之鎖相迴圈電路與利用該鎖相迴圈電路之無線通訊終端機器。其解決手段為：在鎖相迴圈電路之電流輸出型相位比較器 1 0 0 之輸出接續：

L P F 1 0 3 充電用之定電流源 1 0 1，以及放電用之定電流源 2 0 0，以及高速充電用之定電流源 2 0 1。在該鎖相迴圈電路之收斂頻率低之情形，利用定電流源 1 0 1，使 V C O 1 0 4 之輸入電位由 0 V 上升而使之收斂。在該收斂頻率高之情形，利用定電流源 2 0 1，使該輸入電位一旦成為最大電位。之後，利用定電流源 2 0 0，使該輸入電位由最大電壓下降而使之收斂。藉由收斂頻率選擇上述動作，可以縮短該鎖相迴圈電路之最大收斂時間。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

錄

六、申請專利範圍

2

第 2 信號之混頻器；以及被接續於該電流輸出型相位比較器之輸出端之第 1、第 2、第 3 定電流源；以及被接續於該電流輸出型相位比較器與基準電位之間之開關，具有控制該第 1、第 2、第 3 定電流源之導通、關閉與該開關之短路、開放之手段。

4．如申請專利範圍第 3 項記載之鎖相迴圈電路，其中該基準電位為 0 V，該第 1 與第 2 定電流源係於該電流輸出型相位比較器之輸出端輸出定電流源，該第 3 定電流源由該電流輸出型相位比較器之輸出端吸收定電流。

5．如申請專利範圍第 3 項記載之鎖相迴圈電路，其中該基準電位係電源電位，該第 1 與第 2 定電流源係由該電流輸出型相位比較器之輸出端吸收定電流，該第 3 定電流源係於該電流輸出型相位比較器之輸出端輸出定電流。

6．如申請專利範圍第 4 或第 5 項記載之鎖相迴圈電路，其中該電路係一種：在非動作狀態中，該第 1、第 2、第 3 定電流源為關閉，該開關被短路，在由該非動作狀態往動作狀態之轉換為第 1 與第 2 手段存在，該鎖相迴圈電路之收斂頻率在滿足該開關之短路時之該 VCO 輸出頻率與設定頻率之間的頻率之條件的情形，該第 1 手段被使用，在沒有滿足該條件之情形，該第 2 手段被使用之鎖相迴圈電路，其特徵為：於該第 1 手段中，該開關之開放與該第 1 定電流源之導通被進行，在該第 2 手段中，首先，該開關之開放與該第 2 定電流源之導通被進行，在其之一定期間後，該第 2 定電流源之關閉與該第 3 定電流源之導

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

3

通被進行。

7. 如申請專利範圍第6項記載之鎖相迴圈電路，其中該第1、第3定電流源之輸出電流值相等，該第2定電流源之輸出電流值至少在該第1、第3定電流源之輸出電流值之2倍以上。

8. 一種鎖相迴圈電路，包含：

一相位比較器，具有電流模式輸出，用以輸出一成比例於調變於其頻率中之第一輸入信號及第二輸入信號之相位差的一信號；

一低通濾波器，連接至該具有電流模式輸出之相位比較器的一輸出端；

一電壓控制振盪器，連接至該低通濾波器之輸出端；

一混頻器，連接至該電壓控制振盪器之輸出端並將電壓控制振盪器之輸出頻率轉換，以便輸出該具電流模式輸出之相位比較器的第二輸入信號；

第一及第二定電流源，連接至該具電流模式輸出之相位比較器的輸出端；

一第一開關，連接於該具電流模式輸出之相位比較器及一第一參考電壓之間，該第一開關係為一無關於該電壓控制振盪器之輸入電壓的信號所控制；

一第二開關，連接於該具電流模式輸出之相位比較器及一第二參考電壓之間，該第二開關係為一無關於該電壓控制振盪器之輸入電壓的信號所控制；及

一控制器，控制該第一及第二定電流源之開一關並控

六、申請專利範圍 4

制第一及第二開關之短路及開路。

9．如申請專利範圍第8項記載之鎖相迴圈電路，其中該第1基準電位係0 V，該第2基準電位係電源電位，該第1定電流源對該電流輸出型相位比較器之輸出端輸出定電流，該第2定電流源由該電流輸出型相位比較器之輸出端吸收定電流。

10．如申請專利範圍第8項記載之鎖相迴圈電路，其中該第1基準電位係電源電壓，該第2基準電位係0 V，該第1定電流源係由該電流輸出型相位比較器之輸出端吸收定電流，該第2定電流源係對該電流輸出型相位比較器之輸出端輸出定電流。

11．如申請專利範圍第9或第10項記載之鎖相迴圈電路，其中在非動作狀態中，該第1、第2定電流源為關閉，該第1開關被短路，該第2開關被開放，在由該非動作狀態往動作狀態轉換上，第1與第2手段存在，該鎖相迴圈電路之收斂頻率在滿足該開關之短路時之該VCO輸出頻率與設定頻率之間的頻率之條件的情形，該第1手段被使用，在沒有滿足該條件之情形，該第2手段被使用之鎖相迴圈電路，其特徵為：於該第1手段中，該開關之開放與該第1定電流源之導通被進行，在該第2手段中，首先，該第1開關之開放與該第2開關之短路被進行，在其之一定期間後，該第2開關之開放與該第2定電流源之導通被進行。

12．如申請專利範圍第11項記載之鎖相迴圈電路

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍

5

，其中該第 1、第 2 定電流源之輸出電流值相等。

1 3 . 一種鎖相迴圈電路，包含：

一相位比較器，具有電流模式輸出，用以輸出一成比例於調變於其頻率中之第一輸入信號及第二輸入信號之相位差的一信號；

一低通濾波器，連接至該具有電流模式輸出之相位比較器的一輸出端；

一電壓控制振盪器，連接至該低通濾波器之輸出端；

一混頻器，連接至該電壓控制振盪器之一輸出端並將電壓控制振盪器之輸出頻率轉換，以便輸出該具電流模式輸出之相位比較器的第二輸入信號；

一可變電流源及一定電流源，連接至該具電流模式輸出之相位比較器的輸出端；

一開關，連接於該具有電流模式輸出之相位比較器與一第一參考電壓之間，該開關係可以為一無關於該電壓控制振盪器之輸入電壓的信號所控制；及

一控制器，以控制該可變電流源之開一關、一輸出電流值、該定電流源的開一關，及控制該開關的短路及開路。

1 4 . 如申請專利範圍第 1 3 項記載之鎖相迴圈電路，其中該基準電位為 0 V，該可變電流源係對該電流輸出型相位比較器之輸出端輸出電流，該定電流源係由該電流輸出型相位比較器之輸出端吸收定電流。

1 5 . 如申請專利範圍第 1 3 項記載之鎖相迴圈電路

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍 6

，其中該基準電位為電源電位，該可變電流源係由該電流輸出型相位比較器之輸出端吸收電流，該定電流源係對該電流輸出型相位比較器之輸出端輸出定電流。

1 6 . 如申請專利範圍第 1 4 或第 1 5 項記載之鎖相迴圈電路，其中在非動作狀態中，該可變電流源與該定電流源為關閉，該開關被短路，在由該非動作狀態往動作狀態之轉換為第 1 與第 2 手段存在，該鎖相迴圈電路之收斂頻率在滿足該第 1 開關之短路時之該 V C O 輸出頻率與設定頻率之間的頻率之條件的情形，該第 1 手段被使用，在沒有滿足該條件之情形，該第 2 手段被使用之鎖相迴圈電路，其特徵為：於該第 1 手段中，該開關之開放與該可變電流源之導通被進行，在該第 2 手段中，首先，該開關之開放與該可變電流源之導通被進行，該可變電流源輸出第 2 定電流值，在其之一定期間後，該可變電流源關閉與該定電流源之導通被進行。

1 7 . 如申請專利範圍第 1 6 項記載之鎖相迴圈電路，其中該第 1 定電流值與該定電流之輸出電流值相等，該第 2 定電流值為該第 1 定電流值與該定電流之輸出電流值之至少 2 倍以上。

1 8 . 一種無線通訊終端機器，包含：

一基頻帶電路；

一調變器，用以輸入來自該基頻帶電路之第一基頻帶信號；

一相鎖迴路，連接至該調變器的一輸出；

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍 7

一 功率放大器，連接至該相鎖迴路電路的一輸出；

一 接收器電路，用以輸出一第二基頻帶信號給該基頻帶電路；

一天線；及

一 選擇器，連接該天線、該接收器電路的輸入及該功率放大器的一輸出；

其中該基頻帶電路輸出一控制信號，用以控制該無線行動台之操作，及

其中該相鎖迴路電路包含：

一 相位比較器，具有一電流模式輸出，用以輸出一成比例於調變於其頻率中之第一輸入信號及第二輸入信號之相位差的一信號；

一 低通濾波器，連接至該具有電流模式輸出之相位比較器的一輸出端；

一 電壓控制振盪器，連接至該低通濾波器之輸出端；

一 混頻器，連接至該電壓控制振盪器之一輸出端並將電壓控制振盪器之輸出頻率轉換，以便輸出該具電流模式輸出之相位比較器的第二輸入信號；

第一及第二定電流源，連接至該具電流模式輸出之相位比較器的輸出端；

一 第一開關，連接於該具有電流模式輸出之相位比較器與一第一參考電壓之間，該第一開關係可以為一無關於該電壓控制振盪器之輸入電壓的信號所控制；

一 第二開關，連接於該具有電流模式輸出之相位比較

(請先閱讀背面之注意事項再填寫本頁)

訂

六、申請專利範圍 8

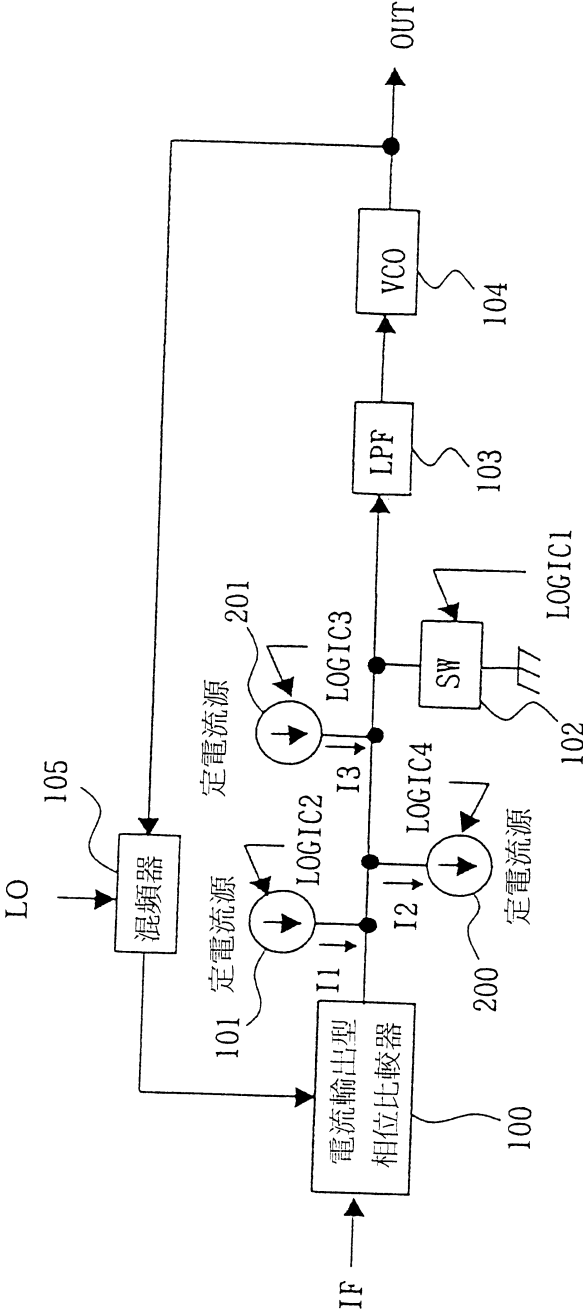
器與一第二參考電壓之間，該第二開關係可以為一無關於該電壓控制振盪器之輸入電壓的信號所控制；及

一控制器，以控制該第一及第二定電流源之開一關並控制該第一及第二關關的短路及開路。

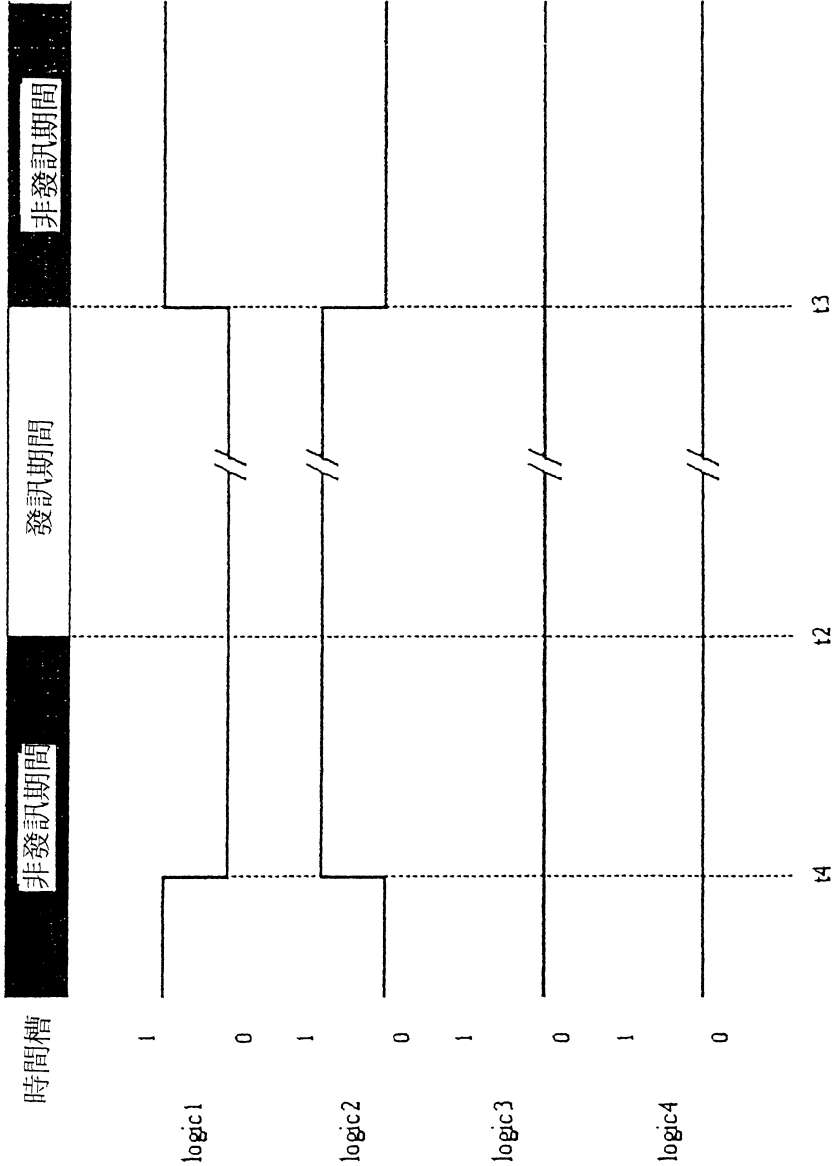
(請先閱讀背面之注意事項再填寫本頁)

訂

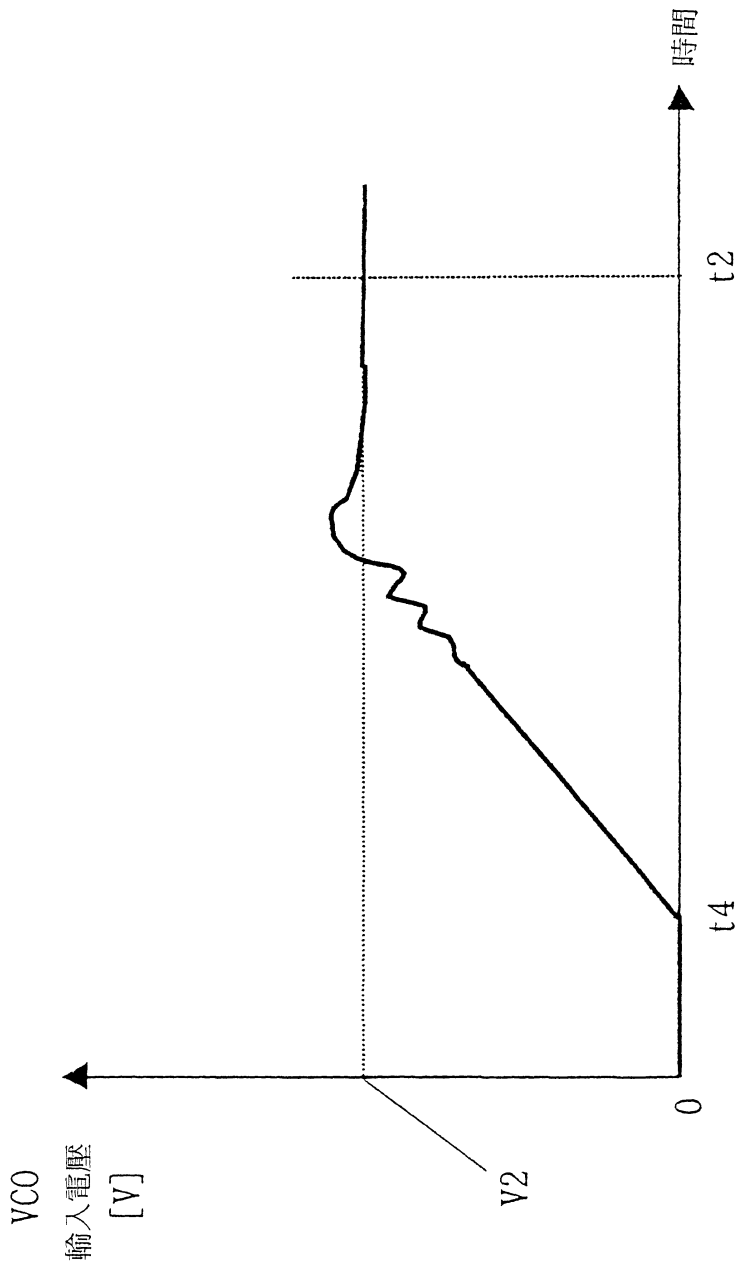
第 1 圖



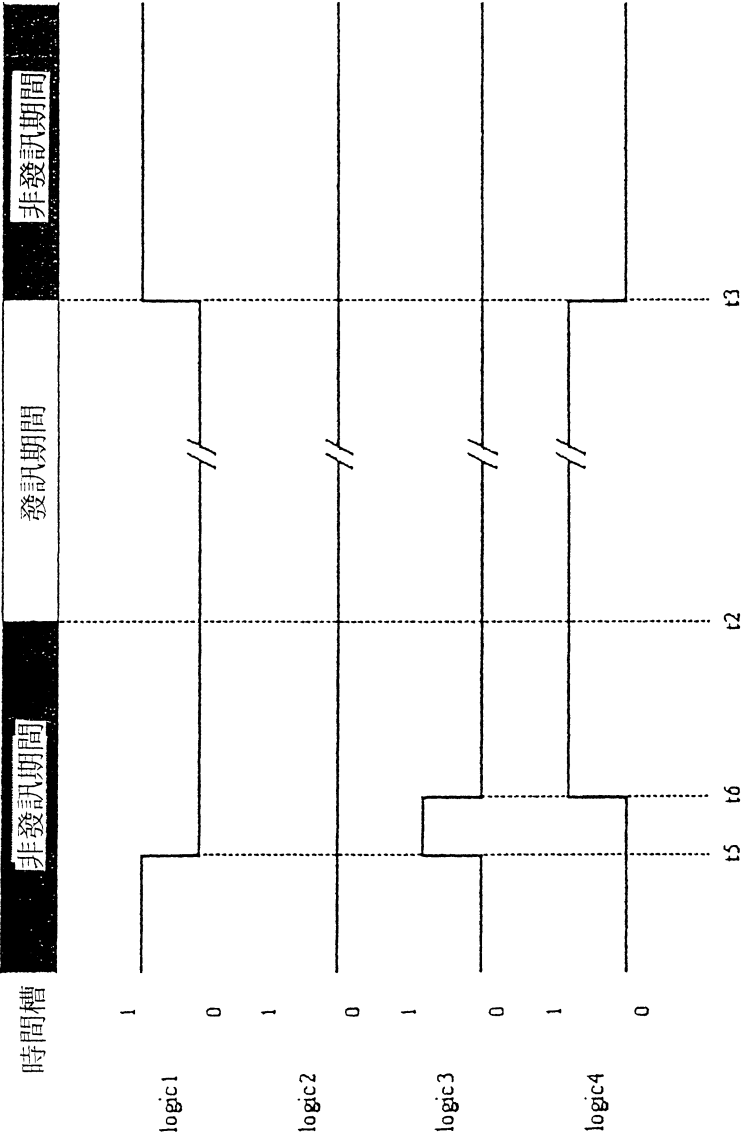
第 2 圖



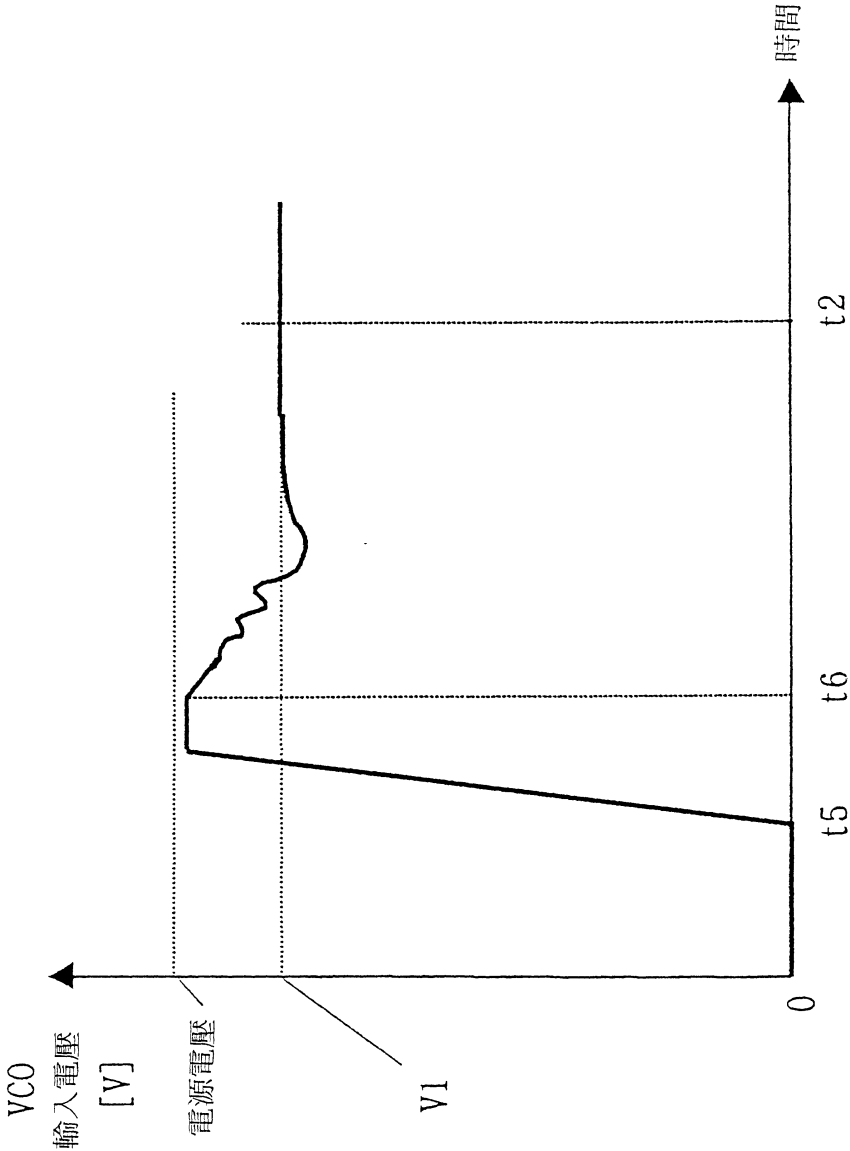
第3圖



第 4 圖



第 5 圖



第 6 圖

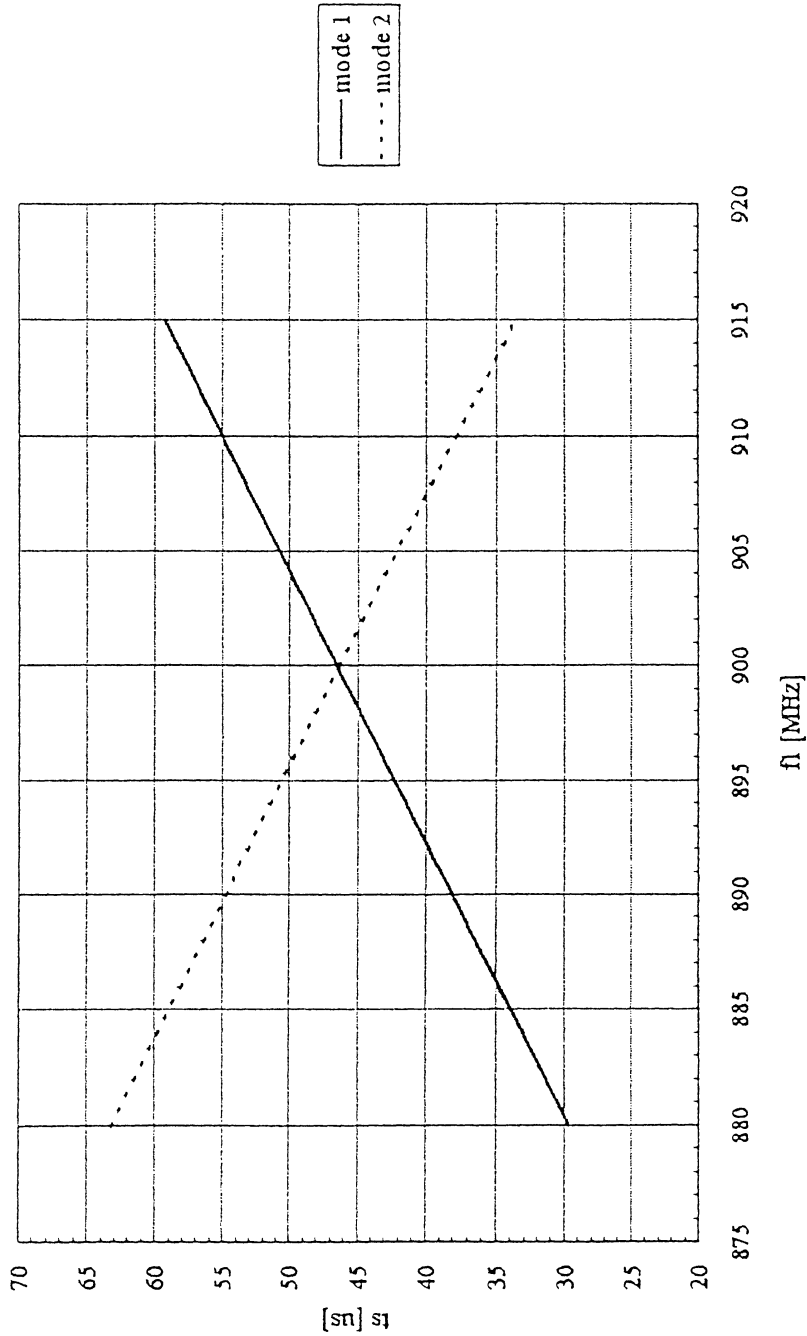
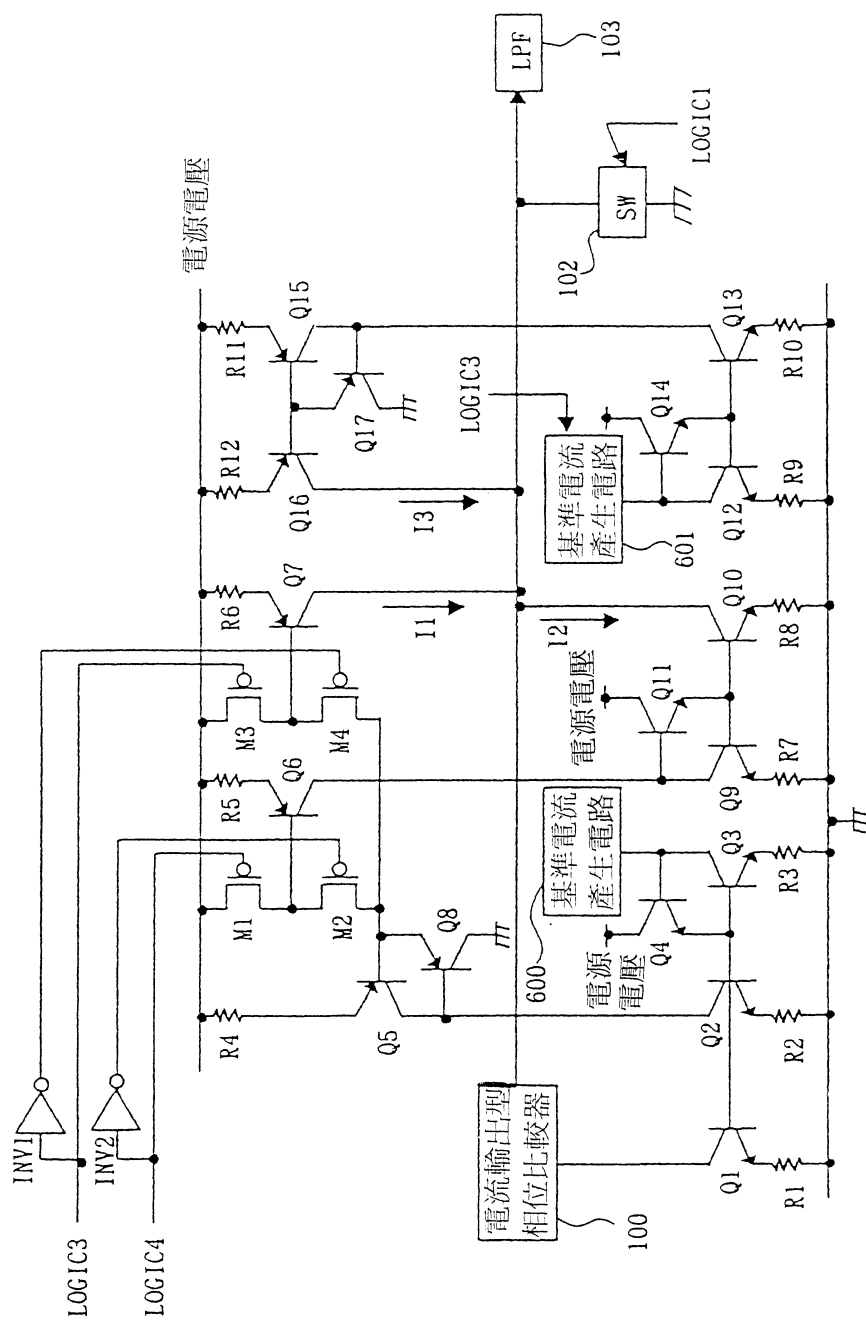
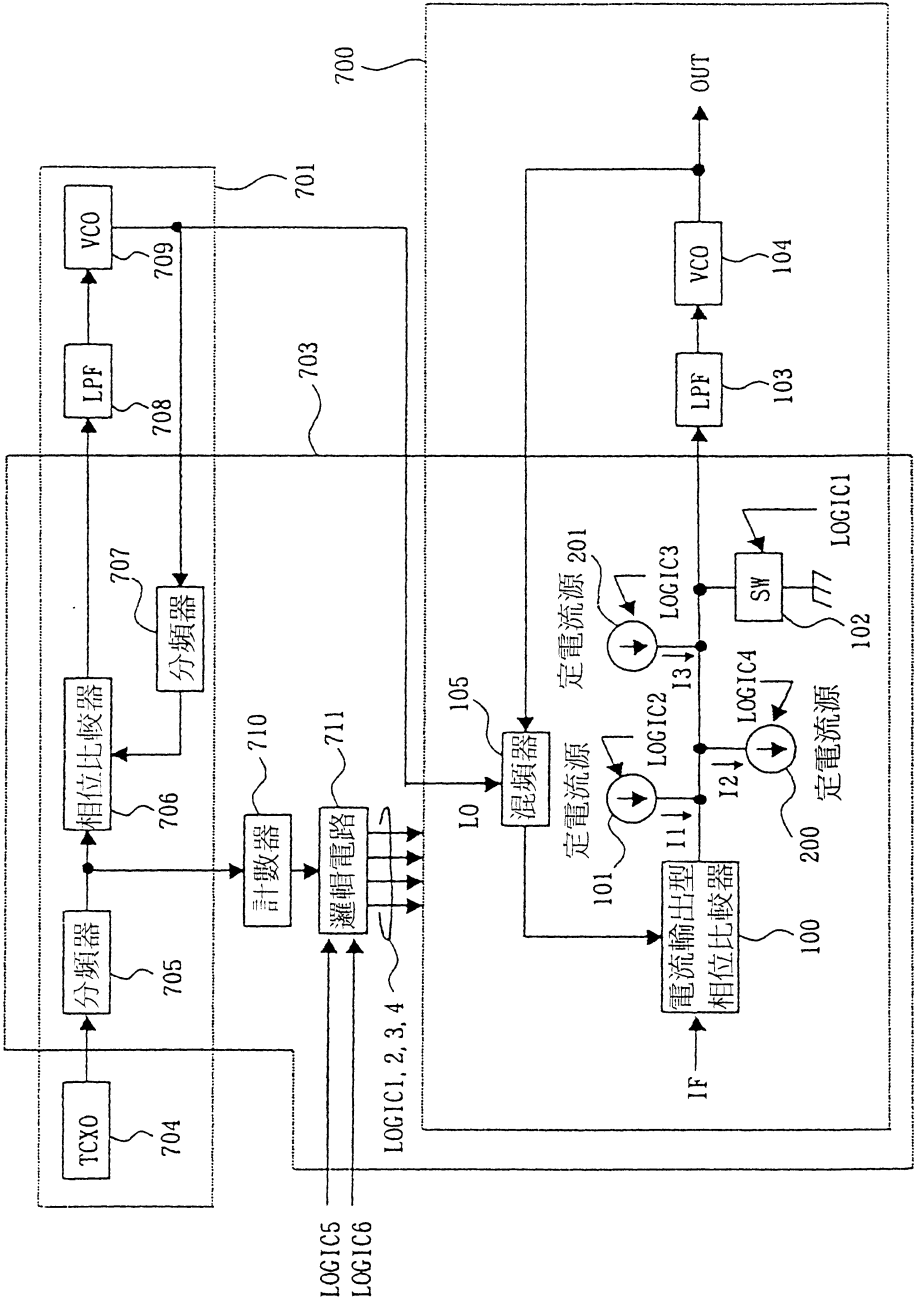


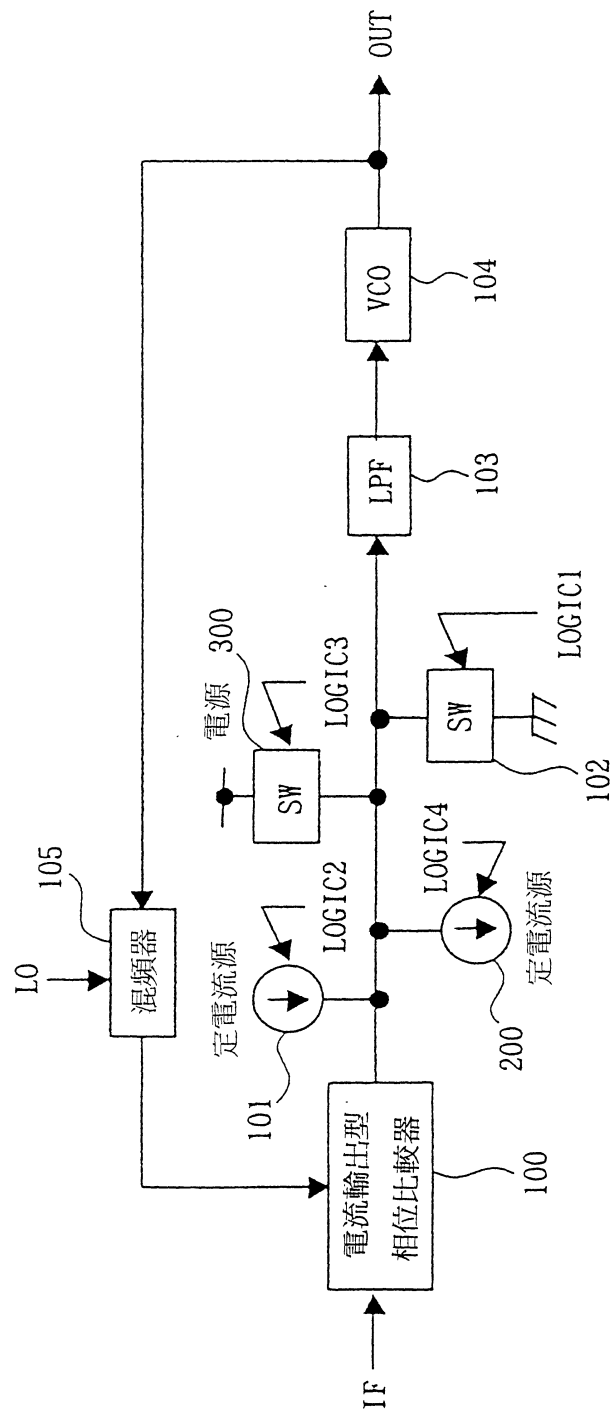
圖 7 第



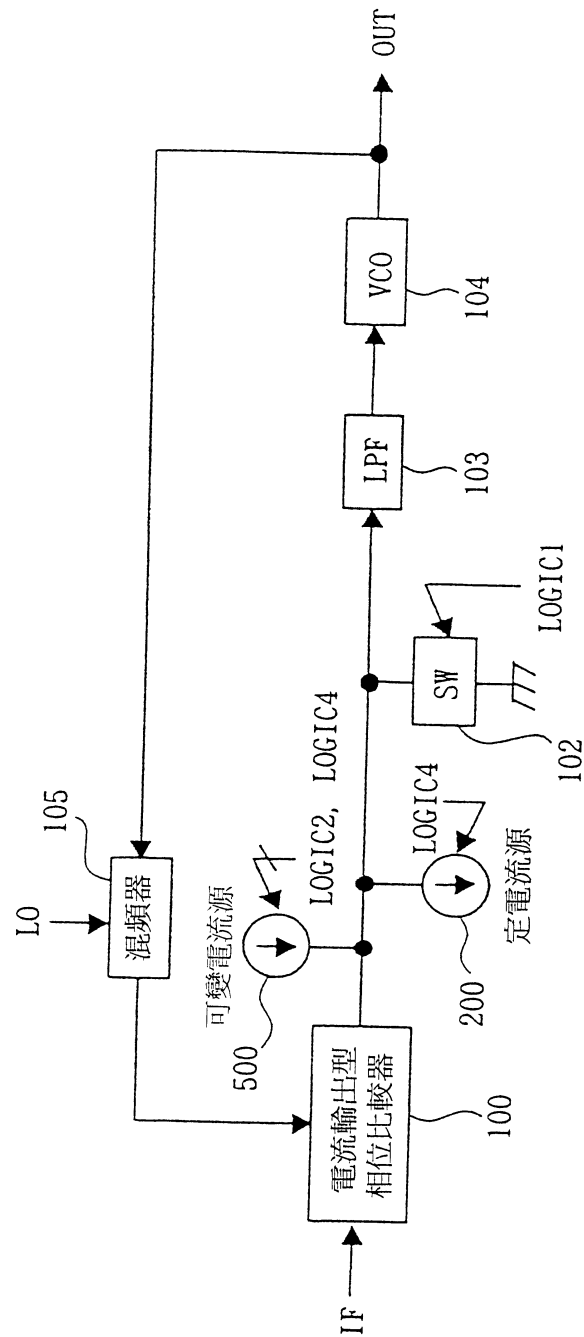
第 8 圖



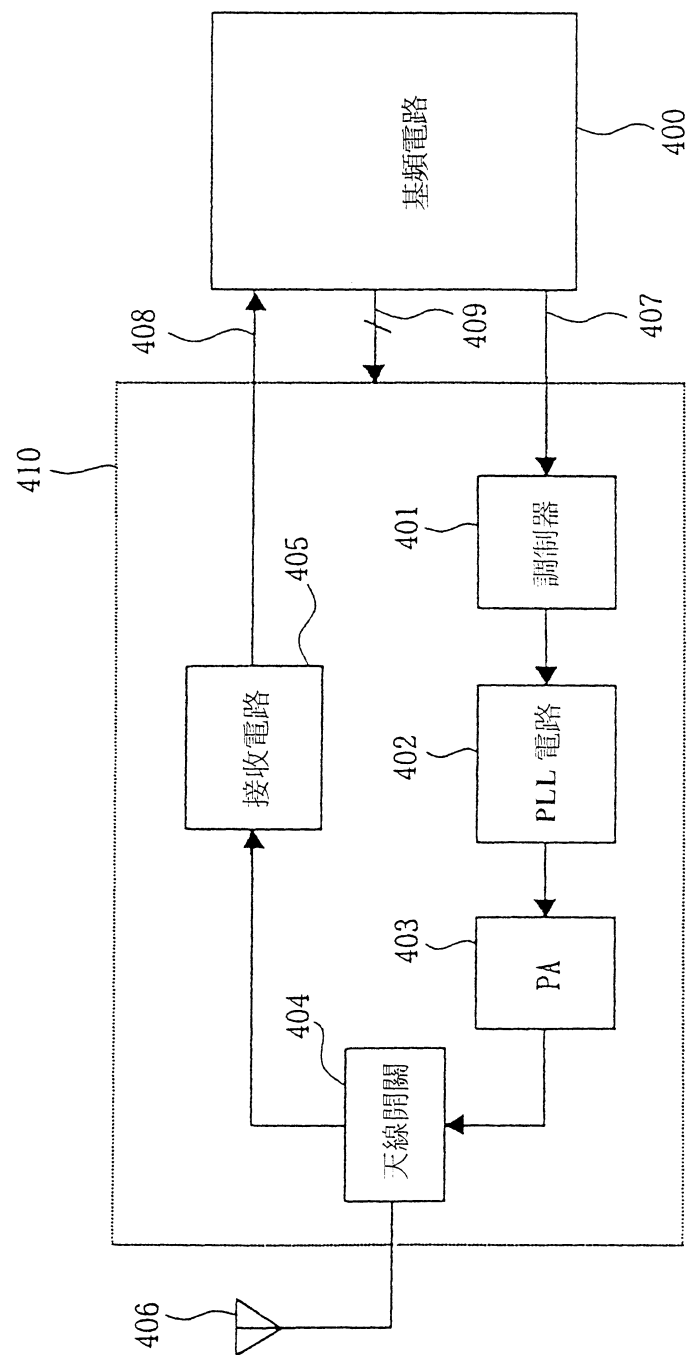
第9圖



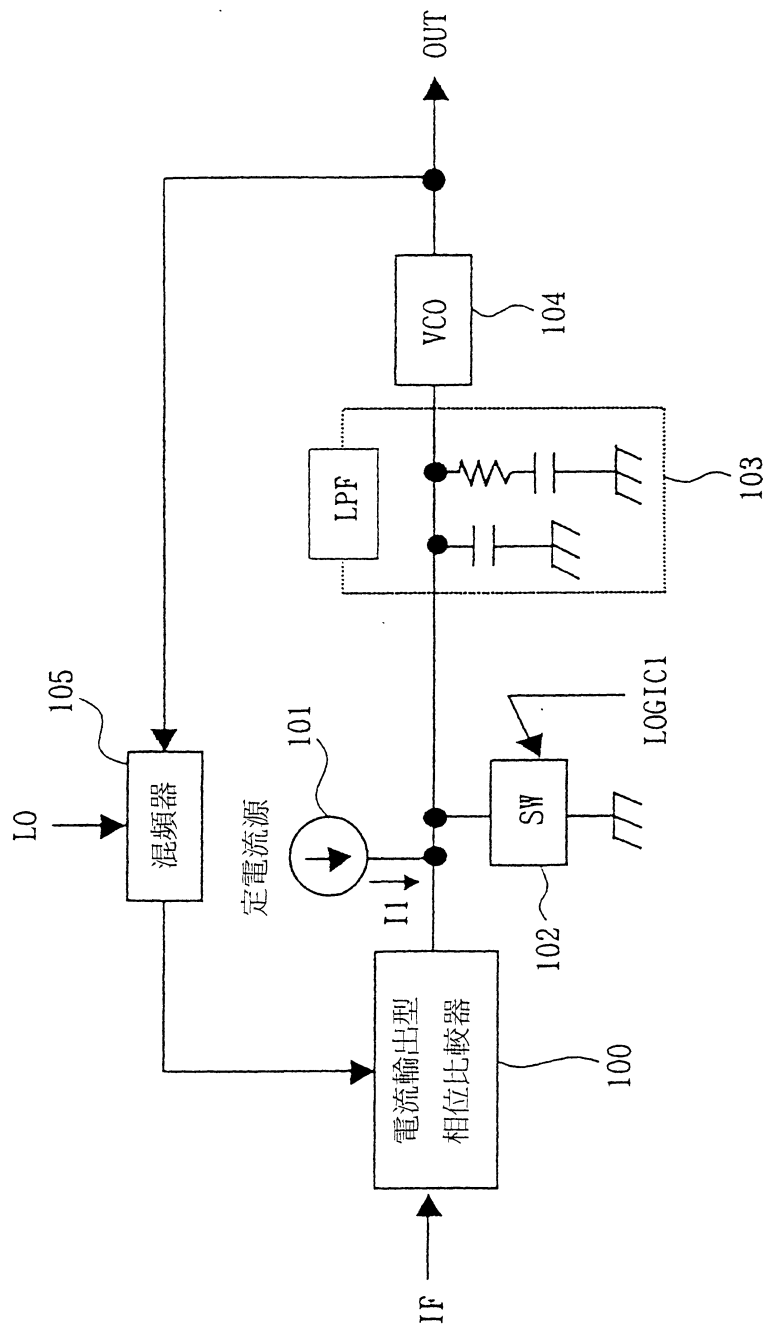
第 10 圖



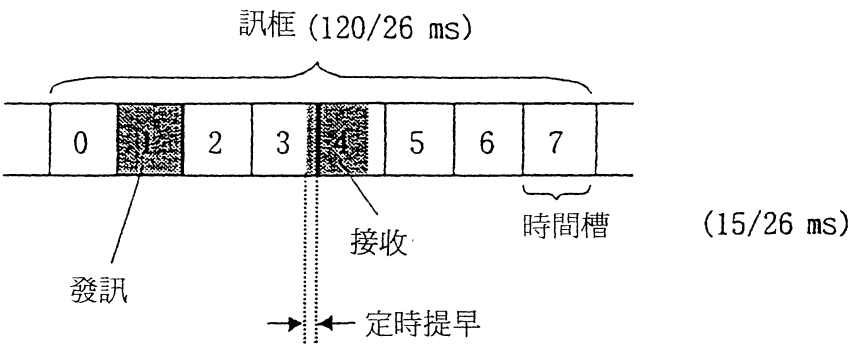
第 11 圖



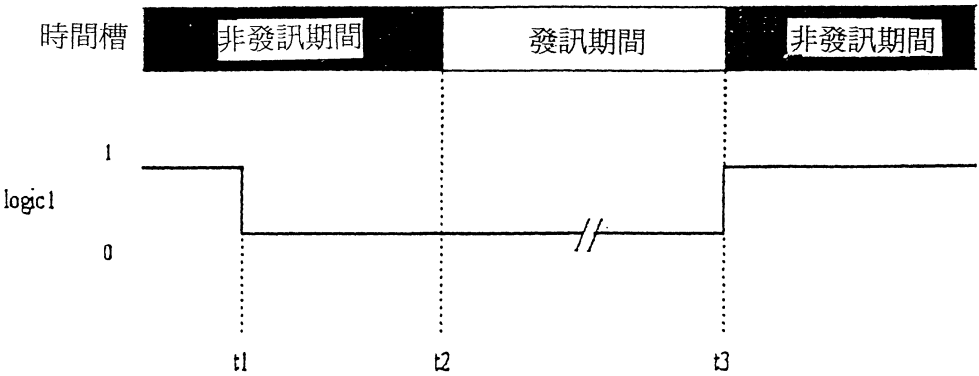
第 12 圖



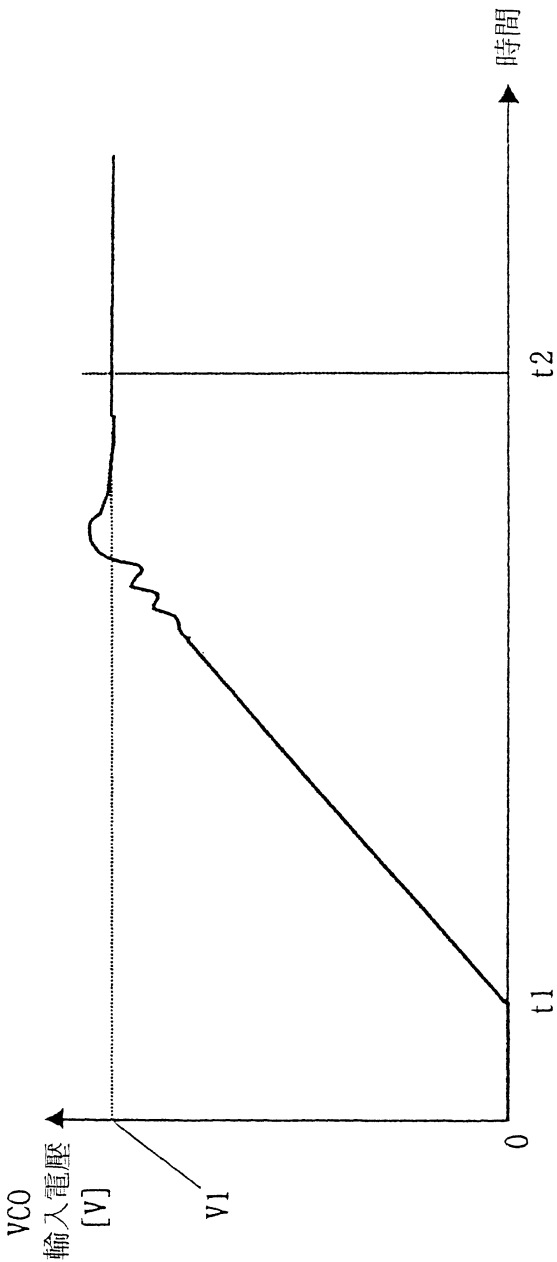
第 13 圖



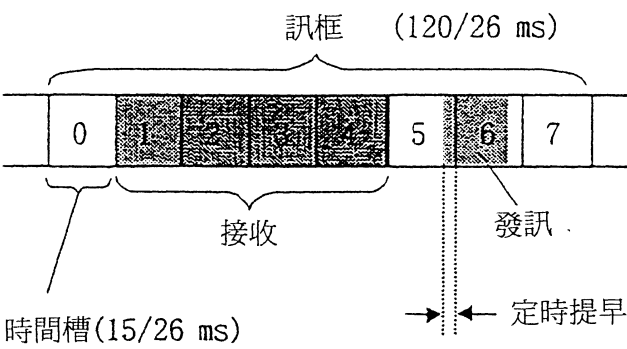
第 14 圖



第 15 圖

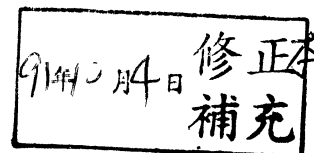


第 16 圖



申請日期	90 年 3 月 30 日
案 號	90107901
類 別	H03L 1/06

(以上各欄由本局填註)

A4
C4

527778

發明專利說明書

一、發明 名稱	中 文	鎖相迴圈電路及無線通訊終端機器
	英 文	
二、發明 人	姓 名	(1) 山脇大造 (2) 田中聰 (3) 林範雄
	國 籍	(1) 日本 (2) 日本 (3) 日本 (1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所總知的所有權本部內
	住、居所	(2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所總知的所有權本部內 (3) 日本國東京都小平市上水本町五丁目二番一 號日立超愛爾・愛斯・愛・系統總內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所 (2) 堤康有限公司 TTPCom Limited
	國 籍	(1) 日本 (2) 英國
	住、居所 (事務所)	(1) 日本國東京都千代田區神田駿河台四丁目六番 地 (2) 英國洛斯頓赫特福夏梅爾本劍橋路梅爾本科學 園區 Melbourne Science Park, Cambridge Road, Melbourne, Royston, Hertfordshire SG8 6EE, United Kingdom
	代 表 人 姓 名	(1) 庄山悅彦 (2) 克里斯多夫・麥昆恩 McQuoid, Christopher

六、申請專利範圍 1

1 . 一種鎖相迴圈電路，其係至少包含：電流輸出型相位比較器，以及低通濾波器，以及 V C O 之鎖相迴圈電路，其特徵為：

在該鎖相迴圈電路之收斂頻率比設定頻率低之情形，藉由 P L L 反饋迴圈，由比對應該收斂頻率之收斂電位還低之輸入電位至該收斂電位為止地使之收斂，

在該收斂頻率比該設定頻率高之情形，藉由該 P L L 反饋迴圈，使由比收斂電位還高之輸入電位至該收斂電位為止地使之收斂。

2 . 一種鎖相迴圈電路，其係至少包含：電流輸出型相位比較器，以及低通濾波器，以及 V C O 之鎖相迴圈電路，其特徵為：

在該鎖相迴圈電路之收斂頻率比設定頻率高之情形，藉由 P L L 反饋迴圈，由比對應該收斂頻率之收斂電位還高之輸入電位至該收斂電位為止地使之收斂，

在該收斂頻率比該設定頻率低之情形，藉由該 P L L 反饋迴圈，使由比收斂電位還低之輸入電位至該收斂電位為止地使之收斂。

3 . 一種鎖相迴圈電路，其特徵為具有：

輸出比例於第 1 頻率被調制之輸入信號與第 2 輸入信號之相位差之信號的電流輸出型相位比較器；以及被接續於該電流輸出型相位比較器之輸出端之低通濾波器；以及被接續於該低通濾波器之輸出端之 V C O ，以及被接續於該 V C O 之輸出端，頻率轉換該 V C O 之輸出頻率，輸出

(請先閱讀背面之注意事項再填寫本頁)

訂