

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】令和 6 年 11 月 11 日(2024.11.11)

【国際公開番号】WO2023/170782

【出願番号】特願 2024-505697(P2024-505697)

【国際特許分類】

H 1 0 B 12/00(2023.01)

【F I】

H 1 0 B 12/00 8 0 1

10

【手続補正書】

【提出日】令和 6 年 9 月 6 日(2024.9.6)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

20

基板上にある、第 1 の絶縁層と、

前記第 1 の絶縁層から離れて、且つ前記基板に対して水平方向に伸延し、かつ垂直方向に互いに離れて配置された複数の第 1 の不純物層と、

前記複数の第 1 の不純物層のそれぞれに伸延方向で接し、且つ前記基板に対して、水平方向に伸延する複数の半導体層と、

前記複数の第 1 の半導体層のそれぞれに伸延方向で繋がり、且つ水平方向に伸延する複数の第 2 の不純物層と、

前記複数の半導体層と前記複数の第 1 の不純物層の一部と前記複数の第 2 の不純物層の一部をそれぞれ覆う複数のゲート絶縁層と、

前記複数のゲート絶縁層に接して、前記複数の第 1 の不純物層に近接してある第 1 のゲート導体層と、

30

前記第 1 のゲート導体層に接することなく、前記複数のゲート絶縁層のそれぞれに接して前記複数の第 2 の不純物層のそれぞれに近接してある複数の第 2 のゲート導体層と、

前記複数の第 1 の不純物層に、前記複数の半導体層とは異なる伸延方向で接続されている第 1 の導体層と、

前記複数の第 2 の不純物層に、前記複数の半導体層とは異なる伸延方向で接続されている第 2 の導体層と、

前記第 1 の絶縁層と、前記第 1 のゲート導体層と、前記第 1 の導体層に接してある第 2 の絶縁層と、

前記第 1 の絶縁層と、前記複数の第 2 のゲート導体層と、前記第 2 の導体層に接してある第 3 の絶縁層と、

40

を有し、

前記第 1 の導体層と、前記第 2 の導体層と、前記第 1 のゲート導体層と、前記複数の第 2 のゲート導体層に印加する電圧を制御して、前記複数の第 1 の不純物層と前記複数の第 2 の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記複数の半導体層に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記複数の半導体層における多数キャリアである前記電子群又は前記正孔群のいずれかの一部または全てを、前記複数の半導体層に残存させる動作と、を行ってメモリ書き込み動作を行い、

前記第 1 の導体層と、前記第 2 の導体層と、前記第 1 のゲート導体層と、前記複数の第

50

2 のゲート導体層に印加する電圧を制御して、前記複数の第 1 の不純物層と、前記複数の第 2 の不純物層の少なくとも一か所から、残存している前記第 1 の半導体層における多数キャリアである前記電子群又は前記正孔群のいずれかを抜き取り、メモリ消去動作を行う

、
ことを特徴とする半導体メモリ装置。

【請求項 2】

前記複数の第 1 の不純物層に繋がる前記第 1 の導体層は、ソース線に接続され、前記複数の第 2 の不純物層に繋がる前記第 2 の導体層は、ビット線に接続され、前記第 1 のゲート導体層はプレート線に接続され、前記複数の第 2 のゲート導体層はワード線につながれ、ソース線、ビット線、プレート線、ワード線のそれぞれに所定の電圧を与えて、メモリの書き込み、消去を行う、

10

ことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 3】

前記第 1 の不純物層と前記第 2 の不純物層と前記半導体層と前記ゲート絶縁層と、前記第 1 のゲート導体層と前記第 2 のゲート導体層で形成される半導体装置をメモリセルとしたときに、前記基板に垂直な方向において、前記メモリセルの前記半導体の断面で、前記第 1 のゲート導体層、もしくは前記複数の第 2 ゲート導体層直下から延びる最大空乏層幅の合計面積よりも、前記半導体層の断面積が厚い、

ことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 4】

前記基板に垂直な方向において、隣接する前記メモリセルの間隔が前記基板の水平方向において、隣接する前記メモリセルの間隔と比較して、広い、

20

ことを特徴とする請求項 3 に記載の半導体メモリ装置。

【請求項 5】

前記第 2 のゲート導体層が前記基板の水平方向に隣接する複数の前記メモリセルで共有されている、

ことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 6】

前記複数の第 1 のゲート導体層が基板に対して、水平方向、または垂直方向に隣接している複数のセルで共有されている、

30

ことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 7】

前記第 1 の導体層と前記複数の第 1 の不純物層の接触面の面積が、前記第 1 の不純物層に繋がる前記複数の第 1 の半導体層の断面積に等しいか又はそれより大きい、

ことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 8】

前記第 2 の導体層と前記複数の第 2 の不純物層の接触面の面積が、前記複数の第 2 の不純物層に繋がる前記複数の第 1 の半導体層の断面積に等しいか又はそれより大きい、

ことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 9】

前記複数の第 1 の不純物層と前記複数の第 2 の不純物層の両方、もしくは一方が、前記基板に対して水平方向の、隣接するセルで共有されている、

40

ことを特徴とする請求項 1 に記載の半導体メモリ装置。

【請求項 10】

セルアレイの終端で、前記第 1 の導体層に第 1 の金属電極が接し、かつ前記ソース線に繋がり、前記第 1 のゲート導体層に第 2 の金属電極が接し、かつ前記プレート線に繋がり、前記第 2 の導体層に第 3 の金属電極が接し、かつ前記ビット線に繋がり、前記複数の第 2 のゲート導体層のそれぞれに複数の第 4 の金属電極が接し、かつそれぞれにワード線が繋がっている、

ことを特徴とする請求項 2 に記載の半導体メモリ装置。

50

【請求項 1 1】

セルアレイを接続する金属配線において、プレート線とソース線とワード線とビット線の役割をする金属配線のすべて、またはこの一部が、同じ層の金属配線で形成されている、

ことを特徴とする請求項 1 に記載の半導体メモリ装置。

【手続補正 2】

【補正対象書類名】明細書

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体メモリ装置に関する。

【背景技術】

【0002】

近年、LSI (Large Scale Integration) 技術開発において、メモリ素子の高集積化、高性能化、低消費電力化、高機能化が求められている。

【0003】

通常のプレナー型 MOS トランジスタでは、チャンネルが半導体基板の上表面に沿う水平方向に延在する。これに対して、SGT のチャンネルは、半導体基板の上表面に対して垂直な方向に延在する (例えば、非特許文献 1 を参照)。このため、SGT はプレナー型 MOS トランジスタと比べ、半導体装置の高密度化が可能である。この SGT を選択トランジスタとして用いて、キャパシタを接続した DRAM (Dynamic Random Access Memory、例えば、非特許文献 2 を参照)、抵抗変化素子を接続した PCM (Phase Change Memory、例えば、非特許文献 3 を参照)、RRAM (Resistive Random Access Memory、例えば、非特許文献 4 を参照)、電流により磁気スピンの向きを変化させて抵抗を変化させる MRAM (Magnetoresistive Random Access Memory、例えば、非特許文献 5 を参照) などの高集積化を行うことができる。また、キャパシタを有しない、1 個の MOS トランジスタで構成された、DRAM メモリセル (例えば非特許文献 6、9 を参照)、キャリアをためる溝部とゲート電極を二つ有した DRAM メモリセル (例えば非特許文献 8 を参照) などがある。しかし、キャパシタを持たない DRAM は、フローティングボディのワード線からのゲート電極のカップリングに大きく左右され電圧マージンが十分とれない問題点があった。さらに基板が完全空乏化するとその弊害は大きくなる。本願は、抵抗変化素子やキャパシタを有しない、MOS トランジスタのみで構成可能な、半導体素子を用いたメモリ装置に関する。

20

30

【先行技術文献】

【非特許文献】

【0004】

40

【非特許文献 1】Hiroshi Takato, Kazumasa Sunouchi, Naoko Okabe, Akihiro Nitayama, Katsuhiko Hieda, Fumio Horiguchi, and Fujio Masuoka: IEEE Transaction on Electron Devices, Vol. 38, No. 3, pp. 573 - 578 (1991)

【非特許文献 2】H. Chung, H. Kim, H. Kim, K. Kim, S. Kim, K. Dong, J. Kim, Y.C. Oh, Y. Hwang, H. Hong, G. Jin, and C. Chung: "4F2 DRAM Cell with Vertical Pillar Transistor (VPT)," 2011 Proceeding of the European So

50

l i d - S t a t e D e v i c e R e s e a r c h C o n f e r e n c e , (2
0 1 1)

【非特許文献3】H . S . P h i l i p W o n g , S . R a o u x , S . K
i m , J i a l e L i a n g , J . R . R e i f e n b e r g , B . R a j
e n d r a n , M . A s h e g h i a n d K . E . G o o d s o n : “ P h
a s e C h a n g e M e m o r y , ” P r o c e e d i n g o f I E E E , V
o l . 9 8 , N o 1 2 , D e c e m b e r , p p . 2 2 0 1 - 2 2 2 7 (2 0 1 0)

【非特許文献4】T . T s u n o d a , K . K i n o s h i t a , H . N o s
h i r o , Y . Y a m a z a k i , T . I i z u k a , Y . I t o , A .
T a k a h a s h i , A . O k a n o , Y . S a t o , T . F u k a n o , 10
M . A o k i , a n d Y . S u g i y a m a : “ L o w P o w e r a n d
h i g h S p e e d S w i t c h i n g o f T i - d o p e d N i O R e R
A M u n d e r t h e U n i p o l a r V o l t a g e S o u r c e o f l
e s s t h a n 3 V , ” I E D M (2 0 0 7)

【非特許文献5】W . K a n g , L . Z h a n g , J . K l e i n , Y . Z
h a n g , D . R a v e l o s o n a , a n d W . Z h a o : “ R e c o n f
i g u r a b l e C o d e s i g n o f S T T - M R A M U n d e r P r o c
e s s V a r i a t i o n s i n D e e p l y S c a l e d T e c h n o l o
g y , ” I E E E T r a n s a c t i o n o n E l e c t r o n D e v i c e s
, p p . 1 - 9 (2 0 1 5) 20

【非特許文献6】M . G . E r t o s u m , K . L i m , C . P a r k , J
. O h , P . K i r s c h , a n d K . C . S a r a s w a t : “ N o
v e l C a p a c i t o r l e s s S i n g l e - T r a n s i s t o r C h a r
g e - T r a p D R A M (1 T C T D R A M) U t i l i z i n g E l e c
t r o n , ” I E E E E l e c t r o n D e v i c e L e t t e r , V o l .
3 1 , N o . 5 , p p . 4 0 5 - 4 0 7 (2 0 1 0)

【非特許文献7】E . Y o s h i d a , T , T a n a k a , “ A C a p a c i t
o r l e s s 1 T - D A R M T e c h n o l o g y U s i n g G a t e - I n d
u c e d D r a i n - L e a k a g e (G I D L) C u r r e n t f o r L o
w - P o w e r a n d H i g h - S p e e d E m b e d d e d M e m o r y ” , 30
I E E E T r a n s , o n E l e c t r o n D e v i c e s v o l . 5 3 ,
p p . 6 9 2 - 6 9 7 (2 0 0 6)

【非特許文献8】M d . H a s a n R a z a A n s a r i , N u p u r N a v
l a k h a , J a e Y o o n L e e , S e o n g j a e C h o , “ D o u b l
e - G a t e J u n c t i o n l e s s 1 T D R A M W i t h P h y s i c a l
B a r r i e r s f o r R e t e n t i o n I m p r o v e m e n t ” , I E
E E T r a n s , o n E l e c t r o n D e v i c e s v o l . 6 7 , p p
. 1 4 7 1 - 1 4 7 9 (2 0 2 0)

【非特許文献9】T a k a s h i O h a s a w a a n d T a k e s h i H a m a
m o t o , “ F l o a t i n g B o d y C e l l - a N o v e l B o d y C 40
a p a c i t o r l e s s D R A M C e l l ” , P a n S t a n f o r d P u b
l i s h i n g (2 0 1 1)

【非特許文献10】“ F u t u r e S c a l i n g a n d I n t e g r a t i o n
t e c h n o l o g y ” , I n t e r n a t i o n a l E l e c t r o n D e v i
c e M e e t i n g S h o r t C o u r s e (2 0 2 1)

【発明の概要】

【発明が解決しようとする課題】

【0005】

本願は、キャパシタを無くした、1個のトランジス型のDRAMで、ワード線とボディとの容量結合カップリングによるノイズや、メモリの不安定性による誤読み出しや記憶デ 50

ータの誤った書き換えの問題を解決するメモリ装置を提供する。さらに、G A A (G a t e A l l A r o u n d) (例 えば 非 特 許 文 献 1 0 を 参 照) 技 術 を 用 い て 、 メ モ リ セ ル を 垂 直 方 向 に 積 み 上 げ る 構 造 を 導 入 す る こ と に よ っ て 、 高 密 度 、 且 つ 高 速 な M O S 回 路 を 実 現 す る 半 導 体 メ モ リ 装 置 を 提 供 す る 。

【 0 0 0 6 】

上記の課題を解決するために、本発明に係る半導体メモリ装置は、
基板上にある、第1の絶縁層と、
前記第1の絶縁層から離れて、且つ前記基板に対して水平方向に伸延し、かつ垂直方向に互いに離れて配置された複数の第1の不純物層と、
前記複数の第1の不純物層のそれぞれに伸延方向で接し、且つ前記基板に対して、水平 10
方向に伸延する複数の半導体層と、
前記複数の第1の半導体層のそれぞれに伸延方向で繋がり、且つ水平方向に伸延する複数の第2の不純物層と、
前記複数の半導体層と前記複数の第1の不純物層の一部と前記複数の第2の不純物層の一部をそれぞれ覆う複数のゲート絶縁層と、
前記複数のゲート絶縁層に接して、前記複数の第1の不純物層に近接してある第1のゲート導体層と、
前記第1のゲート導体層に接することなく、前記複数のゲート絶縁層のそれぞれに接して前記複数の第2の不純物層のそれぞれに近接してある複数の第2のゲート導体層と、
前記複数の第1の不純物層に、前記複数の半導体層とは異なる伸延方向で接続されてい 20
る第1の導体層と、
前記複数の第2の不純物層に、前記複数の半導体層とは異なる伸延方向で接続されている第2の導体層と、
前記第1の絶縁層と、前記第1のゲート導体層と、前記第1の導体層に接してある第2の絶縁層と、
前記第1の絶縁層と、前記複数の第2のゲート導体層と、前記第2の導体層に接してある第3の絶縁層と、を有し、
前記第1の導体層と、前記第2の導体層と、前記第1のゲート導体層と、前記複数の第2のゲート導体層に印加する電圧を制御して、前記複数の第1の不純物層と前記複数の第2の不純物層との間に流す電流でインパクトイオン化現象、またはゲート誘起ドレインリーク電流により電子群と正孔群を前記複数の半導体層に発生させる動作と、発生させた前記電子群と前記正孔群の内、前記複数の半導体層における多数キャリアである前記電子群又は前記正孔群のいずれかの一部または全てを、前記複数の半導体層に残存させる動作と、
を行ってメモリ書き込み動作を行い、
前記第1の導体層と、前記第2の導体層と、前記第1のゲート導体層と、前記複数の第2のゲート導体層に印加する電圧を制御して、前記複数の第1の不純物層と、前記複数の第2の不純物層の少なくとも一か所から、残存している前記第1の半導体層における多数キャリアである前記電子群又は前記正孔群のいずれかを抜き取り、メモリ消去動作を行う、ことを特徴とする(第1発明)。

【 0 0 0 7 】

上記の第1発明において、前記複数の第1の不純物層に繋がる前記第1の導体層は、ソース線に接続され、前記複数の第2の不純物層に繋がる前記第2の導体層は、ビット線に接続され、前記第1のゲート導体層はプレート線に接続され、前記複数の第2のゲート導体層はワード線につながれ、ソース線、ビット線、プレート線、ワード線のそれぞれに所定の電圧を与えて、メモリの書き込み、消去を行うことを特徴とする(第2発明)。

【 0 0 0 8 】

上記の第1発明において、前記第1の不純物層と前記第2の不純物層と前記半導体層と前記ゲート絶縁層と、前記第1のゲート導体層と前記第2のゲート導体層で形成される半導体装置をメモリセルとしたときに、前記基板に垂直な方向において、前記メモリセルの前記半導体の断面で、前記第1のゲート導体層、もしくは前記複数の第2ゲート導体層直 50

下から延びる最大空乏層幅の合計面積よりも、前記半導体層の断面積が厚いことを特徴とする（第3発明）。

【0009】

上記の第3発明において、前記基板に垂直な方向において、隣接する前記メモリセルの間隔が前記基板の水平方向において、隣接する前記メモリセルの間隔と比較して、広いことを特徴とする（第4発明）。

【0010】

上記の第1発明において、前記第2のゲート導体層が前記基板の水平方向に隣接する複数の前記メモリセルで共有されていることを特徴とする（第5発明）。

【0011】

上記の第1発明において、前記複数の第1のゲート導体層が基板に対して、水平方向、または垂直方向に隣接している複数のセルで共有されていることを特徴とする（第6発明）。

【0012】

上記の第1発明において、前記第1の導体層と前記複数の第1の不純物層の接触面の面積が、前記第1の不純物層に繋がる前記複数の第1の半導体層の断面積に等しいか又はそれより大きいことを特徴とする（第7発明）。

【0013】

上記の第1発明において、前記第2の導体層と前記複数の第2の不純物層の接触面の面積が、前記複数の第2の不純物層に繋がる前記複数の第1の半導体層の断面積に等しいか又はそれより大きいことを特徴とする（第8発明）。

【0014】

上記の第1発明において、前記複数の第1の不純物層と前記複数の第2の不純物層の両方、もしくは一方が、前記基板に対して水平方向の、隣接するセルで共有されていることを特徴とする（第9発明）。

【0015】

上記の第2発明において、セルアレイの終端で、前記第1の導体層に第1の金属電極が接し、かつ前記ソース線に繋がり、前記第1のゲート導体層に第2の金属電極が接し、かつ前記プレート線に繋がり、前記第2の導体層に第3の金属電極が接し、かつ前記ビット線に繋がり、前記複数の第2のゲート導体層のそれぞれに複数の第4の金属電極が接し、かつそれぞれにワード線がつながっていることを特徴とする（第10発明）。

【0016】

上記の第1発明において、セルアレイを接続する金属配線において、プレート線とソース線とワード線とビット線の役割をする金属配線のすべて、またはこの一部が、同じ層の金属配線で形成されていることを特徴とする（第11発明）。

【図面の簡単な説明】

【0017】

【図1】第1実施形態に係る半導体素子を用いたメモリ装置の断面構造を示す図である。

【図2】第1実施形態に係る半導体素子を用いたメモリ装置の断面構造の追加例を示す図である

【図3】第1実施形態に係る半導体素子を用いたメモリ装置の書き込み動作、動作直後のキャリアの蓄積、セル電流を説明するための図である。

【図4】第1実施形態に係る半導体素子を用いたメモリ装置の書き込み動作直後の正孔キャリアの蓄積、消去動作、セル電流を説明するための図である。

【図5】第1実施形態に係る半導体素子を用いたメモリ装置のセル配置を説明するための図である。

【図6】第1実施形態に係る半導体素子を用いたメモリ装置のセルアレイの最終端を説明するための図である。

【発明を実施するための形態】

【0018】

10

20

30

40

50

以下、本発明に係る、半導体素子を用いたメモリ装置の構造、駆動方式、蓄積キャリアの挙動、半導体装置の中のセル配置、配線構造について、図面を参照しながら説明する。

【0019】

(第1実施形態)

図1～図4を用いて、本発明の第1実施形態に係る半導体素子を用いたメモリセルの構造と動作メカニズムを説明する。図1を用いて、本実施形態による半導体素子を用いたメモリのセル構造とメモリセルの配置をそれぞれ説明する。図2は、図1のメモリの応用形を示す。図3を用いて、半導体素子を用いたメモリの書き込みメカニズムとキャリアの挙動を、図4を用いて、データ消去メカニズムを説明する。また、図5を用いて、本実施形態による半導体装置のメモリセルの配置例、図6を用いて、本実施形態によるメモリセルの最終端での配線構造について説明する。

10

【0020】

図1に、本発明の第1実施形態に係る半導体素子を用いたメモリの構造を示す。図1の(a)は平面図、(b)はX-X'線に沿った断面図、(c)はY1-Y1'線に沿った断面図、(d)はY2-Y2'線に沿った断面図をそれぞれ示す。まず、X-X'線に沿った、最上にある最少単位のメモリセルの構造を説明したのちに、このメモリセルを複数配置した全体のメモリ構成を説明する。

【0021】

基板20(特許請求の範囲の「基板」の一例である)上に絶縁層21があり(特許請求の範囲の「第1の絶縁層」の一例である)、基板20に対して、平行に、n+層2aa(特許請求の範囲の「第1の不純物層」の一例である)(以下、ドナー不純物を高濃度で含む半導体領域を「n+層」と称する。)がある。そして、n+層2aaに繋がってp型半導体層1aa(特許請求の範囲の「第1の半導体層」の一例である)(以下、p型半導体層を「p層」と称する。)がある。そして、p層1aaに繋がって、n+層2aaと反対の側にn+層3aa(特許請求の範囲の「第2の不純物層」の一例である)がある。p層1aaの表面の一部にゲート絶縁層4aa(特許請求の範囲の「ゲート絶縁層」の一例である)がある。ゲート絶縁層4aaの一部を囲んで、第1のゲート導体層5(特許請求の範囲の「第1のゲート導体層」の一例である)がn+層2aaに近接してある。また、ゲート導体層5に接することなく、ゲート導体層6a(特許請求の範囲の「第2のゲート導体層」の一例である)が、ゲート絶縁層4aaに接し、n+層3aaに近接してある。これにより、p層1aa、n+層2aa、n+層3aa、ゲート絶縁層4aa、ゲート導体層5、ゲート導体層6aにより、ひとつのダイナミックフラッシュメモリのセル8(図1(a)に点線で表示)(特許請求の範囲の「メモリセル」の一例である)が形成される。

20

30

【0022】

さらに、メモリ装置では、上述のダイナミックフラッシュメモリセル8が、基板20と絶縁層21の上に、垂直方向(これ以降、“列方向”もしくは“列”として表記する)に互いに分離して配列され、それらがさらに水平方向(これ以降、“行方向”もしくは“行”として表記する)に配列される。図1(a)～(d)ではメモリセル8を3行3列に配置した例を示している。なお、図1では水平方向とは図1(a)の下から上へ向かう方向を指している。

40

【0023】

図1(b)に1列目に配置されている3つのセルの断面図を示した。1行目、1列目のメモリセルは上記に説明したように、p層1aa、n+層2aa、n+層3aa、ゲート絶縁層4aa、ゲート導体層5、ゲート導体層6aで構成されている。1行目、2列目は、p層1ba、n+層2ba、n+層3ba、ゲート絶縁層4ba、ゲート導体層5、ゲート導体層6bで、1行目、3列目は、p層1ca、n+層2ca、n+層3ca、ゲート絶縁層4ca、ゲート導体層5、ゲート導体層6cでそれぞれ、メモリセルが構成されている。さらに、n+層2aa、2ba、2caは、第1の導体層12(特許請求の範囲の「第1の導体層」の一例である)に接続されている。さらに、n+層3aa、3ba、

50

3 c a は、第 2 の導体層 1 3 a (特許請求の範囲の「第 2 の導体層」の一例である) に接続されて、1 行目のメモリセルアレイが構成される。これを基板 2 0 に対して水平方向 (図 1 (a) では上方向) に展開することで 3 列 3 行の合計 9 個のメモリセルを有したメモリ装置ができる。このメモリ装置では、ゲート導体層 5 と導体層 1 2 と絶縁層 2 1 に接触して、絶縁層 2 2 (特許請求の範囲の「第 2 の絶縁層」の一例である) があり、ゲート導体層 5 と導体層 1 3 a、1 3 b、1 3 c と絶縁層 2 1 に接触して、絶縁層 2 3 (特許請求の範囲の「第 3 の絶縁層」の一例である) がある。

【 0 0 2 4 】

図 1 (c) には、p 層の部分で (a) の Y 1 - Y 1 ' 線に沿った 9 つのセルアレイの断面構造が示されている。図面番号として、p 層 1 x y、ゲート絶縁層 4 x y という形態でそれぞれのセルに示されているが、それぞれの数字の後の x は行、y は列を示しており、この文字が a の場合は 1 行目、もしくは 1 列目、同様に b は 2 行目、もしくは 2 列目、c は 3 行目、もしくは 3 列目を、それぞれ示している (なお、これ以降、これらの行、列を包括的に数字のみで表すことがある。例えば p 層 1 a a ~ p 層 1 c c を p 層 1 と包括的に表記する場合がある)。ゲート導体層 6 x はそれぞれの行方向のセルで共有化されており、例えば、p 層 1 a a、1 a b、1 a c を含むセルではゲート導体層 6 a が共有されている。同様に p 層 1 b a、1 b b、1 b c を含むセルではゲート導体層 6 b が共有され、p 層 1 c a、1 c b、1 c c を含むセルではゲート導体層 6 c が共有されている。

10

【 0 0 2 5 】

また、図 1 (d) には、ゲート導体層 5 の部分で (a) の Y 2 - Y 2 ' 線に沿った 9 つのセルアレイの断面構造を示した。ゲート導体層 5 は、9 つのセルのゲート絶縁層 4 a a ~ 4 c c によって共有されている。

20

【 0 0 2 6 】

さらに、導体層 1 2 はソース線 S L (特許請求の範囲の「ソース線」の一例である) に、ゲート導体層 5 はプレート線 P L (特許請求の範囲の「プレート線」の一例である) に接続されている。また、導体層 1 3 a はビット線 B L 1 (特許請求の範囲の「ビット線」の一例である) に接続され、同様に導体層 1 3 b はビット線 B L 2 に、導体層 1 3 c はビット線 B L 3 に接続されている。さらに、ゲート導体層 6 a はワード線 W L 1 (特許請求の範囲の「ワード線」の一例である) に接続され、同様にゲート導体層 6 b は W L 2 に、ゲート導体層 6 c は W L 3 に接続されている。ソース線、ビット線、プレート線、ワード線の電位をそれぞれに操作することで、メモリの動作をさせる。このメモリ装置を以下、ダイナミック フラッシュ メモリと呼ぶ。

30

【 0 0 2 7 】

なお、図 1 では p 層 1 a a ~ 1 c c は p 型の半導体としたが、不純物の濃度にプロファイルが存在してもよい。また、n + 層 2 a a ~ 2 c c、n + 層 3 a a から 3 c c の不純物の濃度にプロファイルが存在してもよい。

【 0 0 2 8 】

また、n + 層 2 a a ~ 2 c c と n + 層 3 a a ~ 3 c c を正孔が多数キャリアである p + 層 (以下、アクセプタ不純物を高濃度で含む半導体領域を「p + 層」と称する。) で形成したときは、p 層 1 a a ~ 1 c c を n 型半導体、とすれば書き込みのキャリアを電子とすることでダイナミック フラッシュ メモリの動作がなされる。

40

【 0 0 2 9 】

また、図 1 での基板 2 0 は絶縁体でも、半導体でも導体でも、その上に絶縁層 2 1 が形成され、かつ、メモリセルを支えられるものであれば任意の材料を用いることができる。

【 0 0 3 0 】

また、ゲート導体層 5、ゲート導体層 6 a ~ 6 c は、ゲート絶縁層 4 a a ~ 4 c c を介してメモリセルの一部の電位を変化させられるのであれば、例えば W、P d、R u、A l、T i N、T a N、W N のような金属、金属の窒化物、もしくはその合金 (シリサイドを含む)、例えば T i N / W / T a N のような積層構造であってもよいし、高濃度にドーパされた半導体で形成してもよい。

50

【 0 0 3 1 】

また、導体層 1 2 と導体層 1 3 a ~ 1 3 c は、n + 層 2 a a ~ 2 c c、n + 層 3 a a ~ 3 c c とそれぞれ電氣的に接続できるものであれば、どのような材料でも構わない。

【 0 0 3 2 】

また、ゲート絶縁層 4 a a ~ 4 c c には、例えば S i O 2 膜、S i O N 膜、H f S i O N 膜や S i O 2 / S i N の積層膜など、通常の M O S プロセスにおいて使用されるいかなる絶縁膜が使用可能である。

【 0 0 3 3 】

また、図 1 においてメモリセルは矩形状の垂直断面を有するとして説明したが、台形状でも多角形でも円柱の形で構わない。

10

【 0 0 3 4 】

なお、図 1 では、それぞれのメモリセル 8 において、ゲート導体層 5 が一体のものとして、示されているが、基板 2 0 に対して水平、または垂直方向において、分割されていても構わない。

【 0 0 3 5 】

また、図 1 において、絶縁層 2 2 と絶縁層 2 3 は分割して図示したが、一体のものとして、同じ材料や、複数の材料を多層に組み合わせて形成してもかまわない。

【 0 0 3 6 】

図 2 に、本発明の第 1 実施形態に係る図 1 のメモリの構造の変形例を示す。図 2 (a) は平面図、図 2 (b) は (a) の X - X ' 線に沿った断面図、図 2 (c) は (a) の Y 1 - Y 1 ' 線に沿った断面図、をそれぞれ示す。

20

【 0 0 3 7 】

図 1 において n + 層 2 a a ~ 2 c c と導体層 1 2 は一つの面で接触されているように図示しているが、図 2 (a)、図 2 (b) に示したように、n + 層 2 a a ~ 2 c c と導体層 1 2 の接触面を n + 層 2 a a ~ 2 c c それぞれの断面積よりも大きくすることができる。同様に図 1 において n + 層 3 a a ~ 3 c c と導体層 1 3 a ~ 1 3 c は一つの面で接触しているように図示しているが、図 2 の (a)、(b) に示したように n + 層 3 a a ~ 3 c c それぞれの断面積よりも n + 層 3 a a ~ 3 c c と導体層 1 3 a ~ 1 3 c の接触面積を大きくすることによって、n + 層 2 , 3 と導体層 1 2 や導体層 1 3 とのコンタクト抵抗の小さい配線ができる。

30

【 0 0 3 8 】

また、図 2 の (b)、(c) に示すように、ゲート導体層 6 a がゲート絶縁層 4 a a ~ 4 a c の一部に接触していれば、図 1 のようにゲート導体層 6 a でゲート絶縁層 4 a a ~ 4 a c の周囲をすべて覆っていなくとも、ダイナミック フラッシュ メモリの動作ができる。

【 0 0 3 9 】

図 3 を用いて、本発明の第 1 実施形態に係るダイナミック フラッシュ メモリの書き込み動作時のキャリア挙動、蓄積、セル電流を説明する。図 1 (a) の 1 行、1 列目のメモリセルに着目して動作原理を説明する。図 3 (a) に示すように、まず n + 層 2 a a と n + 層 3 a a の多数キャリアが電子であり、たとえば W L につながるゲート導体層 6 a と P L につながるゲート導体層 5 に n + p o l y (以下、ドナー不純物を高濃度で含む p o l y S i を「n + p o l y」と称する。) を使用し、p 層 1 a a として p 型半導体を使用した場合を説明する。ソース線 S L の接続された導体層 1 2 を通して、n + 層 2 a a に、例えば 0 V を入力し、ビット線 B L の接続された導体層 1 3 a を通して n + 層 3 a a に、例えば 3 V を入力し、プレート線 P L の接続されたゲート導体層 5 を例えば 3 V とし、ワード線 W L の接続されたゲート導体層 6 a に、例えば、1 . 5 V を入力する。

40

【 0 0 4 0 】

この電圧印加状態で、n + 層 2 a a から n + 層 3 a a の方向に向かって電子が流れる。ゲート絶縁層 4 a a の直下には反転層 1 4 が形成され、さらに、ピンチオフ点 1 5 で電界は最大となり、この領域でインパクトイオン化現象が生じる。このインパクトイオン化現象

50

象により、ソース線 S_L の接続された $n +$ 層 $2a$ からビット線 B_L の接続された $n +$ 層 $3a$ に向かって加速された電子が S_i 格子に衝突し、その運動エネルギーによって、電子・正孔対が生成される。生成された電子の一部は、ゲート導体層 $6a$ に流れるが、大半はビット線 B_L に接続された $n +$ 層 $3a$ に流れる。

【0041】

図3(b)には、書き込み直後、すべてのバイアスが0Vになったときのp層 $1a$ にある正孔群17を示す。生成された正孔群17は、p層 $1a$ の多数キャリアであり、一時的に空乏層16に囲まれたp層 $1a$ に蓄積され、非平衡状態では実質的にゲート導体層5やゲート導体層 $6a$ を持つMOSFETの基板であるp層 $1a$ を正バイアスに充電する。その結果、ゲート導体層 $6a$ をもつMOSFETのしきい値電圧は、p層 $1a$ に一時的に蓄積される正孔により正の基板バイアス効果によって、低くなる。これにより、図3(c)に示すように、ワード線 W_L の接続されたゲート導体層 $6a$ をもつMOSFETのしきい値電圧は、中立状態よりも低くなる。この書き込み状態を論理記憶データ“1”に割り当てる。

10

【0042】

なお、上記のビット線 B_L 、ソース線 S_L 、ワード線 W_L 、プレート線 P_L に印加する電圧条件は、書き込み動作を行うための一例であり、書き込み動作ができる他の動作電圧条件であってもよい。例えば、ビット線 B_L に3V、ソース線 S_L に0V、ワード線 W_L に4V、プレート線 P_L に1.5Vを印加した場合にはピンチオフ点16の位置がゲート導体層5のほうにシフトするが、同様の現象を起こすことができる。また、ビット線 B_L に3V、ソース線 S_L に0V、ワード線 W_L に2V、プレート線 P_L に2Vをかけた場合にはピンチオフ点15の位置がゲート導体層 $6a$ のほうにシフトするが、やはり同様の現象を起こすことができる。

20

【0043】

なお、上記のインパクトイオン化現象を起こさせる代わりに、ゲート誘起ドレインリーク(GIDL)電流を流して正孔群を生成してもよい(例えば非特許文献8を参照)。

【0044】

なお、書き込み時に第1のゲート導体層5の直下、もしくは前記第2ゲート導体層6の直下から延びる空乏層でp層1がすべて占有されると余剰正孔17をためる場所がなくなるので、どのような電圧印加状態でもp層1が空乏層に占められない部分を確保しておく必要がある。

30

【0045】

次に、図4を用いて、図1に示した第1実施形態のダイナミックフラッシュメモリの消去動作メカニズムを説明する。図3(b)に示した状態から、ビット線 B_L の印加電圧を0.6V、ソース線 S_L に0V、プレート線 P_L に2V、ワード線 W_L に0Vを印加する。その結果、p層 $1a$ に蓄積されている正孔17の濃度が $n +$ 層 $2a$ の正孔濃度よりも十分高いために、その濃度勾配によって、拡散によって $n +$ 層 $2a$ に正孔が流れ込む。逆に $n +$ 層 $2a$ の電子濃度がp層 $1a$ の電子濃度よりも高いために、濃度勾配により、拡散によって電子18がp層 $1a$ に流れ込む。p層 $1a$ に流入した電子はp層 $1a$ の中で正孔と再結合し消滅する。しかし、注入された電子18は、すべては消滅せず、消滅しなかった電子18はビット線 B_L とソース線 S_L の電位勾配によってドリフトによって空乏層16を通り、 $n +$ 層 $3a$ に流れ込む。電子はソース線 S_L から次々と供給されるので、非常に短時間に過剰の正孔は電子と再結合し、初期の状態に戻る。これにより、図4(b)に示すように、このワード線 W_L が接続されたゲート導体層 $6a$ をもつMOSFETは元々のしきい値に戻る。この記憶素子の消去状態は論理記憶データ“0”となる。

40

【0046】

なお、ビット線にける電圧は0.6Vよりも高くても低くても、電子のドリフトが空乏層16内で起こる電圧であれば、調整可能の範囲である。またほかのデータの消去方法として、上記のビット線 B_L 、ソース線 S_L 、ワード線 W_L 、プレート線 P_L に印加する

50

電圧条件は、 $0.6V(BL)/0V(SL)/0V(PL)/2V(WL)$ や $0V(BL)/0.6V(SL)/1V(PL)/0V(WL)$ や $-0.6V(BL)/0V(SL)/1V(PL)/0V(WL)$ や $1.5V(BL)/0V(SL)/0V(PL)/2.5V(WL)$ 、などの組み合わせでも可能である。上記のビット線 BL、ソース線 SL、ワード線 WL、プレート線 PL に印加する電圧条件は、消去動作を行うための一例であり、消去動作ができる他の動作条件であってもよい。

【0047】

図5(a)～(d)を用いて、本発明の第1実施形態に係る、さらなる高密度のメモリ装置を実現するメモリセルの配置の一例を示す。図5(a)～(d)において、図1と同一または類似の構成部分には数字のみ同一の符号を付してある。

10

【0048】

図5(a)は、図1(a)から基板20と絶縁層21を除いた複数のセルの平面図を示している。図5では図1のp層1aa～1ccを包括的にp層1、n+層2aa～2ccを包括的にn+層2、n+層3aa～3ccを包括的にn+層3、ゲート絶縁層4aa～4ccを包括的にゲート絶縁層4、ゲート導体層6aから6cを包括的にゲート導体層6、配線導体層13aから13cを配線導体層13として表記する。図5(b)は、図5(a)のX-X'線に沿った断面図を示している。

【0049】

図5(a)の導体層12の中央部から、導体層13の中央部までの間に含まれている構成要素をLCEと定義する。また、図5(b)の導体層12の中央部から、導体層13の中央部までの間に含まれている構成要素をVCEと定義する。図5(c)には、基板20に接してある絶縁層21の上に左から図5(a)の単位LCEを正方向、左右反転方向、正方向で並べ、かつ導体層12と導体層13を隣どうして共有して、全部で $9 \times 3 = 27$ 個のセルを配置した例を示した。同様に図5(d)には、図5左から図5(b)の単位VCEを正方向、左右反転方向、正方向で並べ、かつ導体層12と導体層13を隣どうして共有し、並べた断面図を示した。

20

【0050】

なお、図5では右方向にメモリセルを展開した例を示したが、図5(a)において、上方向にメモリセルを展開することもできるし、図5(d)において、基板20から垂直方向にも展開できる。

30

【0051】

なお、図5は図1のメモリセルを基本にしているが、図2のセルを例にセルを展開すれば、隣同士のセルで、n+層2がつながっていて、その一部が導体層12で被覆されていてもよい。また、同様に、隣同士のセルで、n+層3がつながっていて、その一部が導体層13で被覆されていてもよい。

【0052】

図6に、本発明の第1実施形態に係るダイナミック フラッシュ メモリセルアレイの最終端での電極配置と配線構造を示す。図6(a)にメモリセル8を基板(図示されず)に対して、垂直方向に3列、水平方向にx行配列した場合の、x行目のメモリセルとその終端の電極の鳥瞰図を示す。n+層2ax～2cx、n+層3ax～3cx、ゲート絶縁層4ax～4cx、ゲート導体層5、ゲート導体層6a～6c、導体層12、導体層13xがセルの構成要素である。導体層12は電極32(特許請求の範囲の「第1の金属電極」の一例である)を通じてソース線SLに、ゲート導体層5は電極35(特許請求の範囲の「第2の金属電極」の一例である)を通じてプレート線PLに、導体層13xは電極33(特許請求の範囲の「第3の金属電極」の一例である)を通じてビット線BLに接続される。また、ゲート導体層6aは電極36a(特許請求の範囲の「第4の金属電極」の一例である)を通じてワード線WL1に、同様にゲート導体層6bは電極36bを通じてWL2に、ゲート導体層6cは電極36cを通じてWL3に接続される。

40

【0053】

なお、電極32, 33, 35, 36a, 36b, 36cは、それぞれ、導体層12, 導

50

体層 1 3 x、ゲート導体層 5、ゲート導体層 6 a、6 b、6 c に電氣的に接続するものであり、かつその上部に配線される材料と電氣的に接合されるのであれば、どのような材料でも構わない。

【0054】

図 6 (b) は、図 6 (a) に示されたそれぞれの電極に金属配線を接続した平面図の一例を示す。電極 3 3 はビット線である金属配線層 4 3 に、電極 3 2 はソース線である金属配線層 4 2 に、電極 3 5 はプレート線である金属配線層 4 5 に、電極 3 6 a はワード線 1 である金属配線層 4 6 a に、電極 3 6 b はワード線 2 である金属配線層 4 6 b に、電極 3 6 c はワード線 3 である金属配線層 4 6 c に、それぞれ電氣的に接続されている。

【0055】

10

なお、図 6 には図示されていないが、セルアレイは図 6 (b) の下方 (x 方向) に展開されている。また、平面視的には図 6 (b) に示すように電極 3 3、3 2、3 5、3 6 a、3 6 b、3 6 c の順で配置されており、最終端以外のセルアレイでは、ビット線が配線の最小ピッチでレイアウトできることがわかる。

【0056】

また、図 6 では z 方向の展開が示されていないが、それぞれの金属配線ピッチを緩和することなく、レイアウトもできるし、ブロックごとに層をかえて、それぞれに配線することも可能であり、メモリ密度を損なうことはない。

【0057】

なお、図 6 (a) では電極 3 6 a、3 6 b、3 6 c の高さを変えて、電極 3 2、3 3、3 5、3 6 a、3 6 b、3 6 c の上面がすべて同じ高さでそろっており、図 6 (b) では同じ層の金属配線層で配線する例を示したが、プレート線、ビット線、ソース線の接続のための電極を複数段にして、その高さを互いに換え、違う層の金属配線を使用してもよい。また、多層配線技術を用いて、お互いに違う層の金属配線層で接続してもよい。

20

【0058】

またすべての電極は円柱で示したが、断面は例えば、四角形のように、多角形であっても構わない。

【0059】

本実施形態は、下記の特徴を有する。

(特徴 1)

30

本発明の第 1 実施形態に係るダイナミック フラッシュ メモリでは、基板の垂直方向に対して、複数のメモリセルを積み上げられ、かつ、隣接したセル同士がゲート導体層 6 によって電氣的に遮蔽される。従来のメモリのセル配置では、高密度にメモリセルを最小線幅で配置した場合にメモリセル間の電氣的な相互作用が大きくなり、一方、この相互作用を防ぐために、セルのワード線間隔をあけると、メモリの密度が低くなる。本発明の第 1 実施形態によれば、平面視的な面積を変えることなく、かつ、メモリセルが相互作用の少ない配置ができるので、高密度で、かつマージンのあるメモリセル配置ができる。

【0060】

(特徴 2)

40

本発明の第 1 実施形態に係るダイナミック フラッシュ メモリでは平面視的なメモリ密度を犠牲にすることなく、メモリセルの半導体層 1 の垂直方向の厚さを自由に調整できるので、書き込み時におけるキャリアの数を多くすることができ、メモリ動作のマージンを広げることができる。

【0061】

(特徴 3)

本発明の第 1 実施形態に係るダイナミック フラッシュ メモリではメモリ密度を犠牲にすることなく、基板に対して、垂直方向のメモリセルの間隔が広げられるので、各メモリの垂直方向のワード線 6 の間隔を広げられ、従来例より寄生容量を小さくでき、さらに実質的にワード線 6 の垂直方向の膜厚を厚くすることもできるので、寄生抵抗を小さくでき、メモリの高速動作に寄与する。

50

【 0 0 6 2 】

(特徴 4)

本発明の第 1 実施形態に係るダイナミック フラッシュ メモリでは複数のメモリセルを垂直方向にビット線 B L に接続する導体層 1 3 に接続できるために、二次元的にメモリセルを配置した従来に比較して、短い配線を実現でき、寄生抵抗や寄生容量が従来例に比較して下げられ、メモリが高速動作でき、かつメモリの動作マージンを広げられる。従来のメモリセルの配置では、平面視的な面積を小さくするためにいかに多くのメモリセルを同じビット線に接続するかが大事であるが、一方、多くのセルを同じビット線に接続するとその寄生抵抗や寄生容量の二次元的なレイアウト依存性が大きくなり、メモリ動作マージンが狭くなる問題がある。

10

【 0 0 6 3 】

(特徴 5)

本発明の第 1 実施形態に係るダイナミック フラッシュ メモリでは複数のメモリセルが垂直方向にソース線 S L に接続する導体層 1 2 に接続できるために、ビット線と同様に、寄生抵抗や寄生容量が従来例に比較して下げられ、安定してそれぞれのメモリセルの基準電位を固定できる。これにより、平面視的な面積を変えずにメモリ面積を低減でき、メモリの動作マージンを広げられる。

【 0 0 6 4 】

(特徴 6)

本発明の第 1 実施形態に係るダイナミック フラッシュ メモリでは図 5 で示したように、複数のメモリセルで、ビット線につながる導体層 1 3 やソース線につながる導体層 1 2 を共有できる配置がレイアウトできるのでメモリの高密度化を実現できる。

20

【 0 0 6 5 】

(特徴 7)

本発明の第 1 実施形態に係るダイナミック フラッシュ メモリでは図 6 で示したように、メモリセルに接続するワード線とビット線の金属配線層が最小寸法でレイアウトできるので、高密度のメモリ装置を供与できる。従来例では、ビット線とワード線を垂直にレイアウトする必要があるが、ワード線とビット線を同層の金属配線で形成することは不可能であった。

【 0 0 6 6 】

また、本発明は、本発明の広義の精神と範囲を逸脱することなく、様々な実施形態及び変形が可能とされるものである。また、上述した各実施形態は、本発明の一実施例を説明するためのものであり、本発明の範囲を限定するものではない。上記実施例及び変形例は任意に組み合わせることができる。さらに、必要に応じて上記実施形態の構成要件の一部を除いても本発明の技術思想の範囲内となる。

30

【 産業上の利用可能性 】

【 0 0 6 7 】

本発明に係る、半導体素子を用いれば、従来よりも密度が高く、かつ高速であり、かつ動作マージンの高い、半導体メモリ装置を提供することができる。

【 符号の説明 】

40

【 0 0 6 8 】

2、2 a a , 2 a b , 2 a c , 2 b a , 2 b b , 2 b c , 2 c a , 2 c b , 2 c c , 2 a x、2 b x、2 c x n + 層

3、3 a a , 3 a b , 3 a c , 3 b a , 3 b b , 3 b c , 3 c a , 3 c b , 3 c c、3 a x、3 b x、3 c x n + 層

4、4 a a , 4 a b , 4 a c , 4 b a , 4 b b , 4 b c , 4 c a , 4 c b , 4 c c , 4 a x、4 b x、4 c x ゲート絶縁層

5 第 1 のゲート導体層

6、6 a , 6 b , 6 c 第 2 のゲート導体層

1 2 第 1 の配線導体層

50

1 3、1 3 a , 1 3 b , 1 3 c	第 2 の配線導体層	
1 4	反転層	
1 5	ピンチオフ点	
1 6	空乏層	
1 7	余剰正孔	
1 8	注入された電子	
2 0	基板	
2 1	第 1 の絶縁層	
2 2	第 2 の絶縁層	
2 3	第 3 の絶縁層	10
3 2	第 1 の電極	
3 3	第 1 の電極	
3 4	第 1 の電極	
3 5	第 1 の電極	
3 6 a , 3 6 b , 3 6 c	第 1 の電極	
4 2	金属配線層 (ソース線 S L に接続)	
4 3	金属配線層 (ビット線 B L に接続)	
4 5	金属配線層 (プレート線 P L に接続)	
4 6 a , 4 6 b , 4 6 c	金属配線層 (ワード線 W L 1 , w L 2 , W L 3 に接続)	20
		30
		40
		50