



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201135832 A1

(43)公開日：中華民國 100 (2011) 年 10 月 16 日

(21)申請案號：099138381

(22)申請日：中華民國 99 (2010) 年 11 月 08 日

(51)Int. Cl. : *H01L21/3065(2006.01)*

(30)優先權：2009/11/09 美國 61/259,299

(71)申請人：3 M新設資產公司 (美國) 3M INNOVATIVE PROPERTIES COMPANY (US)
美國

(72)發明人：海斯 麥克 艾爾伯特 HAASE, MICHAEL ALBERT (US)；史密斯 泰瑞 李
SMITH, TERRY LEE (US)；張俊穎 ZHANG, JUN-YING (GB)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：16 項 圖式數：5 共 23 頁

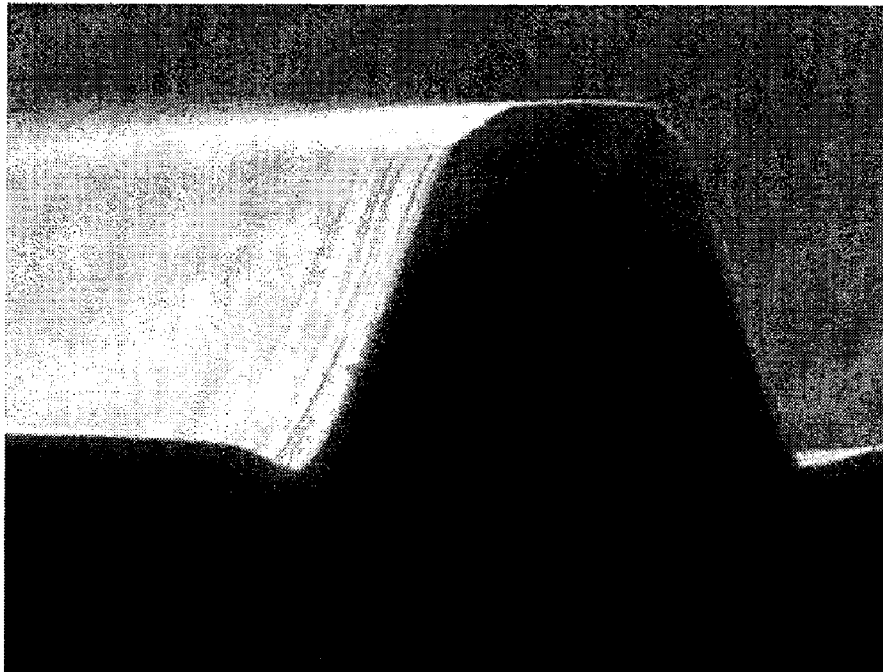
(54)名稱

半導體之蝕刻方法

ETCHING PROCESS FOR SEMICONDUCTORS

(57)摘要

本發明提供一種蝕刻諸如 II-VI 或 III-V 半導體的半導體之方法。該方法包括使用一種非反應性氣體經蝕刻遮罩濺射蝕刻該半導體，移除該半導體並以一種反應性氣體清洗腔室。該蝕刻遮罩包括光阻劑。使用此方法，可製造光提取元件或奈米/微米結構蝕刻於半導體材料中之發光二極體。



1μm



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201135832 A1

(43)公開日：中華民國 100 (2011) 年 10 月 16 日

(21)申請案號：099138381

(22)申請日：中華民國 99 (2010) 年 11 月 08 日

(51)Int. Cl. : *H01L21/3065(2006.01)*

(30)優先權：2009/11/09 美國

61/259,299

(71)申請人：3 M新設資產公司 (美國) 3M INNOVATIVE PROPERTIES COMPANY (US)
美國

(72)發明人：海斯 麥克 艾爾伯特 HAASE, MICHAEL ALBERT (US)；史密斯 泰瑞 李
SMITH, TERRY LEE (US)；張俊穎 ZHANG, JUN-YING (GB)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：16 項 圖式數：5 共 23 頁

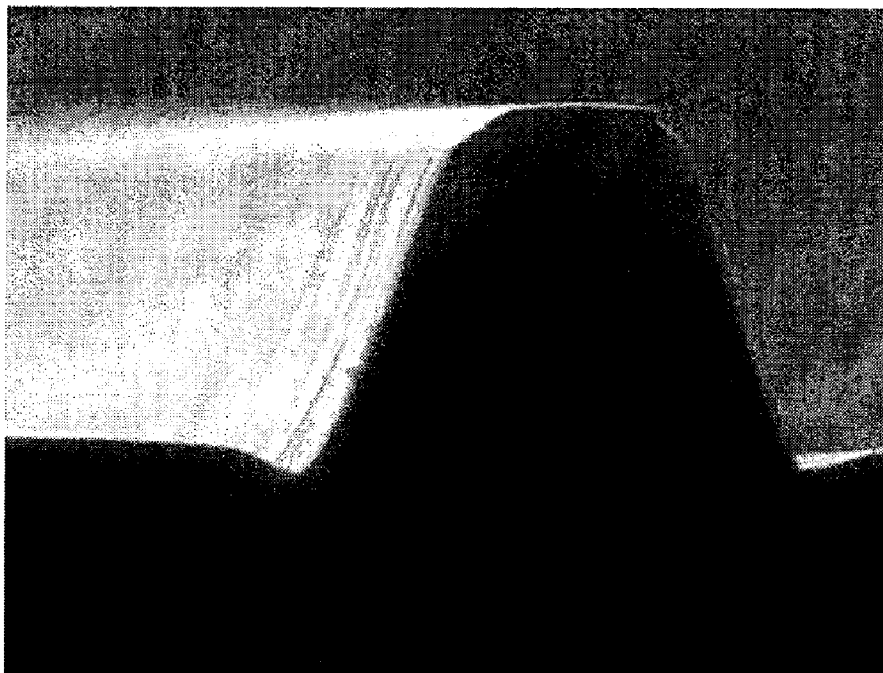
(54)名稱

半導體之蝕刻方法

ETCHING PROCESS FOR SEMICONDUCTORS

(57)摘要

本發明提供一種蝕刻諸如 II-VI 或 III-V 半導體的半導體之方法。該方法包括使用一種非反應性氣體經蝕刻遮罩濺射蝕刻該半導體，移除該半導體並以一種反應性氣體清洗腔室。該蝕刻遮罩包括光阻劑。使用此方法，可製造光提取元件或奈米/微米結構蝕刻於半導體材料中之發光二極體。



1μm

六、發明說明：

【發明所屬之技術領域】

本發明大體上係關於一種用於蝕刻半導體之方法。

【先前技術】

光電子學之快速發展已產生對在半導體表面上製造奈米尺寸圖案之方法的需求。一般而言，藉由大量技術將此等圖案蝕刻於半導體基板中。例如，濕式化學蝕刻常用於蝕刻多種半導體。然而，濕式化學蝕刻可係各向同性，進而限制可製造之特徵的縱橫比，且該方法之均勻性低。光電子學工業之製造工廠需較使用濕式蝕刻更多受控蝕刻步驟。

由於濕式化學蝕刻的缺點，故已開發半導體之乾式蝕刻方法。例如，反應性離子蝕刻已用於在矽基板中製造良好受控之蝕刻輪廓。反應性離子蝕刻包括經由於反應器中之低壓反應性氣體混合物中進行放電而產生化學反應性物種，諸如自由基與離子。藉由電場，以此方式產生之反應性物種加速朝向基板並與矽反應，產生用泵抽離之揮發性反應產物。蝕刻前，可將一蝕刻遮罩施用於基板以使反應性物種將圖案蝕刻於基板中。由於正電荷反應性物種幾乎垂直降落，故當蝕刻於基板中時，蝕刻特徵之側壁處之蝕刻要慢得多。

例如由 SiO_2 、 Si_3N_4 或金屬製得的硬蝕刻遮罩為半導體微影蝕刻之一般技術者所熟知。但此等遮罩難以製造，此因在施用光阻劑之前，其等一般需在一單獨步驟中真空沉積

之故。硬蝕刻遮罩使該方法更複雜且增加更多方法步驟。另外，蝕刻後，需藉由乾式蝕刻或濕式蝕刻移除硬遮罩。此外，藉由若干蝕刻化學試劑，此等材料趨於以接近許多II-VI或III-V半導體速度的速率蝕刻，使其等用途受限。雖然反應性離子蝕刻對形成經由泵抽自真空腔室輕易去除之揮發性副產物的半導體(諸如矽)極其有用，但反應性離子蝕刻對II-VI半導體並不實用，此因此等材料不易與反應性離子反應且一般不形成揮發性副產物之故。乾式蝕刻係公認用於圖案化大多數半導體材料。氯(Cl_2)基反應性離子蝕刻(RIE)廣泛用於III-V及II-VI半導體之乾式蝕刻以製造各種光電子器件及檢測器。亦已研究其他氣體系統，包括 Cl_2/Ar 、 Cl_2/N_2 、 Cl_2/He 、 $\text{Cl}_2/\text{BCl}_3/\text{Ar}$ 、 BCl_3/Ar 、 BrCl_3 、 SiCl_4/Ar 、 $\text{CCl}_2\text{F}_2/\text{H}_2/\text{Ar}$ 等。然而，已知此等反應物及其等產物具腐蝕性及毒性。當使用Cl-基RIE時，由於持續 Cl_2 殘餘物之腐蝕，已觀察到快速的蝕刻後降解。在含鎘半導體之特定情況下，鹵化鎘具有太低而無法提供有用蝕刻基礎之若干數量級蒸氣壓。在無鎘揮發性下，最有可能的結果係在半導體表面上形成富集鎘之材料。因此，已發展 CH_4/H_2 及 $\text{CH}_4/\text{H}_2/\text{Ar}$ 基化學試劑且其等利於電漿蝕刻含Cd之半導體。然而，此等方法苦於若干缺點，包括作為蝕刻終止機理之大範圍聚合物沉積、粗糙表面、及低蝕刻速率(小於50 nm/min)。

【發明內容】

需求一種蝕刻II-VI或III-V半導體之方法，此可快速、

有效、選擇性及經濟性地蝕刻此等基板。需求一種蝕刻II-VI或III-V半導體之方法，此可用於圖案化光電子器件，諸如，例如，包括此等半導體之發光二極體(LED)。另外，需求一種用於製造諸如包括光提取元件或界定像素的發光二極體之光電子器件之方法。

提供一種用於蝕刻半導體之方法，該方法包括在一真空腔室中提供其上具有一蝕刻遮罩之一半導體並以一種非反應性蝕刻氣體經該蝕刻遮罩濺射蝕刻該半導體以自該半導體表面移除材料及提供至少一蝕刻面，自該真空腔室移除具有至少一蝕刻面的該半導體；及清洗該真空腔室，其中該半導體包括III-V半導體，II-VI半導體或其組合。該半導體可包括III-V半導體、II-VI半導體或其組合。所提供之方法可用於II-VI半導體，其等可包括(但不限於)鎘、鎂、鋅、硫、硒、碲或其組合。所提供之方法亦可用於III-V半導體，其等可包括(但不限於)鋁、鎵、銦、砷、磷、氮、銻或其組合。非反應性蝕刻氣體可包括(但不限於)氫氣、氬氣、氙氣、氦氣、氟氣、氮氣或其組合。所提供之方法包括以一種反應性氣體清洗真空腔室。

在本發明中：

「提取元件」係指增強來自諸如發光二極體之自放射光源的光提取的任何類型及排列之奈米/微米結構；

「非反應性氣體」係指藉由物理濺射以蝕刻基板之氣體。濺射蝕刻主要係以能量物種物理轟擊表面而發生，該等能量物種可經由動能轉移替換或驅除表面原子；活性物

種實質上不會與基板反應且經噴射之材料一般不具揮發性；

「反應性離子蝕刻」係指以電漿放電離子化反應性氣體並加速其朝向基板之方法，其中反應性物種可與基板發生化學反應以形成揮發性物種；及

「濺射蝕刻」係指以離子轟擊基板以藉由將離子動量轉移至基板材料而自該基板移除材料；其與反應性離子蝕刻之不同在於蝕刻氣體中之物種藉由動量轉移而物理移除基板材料。

所提供之方法及由所提供之方法製造的結構可蝕刻半導體，諸如 II-VI 及 III-VI 半導體。所提供之方法係一種可快速、有效、選擇性及經濟性地蝕刻此等材料並提供其上具有諸如提取元件之結構的諸如發光二極體之光電子器件之方法。

以上概述不意描述本發明之每次執行之每一揭示實施例。圖之簡要描述及以下詳細說明更特別地例示闡述性實施例。

【實施方式】

在以下說明中，參照構成此說明之一部份的一組附圖且藉由闡述若干特定實施例而顯示。應瞭解涵蓋其他實施例且可在不脫離本發明之範圍或精神下作出。因此，以下詳細描述不以限制概念理解。

除非另有說明，否則技術說明書及專利申請範圍中所用的表達特徵尺寸、數量及物理性質的所有數字應理解為在

所有情況中由術語「約」修飾。因此，除非另有說明，否則前述技術說明書及隨附專利申請範圍中所闡述之數字參數係可依熟習此項技術者利用本文所揭示之教示設法獲得之所需性質而變化的近似值。端點間之數值範圍包括在彼範圍中之所有數值(例如1至5包括1、1.5、2、2.75、3、3.80、4及5)及在彼範圍內之任何範圍。

所提供之方法可利用習知蝕刻設備且可因此消除對特定設備之需求。所提供之方法使用濺射蝕刻替代反應性離子蝕刻，且因此可用於不與反應性離子發生反應之半導體，例如由非矽材料製成之半導體。在一些實施例中，此等半導體包括(例如)III-V半導體，諸如(例如)GaAs、InP、AlGaAs、GaInAsP或GaInNAs。在其他實施例中，所提供之方法係用於蝕刻II-VI半導體，諸如(例如)包括鎘、鎂、鋅、硫、硒、碲及其組合之材料。例示性II-VI半導體材料可包括CdMgZnSe合金。使用所提供之方法亦可蝕刻諸如CdZnSe、ZnSSe、ZnMgSSe、ZnS、CdS、ZnSe、ZnTe、ZnSeTe、HgCdSe及HgCdTe之其他II-VI半導體。

所提供之方法係關於一種濺射蝕刻半導體之方法。該半導體其上具有耐蝕刻之一蝕刻遮罩且由此界定蝕刻半導體表面部份。一般蝕刻遮罩可由諸如SiO₂、Si₃N₄及諸如鈦或鎢之金屬的硬質材料製成。然而，由此等硬質材料製成之遮罩的製造略微耗時(此因其等需沉積且然後利用光阻劑進行圖案化之故)且其等可藉由濺射蝕刻進行蝕刻，有時以與蝕刻半導體之速度相似的速度蝕刻。僅光阻劑亦可用

作蝕刻遮罩。光阻劑蝕刻遮罩可包括由暴露於輻射後可溶於基本顯影劑之聚合物組成的正性光阻劑，及交聯且暴露於輻射後變得不可溶的負性光阻劑。例示性正性光阻劑包括UV5光阻劑與Shipley 1813光阻劑(兩者購自Rohm and Hass Electronic Materials, Marlborough, MA)。例示性負性光阻劑包括UVN 30(購自Rohm and Haas Electronic Materials)及FUTURREX負性光阻劑，諸如NR9-1000P及NR9-3000PY(購自Futurrex, Franklin, NJ)。光阻劑為半導體微影蝕刻一般技術者所知曉。與此同日申請之代理檔案號65811US002的待審申請案中描述一種使用光阻劑蝕刻遮罩以濺射蝕刻II-VI或III-V半導體之方法。

以非反應性蝕刻氣體離子轟擊半導體表面可濺射蝕刻半導體材料之未由蝕刻遮罩阻擋之區域。蝕刻氣體離子可自半導體之暴露面移除或噴射材料(副產物)。蝕刻一般係發生在未受蝕刻遮罩保護之半導體表面上。蝕刻遮罩可具有(例如)界定圖像像素或提供圖案以於半導體材料之表面上製造光提取器之圖案化開孔。非反應性蝕刻氣體離子可以實質上垂直方式衝擊半導體材料表面。亦即，蝕刻劑離子可經組態以沿基本上直線——一般對半導體材料表面以直角或近似直角攻擊半導體材料表面。蝕刻劑藉由動能之轉移可移除或驅除半導體材料之暴露分子。

例示性非反應性蝕刻氣體(蝕刻劑)可包括氫氣、氬氣、氙氣、氦氣或其組合。由於此等氣體實質上係惰性氣體，故其等很少或不會傾向與半導體材料反應。因此，其等趨

於藉由將動量轉移至半導體材料暴露面之分子的物理轟擊而進行蝕刻。然後噴射此材料並將其沉積於其他先前蝕刻表面，諸如半導體壁之蝕刻垂直表面上。或者，噴射材料可以碎屑沉積於真空腔室中其他處。碎屑積聚並最終污染蝕刻製程。一般藉由清洗真空腔室以進行定期移除。

令人驚奇的是，現已發現當兩者經諸如(例如)氫氣之非反應性氣體濺射蝕刻時，由光阻劑製成之蝕刻遮罩較II-VI或III-V半導體對濺射蝕刻具高選擇性。例如，當光阻劑係諸如NR9-1000P或NR9-3000PY(購自Futurrex, Franklin, NJ)之負性光阻劑時，且半導體係諸如CdMgZnSe之II-VI半導體，已發現以較光阻劑快6至12倍之速率蝕刻半導體。在所提供方法之一些實施例中，可以大於約100 nm/min，大於約300 nm/min，大於約500 nm/min，或甚至大於約1000 nm/min之速率蝕刻半導體。在一些實施例中，可以小於約100 nm/min，小於約50 nm/min，或甚至小於約25 nm/min之速率蝕刻光阻劑蝕刻遮罩。在一些實施例中，半導體蝕刻速率對光阻劑蝕刻速率之比係大於約3，大於約6，大於約10或甚至大於約12。

參照圖可更佳地理解所提供的方法。圖1a-1b係所提供方法中之步驟的側視概要圖。圖1a係包括其上具有圖案化光阻劑104的半導體材料102之圖。圖案化光阻劑104具有暴露部份半導體材料102的渠溝103。使用非反應性氣體進行半導體材料102之濺射蝕刻。圖1b顯示濺射蝕刻後，渠溝103延長以使未由光阻劑104覆蓋之暴露的半導體材料

102之一部份得以蝕刻至半導體材料102之起始面以下。

各向異性蝕刻半導體之所提供方法可用於在半導體中形成蝕刻特徵，諸如(例如)光提取元件。在一些實施例中，所提供之方法可用於蝕刻提取元件，其界定利用II-VI半導體製成的電子器件之顯示器的小像素。此等像素可極小。例如，該等像素可具有小於約10微米的最長尺寸。該等像素可由約1微米之渠溝分隔。此等例示性器件包括下轉換發光二極體(LED)。在其他實施例中，所提供之方法可用於在由II-VI半導體製成之LED面上形成光提取器。此等光提取器可增加自LED面發射之光量。例示性光提取元件不限於任何類型結構。在一些實施例中，光提取元件可包括如(例如)美國專利公開案第2009/0015757號(Potts等人)中所揭示之繞射或散射奈米結構；如(例如)美國專利案第6,347,874號及第6,379,016號(均為Boyd等人)中所揭示之具有立管之結構，及諸如PCT專利公開案第WO 2008/083188號(Lu等人)中所揭示之彼等者的結構。在一些實施例中，光提取元件可具有小至約500 nm之尺寸。

一般而言，氬氣係用作非反應性蝕刻氣體，此因其趨於有效地蝕刻II-VI或III-V半導體而並不似以反應性離子相互作用而蝕刻的氣體，諸如(例如)氟氣般降低半導體性質。然而，如上所述，非所需碎屑可由濺射半導體製得。此等碎屑可沉積於電漿蝕刻系統之內表面上，並由此改變系統之電性質，導致不穩定之蝕刻速率。碎屑亦可再沉積於樣品上。因此，當使用非反應性蝕刻氣體時，最佳自真

空腔室定期移除半導體，以諸如(例如)氯氣、氧氣或其組合之反應性氣體填充該腔室以與積聚於該真空腔室內部之碎屑反應並使其揮發。多種反應性氣體與反應性氣體的組合可用於清洗該腔室。此等包括(例如)氯氣、氧氣、三氯化硼、四氯化矽及氫氣。一般而言，此等反應性氣體可與諸如氫氣、氬氣或氮氣之非反應性氣體混合。

在期望將半導體濺射蝕刻至更大深度之情況下，最佳將樣品濺射蝕刻至目標深度之一部份，自該腔室移除該樣品，清洗該腔室，然後使該樣品返回至該腔室進行進一步蝕刻。可重複此蝕刻-與-清洗循環以達到任何所期望之蝕刻深度。

藉由以下實例進一步闡述本發明之目的及優點，但此等實例所引述之特定材料及其等量以及其他條件與細節不應視為過度限制本發明。

實例

藉由分子束磊晶在InP基板上生長基於CdMgZnSe合金之II-VI半導體顏色轉換器層結構。圖2概要顯示顏色轉換器層結構，且於下表I中顯示層厚度及組成。圖2係顏色轉換器層200之概要圖，其包括上部視窗202、吸收器204及自上部視窗202之組成至吸收器204逐漸變化之分級組成層206。量子阱嵌入吸收器層(未顯示)中，其捕獲當泵浦光吸收於吸收器層中時產生的載子並以更長波長再發光。顏色轉換器結構之細節可見例如美國專利第7,402,831號(Miller等人)。

表 I

顏色轉換器層結構之組成

層	Cd份	Mg份	Zn份	Se份	厚度(μm)
上部視窗	0.15	0.55	0.30	1.00	0.50
分級層	0.15-0.29	0.55-0.34	0.30-0.37	1.00	0.25
吸收器	0.29	0.34	0.37	1.00	1.50

比較實例 1-Cl₂反應性離子蝕刻 II-VI 半導體

利用負性光阻劑(NR1-1000P，購自 Futurrex，Franklin，NJ)及常見接觸微影蝕刻於上述 II-VI 半導體結構上製造脊之光阻劑圖案。然後將樣品分成小塊以如以下實例所述般進行蝕刻。於商用反應性離子系統(RIE，Model PLASMA LAB System 100，購自 Oxford Instruments，Yatton，UK)中進行蝕刻。

將其上具有光阻劑遮罩之 II-VI 半導體之小塊樣品置於 Si 載體晶圓上，裝載於 RIE 腔室中，及利用 80 sccm Cl₂、5 sccm Ar、75-200 瓦特射頻(RF)功率、1200 瓦特感應耦合電漿功率，於 6 mTorr 壓力下進行電漿蝕刻且蝕刻時間為 4×30 秒間隔。因 Cl₂ 電漿蝕刻而嚴重損害光阻劑。光阻劑之蝕刻速率測定為 1000 nm/min。半導體之蝕刻速率對光阻劑之蝕刻速率的比為 0.19。因此，由氯氣製得的反應性物種與光阻劑反應且較於 II-VI 半導體可更快地蝕刻光阻劑。

實例 1-Ar 蝕刻具有光阻劑遮罩的 II-VI 半導體

利用購自 Futerrex，Franklin，NJ 之 NR9-1000P 負性光阻劑

使上述II-VI半導體顏色轉換器樣品外覆有具有條紋圖案之光阻劑遮罩。條紋圖案尺寸為2 μm 及100 μm 。將其上具有光阻劑遮罩之小塊II-VI半導體樣品置於Si載體晶圓上，裝載於RIE腔室中，並使用5-50 sccm Ar，20-200瓦特Rf功率，700-2000瓦特感應耦合電漿(ICP)功率，於4-30 mTorr壓力下進行電漿蝕刻且蝕刻時間為5×60秒間隔。處理後，寬度小至2 μm 之像素條紋繼續展現強光致發光達數個月。在與比較實例1相同但蝕刻時間為6×30秒間隔(以在間隔期間冷卻基板)之條件下，以Cl₂蝕刻之相同樣品於一天後顯示光致發光之快速退化。圖3係利用氫氣濺射蝕刻方法蝕刻之半導體的顯微照片。獲得之蝕刻輪廓具有約63度之壁角度。半導體之蝕刻速率對光阻劑之蝕刻速率之比為約6至約12且可藉由改變RF功率而加以控制。較低RF功率增加該比值但降低蝕刻速率。II-VI半導體顏色轉換器之蝕刻速率為300 nm/min至500 nm/min。

實例2-Ar蝕刻II-VI半導體材料之3微米渠溝

利用購自Futurrex，Franklin，NJ之NR9-3000PY負性光阻劑藉由光學微影蝕刻於如上表1所述之II-VI半導體顏色轉換器結構上製造圖案化光阻劑，利用實例1之步驟蝕刻。圖4a係所得結構之掃描電子顯微照片並顯示圖案為3 μm 寬之渠溝，橫跨約6 μm 之脊。圖4b係顯示半導體脊之光致發光之暗視野光學顯微照片。可觀察到一系列發射「像素」，其中半導體顏色轉換器完整(蝕刻期間由光阻劑保護)。

實例3-Ar電漿蝕刻II-VI半導體以光提取

在如上表1所述之II-VI半導體顏色轉換器結構上如下製造圖案化光阻劑。利用基於雷射二極體源之干擾微影蝕刻在TELAR-P003PM光阻劑(購自Shipley, Marlborough, MA)中製造用於光提取之具有孔或柱結構之2維光柵圖案。光柵於1 μm 節距具有400-500 nm特徵。在與實例1中所述彼等者相似之條件下,使經圖案化光阻劑塗覆之半導體經Ar蝕刻。圖5a係蝕刻前,半導體上之柱結構直徑為400 nm之光阻劑圖案之掃描電子顯微照片。圖5b顯示Ar電漿蝕刻後如圖5a般之視圖,其中光阻劑仍在原位。蝕刻後,剩餘光阻劑呈金字塔結構且光阻劑周圍之半導體已經蝕刻,在抗蝕劑下留下錐形柱(圖5b中可見剩餘光阻劑與半導體間之界線,約錐形結構底部至頂部之三分之二)。圖5c顯示進一步Ar蝕刻半導體所得到的圖案。光致發光量測顯示圖5c所示蝕刻樣品之50.4%的外量子效率。蝕刻前進行平面樣品之光致發光量測顯示29.7%之外量子效率。此實例顯示在II-VI半導體上之光提取結構如何增加發射光的產量。

在不脫離本發明之範圍及精神下,本發明之各種修飾及變化將為擅長該技術者顯而易見。應瞭解本發明不意過度受限於本文所闡述之說明性實施例及實例且此等實例及實施例僅以舉例之方式呈現,本發明之範圍僅受本文如下所闡述之專利申請範圍所限制。本揭示內容所引述之所有參照文獻之全部內容係以引用之方式併入本文中。

【圖式簡單說明】

圖 1a-1b 係所提供方法中之步驟的側視概要圖。

圖 2 係所提供方法中所用之例示性半導體結構之側視概要圖。

圖 3 係實例 1 中所製造之蝕刻半導體的掃描電子顯微照片。

圖 4a 係實例 2 中所製造之蝕刻半導體的掃描電子顯微照片。

圖 4b 係實例 2 中所製造之蝕刻半導體的暗視野光學顯微照片。

圖 5a 係實例 3 中所用之光阻劑圖案之掃描電子顯微照片。

圖 5b 及 5c 係實例 3 中所製造之蝕刻半導體之掃描電子顯微照片。

【主要元件符號說明】

102	半導體材料
103	渠溝
104	圖案化光阻劑
200	顏色轉換器層
202	上部視窗
204	吸收器
206	分級組成層

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：99138381

※申請日：99.11.18

※IPC 分類：H01L 21/3065 2006.01

一、發明名稱：(中文/英文)

半導體之蝕刻方法

ETCHING PROCESS FOR SEMICONDUCTORS

二、中文發明摘要：

本發明提供一種蝕刻諸如 II-VI 或 III-V 半導體的半導體之方法。該方法包括使用一種非反應性氣體經蝕刻遮罩濺射蝕刻該半導體，移除該半導體並以一種反應性氣體清洗腔室。該蝕刻遮罩包括光阻劑。使用此方法，可製造光提取元件或奈米/微米結構蝕刻於半導體材料中之發光二極體。

三、英文發明摘要：

A process for etching semiconductors, such as II-VI or III-V semiconductors is provided. The method includes sputter etching the semiconductor through an etching mask using a nonreactive gas, removing the semiconductor and cleaning the chamber with a reactive gas. The etching mask includes a photoresist. Using this method, light-emitting diodes with light extracting elements or nano/micro-structures etched into the semiconductor material can be fabricated.

七、申請專利範圍：

1. 一種蝕刻半導體之方法，其包括：

在一真空腔室中提供其上具有一蝕刻遮罩之一半導體；及

以一種非反應性蝕刻氣體經該蝕刻遮罩濺射蝕刻該半導體以自該半導體表面移除材料並提供至少一蝕刻面，

自該真空腔室移除具有至少一蝕刻面的該半導體；及
清洗該真空腔室；

其中該半導體包括一III-V半導體，一II-VI半導體，或其組合，及

其中清洗該真空腔室包括將一種反應性氣體引入該真空腔室中並與該反應性氣體形成電漿以揮發該真空腔室內之沉積物。

2. 如請求項1之方法，其中該半導體包括II-VI半導體。

3. 如請求項2之方法，其中該II-VI半導體包括鎘、鎂、鋅、硒、碲或其等組合。

4. 如請求項3之方法，其中該半導體包括CdMgZnSe合金。

5. 如請求項1之方法，其中該蝕刻遮罩包括負性光阻劑。

6. 如請求項1之方法，其中該非反應性蝕刻氣體包括氬氣、氮氣、氫氣、氫氣、氫氣、氫氣或其等組合。

7. 如請求項6之方法，其中該非反應性蝕刻氣體包括氬氣。

8. 如請求項1之方法，其中該半導體係以大於約300 nm/min之速率蝕刻。

9. 如請求項8之方法，其中該半導體係以大於約500 nm/min之速率蝕刻。
10. 如請求項1之方法，其中該光阻劑係以小於約50 nm/min之速率蝕刻。
11. 如請求項1之方法，其中該半導體蝕刻速率對該光阻劑蝕刻速率之比係大於約6。
12. 如請求項11之方法，其中該半導體蝕刻速率對該光阻劑蝕刻速率之比係大於約10。
13. 如請求項1之方法，其中該反應性氣體包括氟氣。
14. 一種如請求項1至13之方法製造之蝕刻半導體。
15. 一種光電器件，其包括如請求項14之蝕刻半導體。
16. 如請求項1之方法，其進一步包括：

清洗該腔室後，將具有至少一蝕刻面的該半導體返回至該真空腔室中；及

以一種非反應性蝕刻氣體經該蝕刻遮罩進一步濺射蝕刻該半導體。

八、圖式：

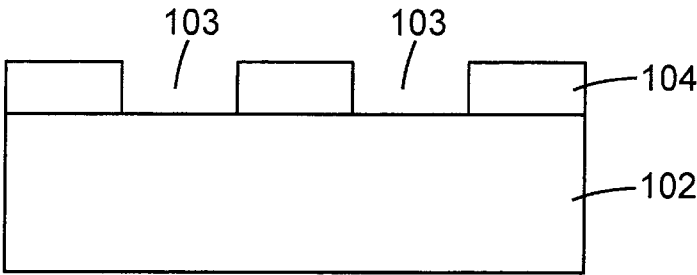


圖 1a

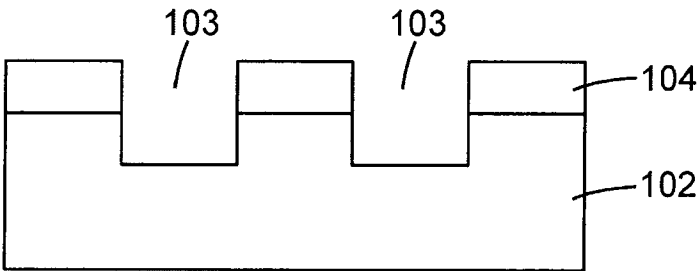


圖 1b

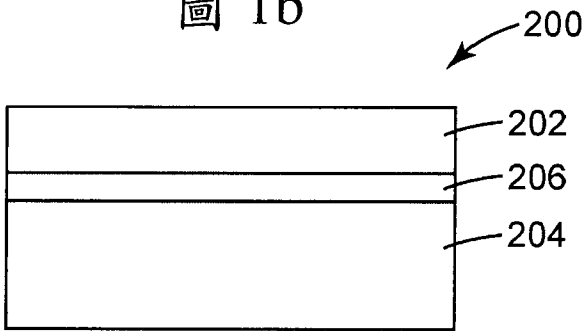


圖 2

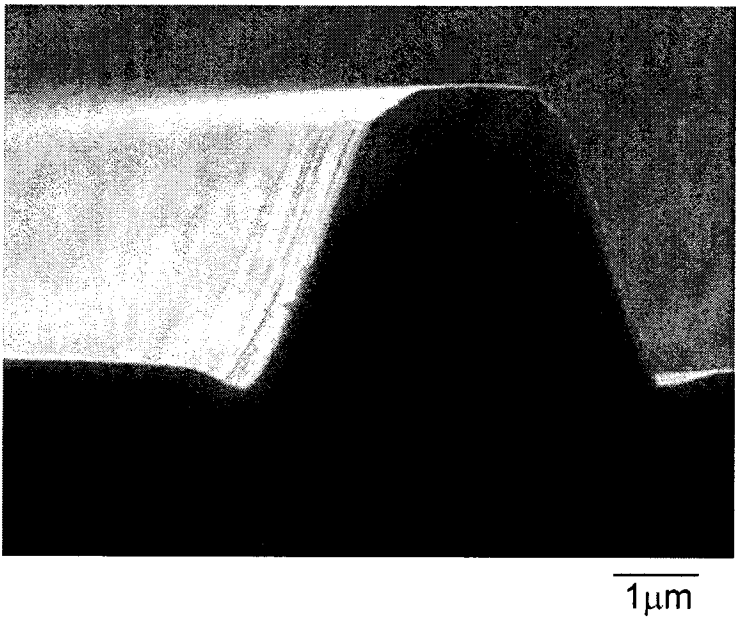


圖 3

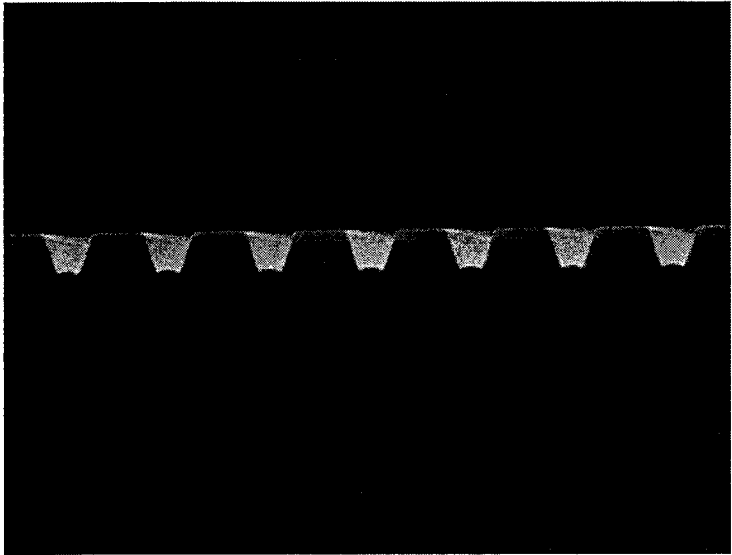


圖 4a

10μm

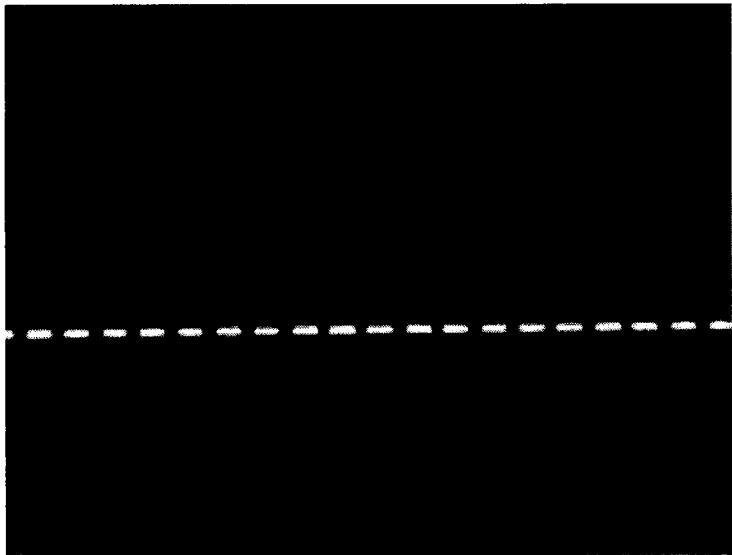


圖 4b

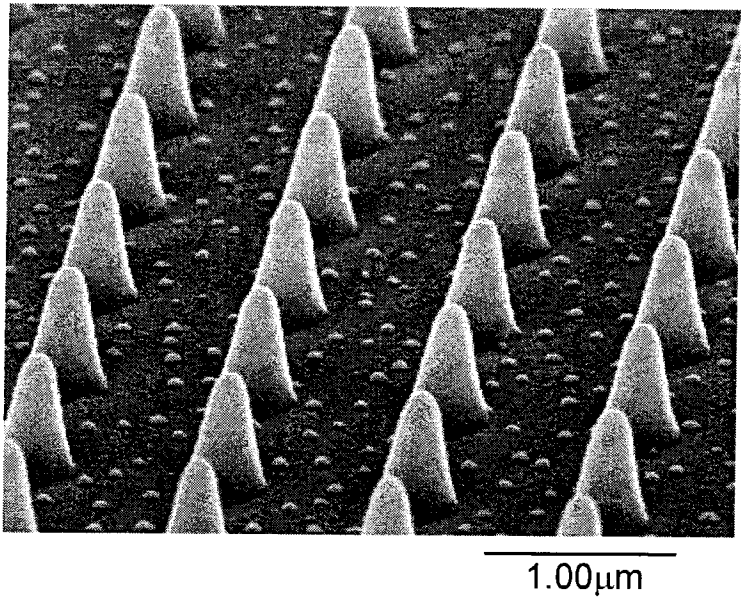


圖 5a

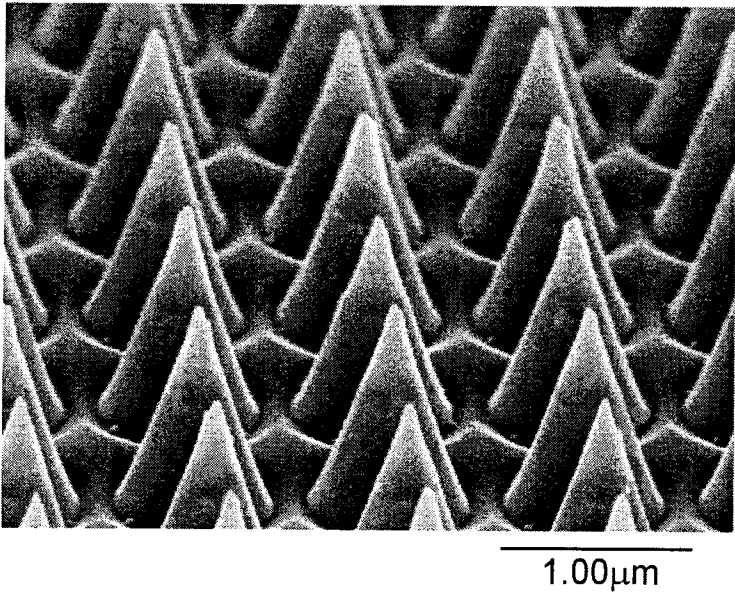


圖 5b

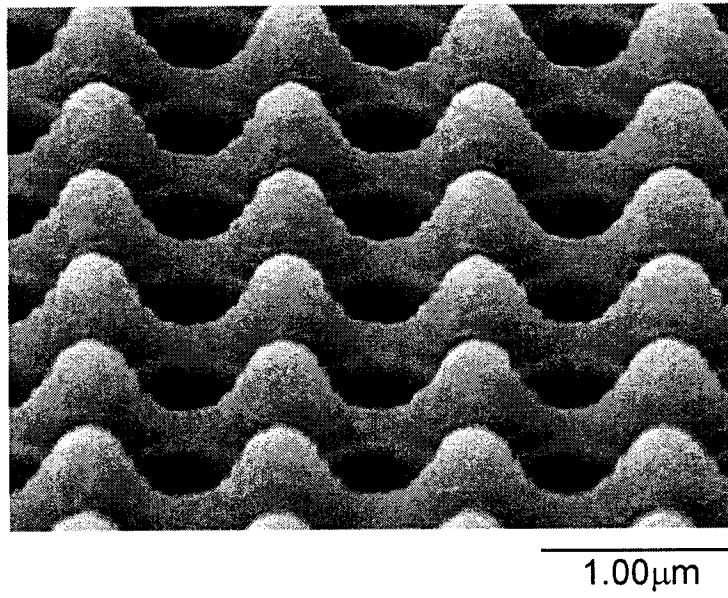


圖 5c

四、指定代表圖：

(一)本案指定代表圖為：第 (3) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)