(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle
Bureau international

(43) Date de la publication internationale
3 juin 2004 (03.06.2004)

PCT

(10) Numéro de publication internationale
WO 2004/046929 A1

(51) Classification internationale des brevets[7] : G06F 11/34, 11/28

(21) Numéro de la demande internationale : PCT/FR2002/003908

(22) Date de dépôt international : 14 novembre 2002 (14.11.2002)

(25) Langue de dépôt : français

(26) Langue de publication : français

(71) Déposant *(pour tous les États désignés sauf US)* : **STMICROELECTRONICS S.A.** [FR/FR]; 29, boulevard Romain Rolland, F-92120 Montrouge (FR).

(72) Inventeurs; et

(75) Inventeurs/Déposants *(pour US seulement)* : **ROBERT, Catherine** [FR/FR]; Chemin du Mas, F-38950 Quaix en Chartreuse (FR). **ROBERT, Xavier** [FR/FR]; 2, lotissement le Beau Pré, F-38450 Saint Georges de Commiers (FR). **BARBIERO, Jehan-Philippe** [FR/FR]; 871, avenue de Venaria, F-38220 Vizille (FR).

(74) Mandataire : **DE BEAUMONT, Michel**; Cabinet Michel de Beaumont, 1, rue Champollion, F-38000 Grenoble (FR).

(81) États désignés *(national)* : JP, US.

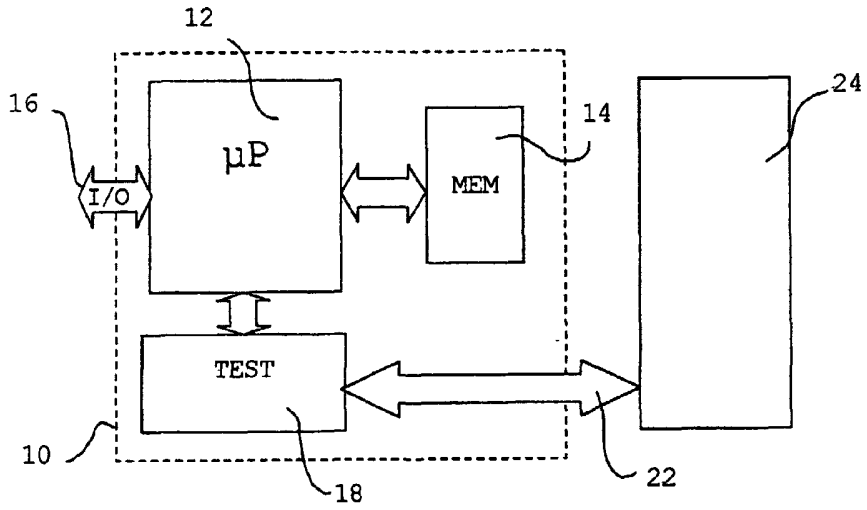
(84) États désignés *(régional)* : brevet européen (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR).

Publiée :
— *avec rapport de recherche internationale*

En ce qui concerne les codes à deux lettres et autres abréviations, se référer aux "Notes explicatives relatives aux codes et abréviations" figurant au début de chaque numéro ordinaire de la Gazette du PCT.

(54) **Title:** TRANSMISSION OF A DIGITAL MESSAGE BETWEEN A MICROPROCESSOR MONITORING CIRCUIT AND AN ANALYSIS TOOL

(54) **Titre :** TRANSMISSION D'UN MESSAGE NUMERIQUE ENTRE UN CIRCUIT DE SURVEILLANCE D'UN MICROPROCESSEUR ET UN OUTIL D'ANALYSE



(57) **Abstract:** The invention relates to a method for the transmission of digital messages by a monitoring circuit (18) which is integrated into a microprocessor (12), said method being performed during the execution of a series of instructions by the microprocessor. Moreover, at least one of said digital messages represents the detection of a jump in the execution of the series of instructions from a source instruction to a destination instruction. The inventive method consists in determining whether or not the jump is associated with a jump instruction from the series of instructions for which the address of the jump destination instruction is explicitly indicated in the instruction. If the answer is in the affirmative, a first value is allocated to a first set of bits or, if the answer is in the negative, a second value is allocated to the first set of bits. Finally, if the first set of bits has been allocated the second value, a third value is allocated to a second set of bits of the digital message, said third value identifying the jump among several types of jumps.

[Suite sur la page suivante]

WO 2004/046929 A1

(57) Abrégé : L'invention concerne un procédé de transmission de messages numériques, lors de l'exécution d'une suite d'instructions par le microprocesseur, par un circuit de surveillance (18) intégré au microprocesseur (12), au moins un desdits messages numériques représentant la détection d'un saut dans l'exécution de la suite d'instructions depuis une instruction initiale vers une instruction de destination. Le procédé comporte les étapes consistant à déterminer si le saut est associé à une instruction de saut de la suite d'instructions pour laquelle l'adresse de l'instruction de destination du saut est explicitement indiquée dans l'instruction; dans l'affirmative, attribuer une première valeur à un premier ensemble de bits, et dans la négative, attribuer une deuxième valeur au premier ensemble de bits; si le premier ensemble de bits est à la deuxième valeur, attribuer à un deuxième ensemble de bits du message numérique une troisième valeur identifiant le saut parmi plusieurs types de sauts.

TRANSMISSION D'UN MESSAGE NUMÉRIQUE ENTRE UN CIRCUIT DE SURVEILLANCE D'UN MICROPROCESSEUR ET UN OUTIL D'ANALYSE

La présente invention concerne le test de microprocesseurs. Elle concerne plus particulièrement un procédé et un dispositif de transmission de données numériques entre un circuit de test intégré dans une puce de microprocesseur et un outil d'analyse.

La figure 1 représente de façon schématique un circuit intégré 10 comportant un microprocesseur (μP) 12, une mémoire interne (MEM) 14 et des bornes d'entrée/sortie (I/O) 16. Le microprocesseur 12 est destiné à exécuter un programme ou logiciel stocké dans la mémoire 14. Sous la commande du programme, le microprocesseur 12 peut traiter des données fournies par les bornes d'entrée/sortie 16 ou stockées dans la mémoire 14 et fournir des données par les bornes d'entrée/sortie 16.

De façon à vérifier le bon fonctionnement du microprocesseur, on intègre généralement au circuit intégré 10 un circuit de surveillance 18 (TEST). Le circuit de surveillance 18 est adapté à lire des données spécifiques fournies par le microprocesseur 12 lors du déroulement d'un programme, et à réaliser éventuellement un traitement sur les données lues. Des bornes de surveillance 22 relient le circuit de surveillance 18

à un outil d'analyse 24. L'outil d'analyse 24 peut effectuer un traitement des signaux reçus, par exemple en fonction de commandes fournies par un utilisateur, et assurer une analyse détaillée du fonctionnement du microprocesseur 12. En particulier, l'outil d'analyse 24 peut déterminer la séquence d'instructions du programme réellement exécutée par le microprocesseur 12.

Le nombre de bornes de surveillance 22 pour un circuit de surveillance classique 18 peut être du même ordre de grandeur que le nombre de bornes d'entrée/sortie 16 du microprocesseur 12 par exemple de 200 à 400. Les bornes de surveillance 22 ainsi que les connexions du circuit de surveillance 18 occupent une surface de silicium importante, ce qui entraîne un accroissement indésirable du coût du circuit. Pour cela, une première version du circuit intégré 10 incluant le circuit de surveillance 18 et les bornes de surveillance 22 est produite en petites quantités pour effectuer la mise au point du microprocesseur 12. Après cette mise au point, une version du circuit intégré 10 débarrassée du circuit de surveillance 18 et des bornes de surveillance 22 est commercialisée. Cela implique la réalisation de deux versions du circuit intégré, ce qui demande un travail important et est relativement coûteux. De plus, la puce finale n'est pas identique à la puce testée.

Pour pallier les inconvénients précédemment mentionnés, on cherche à réaliser un circuit de surveillance 18 qui occupe une surface réduite et nécessite seulement un nombre réduit de bornes de surveillance 22, ce qui diminue le coût de revient du circuit de surveillance 18. Le circuit de surveillance 18 peut alors être laissé sur le circuit intégré 10 finalement commercialisé.

On cherche donc à diminuer le nombre de signaux fournis par le circuit de surveillance 18. Pour ce faire, on fait réaliser directement au niveau du circuit de surveillance 18 certaines opérations logiques sur les données mesurées au

niveau du microprocesseur 12 de façon à transmettre seulement des messages ayant un contenu informationnel important.

Ainsi, la norme IEEE-ISTO-5001 en préparation propose dans sa version de 1999, accessible par exemple sur le site www.ieee-isto.org/Nexus5001, un protocole particulier d'échanges de messages entre un circuit de surveillance 18 et un outil d'analyse 24 pour un circuit de surveillance 18 ne nécessitant qu'un nombre réduit de bornes de surveillance 22.

Parmi les messages numériques selon la norme IEEE-ISTO-5001 fournis par le circuit de surveillance 18, un message, appelé message de saut, indique l'occurrence d'un saut lors du déroulement du programme exécuté par le microprocesseur 12. Un saut correspond au passage d'une instruction initiale venant d'être exécutée par le programme à une instruction de destination autre que l'instruction qui suit l'instruction initiale dans la suite d'instructions formant le programme. A partir des messages de saut transmis par le circuit de surveillance 18, l'outil d'analyse 24 cherche à reconstituer la séquence d'instructions exécutée par le microprocesseur 12. La séquence d'instructions reconstituée peut alors être comparée à une séquence d'instructions théoriquement exécutée par le microprocesseur 12 de façon à déterminer des erreurs lors du fonctionnement du microprocesseur 12.

La figure 2 représente un exemple général de message numérique transmis par le circuit de surveillance 18 selon la norme IEEE-ISTO-5001. Le message comprend une suite de champs correspondant chacun à un nombre de bits fixe ou variable. En figure 2, les bits les moins significatifs du message sont situés à gauche de la figure, et les bits les plus significatifs à droite de la figure. Pour chaque champ ayant un nombre de bits variable, les bits de poids le plus fort qui sont nuls sont généralement supprimés lors de la transmission du message numérique. Un premier champ Tcode représente un identifiant du message. Pour chaque identifiant donné, le nombre de champs constituant le message est fixé.

La norme IEEE-ISTO-5001 prévoit deux identifiants possibles pour des messages de saut. Un premier identifiant correspond à un saut dit "explicite". Un saut explicite résulte d'une instruction de saut direct exécutée par le microprocesseur 12 qui entraîne un saut vers une instruction du programme dont l'adresse, ou une donnée représentative de l'adresse, est explicitement indiquée dans l'instruction de saut. Un second identifiant correspond aux autres types de sauts, appelés "sauts implicites", pouvant se produire lors de l'exécution d'un programme par le microprocesseur 12.

Pour les deux identifiants possibles, le message de saut comprend un second champ SRC comportant un nombre de bits variable selon l'utilisation du circuit de surveillance 18. Le champ SRC est utilisé lorsque le circuit de surveillance 18 échange simultanément des données avec plusieurs microprocesseurs ou lorsque le circuit de surveillance 18 échange des données avec un même microprocesseur 12 qui exécute simultanément plusieurs programmes. Lorsque le circuit de surveillance 18 n'est pas destiné à fonctionner dans les deux cas précédemment mentionnés, le champ SRC peut ne comprendre aucun bit.

Pour les deux identifiants de saut, le message de saut comprend un troisième champ ICNT comportant un nombre variable de bits et correspondant au nombre d'instructions exécutées par le microprocesseur 12 depuis la dernière instruction exécutée pour laquelle le circuit de surveillance 18 a transmis un message de saut explicite ou implicite.

Dans le cas d'un saut implicite, le message de saut comprend un quatrième champ ADDR comportant un nombre variable de bits et représentant l'adresse de l'instruction de destination du saut. La valeur du champ ADDR correspond, par exemple, à la différence entre l'adresse de l'instruction de destination et l'adresse de la dernière instruction exécutée par le microprocesseur 12.

Un inconvénient est que le message de saut implicite prévu par la norme IEEE-ISTO-5001 peut correspondre à des sauts qui ont lieu dans des contextes très différents. En effet, un saut implicite peut résulter d'une instruction de saut indirect du programme exécuté par le microprocesseur 12. Une instruction de saut indirect est une instruction de saut qui ne comprend pas une donnée représentative de l'adresse de l'instruction de destination du saut mais une référence à un registre dans lequel est stockée ladite donnée représentative. Un saut implicite peut également correspondre à un saut imposé par la structure même du microprocesseur 12. Un saut est alors effectué bien que la dernière instruction du programme exécutée par le microprocesseur 12 ne soit pas une instruction de saut indirect. On distingue les sauts d'interruption et les sauts de circuit. Une interruption correspond, lorsque certaines conditions de déclenchement d'interruption sont réalisées, à un arrêt forcé de l'exécution du programme, à l'exécution d'une routine d'interruption puis à la reprise éventuelle de l'exécution du programme. Un saut d'interruption a donc lieu depuis une instruction du programme vers la première instruction de la routine d'interruption. Un exemple de condition de déclenchement d'une interruption est la réception par le microprocesseur d'un signal indiquant que le niveau de charge de batteries alimentant le microprocesseur 12 est en dessous d'un seuil déterminé. Un saut de circuit correspond à un saut imposé par la structure même du microprocesseur 12 lorsque certaines conditions sont remplies depuis une instruction initiale du programme vers une instruction de destination appartenant également au programme. Des sauts de circuit sont fréquemment utilisés pour réaliser la répétition d'un faible nombre d'instructions un certain nombre de fois par le microprocesseur 12.

Les messages de sauts prévus par la norme IEEE-ISTO-5001 et transmis à l'outil d'analyse 24 par le circuit de surveillance 18 peuvent entraîner des ambiguïtés lors de la reconstitution par l'outil d'analyse 24 de la séquence

d'instructions réellement exécutée par le programme. En effet, lorsque l'outil d'analyse 24 reçoit un message de saut explicite, il en déduit qu'une instruction de saut direct a été exécutée par le microprocesseur 12. Il est alors facile d'associer l'instruction de saut direct dans la séquence d'instructions reconstituée par l'outil d'analyse 24 avec l'instruction de saut direct correspondante de la séquence d'instructions théoriquement exécutée par le microprocesseur 12.

Lorsque l'outil d'analyse 24 reçoit un message de saut implicite, il ne peut pas déterminer si le message de saut implicite correspond à une instruction de saut indirect exécutée par le microprocesseur 12 ou à un saut imposé par le microprocesseur 12 et qui n'est pas associé à une instruction de saut du programme. En effet, dans le cas où l'instruction de la séquence d'instructions reconstituée par l'outil d'analyse 24 correspondant au message reçu par l'outil d'analyse 24 n'est pas une instruction de saut indirect, il n'est pas possible avec certitude de déterminer si le message de saut implicite reçu correspond en fait à un saut imposé par le microprocesseur ou si le message reçu correspond à un saut indirect et que la séquence d'instructions reconstituée par l'outil d'analyse 24 est incorrecte, par exemple décalée par rapport à la séquence d'instructions réellement exécutée par le microprocesseur 12.

La présente invention propose un procédé de transmission de messages numériques permettant de limiter certaines ambiguïtés lors de la reconstitution par l'outil d'analyse de la séquence d'instructions exécutée par le microprocesseur quel que soit le type de saut réalisé par le microprocesseur.

La présente invention prévoit en outre un procédé de transmission de messages numériques qui modifie peu les messages de saut prévus par la norme IEEE-ISTO-5001.

Pour atteindre ces objets, la présente invention prévoit un procédé de transmission de messages numériques, lors de l'exécution d'une suite d'instructions par le

microprocesseur, par des bornes de sortie d'un circuit de surveillance intégré au microprocesseur, au moins un desdits messages numériques étant représentatif de données caractéristiques mémorisées par le circuit de surveillance lors de la détection d'un saut dans l'exécution de la suite d'instructions depuis une instruction initiale vers une instruction de destination différente de l'instruction suivant l'instruction initiale dans la séquence d'instructions, le procédé comportant les étapes consistant, pour la transmission d'un message numérique, à déterminer si le saut est associé à une instruction de saut de la suite d'instructions pour laquelle une donnée représentative de l'adresse de l'instruction de destination du saut est explicitement indiquée dans l'instruction ; dans l'affirmative, attribuer une première valeur à un premier ensemble de bits du message numérique, et dans la négative, attribuer une deuxième valeur au premier ensemble de bits ; si le premier ensemble de bits est à la deuxième valeur, attribuer à un deuxième ensemble de bits du message numérique une troisième valeur identifiant le saut parmi plusieurs types de sauts ; et transmettre le message numérique.

Selon un objet de la présente invention, le procédé comprend en outre l'étape consistant à attribuer à un troisième ensemble de bits du message numérique une valeur correspondant au nombre d'instructions exécutées par le microprocesseur depuis la dernière instruction exécutée de la suite d'instructions correspondant à un message numérique associé à un saut.

Selon un objet de la présente invention, le procédé comprend en outre l'étape consistant, si le premier ensemble de bits est à la deuxième valeur, à attribuer à un quatrième ensemble de bits du message numérique une valeur représentative de l'adresse de l'instruction de destination.

Selon un objet de la présente invention, un type de saut correspond à un saut issu d'une instruction de saut de la suite d'instructions contenant la référence d'un registre dans

lequel est stockée une donnée représentative de l'adresse de l'instruction de destination.

Selon un objet de la présente invention, un type de saut correspond à un saut forcé par le microprocesseur, l'instruction de destination correspondant à une instruction d'une série d'instructions spécifiques n'appartenant pas à la suite d'instructions.

Selon un objet de la présente invention, un type de saut correspond à un saut forcé par le microprocesseur, l'instruction de destination étant une instruction de la suite d'instructions.

La présente invention prévoit également un dispositif de transmission de messages numériques entre un circuit de surveillance intégré à un microprocesseur et un outil d'analyse par l'intermédiaire de bornes de sortie comportant un moyen de détection d'un saut lors de l'exécution d'une suite d'instructions par le microprocesseur ; un moyen de mémorisation de données caractéristiques du saut détecté ; un moyen de détermination d'un message numérique à partir des données caractéristiques mémorisées, le message numérique comportant un premier ensemble de bits fixé à une première valeur si le saut est associé à une instruction de saut de la suite d'instructions pour laquelle une donnée représentative de l'adresse de l'instruction de destination du saut est explicitement indiquée dans l'instruction, et fixé à une deuxième valeur dans le cas contraire ; et un moyen de transmission du message numérique déterminé, dans lequel, lorsque le premier ensemble de bits est fixé à la deuxième valeur, le moyen de détermination est adapté à inclure un deuxième ensemble de bits dans le message numérique fixé à une troisième valeur identifiant le saut parmi plusieurs types de sauts.

Ces objets, caractéristiques et avantages, ainsi que d'autres de la présente invention seront exposés en détail dans la description suivante de modes de réalisation particuliers

faite à titre non-limitatif en relation avec les figures jointes parmi lesquelles :

la figure 1, précédemment décrite, représente, de façon très schématique, l'architecture d'une puce intégrant un microprocesseur et un circuit de surveillance ;

la figure 2 représente un exemple de message de saut implicite classique envoyé par un circuit de surveillance ; et

la figure 3 représente un exemple de message de saut implicite envoyé par un circuit de surveillance selon l'invention.

Pour les sauts explicites, c'est-à-dire les sauts associés à une instruction de saut du programme pour laquelle une donnée représentative de l'adresse de l'instruction de destination du saut est explicitement indiquée dans l'instruction, la présente invention prévoit de conserver le message de saut explicite déjà prévu par la norme IEEE-ISTO-5001. Pour les sauts implicites, c'est-à-dire tous les autres types de saut possibles, par exemple sauts indirects, sauts d'interruption et sauts de circuit, la présente invention prévoit de rajouter au message de saut implicite prévu par la norme IEEE-ISTO-5001 un champ supplémentaire précisant la nature du saut implicite afin de modifier le moins possible la norme IEEE-ISTO-5001.

La figure 3 représente un exemple de message de saut implicite selon l'invention. Le message comprend du côté des bits les moins significatifs le champ Tcode qui, comme cela a été précédemment expliqué, a une valeur spécifique pour un saut implicite. Le message de saut implicite comprend un second champ SRC qui, comme cela a été expliqué précédemment, comporte un nombre variable de bits et indique si le circuit de surveillance 18 est connecté au même moment à plusieurs microprocesseurs ou si le circuit de surveillance 18 est connecté à un même microprocesseur exécutant simultanément plusieurs programmes.

Le message de saut implicite selon l'invention comprend un troisième champ BType ayant un nombre variable de

bits et indiquant les différents sauts implicites possibles. A titre d'exemple, le champ BType peut comporter deux bits, ce qui permet de coder une première valeur correspondant à un saut résultant d'une instruction de saut indirect, une seconde valeur correspondant à un saut résultant d'une interruption et une troisième valeur correspondant à un saut de circuit. Le nombre de bits dépend du nombre de types de sauts implicites que l'on souhaite pouvoir distinguer par l'outil d'analyse 24.

Comme cela a été expliqué précédemment, le message de saut implicite comprend également un troisième champ ICNT. Le champ ICNT comporte un nombre variable de bits et est égal au nombre d'instructions qui sépare l'instruction exécutée par le microprocesseur 12 à laquelle un saut a été effectué de la dernière instruction exécutée par le programme ayant donnée lieu à l'émission d'un message de saut par le circuit de surveillance 18. Le message de saut implicite comprend enfin un quatrième champ ADDR correspondant à une donnée représentative de l'adresse de l'instruction de destination du saut. Par exemple, dans le cas où le saut résulte d'une interruption, le champ ADDR désigne généralement une instruction d'une routine stockée sur la mémoire 14 qui n'appartient pas au programme exécuté par le microprocesseur 12.

A partir d'un message de saut implicite selon l'invention fourni par le circuit de surveillance 18, l'outil d'analyse 24 peut différencier les différents types de sauts implicites afin de lever d'éventuelles ambiguïtés lors de la reconstitution de la séquence d'instructions exécutée par le microprocesseur 12.

La présente invention présente l'avantage de modifier le moins possible le message de saut implicite prévu par la norme IEEE-ISTO-5001. En effet, elle prévoit l'ajout d'un unique champ de longueur variable dans le message initialement prévu par la norme IEEE-ISTO-5001, les autres champs demeurant inchangés.

REVENDICATIONS

1. Procédé de transmission de messages numériques, lors de l'exécution d'une suite d'instructions par le microprocesseur, par des bornes de sortie (22) d'un circuit de surveillance (18) intégré au microprocesseur (12), au moins un desdits messages numériques étant représentatif de données caractéristiques mémorisées par le circuit de surveillance lors de la détection d'un saut dans l'exécution de la suite d'instructions depuis une instruction initiale vers une instruction de destination différente de l'instruction suivant l'instruction initiale dans la séquence d'instructions, caractérisé en ce qu'il comporte les étapes suivantes pour la transmission d'un message numérique :

déterminer si le saut est associé à une instruction de saut de la suite d'instructions pour laquelle une donnée représentative de l'adresse de l'instruction de destination du saut est explicitement indiquée dans l'instruction ;

dans l'affirmative, attribuer une première valeur à un premier ensemble de bits (Tcode) du message numérique, et dans la négative, attribuer une deuxième valeur au premier ensemble de bits ;

si le premier ensemble de bits est à la deuxième valeur, attribuer à un deuxième ensemble (BType) de bits du message numérique une troisième valeur identifiant le saut parmi plusieurs types de sauts ; et

transmettre le message numérique.

2. Procédé selon la revendication 1, comprenant en outre l'étape consistant à attribuer à un troisième ensemble (ICNT) de bits du message numérique une valeur correspondant au nombre d'instructions exécutées par le microprocesseur (12) depuis la dernière instruction exécutée de la suite d'instructions correspondant à un message numérique associé à un saut.

3. Procédé selon la revendication 1, comprenant en outre l'étape consistant, si le premier ensemble de bits est à

la deuxième valeur, à attribuer à un quatrième ensemble (ADDR) de bits du message numérique une valeur représentative de l'adresse de l'instruction de destination.

4. Procédé selon la revendication 1, dans lequel un type de saut correspond à un saut issu d'une instruction de saut de la suite d'instructions contenant la référence d'un registre dans lequel est stockée une donnée représentative de l'adresse de l'instruction de destination.

5. Procédé selon la revendication 1, dans lequel un type de saut correspond à un saut forcé par le microprocesseur (12), l'instruction de destination correspondant à une instruction d'une série d'instructions spécifiques n'appartenant pas à la suite d'instructions.

6. Procédé selon la revendication 1, dans lequel un type de saut correspond à un saut forcé par le microprocesseur (12), l'instruction de destination étant une instruction de la suite d'instructions.

7. Dispositif de transmission de messages numériques entre un circuit de surveillance (18) intégré à un microprocesseur (12) et un outil d'analyse (24) par l'intermédiaire de bornes de sortie (22) comportant :

un moyen de détection d'un saut lors de l'exécution d'une suite d'instructions par le microprocesseur ;

un moyen de mémorisation de données caractéristiques du saut détecté ;

un moyen de détermination d'un message numérique à partir des données caractéristiques mémorisées, le message numérique comportant un premier ensemble (Tcode) de bits fixé à une première valeur si le saut est associé à une instruction de saut de la suite d'instructions pour laquelle une donnée représentative de l'adresse de l'instruction de destination du saut est explicitement indiquée dans l'instruction, et fixé à une deuxième valeur dans le cas contraire ; et

un moyen de transmission du message numérique déterminé,

caractérisé en ce que, lorsque le premier ensemble de bits est fixé à la deuxième valeur, le moyen de détermination est adapté à inclure un deuxième ensemble (BType) de bits dans le message numérique fixé à une troisième valeur identifiant le saut parmi plusieurs types de sauts.

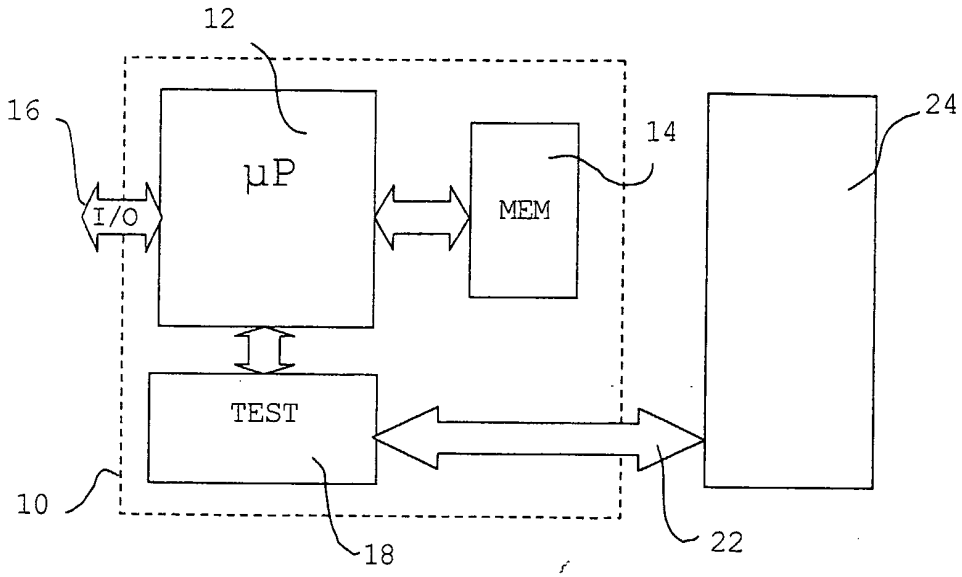


Fig. 1

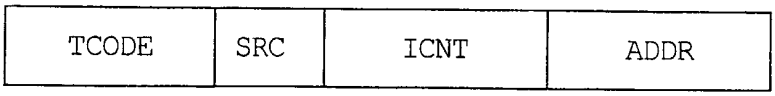


Fig. 2



Fig. 3

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 02/03908

A. CLASSIFICATION OF SUBJECT MATTER
IPC 7 G06F11/34 G06F11/28

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
IPC 7 G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	US 5 724 505 A (ARGADE PRAMOD VASANT ET AL) 3 March 1998 (1998-03-03) column 1, line 7-12 column 2, line 42-46 column 3, line 27-35 column 3, line 45-64 column 5, line 39 -column 6, line 9 column 6, line 44-48 ---	1,3-7 2
Y	NEXUS 5001 FORUM: "STANDARD FOR A GLOBAL EMBEDDED PROCESSOR DEBUG INTERFACE" 15 December 1999 (1999-12-15) , IEEE-ISTO XP002247195 cited in the application tables 6-6,6-7 --- -/--	2

[X] Further documents are listed in the continuation of box C.

[X] Patent family members are listed in annex.

° Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
5 August 2003	12/08/2003

Name and mailing address of the ISA	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Hanrahan, A

1

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 02/03908

C.(Continuation) DOCUMENTS CONSIDERED TO BE RELEVANT

Category °	Citation of document, with indication,where appropriate, of the relevant passages	Relevant to claim No.
X	US 2002/013893 A1 (PARRELLA EUGENE L ET AL) 31 January 2002 (2002-01-31)	1,7
A	paragraph '0013! paragraphs '0017!-'0020! paragraph '0027! paragraph '0031!	3-6

1

INTERNATIONAL SEARCH REPORT

International Application No
PCT/FR 02/03908

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 5724505 A	03-03-1998	NONE	
US 2002013893 A1	31-01-2002	US 6321331 B1	20-11-2001
		CA 2329423 A1	28-10-1999
		CN 1306639 T	01-08-2001
		EP 1080404 A1	07-03-2001
		JP 2002512396 T	23-04-2002
		WO 9954809 A1	28-10-1999

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No
PCT/FR 02/03908

A. CLASSEMENT DE L'OBJET DE LA DEMANDE
CIB 7 G06F11/34 G06F11/28

Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB

B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE

Documentation minimale consultée (système de classification suivi des symboles de classement)
CIB 7 G06F

Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche

Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si réalisable, termes de recherche utilisés)
EPO-Internal, WPI Data, PAJ

C. DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie °	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
X	US 5 724 505 A (ARGADE PRAMOD VASANT ET AL) 3 mars 1998 (1998-03-03)	1,3-7
Y	colonne 1, ligne 7-12 colonne 2, ligne 42-46 colonne 3, ligne 27-35 colonne 3, ligne 45-64 colonne 5, ligne 39 -colonne 6, ligne 9 colonne 6, ligne 44-48	2

Y	NEXUS 5001 FORUM: "STANDARD FOR A GLOBAL EMBEDDED PROCESSOR DEBUG INTERFACE" 15 décembre 1999 (1999-12-15) , IEEE-ISTO XP002247195 cité dans la demande tableaux 6-6,6-7	2

	-/--	

[X] Voir la suite du cadre C pour la fin de la liste des documents

[X] Les documents de familles de brevets sont indiqués en annexe

° Catégories spéciales de documents cités:

"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent

"E" document antérieur, mais publié à la date de dépôt international ou après cette date

"L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée)

"O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens

"P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée

"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention

"X" document particulièrement pertinent; l'inven tion revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément

"Y" document particulièrement pertinent; l'inven tion revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier

"&" document qui fait partie de la même famille de brevets

Date à laquelle la recherche internationale a été effectivement achevée	Date d'expédition du présent rapport de recherche internationale
5 août 2003	12/08/2003

Nom et adresse postale de l'administration chargée de la recherche internationale	Fonctionnaire autorisé
Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL – 2280 HV Rijswijk Tel. (+31–70) 340–2040, Tx. 31 651 epo nl, Fax: (+31–70) 340–3016	Hanrahan, A

1

RAPPORT DE RECHERCHE INTERNATIONALE

Demande Internationale No
PCT/FR 02/03908

C.(suite) DOCUMENTS CONSIDERES COMME PERTINENTS

Catégorie °	Identification des documents cités, avec,le cas échéant, l'indicationdes passages pertinents	no. des revendications visées
X	US 2002/013893 A1 (PARRELLA EUGENE L ET AL) 31 janvier 2002 (2002-01-31)	1,7
A	alinéa '0013! alinéas '0017!-'0020! alinéa '0027! alinéa '0031!	3-6

1

Formulaire PCT/ISA/210 (suite de la deuxième feuille) (juillet 1992)

RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale No
PCT/FR 02/03908

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 5724505 A	03-03-1998	AUCUN	
US 2002013893 A1	31-01-2002	US 6321331 B1	20-11-2001
		CA 2329423 A1	28-10-1999
		CN 1306639 T	01-08-2001
		EP 1080404 A1	07-03-2001
		JP 2002512396 T	23-04-2002
		WO 9954809 A1	28-10-1999