

(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.⁵
G11C 11/40

(45) 공고일자 1990년01월 18일
(11) 공고번호 특1990-0000052

(21) 출원번호	특 1985-0005774	(65) 공개번호	특 1987-0002585
(22) 출원일자	1985년08월 10일	(43) 공개일자	1987년03월31일
(30) 우선권 주장	59-167276 1984년08월 11일 일본(JP)		
(71) 출원인	후지쓰가부시끼가이샤 야마모도 다쿠마 일본국 가나가와켄 가와사끼시 나가하라구 가미고다나카 1015반찌		

(72) 발명자 바바 후미오
일본국 가나가와켄 가와사끼시 나가하라구 가미고 다나카 1015반찌 후지쓰가부시끼가이샤내 다케마에 요시히로
일본국 가나가와켄 가와사끼시 나가하라구 가미고 다나카 1015반찌 후지쓰가부시끼가이샤내 문기상, 조기호

(74) 대리인 문기상, 조기호

심사관 : 유환열 (책자공보 제1721호)

(54) 반도체 메모리 장치

요약

내용 없음.

대표도

도 1

명세서

[발명의 명칭]

반도체 메모리 장치

[도면의 간단한 설명]

제1도는 본 발명에 의한 일실예에 의한 반도체 메모리 장치의 구성을 나타내는 개통회로도.

제2도는 제1도의 장치에 사용되는 워드 디코오더의 구성을 나타내는 개통회로도.

제3도는 제2도의 워드 디코오더내에 사용되는 어드레스 버퍼회로의 상세한 것을 나타내는 개통회로도.

제4도는 제2도의 워드 디코오더내의 노아게이트의 일예의 전기회로도.

[발명의 상세한 설명]

본 발명은 반도체 메모리 장치에 관한 것으로, 특히 동시에 축적된 데이터의 모든 비트를 소거하기 위한 수단을 구비하는 다이내믹 랜덤 액세스 메모리에 관한 것이다.

일반적으로 메모리장치들이 예를 들어 그래픽 표시 시스템내에 사용되는 것일때나 또는 이니셜라이제이션(initialization)이 컴퓨터 시스템내에서 수행될 때 메모리장치에 축적된 데이터는 동시에 신속히 소거되어야만 한다.

종래에는 다이내믹 랜덤 액세스 메모리에서 메모리셀의 모든 비트들이 소거될 예정일때 데이터 "0"은 각 메모리 셀들에 대한 어드레스들을 순차적으로 특정화함으로써 기입된다. 그러나, 그러한 종래의 기술은 모든 비트들을 소거하는데 장시간이 필요하도 또한 메모리장치에 대해 순차적으로 소거될 메모리셀들의 어드레스들을 제공하는데 특정한 회로장치 또는 프로그램이 필요한 것이 단점이다.

다른 관점에서 보면, 종래의 다이내믹 랜덤 액세스 메모리에서 동일한 입력/출력에 대해 예를 들어 "0"에 대해 감지 증폭기들에 관한 메모리셀 어레이들의 일축상의 메모리셀들은 방전상태를 나타낸다. 즉, 동일한 입력/출력 데이터에 대해 메모리셀들의 절반은 전하들을 축적시키며 또는 그 반대이다. 다시말해, 동일한 입력/출력 데이터에 대한 메모리셀들의 충전상태들은 다르다. 그러므로, 메모리셀들이 모든 비트들을 소거하기 위해 즉, 모든 메모리셀들내에 동일한 데이터 "0"

을 입력시키기 위해 메모리셀들의 절반은 방전되어야만 하고 나머지 절반은 충전되어야만 한다. 한 쪽으로 동시에 다수의 메모리셀들을 방전시키는 것은 비교적 쉽다. 그러나 다른 쪽으로 동시에 다수의 메모리셀들을 충전시키는 것은 불가능하다. 왜냐하면 메모리셀들의 충전은 다수의 대전력 풀업 트랜지스터들을 필요로 하므로 큰 면적을 경유하므로 불리하며 또한 큰 전력량이 소비되므로 불리하다.

종래 형의 메모리장치에서 상술한 문제들에 비추어본 본 발명의 목적은 동시에 실제로 메모리셀들의 모든 비트들을 소거하고 또한 아주 간단한 회로를 사용하여 소전력 소비로 되는 반도체 메모리장치를 제공하는 데 있다.

상술한 목적을 달성하기 위해 본 발명에서는 다수의 비트라인쌍들, 각 비트라인쌍들을 구성하는 비트라인들에 연결되는 다수의 메모리셀들, 한 비트라인쌍에 대응하도록 각각 제공되며, 또한 대응하는 비트라인쌍의 비트라인들에 연결되는 한쌍의 콤프리멘타리 신호단자들을 각각 갖고 있는 다수의 감지증폭기, 선택된 비트라인쌍으로 또는 그로부터 입력 또는 출력시키기 위한 한쌍의 데이터 버스들, 각 비트라인쌍의 두 비트라인들에 연결되는 각 메모리셀들의 전하상태들이 동일한 입력/출력 데이터에 대해 동일하게 되는 식으로 입력/출력 데이터를 선택적으로 방전시키기 위한 데이터 버스들의 쌍에 동작 가능하게 연결되는 데이터 방전회로, 비트라인들의 전위를 인출하기 위한 데이터 버스들의 쌍에 동작 가능하게 연결되는 데이터 방전회로, 그리고 상기 모든 메모리셀들의 내용들이 소거될 예정일때 인가된 제어신호에 반응하는 예정된 전위에 모든 비트라인들의 전위를 인출하기 위한 클램프 회로로 구성된 반도체 메모리장치를 제공한다.

감지증폭기에 콤프리멘타리 신호를 인가하기 위해 배열된 두 비트라인들 사이에 본 발명의 상술한 장치를 실시함에 의해 각 비트라인들에 연결된 각 메모리셀들의 충전상태들은 동일한 입력/출력 데이터에 대해 동일하게 된다. 그러므로, 트랜지스터들에 의해 접지에 모든 비트라인들의 전위를 클램핑시킴으로써 모든 비트들의 메모리셀들을 소거시키기 위한 동작은 신속히 그리고 완전히 수행된다.

이하 첨부된 도면을 참조하여 본 발명의 양호한 실시예를 상세히 설명하면 다음과 같다.

제1도는 본 발명의 실시예에 의한 반도체 메모리장치로서 다이내믹 랜덤 액세스 메모리를 나타낸다. 도면에서 메모리장치는 기본적으로 감지증폭기 SA₁, SA₂, ..., 이들 각 감지증폭기 SA₁, SA₂, ..., 이 콤프리멘타리 입력/출력 단자들에 연결된 비트라인 BL₁, \overline{BL}_1 , BL₂, \overline{BL}_2 , ..., 워드라인 WL₁, ... WL₆₅, ..., 그리고 각 비트라인과 워드라인들의 교차부분에 배치되는 메모리셀들 MC_{1,1}, ..., MC_{1,65}, ..., MC_{2,1}, ..., MC_{2,65}, ...에 의해 구성된다. 각 메모리셀들은 하나의 MIS트랜지스터 T와 캐패시터 C에 구성된다. MIS트랜지스터 T의 게이트와 소오스(또는 드레인)은 제각기 대응하는 워드라인과 비트라인에 연결된다. 한쌍의 데이터 버스들 DB와 \overline{DB} 는 데이터 버스들 DB 및 \overline{DB} 와 각각 비트라인쌍들을 구성하는 비트라인들 BL₁, $\overline{BL}_1; BL₂, \overline{BL}_2 , 사이의 각 감지증폭기들 SA₁, SA₂의 양측에 배치되며, 컬럼 디코더들 DEC₁; DEC₂, ...에 의해 각각 제어되는 트랜지스터쌍들 Q₁₁, Q₁₂, Q₂₁, Q₂₂, ...는 연결된다. 각 데이터 버스들 DB 및 \overline{DB} 와 출력 버퍼회로 BUF 및 기입 증폭기 WA 간에는 4개의 트랜지스터들 Q_a, Q_b, Q_c 및 Q_d를 갖는 데이터 방전회로가 도면에 나타낸 바와 같이 연결된다.$

워드라인들 WL₁, ..., WL₆₅, ... 및 WL₁₂₈ 중 하나는 어드레스 신호들 A₀ 내지 A₆에 반응하여 워드 디코더 WD에 의해 선택된다.

출력 버퍼회로 BUF는 콤프리멘타리 신호들을 수신하도록 노드들 g와 h에 각각 연결되는 두 입력들을 갖고 있다.

출력 버퍼회로 BUF는 노드 g에 연결된 입력이 고레벨에 있고 노드 h에 연결된 입력이 저레벨에 있을 때 "1" 출력데이터 D_{out}를 제공한다. 출력 버퍼회로는 BUF는 노드 g와 h에 연결된 입력들이 저레벨과 고레벨에 각각 있을때 "0"의 출력 데이터 D_{out}를 제공한다.

기입증폭기 WA는 콤프리멘타리 신호들을 제공하기 위해 노드들 g와 h에 각각 연결되는 두개의 출력들을 갖고 있다. 입력데이터 D_{in}이 "1"일때 노드 g에 연결되는 출력은 고레벨이 되고 노드 h에 연결되는 출력이 저레벨이 된다. 입력데이터 D_{in}이 "0"일때 노드 g에 연결되는 출력은 저레벨이 되고 노드 h에 연결되는 출력은 고레벨이 된다.

트랜지스터 Q_a와 Q_b는 데이터버스 DB와 노드 g간에 그리고 데이터 버스 \overline{DB} 와 노드 h간에 연결된다. 트랜지스터들 Q_c와 Q_d는 데이터버스 DB와 노드 g간에 그리고 데이터 버스 \overline{DB} 와 노드 h간에 제각기 연결된다. 각각의 이들 트랜지스터들 Q_a, Q_b, Q_c와 Q_d는 워드 디코더 WD로부터 출력된 한쌍의 콤프리멘타리 신호들 A₆와 \overline{A}_6 에 의해 제어된다. 트랜지스터들 Q_a와 Q_b는 예를 들어 워드라인을 선택하기 위한 최상위 비트 어드레스 신호 A₆의 방전된 신호인 \overline{A}_6 에 의해 동시에 온 또는 오프된다. 트랜지스터 Q_c와 Q_d는 어드레스 신호 \overline{A}_6 에 의해 동시에 온 또는 오프된다. 트랜지스터 Q_a, Q_b가 온이고 트랜지스터 Q_c와 Q_d가 오프일때 데이터 버스 DB와 \overline{DB} 는 직결로 노드들 g와 h에 연결된다. 반대로, 트랜지스터들 Q_a와 Q_b가 오프이고, 트랜지스터 Q_c와 Q_d가 온일때 데이터 버스 DB와 \overline{DB} 는 교차 연결로 노드들 h와 g에 연결된다. 또한 제1도의 메모리 장치에서, 클램핑 트랜지스터들 Q₁₃, Q₁₄, Q₂₃, Q₂₄, ...는 각

각의 비트라인들 BL_1 , $\overline{BL_1}$, BL_2 , $\overline{BL_2}$,와 접지 사이에 연결된다. 메모리셀들 $MC_{1,1'}$, , $MC_{1,65'}$, , $MC_{2,1'}$, , $MC_{2,65'}$,를 모두 소거시키기 위해 소거 신호 CLR을 트랜지스터들 Q_{13} , Q_{14} , Q_{23} , Q_{24}의 게이트들에 인가한다.

상기 구성을 갖는 메모리 장치의 동작에 대해 설명하면 다음과 같다.

기입동작중 워드라인 예, WL_1 은 어드레스 신호들 A_0 내지 A_6 를 수신하는 워드 디코더 WD에 의해 선택되므로 결국 워드라인 WL_1 에 연결되는 모든 메모리셀들 $MC_{1,1'}$, $MC_{2,1'}$,은 온 된다. 또한 한 컬럼 디코더의 출력 예, DEC_1 은 컬럼 어드레스 신호에 의해 고레벨로 상승되므로 결국 트랜지스터들 Q_{11} 과 Q_{12} 가 둘다 온되어 비트라인들 BL_1 과 $\overline{BL_1}$ 가 트랜지스터들 Q_{11} 과 Q_{12} 를 통하여 데이터 버스들 DB와 \overline{DB} 에 각각 연결될 수 있다. 또한 스위치 회로 SW는 최상위 비트 어드레스 신호 A_6 를 수신하여 트랜지스터들 Q_a , Q_b 와 Q_c , Q_d 의 게이트들에 각각 인가되는 어드레스 신호 A_6 와 그의 반전신호 $\overline{A_6}$ 를 형성한다.

어드레스 신호 A_6 가 저레벨 즉, "0"에 있다고 가정하면 반전된 어드레스 신호 $\overline{A_6}$ 는 고레벨이 되므로 트랜지스터들 Q_a 와 Q_b 는 온될 수 있다. 이 상태에서 입력 데이터 D_{IN} 은 기입증폭기 WA를 통하여 콤프리멘타리 신호들로 변환된다. 콤프리멘타리 신호들은 트랜지스터들 Q_a 와 Q_b 를 하여 데이터 버스들에 DB와 \overline{DB} 입력된다. 데이터 버스들 DB와 \overline{DB} 에 입력되는 콤프리멘타리 기입신호들은 트랜지스터들 Q_{11} 과 Q_{12} 를 통하여 비트라인들 BL_1 과 $\overline{BL_1}$ 에 전송된다. 입력데이터 D_{IN} 이 예를 들어 "1"이고 그때 노드 g가 고레벨이 된다고 가정하면 그때 데이터 버스 DB와 그에 따른 비트라인 BL_1 은 고레벨이 되므로 정전하기 워드라인 WL_1 과 비트라인 BL_1 에 연결되는 메모리 셀 $MC_{1,1'}$ 의 캐패시터 C에 축적될 수 있으며 따라서 "1"이 기억될 수 있다. 결과적으로, 입력데이터 "1"에 대한 메모리 셀 $MC_{1,1'}$ 의 충전상태는 충전된 상태이다. 제1도에서는, 감지증폭기들 SA_1 , SA_2 ,의 양측에는 각각 64개의 워드라인이 있고, 각 워드라인군내의 64개의 워드라인들 중 하나는 6비트 어드레스 신호들 A_0 , A_5 에 의해 선택되며 또한 64개의 워드라인들을 각각 갖고 있는 두개의 어드라인군들 WLG_1 과 WLG_2 중 하나는 최상위 비트 어드레스 신호 A_6 에 의해 선택되는 것이 주목된다. 따라서, 상승한 동작에서, 최상위 비트 어드레스 A_6 가 "0"일때 워드라인 WL_1 을 포함하는 좌측 워드 라인군 WLG_1 이 선택된다. 여기서 주목되는 것은 어드레스 A_6 가 "1"일때, 워드라인 WL_{65} 를 포함하는 우측 워드 라인군 WLG_2 가 선택되는 것이다.

후자의 경우에 워드라인 $WL_{1,65}$ 가 선택될 때 기입동작은 워드라인 WL_{65} 와 비트라인 \overline{BL} 에 연결되는 메모리 셀 $MC_{1,65}$ 에 행해진다. 또한 이 경우에, 입력데이터 D_{IN} 이 "1"일때 트랜지스터들 Q_a 와 Q_b 는 오프되고 트랜지스터들 Q_c 와 Q_d 는 온되므로 데이터 버스 DB는 저레벨이 되고 데이터 버스 \overline{DB} 는 고레벨이 된다. 그러므로, 워드라인 WL_{65} 와 비트라인 $\overline{BL_1}$ 에 연결되는 메모리 셀 $MC_{1,65}$ 의 캐패시터 C의 충전상태는 또한 입력데이터 "1"이 충전된 상태이다. 즉, 제1도의 메모리장치에서, 감지증폭기열들 SA_1 , SA_2 ,의 양측상에 배열된 메모리셀들의 충전상태들은 동일한 기입데이터에 대해 동일한 것이 된다.

또한 데이터를 판독하도록, 한 워드라인 예, WL_1 은 반전된 신호 $\overline{A_6}$ 의 고레벨에 반응하여 선택된 다음 비트라인 BL_1 에 연결되는 메모리 셀 $MC_{1,1'}$ 의 축적상태에 의해 발생된 비트라인들 BL_1 과 $\overline{BL_1}$ 간의 전위차와 예를 들어 공지된 더미셀회로(도시안됨)에 의해 발생된 비트라인 $\overline{BL_1}$ 상의 기준전압은 감지증폭기 SA_1 에 의해 증폭된다. 순차적으로 한 컬럼디코더 예, DEC_1 의 출력은 컬럼 어드레스 신호에 의해 고레벨이 되므로 트랜지스터들 Q_{11} 과 Q_{12} 는 데이터 버스들 DB와 \overline{DB} 로서 비트라인들 BL_1 과 $\overline{BL_1}$ 을 연결하도록 온될 수 있다. 따라서, 감지증폭기 SA_1 의 출력은 데이터 버스들 DB와 \overline{DB} 상에 얻어진다. 또한 이때에 트랜지스터들 Q_a 와 Q_b 는 반전된 신호 $\overline{A_6}$ 의 고레벨에 반응하여 온되기 때문에 데이터 버스들 DB와 \overline{DB} 의 전위는 이 트랜지스터들을 통하여 출력버퍼 BUF로 입력되어 판독데이터 D_{out} 가 출력된다. 만일 선택된 메모리 셀 $MC_{1,1'}$ 이 판독 공정전에 전하들을 축적하고 있었을 경우 데이터 버스 DB는 고레벨이 되고 데이터 버스 \overline{DB} 는 저레벨이 되며, 이 경우에 판독데이터 D_{out} 는 "1"이다. 반대로, 선택된 메모리 셀 $MC_{1,1'}$ 이 전하들을 축적시키고 있지 않았을 경우, 판독데이터 D_{out} 는 "0"이다.

만일 최상위 어드레스 신호 A_6 가 "1"일 경우 워드라인 예, WL_{65} 가 선택되어 워드라인 WL_{65} 와 비트라인 BL에 연결되는 메모리 셀 $MC_{1,65}$ 의 축적상태에 의해 발생되는 비트라인들 BL_1 과 $\overline{BL_1}$ 간의 전위차는 감지증폭기 SA_1 에 의해 증폭되어 데이터 버스들 DB와 \overline{DB} 상에 출력된다. 이때에, 트랜지스터들 Q_c 와

Q_g 가 "1"의 어드레스 신호 A_6 에 반응하여 온되기 때문에 데이터 버스 DB와 \overline{DB} 상에 신호들이 반전된 위상으로 출력버퍼 BUF에 입력된다. 그러므로, 판독데이터 D_{out} 로서 반전된 위상 데이터 출력이 출력된다. 즉, 동일판 판독데이터 D_{out} 는 감지증폭기 SA_1, SA_2, \dots 의 양측상에 배치된 메모리 셀들의 총전상태가 동일할때 얻어질 수 있다. 좀더 상세히 설명하면, 만일 선택된 메모리 셀 $MC_{1,65}$ 가 판독 동작전에 전하들을 축적하고 있었을 경우 데이터 버스 \overline{DB} 는 고레벨이 된다. 데이터 버스 DB와 \overline{DB} 의 이 고 및 저레벨 상호 관계는 전하를 축적시키고 있는 메모리 셀 $MC_{1,1}$ 이 선택될 때와 다르다. 그럼에도 불구하고 트랜지스터들 Q_c 와 Q_d 를 통하여 노드 g와 고레벨이 되고 노드 h는 저레벨이 된다. 그러므로, 선택된 메모리 셀 $MC_{1,65}$ 가 전하를 축적시키고 있었을 때 판독데이터 D_{out} 는 "1"이다.

상술한 바와 같이 그러한 메모리 장치에서, 모든 메모리셀들의 축적된 데이터가 소거될 예정일때 비트라인들 모두에 연결되는 클램핑 트랜지스터들 $Q_{13}, Q_{14}, Q_{23}, Q_{24} \dots$ 는 모든 클램핑 트랜지스터들의 게이트들에 소거신호 CLR을 인가함으로써 온되어 비트라인 전위가 0볼트가 되게 한다. 이 상태에서, 모든 워드라인들은 워드 어드레스를 주사함에 의해 순차적으로 선택될 수도 있으므로 각 워드라인들 WL_1, \dots, WL_{65} 를 따라서 전송게이트 트랜지스터들 T가 연속적으로 온되어 연관된 캐패시터들 C를 방전시킨다. 좀더 유리하게 모든 워드라인들은 동시에 선택하여 워드라인들 WL_1, \dots, WL_{65} 들의 전압이 각 메모리 셀의 전송게이트 트랜지스터 T의 임계전압 V_{th} 보다 더 높게상승하도록 할수도 있다. 이 때문에 각 메모리 셀들 MC이 캐패시터들에 축적된 모든 전하들은 각 비트라인들과 클램핑 트랜지스터들 $Q_{13}, Q_{14}, Q_{23}, Q_{24} \dots$ 를 통하여 일시에 방전된다. 따라서, 모든 메모리 셀들 MC를 소거시키기 위한 동작이 수행된다.

제2도는 상술한 메모리 장치에 사용된 워드 디코더 WD의 일예를 나타낸다. 도면에서 워드 디코더는 각 어드레스 신호들 A_0, A_1, A_2, \dots 및 A_6 의 반전 및 비반전된 신호들을 형성시키기 위해 다수의 어드레스 버퍼 회로들 AB_0, AB_1, AB_2, \dots 및 AB_6 를 포함하는 어드레스 버퍼 유니트 WAB와 상기 어드레스 버퍼 유니트 WAB의 각 출력들이 선택적으로 입력되는 노아게이트들 N_1, N_2, N_3, \dots 그리고 N_{128} 을 갖고 있다. 즉, 각 노아게이트 N_i 는 어드레스 신호들 A_1 내지 A_6 와 $\overline{A_1}$ 내지 $\overline{A_6}$ 의 선택된 조합의 6비트들을 수신한다.

그러한 워드 디코더에서, 범용 판독/기입동작시에 노아게이트들중 어느것 하나의 출력만이 고레벨이 되고 나머지 모든 것들은 입력 어드레스 신호들 A_0, A_1, A_2, \dots 와 A_6 의 값들에 의해 저레벨이 된다. 그러나 만일 어드레스 버퍼 유니트 WAB의 모든 출력들을 저레벨로 할수있으면 노아게이트의 모든 출력 즉, 디코딩된 출력은 고레벨도 될 수 있으므로 모든 워드라인들의 선택이 동시에 되어 모든 메모리 셀들을 동시에 소거하는데 효과적일 수 있다. 모든 메모리 셀들을 소거하는 방법의 일예를 제3도와 제4도를 참조하여 이하 설명한다.

제3도는 한 비트에 대한 어드레스 버퍼 회로 AB_1 를 나타낸다. 도면에서 어드레스 버퍼회로는 인버퍼 INV_1 과 INV_2 , 트랜지스터들 $Q_{31}, Q_{32}, Q_{33}, Q_{34}, Q_{35}$ 및 Q_{36} 그리고 클럭신호 발생기 CLK를 포함하고 있다. 그러한 어드레스 버퍼회로에스 출력어드레스 신호를 A_1 와 $\overline{A_1}$ 의 양자를 저레벨이 되도록 만들기 위해서는 단지 클럭펄스 ϕ_A 의 발생기간동안 리세트신호 ϕ_R 을 트랜지스터 Q_{35} 와 Q_{36} 의 게이트에 인가하면 된다. 클럭펄스 ϕ_A 는 통상적으로 정지신호 ST를 클럭신호 발생기 CLK에 인가함에 의해 어드레스 선택(능동기간)이 금지되는 동안 클럭신호 발생기 CLK로부터 트랜지스터들 Q_{31} 와 Q_{32} 의 드레인들로 인가된다.

제4도는 제2도에 보인 노아게이트들 $N_1, N_2 \dots$ 의 구성의 일예를 나타낸다. 제4도에 보인 노아게이트 N_i 는 병렬로 연결된 트랜지스터 Q_{40}, Q_{41}, \dots 및 Q_{4N} , 리세트 트랜지스터 Q_R 전송게이트 트랜지스터 Q_S 와 출력 트랜지스터 Q_T 로구성된다. 그러한 노아게이트에서, 각 트랜지스터들 Q_{40}, Q_{41}, \dots 과 Q_{4N} 의 게이트들에 통상적으로 인가된 6비트 어드레스 신호들(A_0 내지 A_6 와 $\overline{A_0}$ 내지 $\overline{A_6}$ 의 조합)이 모두 저레벨에 있을때 이 트랜지스터들 Q_{40}, Q_{41}, \dots 과 Q_{4N} 의 모두는 오프되므로 고레벨 선택신호 ϕ_0 는 워드 라인 WL_1 에서 얻어질 수 있다. 따라서, 어드레스 신호들 A_0 내지 A_6 와 $\overline{A_0}$ 내지 $\overline{A_6}$ 의 모두를 저레벨로 만들어줌으로써 워드라인들 WL_1 내지 WL_{128} 의 모두는 고레벨에 선택될 수 있다.

어드레스 버퍼 유니트 WAB내에서 상술한 동작과 다른 방법에 의해 워드 라인들의 모든 선택상태를 실현시키는 것이 가능하다. 이 목적을 위해, 예를 들어 전원 V_{cc} 를 전송게이트 트랜지스터 Q_S 에 인가하는 대신에 클럭신호 ϕ_A 를 인가할 수도 있다. 범용 판독기/기입동작중 클럭신호 ϕ_A 는 고레벨로 된다. 그러나, 모든 선택모드를 시행하기 위해 클럭신호 ϕ_A 는 트랜지스터 Q_S 의 드레인(소오스)와 트랜지스터 Q_T 의 게이트간의 노드 M_2 를 고레벨이 되도록 해주기 위해 리세트기간동안 고레벨이 되도록 되며 그다음, 노아게이트의 동작을 개시하기 전에 즉, 어드레스 신호들 A_0 ($\overline{A_0}$) 내지 A_6 ($\overline{A_6}$)을 노아게이트 N_1 내지 N_{128} 에 인가하기전에 클럭신호 ϕ_A 는 저레벨이 되므로 트랜지스터 Q_S 는 오프될 수 있으므로 노드 M_2 는 노드 M_1 이 저레벨로 변환된 후조차 고레벨 상태에 유지된다. 따라서, 각 노아게이트 N_i 내의 출력 트랜지스터 Q_T 는 온 상태를 유지하여 모든 선택 상태를 얻을 수 있다.

상술한 바와 같이 본 발명에 의하여 다이내믹 랜덤 액세스 메모리에서 크램핑 트랜지스터들과 반전 회로를 포함하는 간단한 회로를 첨가함으로써 모든 비트들을 소거하기 위한 동작이 동시에 확실하게 수행될 수 있다.

또한 소거동작에서 각 메모리 셀내의 전송게이트 트랜지스터 T의 임계전압보다 워드라인의 전압을 더 크게 되도록 상승시키는 것이 충분하기 때문에 소거동작을 위해 워드 디코더 출력에 대한 구동 능력을 확대할 필요가 없으며, 따라서 소거 동작은 고속으로 시행될 수 있다. 또한 소거동작 중 전력소비는 비교적 작게 할 수 있다.

본 발명은 본 발명의 상술한 실시예의 제한되지 않음을 알 수 있다. 본 발명의 범위에서 이탈하지 않는 범위내에서 각종 변경과 수정이 가능하다. 예를 들어, 본 발명은 각 쌍의 비트라인들이 상술한 실시예의 개방비트라인 구성과 반대로 연관된 감지증폭기의 일측상에 연장되어 있는 미국 특허 제 4,025,907호 내에 기술된 것과 같은 소위 중첩 비트라인 구성을 갖는 메모리장치에 응용될 수 있다.

(57) 청구의 범위

청구항 1

다수의 비트라인쌍들, 각 비트라인쌍들을 구성하는 비트라인들에 연결되는 다수의 메모리셀들, 각각의 비트라인쌍에 대응하여 제공되며 각각 대응 비트라인쌍의 비트라인들에 연결되는 한쌍의 콤프리멘타리 신호단자(a,b)들을 각각 갖고 있는 다수의 감지 증폭기들, 선택된 비트라인쌍에 그리고 그로부터 데이터를 입력 및 출력시키기 위한 한쌍의 데이터 버스들, 각각 비트 라인쌍내의 두 비트라인들에 연결되는 각 메모리셀들의 충전상태들은 동일한 입력/출력 데이터에 대해 동일하게 되는 식으로 입력/출력 데이터를 선택적으로 반전시키기 위한 상기 쌍의 데이터 버스들에 동작하도록 연결되는 데이터 반전회로(SW), 그리고 상기 모든 메모리 셀들의 내용들이 소거되려고 할때 인가되는 소거 제어신호에 반응하여 예정된 전위로 모든 비트라인들의 전위를 인출시키기 위한 클램프 회로를 포함하는 것이 특징인 반도체 메모리 장치.

청구항 2

제1항에서, 상기 각 메모리셀들은 데이터를 축적시키기 위한 캐패시터(C)와 상기 비트라인들중 하나와 상기 캐패시터간에 데이터를 전송시키기 위한 MIS트랜지스터(T)를 포함하며 그에 의해 상기 반도체 메모리장치가 다이내믹 랜덤 액세스 메모리를 구성하는 것이 특징인 반도체 메모리 장치.

청구항 3

제1항에서, 상기 출력 데이터를 제공하기 위해 상기 데이터 반전회로를 통하여 상기 데이터 버스상에 동작하도록 연결되는 출력버퍼 회로(BUF), 그리고 상기 입력 데이터를 수신하기 위해 상기 데이터 반전회로를 통하여 상기 데이터 버스쌍에 동작가능하게 연결되는 기입증폭기(WA)를 더 포함하는 것이 특징인 반도체 메모리 장치.

청구항 4

제3항에 있어서, 상기 출력 버퍼회로는 콤프리멘타리의 입력신호들을 수신하기 위한 두 개의 입력(g,h)들을 갖고 있으며 상기 콤프리멘타리 입력신호들에 반응하여 상기 출력데이터가 (D_{out})가 결정되며, 또한 상기 기입증폭기는 상기 입력데이터 D_{in}에 반응하여 결정되는 콤프리멘타리 출력신호 (g,h)들을 제공하기 위한 두개의 출력들을 갖고 있는 것이 특징인 반도체 메모리 장치.

청구항 5

제4항에서, 상기 데이터 반전회로는 상기 데이터 버스들의 쌍을 상기 출력 버퍼회로의 상기 두 입력들에, 그리고 상기 기입증폭기의 두 출력들에 상기 메모리 셀들중 하나의 선택에 의해 직결 또는 횡단연결로 연결시키기 위한 스위칭 수단을 포함하는 것이 특징인 반도체 메모리 장치.

청구항 6

제5항에 있어서, 상기 각각의 비트라인쌍들중 하나와 각각 교차하는 제1군의 워드라인(WLG₁)들, 상기 각 비트라인쌍들 중 다른 하나와 각각 횡단하는 제2군의 워드라인(WLG₂), 그리고 어드레스 신호(A₀~A₆)들을 동작가능하게 수신하여 상기 워드라인들중 하나를 선택하는 워드 디코더(WD)를 더 포함하되, 상기 스위칭 수단은 제1, 제2, 제3 및 제4트랜지스터(Q_a,Q_b,Q_c,Q_d)들을 포함하며, 상기 제1트랜지스터는 상기 데이터 버스들중 하나와 상기 출력 버퍼회로의 상기 입력들중 하나뿐만 아니라 상기 기입증폭기의 상기 출력들 중 하나 사이에 연결되어 있으며, 상기 제2트랜지스터는 상기 데이터 버스들 중 다른 하나와 상기 출력버퍼회로의 상기 입력들 중 다른 것뿐만 아니라 상기 기입증폭기의 상기 출력들 중 다른 것 사이에 연결되어 있으며, 상기 제3트랜지스터는 상기 데이터 버스들중 상기 다른 것과 상기 출력버퍼 회로의 상기 입력들중 상기 하나뿐만 아니라 상기 기입증폭기의 상기 출력들중 상기 하나사이에 연결되어 있으며, 또한 상기 제4트랜지스터는 상기 데이터 버스들중 상기 하나와 상기 버스들의 상기 입력들중 상기 다른것뿐만 아니라 상기 기입증폭기의 상기 출력을 상기 다른 것 사이에 연결되어 있으며, 상기 제1 및 제2트랜지스터들은 상기 제1군의 워드라인들이 선택될 때 상기 어드레스 신호들에 반응하여 동시에 "온"되며 또한 상기 제3 및 제4트랜지스터들은 상기 제2군의 워드라인 들이 선택될 때 상기 어드레스 신호들에 반응하여 동시에 온되는 것이 특징인 반도체 메모리 장치.

청구항 7

제1항에서, 상기 클램프 회로는 상기 비트라인들 중 하나와 접지 사이에 각각 연결되는 다수의 클램

핑(Q_{13} , Q_{14} , Q_{23} , Q_{24})들을 포함하되, 상기 클램핑 트랜지스터들은 상기 모든 메모리 셀들의 내용들이 소거될때 상기 소거 제어신호(CLR)를 동작가능하게 수신하는 게이트 전극들을 갖는 것이 특징인 반도체 메모리 장치.

청구항 8

제2항에서, 상기 각 비트라인쌍들중 하나와 각각 교차하는 다수의 워드라인들을 더 포함하되, 각 메모리 셀내의 상기 MIS 트랜지스터는 상기 워드라인들 중 하나에 연결된 게이트 전극을 갖고 있으며 또한 상기 모든 상기 메모리 셀들의 내용들이 소거될 때 상기 MIS트랜지스터의 임계 전압보다 더 커지도록 상기 모든 워드라인들의 전위를 동시에 상승시키기 위한 워드라인 동시선택 수단을 더 포함하는 것이 특징인 반도체 메모리 장치.

청구항 9

제6항에서, 상기 워드 디코오더는 상기 모든 메모리셀의 내용들이 소거될때 상기 MIS트랜지스터의 임계전압보다 더 커지도록 상기 모든 워드라인들의 전위를 동시에 상승시키기 위한 워드라인 동시선택수단을 포함하는 것이 특징인 반도체 메모리 장치.

청구항 10

제9항에서, 상기 워드디코오더는 상기 어드레스 신호들의 콤프리멘타리 신호들을 형성하기 위한 어드레스 버퍼 유닛과 (WAB), 그리고 상기 워드라인들중 하나를 선택하도록 상기 콤프리멘타리 신호들을 선택적으로 수신하는 다수의 노아 게이트(Ni)들을 포함하되, 상기 워드라인 동시선택 수단은 상기 모든 콤프리멘타리 신호들을 저레벨로 만들어주기 위한 수단을 포함하여 그에의해 상기 노아게이트들의 모든 출력들이 고레벨이 되는 것이 특징인 반도체 메모리 장치.

청구항 11

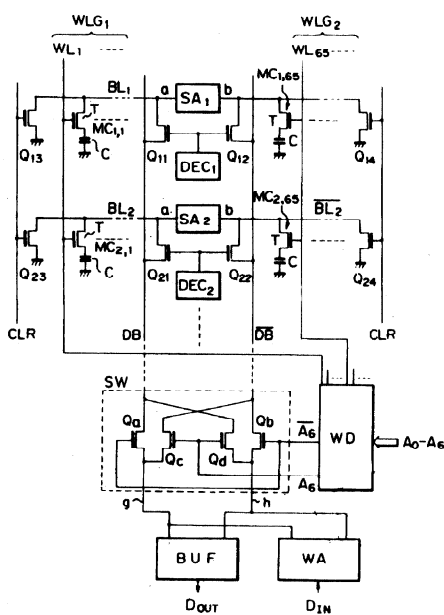
제9항에서, 상기 워드 디코오더는 상기 어드레스 신호들의 콤프리멘타리 신호들을 형성하기 위한 어드레스 버퍼유닛과 그리고 상기 워드라인들중 하나를 선택하도록 상기 콤프리멘타리 신호들을 선택적으로 수신하는 다수의 노아게이트들을 포함하며, 상기 워드라인 동시 선택수단은 상기 노아게이트들의 모든 출력들을 고레벨로 만들어주기 위한 수단을 포함하는 것을 특징인 반도체 메모리 장치.

청구항 12

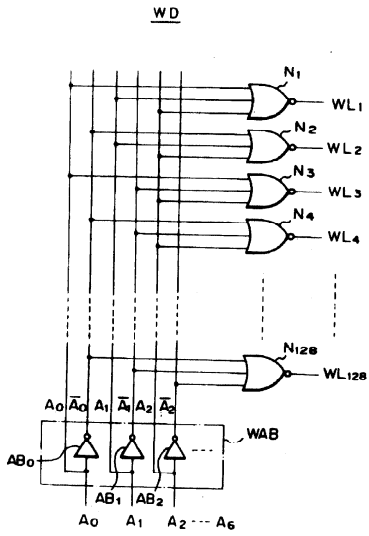
제9항에서, 상기 반도체 메모리 장치는 리세트 기간(ϕ_R)과 능동기간(ϕ_A)을 갖는 다이내믹 랜덤 액세스 메모리이며, 상기 워드 디코오더는 상기 어드레스 신호들의 콤프리멘타리 신호들을 형성하기 위한 어드레스 버퍼유닛과, 그리고 상기 워드라인들중 하나를 선택하도록 상기 콤프리멘타리 신호들을 선택적으로 수신하는 다수의 노아게이트들을 포함하되, 상기 노아게이트들 각각은 하나의 출력 트랜지스터(Q_T)를 갖고 있으며, 상기 워드라인 동시 선택수단은 상기 리세트 기간동안 상기 출력 트랜지스터의 각 게이트를 충전시켜서 상기 각 노아게이트들의 나머지 부분으로부터 상기 출력트랜지스터의 각 게이트를 차단시켜 주기 위한 수단을 포함하는 것이 특징인 반도체 메모리 장치.

도면

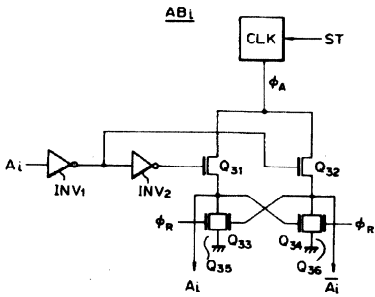
도면1



도면2



도면3



도면4

