



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I541951 B

(45)公告日：中華民國 105 (2016) 年 07 月 11 日

(21)申請案號：099128229

(22)申請日：中華民國 99 (2010) 年 08 月 24 日

(51)Int. Cl. : H01L23/28 (2006.01)

H01L21/304 (2006.01)

(30)優先權：2009/08/26 美國

61/237,153

2010/06/11 美國

12/813,979

(71)申請人：台灣積體電路製造股份有限公司 (中華民國) TAIWAN SEMICONDUCTOR  
MANUFACTURING CO., LTD. (TW)

新竹市新竹科學工業園區力行六路 8 號

(72)發明人：王宗鼎 WANG, TSUNG DING (TW)；李柏毅 LEE, BOI (TW)；李建勳 LEE, CHIEN  
HSIUN (TW)

(74)代理人：洪澄文；顏錦順

(56)參考文獻：

JP 2006-216911A

US 7306971B2

US 2008/0246126A1

審查人員：陳聖

申請專利範圍項數：10 項 圖式數：17 共 25 頁

(54)名稱

積體電路結構及其形成方法

WAFER-LEVEL MOLDED STRUCTURE FOR PACKAGE ASSEMBLY

(57)摘要

本發明一實施例提供一種積體電路結構，包括：一底晶粒；一頂晶粒，接合至該底晶粒，其中該頂晶粒具有一尺寸，小於該底晶粒之一尺寸；以及一封裝化合物，位於該頂晶粒及該頂晶粒之上，其中該封裝化合物延伸至接觸該頂晶粒之邊緣，且其中該底晶粒之邊緣垂直對齊於該封裝化合物之相應邊緣。

An integrated circuit structure includes a bottom die; a top die bonded to the bottom die with the top die having a size smaller than the bottom die; and a molding compound over the bottom die and the top die. The molding compound contacts edges of the top die. The edges of the bottom die are vertically aligned to respective edges of the molding compound.

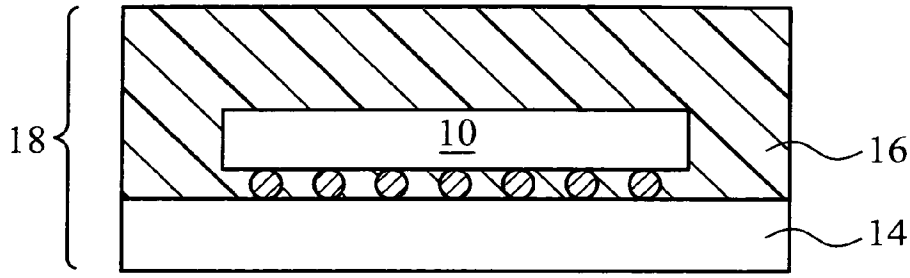
指定代表圖：

符號簡單說明：

10、14 . . . 晶粒

16 . . . 封裝化合物  
(或可重複使用材料)

18 . . . 晶圓級封裝  
單元



第 6 圖

發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 9912829

※申請日： 99. 8. 24

※IPC 分類： (H01L 23/18) (2006.01)

一、發明名稱：(中文/英文)

H01L 23/104 (2006.01)

積體電路結構及其形成方法

Wafer-level molded structure for package assembly

二、中文發明摘要：

本發明一實施例提供一種積體電路結構，包括：一底晶粒；一頂晶粒，接合至該底晶粒，其中該頂晶粒具有一尺寸，小於該底晶粒之一尺寸；以及一封裝化合物，位於該頂晶粒及該頂晶粒之上，其中該封裝化合物延伸至接觸該頂晶粒之邊緣，且其中該底晶粒之邊緣垂直對齊於該封裝化合物之相應邊緣。

三、英文發明摘要：

An integrated circuit structure includes a bottom die; a top die bonded to the bottom die with the top die having a size smaller than the bottom die; and a molding compound over the bottom die and the top die. The molding compound contacts edges of the top die. The edges of the bottom die are vertically aligned to respective edges of the molding compound.

四、指定代表圖：

(一)本案指定代表圖為：第(6)圖。

(二)本代表圖之元件符號簡單說明：

10、14~晶粒；

16~封裝化合物(或可重複使用材料)；

18~晶圓級封裝單元。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本揭露書是有關於積體電路，且特別是有關於堆疊晶粒之方法，更特別是有關於包含堆疊晶粒之封裝體及其封裝方法。

### 【先前技術】

半導體工業已經歷持續的快速成長，這是由於各種電子元件(即，電晶體、二極體、電阻器、電容器等)之整合密度的持續增進。佔最大原因地，此整合密度之增進來自於最小特徵尺寸(minimum feature size)的一再縮小化，其允許了更多元件整合至所給予之晶片面積中。

這些整合增進實際上為實質二維的，其中所整合之元件所佔的體積實質於半導體晶圓之表面上。雖然，微影製程之顯著的增進已於二維積體電路製作中造成相當大的進步，但在二維中所能達到的密度有著物理限制。這些限制其中之一為製造這些元件所需之最小尺寸。並且，當更多的元件放進一晶片中時，需要更多複雜的設計。

另一附加限制係因為隨著元件數目之增加，元件間之內連線的數目與長度隨之而顯著增加。當內連線之長度與數目增加時，電路之 RC 延遲與功率損耗(power consumption)亦皆增加。

因而產生了三維(3D)積體電路(ICs)以解決以上所討論之限制。在習知的三維積體電路製程之中，形成兩晶

圓，每一晶圓皆包括積體電路。接著，將兩晶圓接合，且使元件對齊。接著，形成深介層窗(deep vias)以內連接兩晶圓中之元件。

形成三維積體電路的另一方案為接合晶粒(bonding dies)。習知地，為了將兩晶粒接合在一起，每一晶粒係分別接合至一封裝基板上，並接著進一步將兩封裝基板接合在一起以形成封裝體。所知的方法包括封裝體於封裝體中(package-in-package, PIP)接合及封裝體於封裝體上(package-on-package, POP)接合。然而，這些接合方法遭遇一些缺點。由於封裝基板(其一般大於晶粒)之使用，最終封裝體的尺寸係增加到超出任何晶粒，這可能不是令人樂見的。再者，在習知的封裝方案中，使用了封裝化合物(molding compound)。然而，在一些高效能應用中，大量的熱能將產生於晶粒中，而封裝化合物(其常常非良好的熱導體)會減低熱散失效率(efficiency in heat dissipation)。

### 【發明內容】

本發明一實施例提供一種積體電路結構，包括：一底晶粒；一頂晶粒，接合至該底晶粒，其中該頂晶粒具有一尺寸，小於該底晶粒之一尺寸；以及一封裝化合物，位於該頂晶粒及該頂晶粒之上，其中該封裝化合物延伸至接觸該頂晶粒之邊緣，且其中該底晶粒之邊緣垂直對齊於該封裝化合物之相應邊緣。

本發明一實施例提供一種積體電路結構，包括：一

底晶粒；一頂晶粒，接合至該底晶粒，其中該頂晶粒具有一尺寸，小於該底晶粒之一尺寸；一封裝化合物，位於該底晶粒及該頂晶粒之上，其中該封裝化合物接觸該頂晶粒之邊緣，且其中該底晶粒之邊緣對齊於該封裝化合物之邊緣；一封裝基板，位於該底晶粒之下，且接合至該底晶粒；以及一附加封裝化合物，位於該封裝基板之上，且接觸該底晶粒，其中該封裝化合物及該附加封裝化合物具有一界面，對齊於該底晶粒之一邊緣。

本發明一實施例提供一種積體電路結構的形成方法，包括：將複數個頂晶粒接合至一底晶圓之上；將一第一封裝化合物形成至該些頂晶粒及該底晶圓之上；切割該底晶圓、該些頂晶粒、及該第一封裝化合物以形成複數個封裝單元，其中每一該些封裝單元包括其中一該些頂晶粒及一底晶粒，該底晶粒係切割自該底晶圓；將其中一該些封裝單元接合至一封裝基板之上；將一第二封裝化合物形成至該其中一該些封裝單元及該封裝基板之上；以及切割該封裝基板及該第二封裝化合物以形成複數個封裝體單元。

### 【實施方式】

以下將詳細說明本發明實施例之製作與使用方式。然應注意的是，本發明提供許多可供應用的發明概念，其可以多種特定型式實施。文中所舉例討論之特定實施例僅為製造與使用本發明之特定方式，非用以限制本發明之範圍。再者，當述及一第一材料層位於一第二材料

層上或之上時，包括第一材料層與第二材料層直接接觸或間隔有一或更多其他材料層之情形。為了簡單與清楚化，許多結構可能會繪成不同的尺寸。

將說明一種新穎的封裝體結構及其形成方法。實施例之中間製程階段亦將作說明。接著將討論實施例之變化。在這些實施例的敘述及圖式中，相似的標號用以標示相似的元件。

第 1 圖顯示將頂晶粒(top dies)10 接合至底晶圓 12 以形成堆疊結構(stacking structure)。在接合之前，可將底晶圓 12 固定在載具(carrier)8 之上。頂晶粒 10 及底晶圓 12 皆可包括積體電路(未顯示)於其中，例如互補式金氧半(CMOS)電晶體。頂晶粒 10 可透過覆晶接合(flip-chip bonding)而接合至底晶圓 12，雖然亦可使用焊線接合。頂晶粒 10 可具有小於底晶圓 12(未顯示於第 1 圖中，請參照第 6 圖)中之底晶粒 14 的尺寸。可將底膠(underfill)(未顯示)填入頂晶粒 10 與底晶圓 12 之間的空間中以保護接合點。

請參照第 2 圖，進行晶圓級封裝，且形成封裝化合物 16 以覆蓋頂晶粒 10 及底晶圓 12，例如可使用旋轉塗佈(spin coating)或印刷(printing)。封裝化合物 16 具有平坦的頂表面。在一實施例中，封裝化合物 16 對堆疊結構提供保護，並保留於最終結構之中。因此，封裝化合物 16 可使用常用之封裝化合物材料，例如樹脂(resins)。在另一實施例中，封裝化合物 16 在後續製程步驟中移除，而可使用可重複使用之材料，例如臘(wax)、黏著劑(膠)、



及其相似物。在移除之後，可收集可重複使用材料，並可再次使用。因此，封裝化合物 16 亦可稱為可重複使用材料 16。

在第 2 圖中，可重複使用材料 16 提供暫時性平坦表面，因而可將切割膠帶(dicing tape)固定於其上。第 3 圖顯示將切割膠帶 19 固定於封裝化合物 16 之上。切割膠帶 19 可包括切割框架(dicing frame)17 於其中。在固定之後，將切割膠帶 19 黏著至封裝化合物 16。接著，如第 4 圖所示，自底晶圓 12 取下載具 8。在一實施例中，載具 8 係透過紫外光膠(UV glue)而黏著至底晶圓 12，因此可藉由將紫外光膠曝露於紫外光而取下載具。在其他實施例中，可使用化學藥品移除載具 8 與底晶圓 12 之間的黏著劑。

第 5 圖顯示堆疊結構之切割。切割自堆疊結構之一部分堆疊晶粒(以下稱作晶圓級封裝單元 18)之剖面圖係顯示於第 6 圖之中。在所產生的晶圓級封裝單元 18 中，頂晶粒 10 係從頂部到側邊都由封裝化合物 16 所覆蓋。然而，底晶粒 14(其切割自底晶圓 12，如第 5 圖所示)僅自頂部被封裝化合物 16 所覆蓋。封裝化合物 16 之邊緣係與底晶粒 14 之邊緣對齊。可注意到的是，既然封裝化合物 16 不延伸至底晶粒 14 之邊緣上，晶圓級封裝單元 18 之水平尺寸將等於底晶粒 14 之水平尺寸，且小於底晶粒 14 之水平尺寸，若封裝化合物 16 延伸至接觸底晶粒 14 之邊緣。

請參照第 7 圖，將晶圓級封裝單元 18 接合至封裝基

板 20 之上。接合可為覆晶接合。在此情形中，凸塊球(bump ball)(未顯示)可預先固定於顯示於第 6 圖之底晶粒 14 的底部側面上。或者，在接合進行之前，凸塊球可預先固定於封裝基板 20 之頂表面上。在另一實施例中，晶圓級封裝單元 18 可透過焊線接合而接合至封裝基板 20 之上。

請參照第 8 圖，進行封裝體之封裝，且將封裝化合物 24 形成在晶圓級封裝單元 18 及封裝基板 20 之上。亦將球閘陣列球(BGA balls)32(其為錫球)固定於封裝基板 20 之上。接著，如第 9 圖所示，進行切割，而將封裝體單元(package-molded unit)26 自顯示於第 8 圖之結構切下。亦顯示用以將頂晶粒 10 接合至底晶粒 14 以及將底晶粒 14 接合至封裝基板 30 之錫球或焊線，其中封裝基板 30 為切割自顯示於第 7 圖之封裝基板 20 的一部分。在一實施例中，封裝化合物 16 及 24 包括不同的材質，因此可於封裝化合物 16 及 24 之間發現可見界面(visible interface)28。

在另一實施例中，封裝化合物 16 及 24 係由相同材料形成。然而，既然它們於不同時間塗佈，界面 28 可仍為可見的，雖然他們有時亦不可見。再者，封裝基板 30 之邊緣垂直地對齊封裝化合物 24 之邊緣。

可發現的是，封裝體單元 26、頂晶粒 10、及底晶粒 14 不需在它們接合在一起之前就先接合至封裝基板之上。因此，僅需較少的製成步驟與較少的封裝基板。最終封裝體之尺寸亦是小的。

第 10-12 圖顯示另一實施例。此實施例之起始步驟實

質上相同於所顯示於第 1-7 圖者。應注意的是，在顯示於第 2 圖之步驟中，封裝化合物 16 係由可重複使用材料所形成。因此，在進行顯示於第 7 圖之步驟之後，將可重複使用材料 16 自晶圓級封裝單元 18 中移除，例如使用水或其他溶劑，其中所需的溶劑取決於可重複使用材料之型式。最終結構顯示於第 10 圖中。由於可重複使用材料 16 之移除，頂晶粒 10 與底晶粒 14 曝露於外界環境，例如開放空氣(open air)。可收集並重複使用所移除之可重複使用材料。在可重複使用材料的重複使用中，如第 1 及 2 圖所示之製程步驟係於其他頂晶粒及底晶圓上重複進行，且所收集之可重複使用材料可再次模製以形成另一個封裝化合物，其相似於第 2 圖所顯示者。

接著，如第 11 圖所示，進行切割製程，且封裝晶粒單元(packaged die unit)34 係切割自顯示於第 10 圖中之結構。球閘陣列球 32 亦固定於封裝基板 30 之上，封裝基板 30 為切割自如第 10 圖所示之封裝基板 20 的一部分。在後續製程步驟中，封裝晶粒單元 34 可接合至其他結構，例如是印刷電路板(PCB)38，如第 12 圖所示。無形成封裝化合物以覆蓋頂晶粒 10 及/或底晶粒 14。因此，頂晶粒 10 及底晶粒 14 可具有較佳的熱散失能力。為了簡化，未顯示位於頂晶粒 10 與底晶粒 14 之間的底膠及位於底晶粒 14 與封裝基板 30 之間的底膠。

第 13-17 圖顯示另一實施例。此實施例之起始步驟實質上相同於顯示於第 1-4 圖者，因而不於此重複。再次，在顯示於第 2 圖的步驟中，封裝化合物 16 係由可重複使

用材料形成。在第 14 圖中，將切割膠帶 40(其可相同於或不同於顯示於第 13 圖中之切割膠帶 19)黏貼至底晶圓 12。因此，顯示於第 13 及 14 圖中之步驟等同於將切割膠帶自包含底晶圓 12 與可重複使用材料 16 之結合結構的一側重新固定至另一側。因此，露出了可重複使用材料 16，並可例如使用水或其他溶劑移除可重複使用材料 16。最終結構係顯示於第 15 圖。

請參照第 16 圖，切割堆疊結構(包括頂晶粒 10 及底晶圓 12)，形成出堆疊晶粒 44，如第 17 圖所示。接著，將堆疊晶粒 44 拾起並接合至封裝基板 20 之上，隨後將底膠(未顯示)注入並固化，其中底膠係注入在堆疊晶粒 44 與封裝基板 20 之間的空間中。接合之細節實質上相同於對第 7 圖之描述內容，因而在此不重複敘述。在進行顯示於第 17 圖之步驟之後，最終結構實質上相同於第 10 圖所顯示者。隨後，可進行顯示於第 11 及 12 圖之製程步驟。

實施例具有數個優點。藉著將頂晶粒直接接合在底晶圓上而不透過封裝基板，可縮減封裝尺寸，且亦可減少製程時間與成本。實施例提供多重晶粒堆疊之解決方案，其中形成了暫時性平坦表面以用於製程，例如是載體取下(carrier de-bonding)、測試(testing)、切割(singulation)、及其相似製程。再者，由於可重複使用材料之使用，製造成本進一步地縮減。封裝化合物之移除亦增進封裝體之熱散失能力。

雖然本發明已以數個較佳實施例揭露如上，然其並

非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作任意之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

**【圖式簡單說明】**

第 1-9 圖顯示根據本發明一實施例製造封裝體的中間製程階段。

第 10-17 圖顯示根據本發明一實施例製造附加封裝體的中間製程階段，其中封裝化合物係移除自附加封裝體。

**【主要元件符號說明】**

8~載具；

10、14~晶粒；

12~晶圓；

16、24~封裝化合物(或可重複使用材料)；

17~切割框架；

18~晶圓級封裝單元；

19、40~切割膠帶；

20、30~封裝基板；

26~封裝體單元；

28~界面；

32~球閘陣列球；

34~封裝晶粒單元；

38~印刷電路板；

44~堆疊晶粒。

第 99128229 號申請專利範圍修正本

## 七、申請專利範圍：

1. 一種積體電路結構，包括：

一底晶粒；

一頂晶粒，接合至該底晶粒，其中該頂晶粒具有一尺寸，小於該底晶粒之一尺寸；以及

一封裝化合物，位於該底晶粒及該頂晶粒之上，且由可重複使用材料所形成，其中該封裝化合物延伸至接觸該頂晶粒之邊緣，且其中該底晶粒之邊緣垂直對齊於該封裝化合物之相應邊緣。

2. 如申請專利範圍第 1 項所述之積體電路結構，更包括一封裝基板，位於該底晶粒之下，且接合至該底晶粒。

3. 如申請專利範圍第 2 項所述之積體電路結構，更包括一附加封裝化合物，位於該封裝基板之上且接觸該底晶粒，其中該封裝化合物及該附加封裝化合物具有一可見界面，對齊於該底晶粒之一邊緣。

4. 如申請專利範圍第 3 項所述之積體電路結構，其中該封裝化合物及該附加封裝化合物係由一相同材料所形成。

5. 如申請專利範圍第 3 項所述之積體電路結構，其中該封裝化合物及該附加封裝化合物係由不同的材料所形成。

6. 如申請專利範圍第 3 項所述之積體電路結構，其中該附加封裝化合物更包括一部分，直接位於該封裝化合物之上且接觸該封裝化合物。

第 99128229 號申請專利範圍修正本

7. 一種積體電路結構，包括：

一底晶粒；

一頂晶粒，接合至該底晶粒，其中該頂晶粒具有一尺寸，小於該底晶粒之一尺寸；

一封裝化合物，位於該底晶粒及該頂晶粒之上，且由可重複使用材料所形成，其中該封裝化合物接觸該頂晶粒之邊緣，且其中該底晶粒之邊緣對齊於該封裝化合物之邊緣；

一封裝基板，位於該底晶粒之下，且接合至該底晶粒；以及

一附加封裝化合物，位於該封裝基板之上，且接觸該底晶粒，其中該封裝化合物及該附加封裝化合物具有一界面，對齊於該底晶粒之一邊緣。

8. 一種積體電路結構的形成方法，包括：

將複數個頂晶粒接合至一底晶圓之上；

將一第一封裝化合物形成至該些頂晶粒及該底晶圓之上，其中該第一封裝化合物由可重複使用材料所形成；

切割該底晶圓、該些頂晶粒、及該第一封裝化合物以形成複數個封裝單元，其中每一該些封裝單元包括其中一該些頂晶粒及一底晶粒，該底晶粒係切割自該底晶圓；

將其中一該些封裝單元接合至一封裝基板之上；

將一第二封裝化合物形成至該其中一該些封裝單元及該封裝基板之上；以及

切割該封裝基板及該第二封裝化合物以形成複數個



第 99128229 號申請專利範圍修正本

封裝體單元。

9. 如申請專利範圍第 8 項所述之積體電路結構的形成方法，更包括：

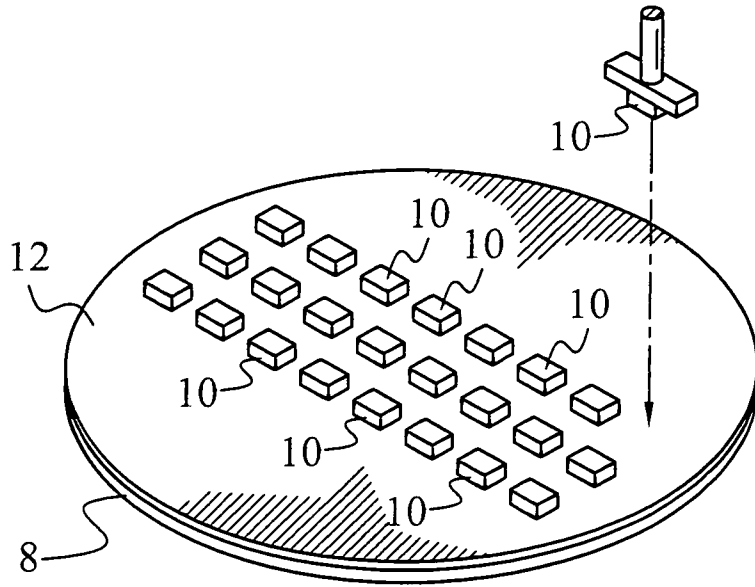
在將該頂晶粒接合至該底晶圓之步驟之前，將一載具固定至該底晶圓之上；

在形成該第一封裝化合物之後，將一切割膠帶固定至並貼近至該第一封裝化合物之上；

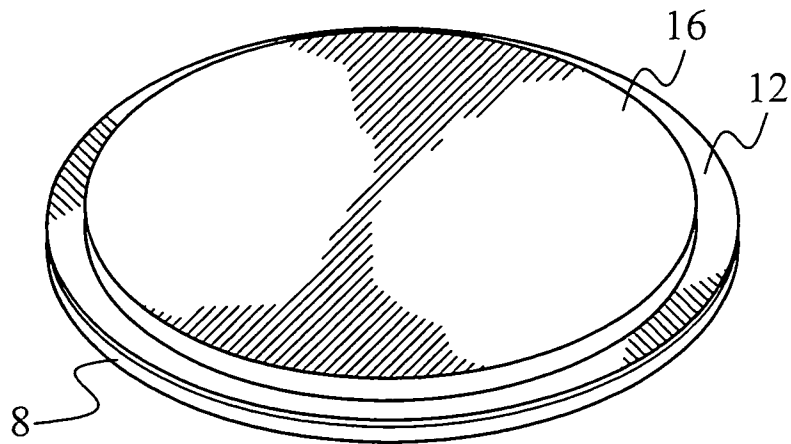
取下該載具；以及

在切割該底晶圓、該些頂晶粒、及該第一封裝化合物以形成該些封裝單元之步驟之後，自該第一封裝化合物取下該切割膠帶。

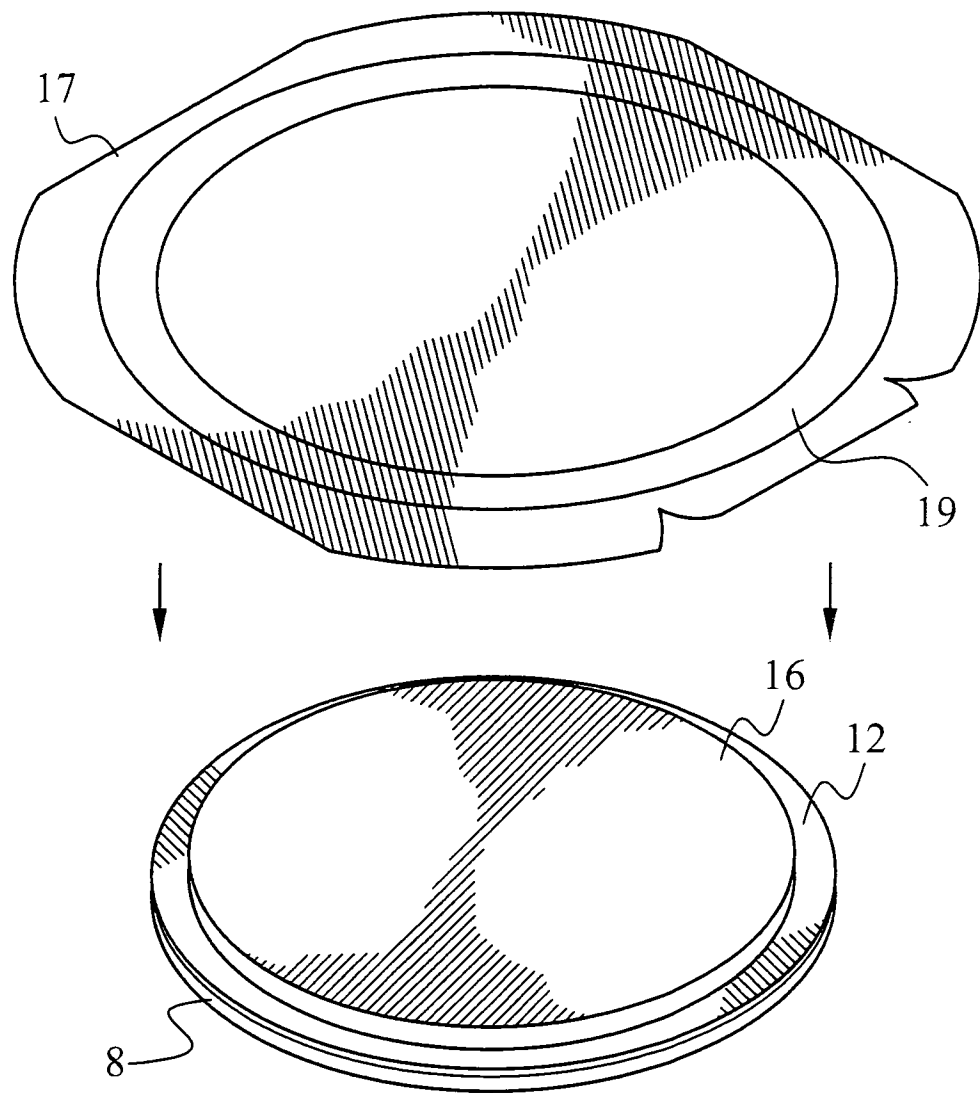
10. 如申請專利範圍第 8 項所述之積體電路結構的形成方法，其中該頂晶粒係透過覆晶接合而接合至該底晶圓。



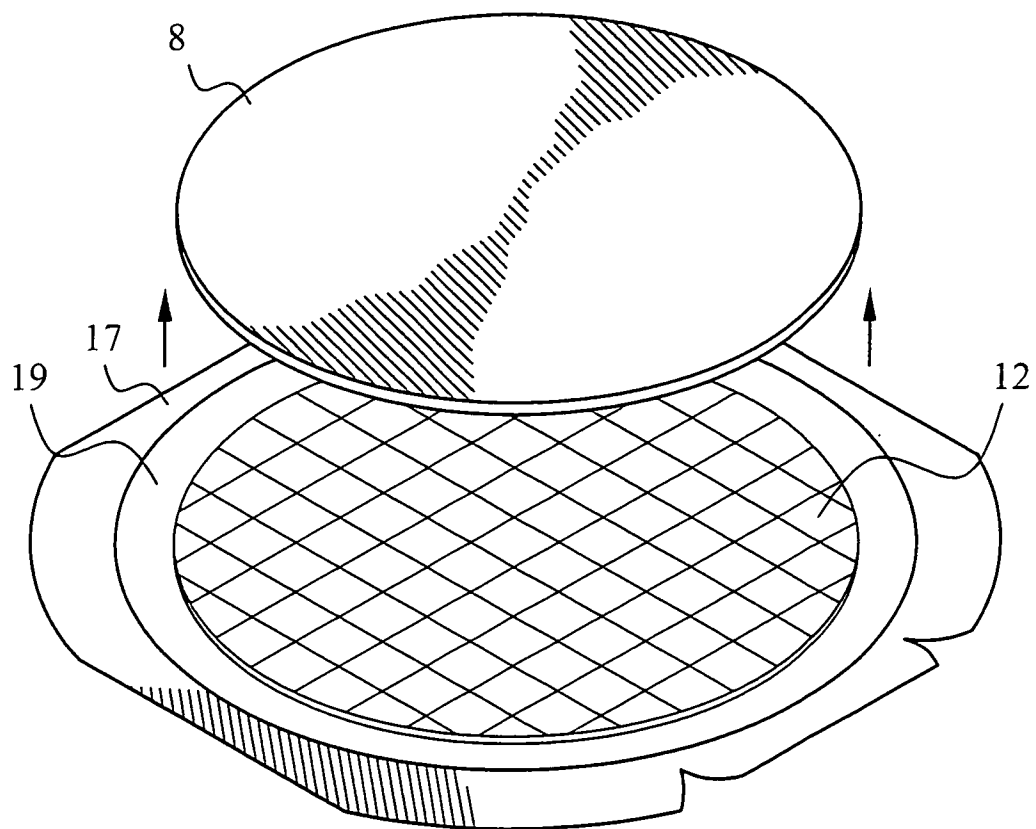
第 1 圖



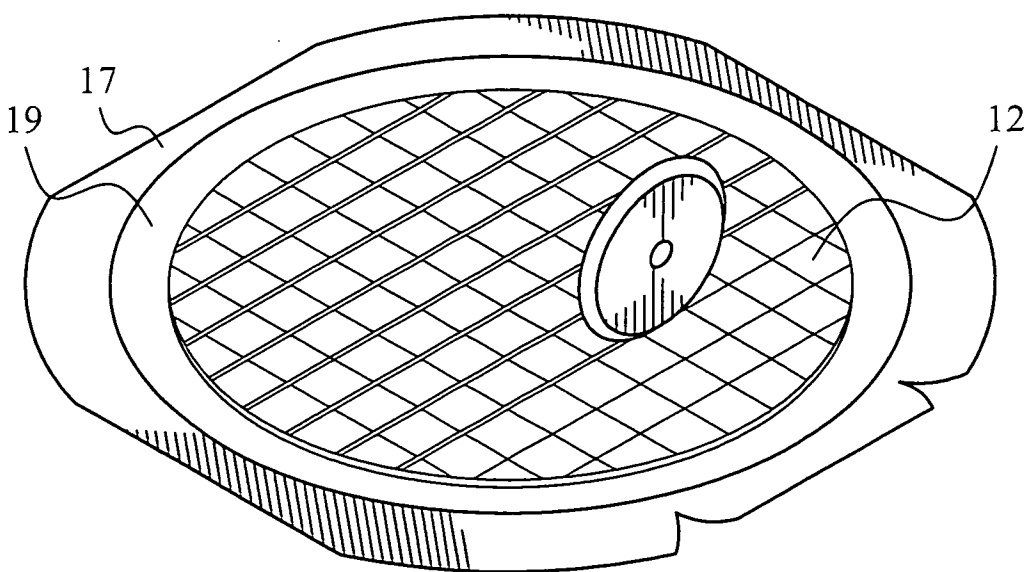
第 2 圖



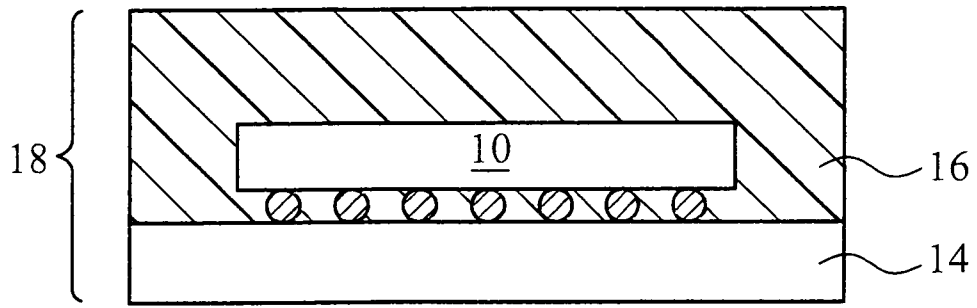
第 3 圖



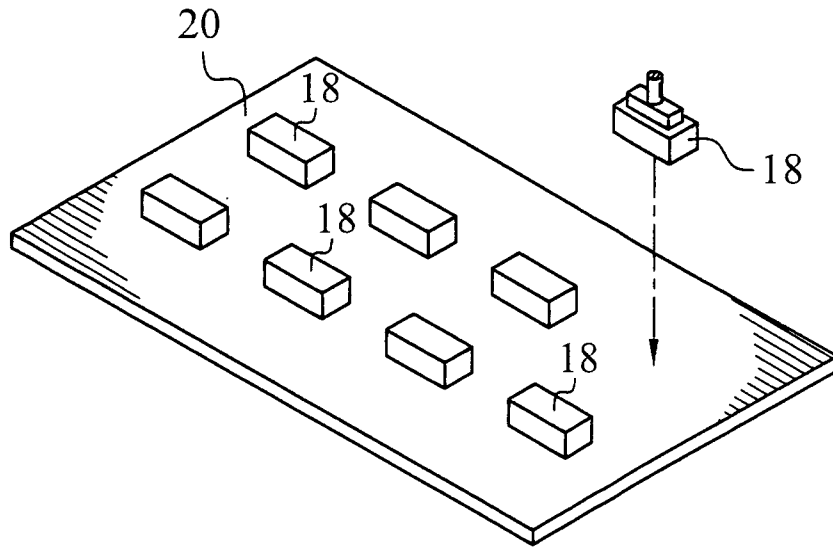
第 4 圖



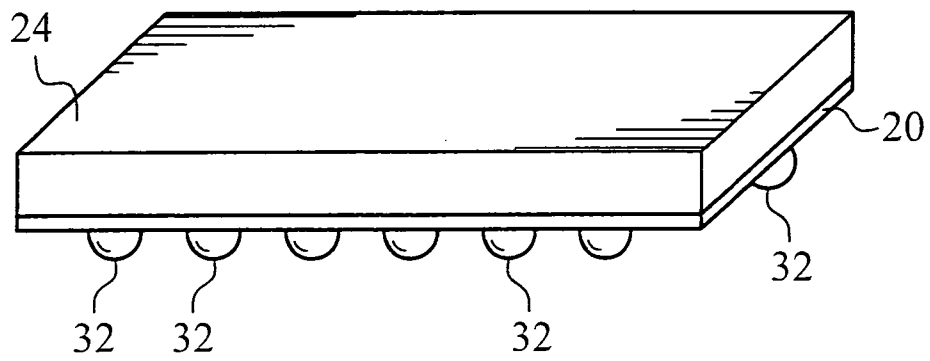
第 5 圖



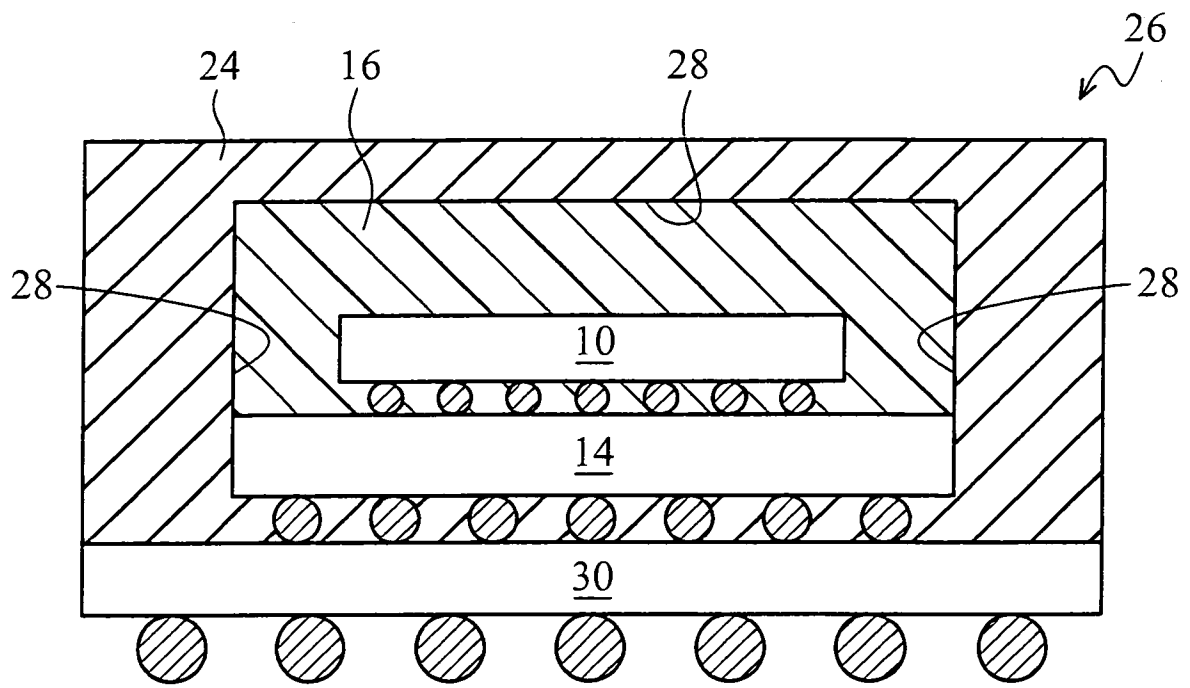
第 6 圖



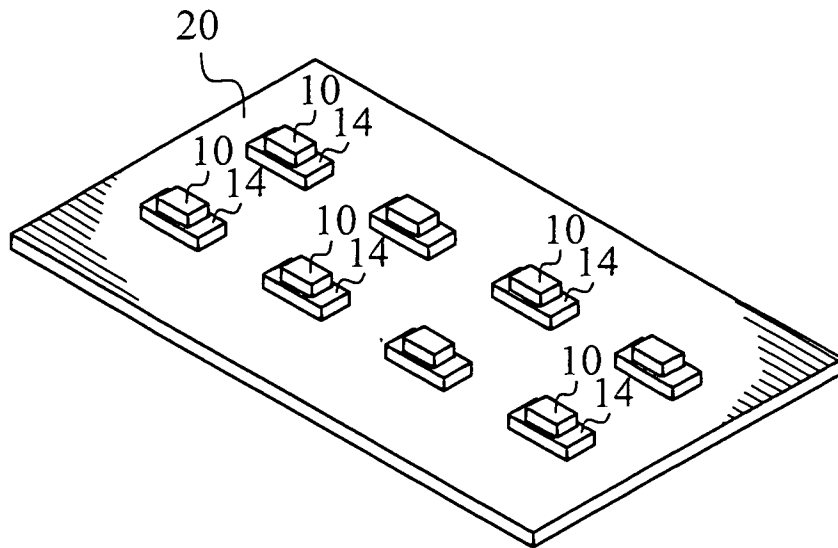
第 7 圖



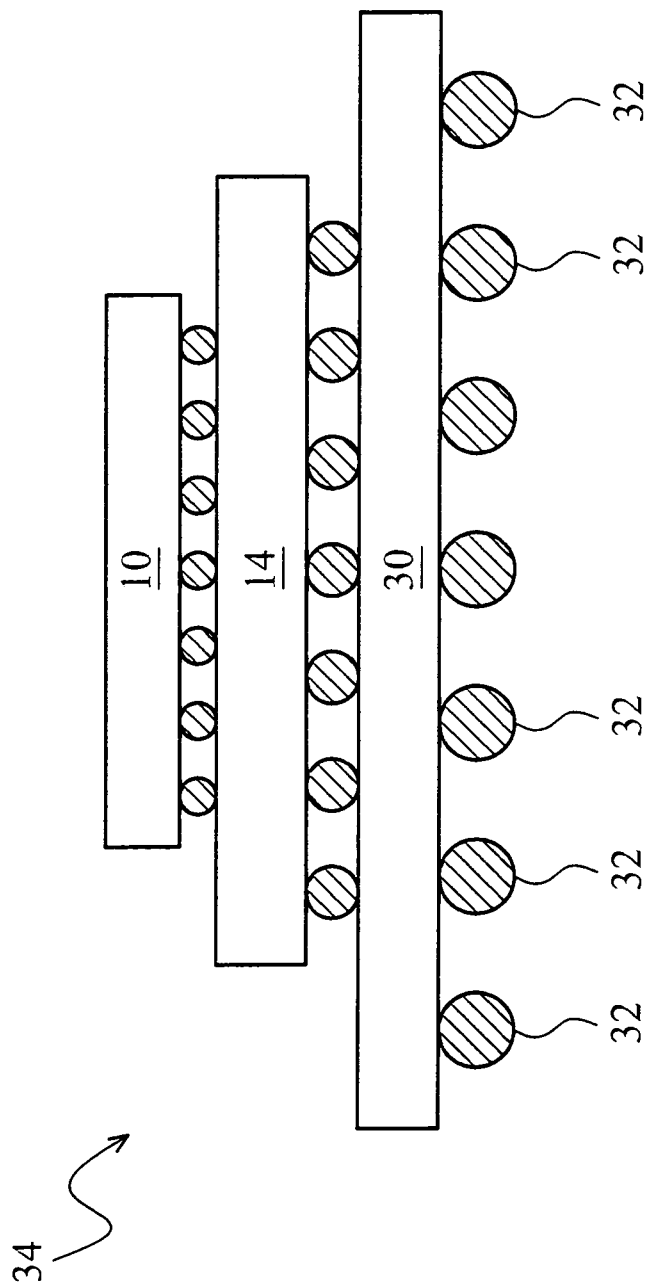
第 8 圖



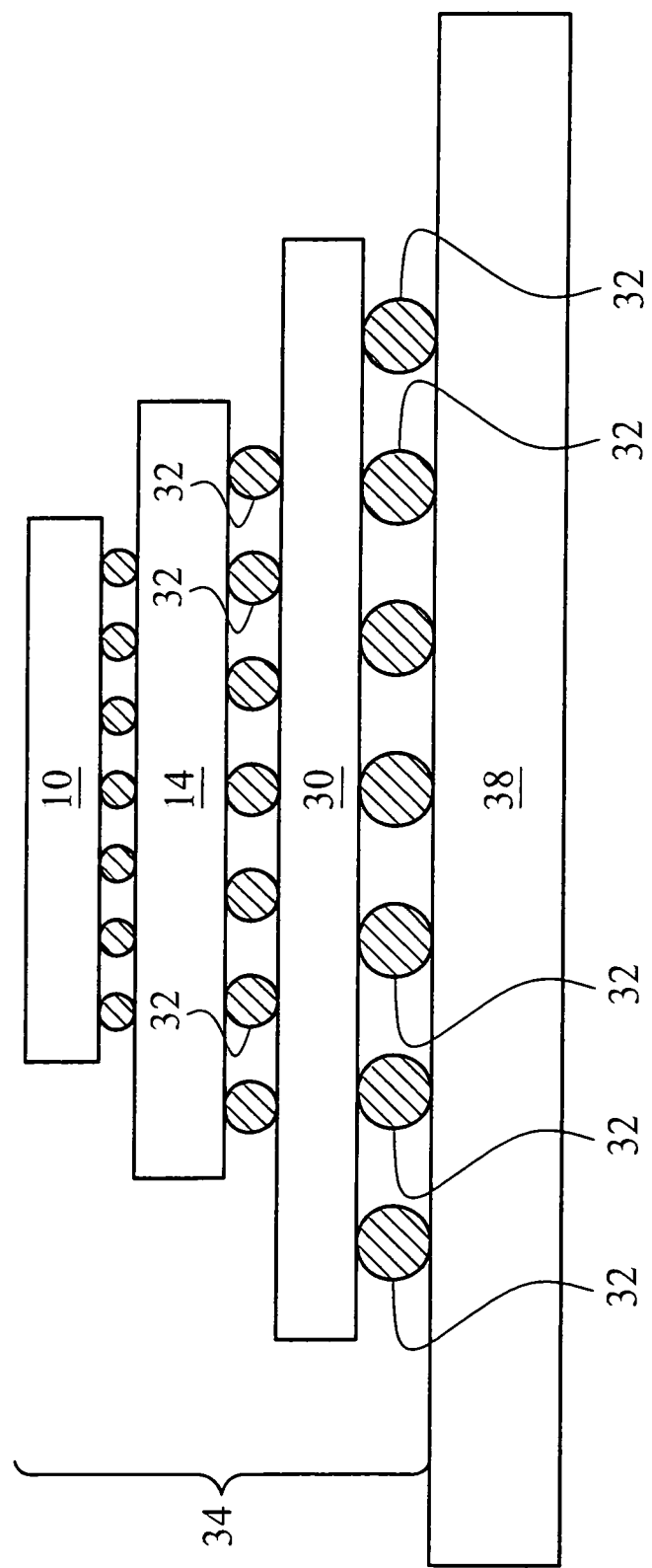
第 9 圖



第 10 圖

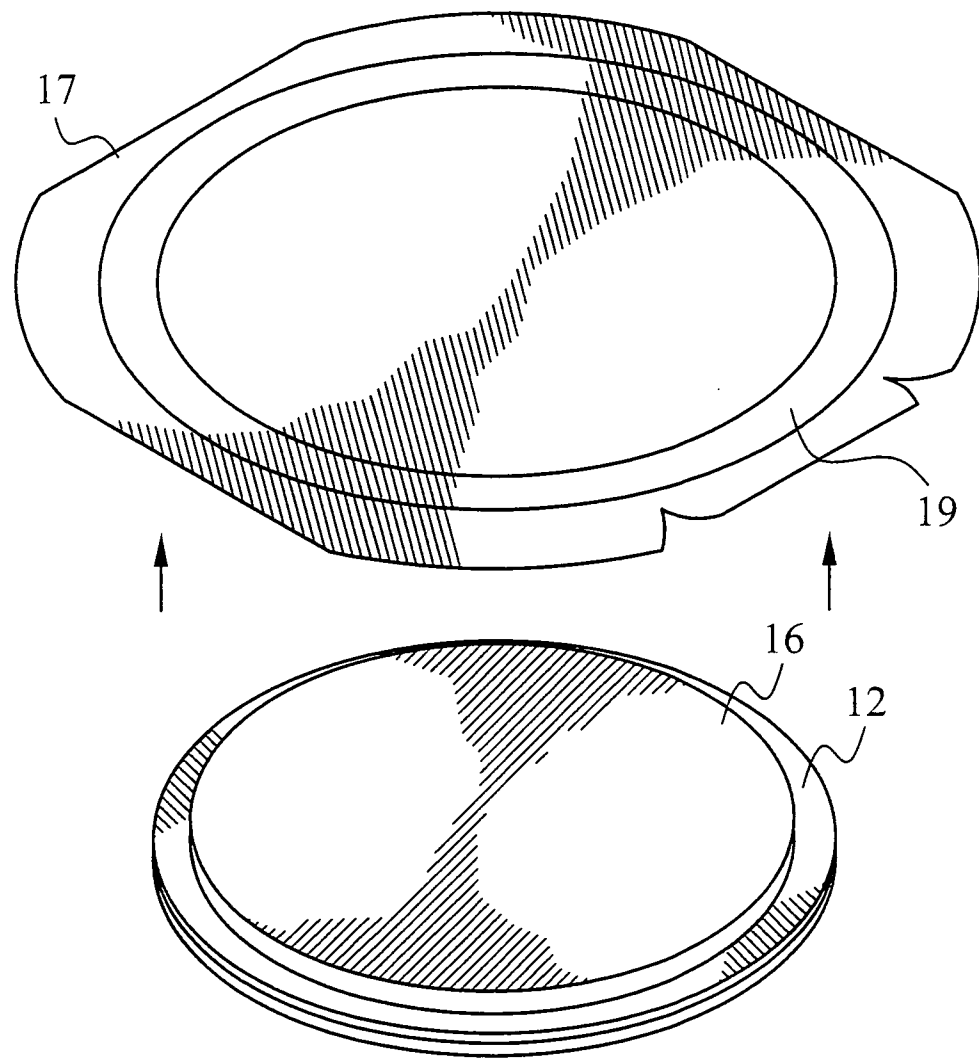


第 11 圖

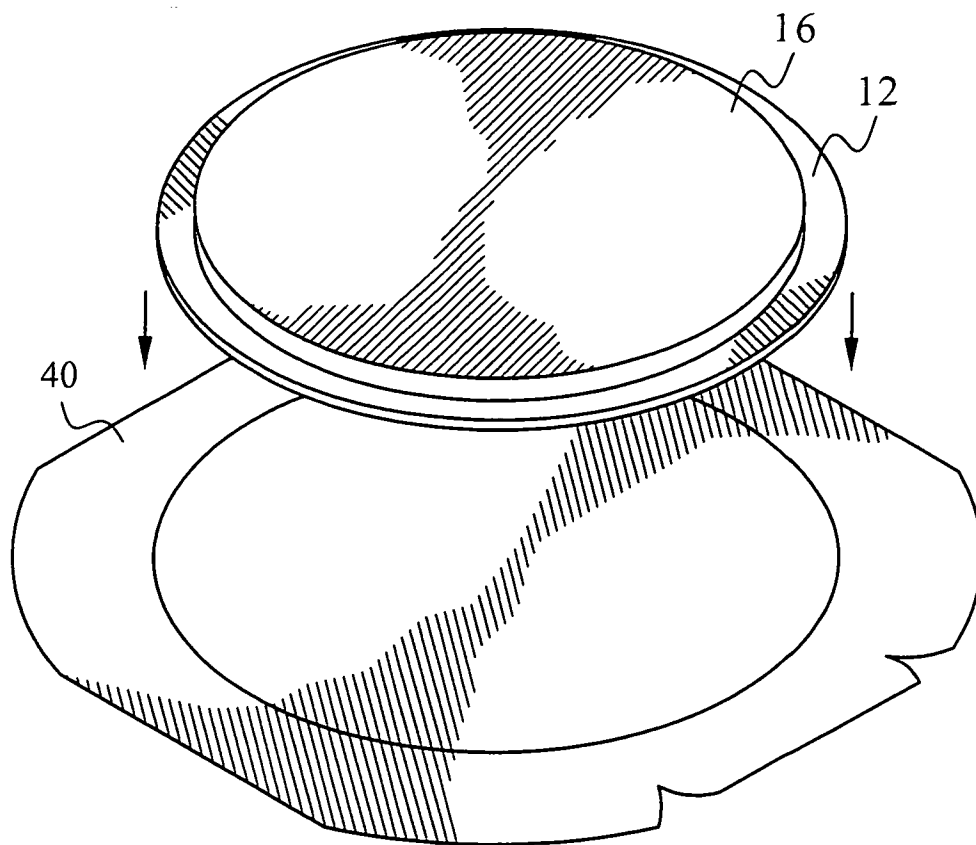


第 12 圖

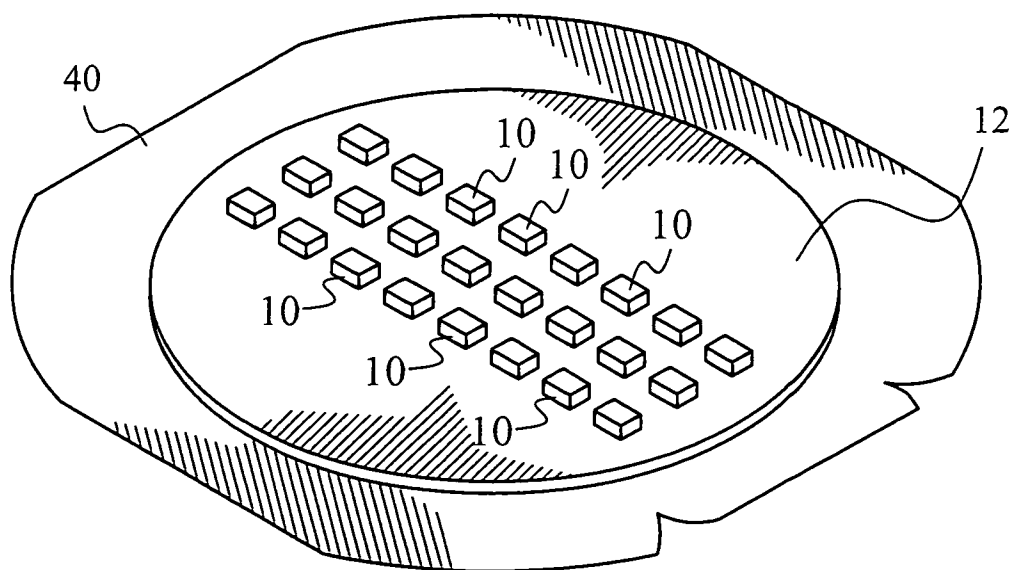




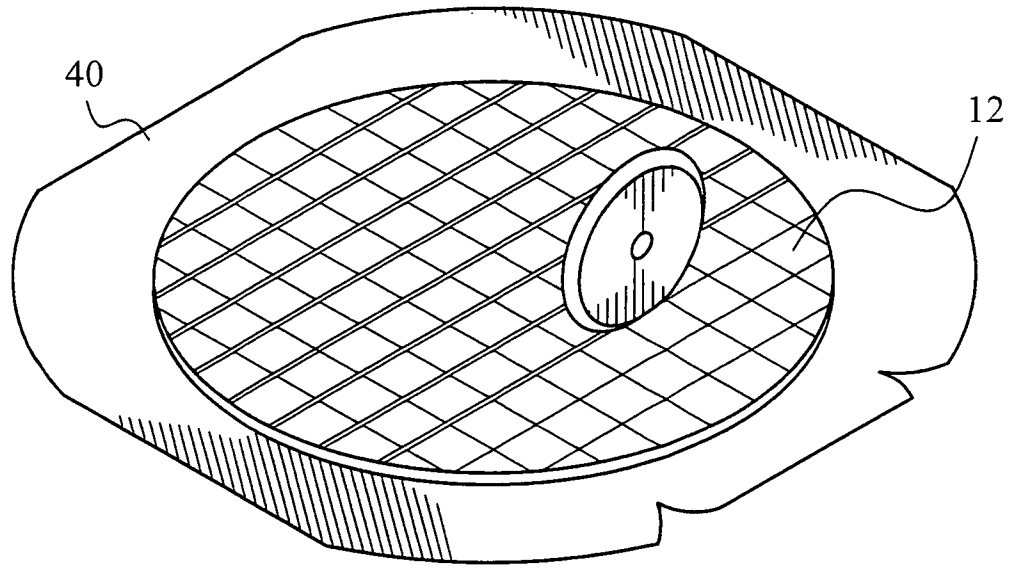
第 13 圖



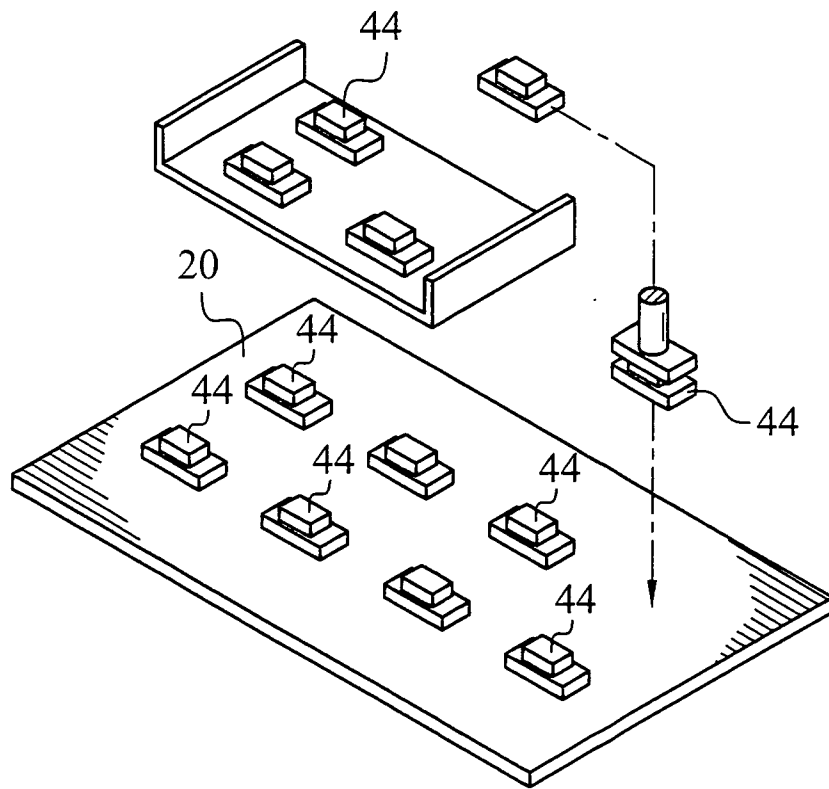
第 14 圖



第 15 圖



第 16 圖



第 17 圖