(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2007년12월10일
(11) 등록번호 10-0783852
(24) 등록일자 2007년12월03일

(51) Int. Cl.
H04L 27/01 (2006.01)
(21) 출원번호 10-2000-0080431
(22) 출원일자 2000년12월22일
심사청구일자 2005년12월22일
(65) 공개번호 10-2001-0062638
(43) 공개일자 2001년07월07일
(30) 우선권주장
09/471,920 1999년12월23일 미국(US)
(56) 선행기술조사문헌
US05220570 A1
US05910968 A1
RIZOS A. D. et al.,"Reduced-Complexity Sequence Detection Approaches for PR-shaped, Coded Linear Modulations", GLOBECOM 1997, vol.1, 3 November 1997.
전체 청구항 수 : 총 38 항

(73) 특허권자
루센트 테크놀러지스 인크
미합중국 뉴저지 머레이 힐 마운틴 애비뉴 600 (우편번호 : 07974-0636)
(72) 발명자
아자멧카메란
미국뉴저지주07751모건빌베일드라이브622
하라트츠에리츠프란즈
미국뉴저지주07720브래들리비치오션파크애비뉴100비
(74) 대리인
김창세, 장성구

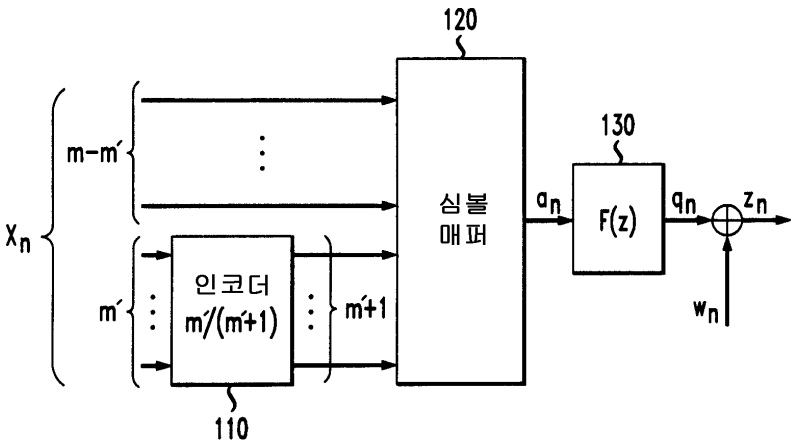
심사관 : 남옥우

(54) 신호 처리 방법, 하이브리드 서바이버 메모리 구조 및 복잡성이 감소된 시퀀스 추정기

(57) 요 약

감소 상태 추정 기법과 같은, 복잡성이 감소된 시퀀스 추정 기법의 처리시간을 향상시키는 방법 및 장치가 개시된다. RSSE에서 브랜치 메트릭에 대한 가능한 값이 사전에 계산되어 파이프라이닝을 가능하게 하고 임계 경로를 단축한다. 채널 메모리에서 모든 가능한 심볼 조합에 대하여 브랜치 메트릭을 사전에 계산하는 것은 피드백 루프로부터 브랜치 메트릭 유닛(BMU)과 결정-피드백 유닛(DFU)을 제거할 수 있으며, 따라서 임계 경로를 감소시킬 수 있다. 예측 브랜치 메트릭 유닛(LABMU)과 심벌간 간섭 소거기(ISIC)는 채널 메모리에 대하여 모든 가능한 값에 대한 브랜치 메트릭을 사전에 계산한다. 각각의 디코딩 사이클의 초기에, 한 세트의 멀티플렉서(MUXs)는 대응하는 서바이버 경로 셀(SPCs)에 있는 서바이버 심볼에 근거하여 적당한 브랜치 메트릭을 선택하고, 다음에 가산-비교-선택 유닛(ACSU)으로 전송된다. 다차원 트렐리스 코드에 대하여 다차원 트렐리스 코드의 각각의 차원을 개별적으로 계산함으로써 사전계산에 대한 계산량의 부하가 감소된다. 사전필터링 기법은 채널 메모리를 단축함으로서 계산의 복잡성을 감소시키기 위해 사용된다. 길이가 L인 채널 메모리를 갖는 채널에 대하여 RSSE에 대한 혼성 서바이버 메모리 구조가 개시되며, L개의 과거 디코딩 사이클에 대응하는 서바이버는 레지스터 교환 구조(REA)에 저장되고, 후속 디코딩 사이클에 대응하는 서바이버는 트레이스-백 구조(TBA)에 저장되거나 또는 레지스터 교환 구조(REA)에 저장된다. 심볼은 제 1 레지스터 교환 구조(REA)로부터 트레이스-백 구조(TBA) 또는 제 2 레지스터 교환 레지스터 구조(REA)로 전송되기 전에 워드 크기를 감소하기 위해 정보비트에 매핑된다.

대표도 - 도1



특허청구의 범위

청구항 1

수신된 신호를 처리하는 방법에 있어서,

하나 이상의 채널 심볼의 추정 시퀀스(speculative sequences)에 대하여 상기 수신된 신호를 사용하여 브랜치 메트릭을 사전계산하는 단계;

상기 사전계산된 브랜치 메트릭을 적어도 하나의 파이프라인 레지스터에 저장하는 단계;

대응하는 상태로부터의 적어도 하나의 서바이버(survivor) 심볼에 근거하여 상기 적어도 하나의 파이프라인 레지스터 중 하나로부터 상기 사전계산된 브랜치 메트릭 중 하나를 선택하는 단계; 및

주어진 상태에 대하여 최적 경로 메트릭을 갖는 경로를 선택하는 단계를 포함하는

신호 처리 방법.

청구항 2

제 1 항에 있어서,

상기 사전계산된 브랜치 메트릭은:

$$\tilde{\lambda}_n(z_n,a_n,\tilde{\alpha})=(z_n-a_n+\tilde{u}(\tilde{\alpha}))^2$$

로 주어지고, 여기에서 심볼간 간섭 추정이 수학식

$$\tilde{u}(\tilde{\alpha})=-\sum_{i=1}^{L} f_i\tilde{a}_{n-i}$$

을 연산함으로써 얻어질 수 있으며, 여기에서 z_n 은 시간 상수 n에서의 검출자 입력(detector input), L은 채널 메모리 길이, $\{f_i\}$, $i\in\{0,..,L\}$ 는 등가 이산 시간 채널 임펄스 응답의 계수, a_n은 채널 심볼, 그리고 $\tilde{\alpha}=(\tilde{\alpha}_{n-L},...,\tilde{\alpha}_{n-1})$ 은 채널 심볼의 시퀀스인

신호 처리 방법.

청구항 3

제 1 항에 있어서,

상기 경로 메트릭은 소정 시간 동안의 상기 대응하는 브랜치 메트릭의 누산인

신호 처리 방법.

청구항 4

제 1 항에 있어서,

브랜치 메트릭 $\lambda_n(z_n,a_n,\rho_n)$ 은 서바이버 경로 $\hat{\alpha}_n(\rho_n)$:를 사용하여 상기 사전계산된 브랜치 메트릭 $\tilde{\lambda}_n(z_n,a_n,\tilde{\alpha})$ 로부터 다음과 같이 선택되며,

$$\lambda_n(z_n,a_n,\rho_n)=sel\{\Lambda_n(z_n,a_n,\rho_n),\hat{\alpha}_n(\rho_n)\},$$

$\Lambda_n(z_n,a_n,\rho_n)$ 는 브랜치 메트릭 $\tilde{\lambda}_n(z_n,a_n,\tilde{\alpha})$ 을 포함하는 벡터이고, 이는 상태 ρ_n으로부터 천이(transition)할 때에 발생할 수 있으며 채널 심볼 a_n, 상이한 채널 시퀀스 $\tilde{\alpha}$에 대응하며, $\hat{\alpha}_{n,}(\rho_n)$는 상태 ρ_n가 되는(leading to) 서바이버 시퀀스인

신호 처리 방법.

청구항 5

제 1 항에 있어서,

상기 최적 경로 메트릭은 최소 또는 최대 경로 메트릭인

신호 처리 방법.

청구항 6

제 1 항에 있어서,

상기 신호의 상기 처리는 감소 상태 시퀀스 추정 기법(a reduced state sequence estimation technique)을 사용하여 수행되는

신호 처리 방법.

청구항 7

제 1 항에 있어서,

상기 신호의 상기 처리는 지연 결정-피드백 시퀀스 추정 기법(a delayed decision-feedback sequence estimation technique)을 사용하여 수행되는

신호 처리 방법.

청구항 8

제 1 항에 있어서,

상기 신호의 상기 처리는 병렬 결정-피드백 등화 기법(a parallel decision-feedback equalization technique)을 사용하여 수행되는

신호 처리 방법.

청구항 9

제 1 항에 있어서,

상기 신호의 상기 처리는 비터비 알고리즘의 구현을 사용하여 수행되는

신호 처리 방법.

청구항 10

제 1 항에 있어서,

상기 신호의 상기 처리는 M 알고리즘의 구현을 사용하여 수행되는

신호 처리 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

수신된 다차원 신호를 처리하는 방법에 있어서,

하나 이상의 채널 심볼의 추정 시퀀스에 대하여 상기 수신된 다차원 신호의 각 차원에 대한 일차원 브랜치 메트릭을 사전계산하는 단계;

상기 사전계산된 일차원 브랜치 메트릭을 적어도 하나의 파이프라인 레지스터에 저장하는 단계;

대응하는 상태로부터의 적어도 하나의 서바이버 심볼에 근거하여 상기 적어도 하나의 파이프라인 레지스터 중 하나로부터 상기 사전계산된 일차원 브랜치 메트릭 중 하나를 선택하는 단계; 및

다차원 브랜치 메트릭을 얻기 위해 상기 선택된 일차원 브랜치 메트릭을 결합하는 단계를 포함하는

신호 처리 방법.

청구항 14

제 13 항에 있어서,

차원 j에서 상기 일차원 브랜치 메트릭은 다음의 수학식

$\tilde{\lambda}_{n,j}\left(z_{n,j},a_{n,j},\tilde{\alpha}_j\right)=\left(z_{n,j}-a_{n,j}+\tilde{u}_j\left(\tilde{\alpha}_j\right)\right)^2$ 과 $\tilde{u}_j\left(\tilde{\alpha}_j\right)=-\sum_{i=1}^{L} f_{i,j}\tilde{a}_{n-i,j}$

을 연산함으로써 사전계산되고, 여기에서 $z_{n,j}$ 는 검출자 입력, $a_{n,j}$ 은 시간 n에서의 채널 심볼, $\tilde{\alpha}_j=\left(\tilde{a}_{n-L,j},..,\tilde{a}_{n-1,j}\right)$ 는 차원 j에서 채널 심볼의 시퀀스, L은 채널 메모리 길이, B는 차원의 개수, $\{f_{i,j}\}$, $i\in\{0,..,L\}$, $j\in\{1..,B\}$ 는 등가 이산 시간 채널 임펄스 응답의 계수인

신호 처리 방법.

청구항 15

제 13 항에 있어서,

일차원 브랜치 메트릭의 상기 선택은 다음과 같이 주어지며,

$\lambda_{n,j}\left(z_{n,j},a_{n,j},\rho_n\right)=sel\left\{\Lambda_{n,j}\left(z_{n,j},a_{n,j}\right),\hat{\alpha}_{n,j}\left(\rho_n\right)\right\}$

$\Lambda_{n,j}\left(z_{n,j},a_{n,j}\right)$ 는 동일한 입력 $a_{n,j}$, 상이한 일차원 채널 시퀀스 $\tilde{\alpha}_j$ 에 대하여 가능한 일차원 브랜치 메트릭 $\tilde{\lambda}_{n,j}\left(z_{n,j},a_{n,j},\tilde{\alpha}_j\right)$ 을 포함하는 벡터이고, $\hat{\alpha}_{n,j}\left(\rho_n\right)$ 는 상태 ρ_n가 되는 차원 j의 서바이버 시퀀스인

신호 처리 방법.

청구항 16

삭제

청구항 17

삭제

청구항 18

수신된 다차원 신호를 처리하는 방법에 있어서,

하나 이상의 채널 심볼의 추정 시퀀스에 대하여 상기 수신된 다차원 신호의 각 차원에 대한 일차원 브랜치 메트릭을 사전계산하는 단계;

상기 일차원 브랜치 메트릭을 적어도 이차원 브랜치 메트릭으로 결합하는 단계;

상기 결합된 적어도 이차원 브랜치 메트릭을 적어도 하나의 파이프라인 레지스터에 저장하는 단계; 및

대응하는 상태로부터의 적어도 하나의 서바이버 심볼에 근거하여 상기 적어도 하나의 파이프라인 레지스터 중 하나로부터 상기 적어도 이차원 브랜치 메트릭 중 하나를 선택하는 단계를 포함하는

신호 처리 방법.

청구항 19

제 18 항에 있어서,

차원 j에서의 상기 일차원 브랜치 메트릭은 다음의 수학식

$\tilde{\lambda}_{n,j}(z_{n,j}, a_{n,j}, \tilde{\alpha}_j) = (z_{n,j} - a_{n,j} + \tilde{u}_j(\tilde{\alpha}_j))^2$ 와 $\tilde{u}_j(\tilde{\alpha}_j) = -\sum_{i=1}^{L} f_{i,j}\tilde{a}_{n-i,j}$

을 연산함으로써 사전계산되며, 여기에서 $z_{n,j}$ 는 검출자 입력, $a_{n,j}$ 은 시간 n에서의 채널 심볼, $\tilde{\alpha}_j = (\tilde{a}_{n-L,j},..,\tilde{a}_{n-1,j})$ 는 차원 j에서 채널 심볼의 시퀀스, L은 채널 메모리 길이, B는 차원의 개수, $\{f_{i,j}\}$, $i \in \{0,..,L\}$, $j \in \{1..,B\}$ 는 등가 이산 시간 채널 임펄스 응답의 계수인

신호 처리 방법.

청구항 20

제 18 항에 있어서,

특정 상태 및 채널 심볼에 대응하는 적어도 이차원 브랜치 메트릭의 상기 선택은 상기 상태 및 상기 적어도 이차원에 근거하고, 상기 선택은 상기 상태, 채널 심볼 및 상이한 이전 채널 심볼 시퀀스에 대하여 상기 사전계산된 적어도 이차원 브랜치 메트릭 사이에서 수행되는

신호 처리 방법.

청구항 21

삭제

청구항 22

삭제

청구항 23

제 18 항에 있어서,

다차원 브랜치 메트릭을 얻기 위해, 상기 선택된 적어도 이차원 브랜치 메트릭을 결합하는 단계를 더 포함하는

신호 처리 방법.

청구항 24

채널로부터 수신된 신호를 처리하는 방법에 있어서,

상기 채널의 메모리를 단축하기 위하여 상기 수신된 신호를 사전필터링하는 단계;

상기 단축된 채널 메모리에 대응하는 심볼의 추정 시퀀스에 대하여 상기 수신된 신호를 사용하여 브랜치 메트릭을 사전계산하는 단계;

상기 사전계산된 브랜치 메트릭을 적어도 하나의 파이프라인 레지스터에 저장하는 단계;

대응하는 상태로부터의 적어도 하나의 서바이버 심볼에 근거하여 상기 적어도 하나의 파이프라인 레지스터 중 하나로부터 상기 사전계산된 브랜치 메트릭 중 하나를 선택하는 단계; 및

주어진 상태에 대하여 최적 경로 메트릭을 갖는 경로를 선택하는 단계를 포함하는

신호 처리 방법.

청구항 25

제 24 항에 있어서,

상기 사전필터링 단계는 임시 결정을 사용하는 저복잡성 소거 알고리즘으로 상기 채널 임펄스 응답의 덜 중요한 계수와 연관된 ISI를 처리하는 단계를 더 포함하고

브랜치 메트릭을 사전계산하는 상기 단계, 상기 브랜치 메트릭을 선택하는 상기 단계, 및 경로를 선택하는 상기 단계는 상기 채널 임펄스 응답의 더 중요한 계수와 연관된 ISI를 처리하기 위하여 복잡성이 감소된 시퀀스 추정 기법(a reduced complexity sequence estimation technique)을 구현하는

신호 처리 방법.

청구항 26

제 25 항에 있어서,

상기 저복잡성 소거 알고리즘은 결정 피드백 전치필터 기법(a decision feedback prefilter technique)인

신호 처리 방법.

청구항 27

제 25 항에 있어서,

상기 저복잡성 소거 알고리즘은 선형 등화기 기법(a linear equalizer technique)을 사용하는

신호 처리 방법.

청구항 28

삭제

청구항 29

제 25 항에 있어서,

상기 저복잡성 소거 알고리즘은 상기 덜 중요한 계수와 연관된 심볼간 간섭을 감소시키는

신호 처리 방법.

청구항 30

제 25 항에 있어서,

상기 더 중요한 계수는 계수 개수 U 이하의 계수를 포함하며, U는 채널 메모리 길이 L보다 작은 사전규정된 수인

신호 처리 방법.

청구항 31

제 25 항에 있어서,

상기 복잡성이 감소된 시퀀스 추정 기법은 결정-피드백 시퀀스 추정 기법을 사용하여 수행되는

신호 처리 방법.

청구항 32

제 25 항에 있어서,

상기 복잡성이 감소된 시퀀스 추정 기법은 병렬 결정-피드백 등화 기법을 사용하여 수행되는

신호 처리 방법.

청구항 33

제 25 항에 있어서,

상기 복잡성이 감소된 시퀀스 추정 기법은 감소 상태 시퀀스 추정 기법을 사용하여 수행되는

신호 처리 방법.

청구항 34

제 25 항에 있어서,

상기 복잡성이 감소된 시퀀스 추정 기법은 비터비 알고리즘의 구현을 사용하여 수행되는

신호 처리 방법.

청구항 35

제 25 항에 있어서,

상기 복잡성이 감소된 시퀀스 추정 기법은 M 알고리즘의 구현을 사용하여 수행되는

신호 처리 방법.

청구항 36

삭제

청구항 37

삭제

청구항 38

채널로부터 수신된 신호를 처리하는 방법에 있어서,

상기 채널의 메모리를 단축하기 위하여 상기 수신된 신호를 사전필터링하는 단계;

상기 단축된 채널 메모리에 대한 채널 심볼의 추정 시퀀스에 대하여 그리고 다차원 신호의 각 차원에 대하여 상기 수신된 신호를 사용하여 일차원 브랜치 메트릭을 사전계산하는 단계;

상기 일차원 브랜치 메트릭을 적어도 이차원 브랜치 메트릭으로 결합하는 단계;

상기 결합된 적어도 이차원 브랜치 메트릭을 적어도 하나의 파이프라인 레지스터에 저장하는 단계; 및

대응하는 상태로부터의 적어도 하나의 서바이버 심볼에 근거하여 상기 적어도 하나의 파이프라인 레지스터 중 하나로부터 상기 적어도 이차원 브랜치 메트릭 중 하나를 선택하는 단계를 포함하는

신호 처리 방법.

청구항 39

삭제

청구항 40

삭제

청구항 41

삭제

청구항 42

삭제

청구항 43

삭제

청구항 44

삭제

청구항 45

삭제

청구항 46

삭제

청구항 47

수신된 신호를 처리하는 신호 처리기에 있어서,

하나 이상의 채널 심볼의 추정 시퀀스에 대하여 상기 수신된 신호를 사용하여 브랜치 메트릭을 사전계산하는 브랜치 메트릭 유닛;

상기 사전계산된 브랜치 메트릭을 저장하는 적어도 하나의 파이프라인 레지스터;

대응하는 상태로부터의 적어도 하나의 서바이버 심볼에 근거하여 상기 적어도 하나의 파이프라인 레지스터 중 하나로부터 상기 사전계산된 브랜치 메트릭 중 하나를 선택하는 멀티플렉서; 및

주어진 상태에 대하여 최적 경로 메트릭을 갖는 경로를 선택하는 가산-비교-선택(add-compare-select) 유닛을 포함하는

신호 처리기.

청구항 48

제 47 항에 있어서,

대응하는 상태로부터의 상기 선택은 서바이버 메모리 유닛으로부터 발생하는

신호 처리기.

청구항 49

삭제

청구항 50

수신된 다차원 신호를 처리하는 신호 처리기에 있어서,

하나 이상의 채널 심볼의 추정 시퀀스에 대하여 수신된 트렐리스 코드(trellis code)의 각 차원에 대하여 일차원 브랜치 메트릭을 사전계산하는 브랜치 메트릭 유닛;

상기 사전계산된 일차원 브랜치 메트릭을 저장하는 적어도 하나의 파이프라인 레지스터;

대응하는 상태로부터의 적어도 하나의 서바이버 심볼에 근거하여 상기 적어도 하나의 파이프라인 레지스터 중 하나로부터 상기 사전계산된 일차원 브랜치 메트릭 중 하나를 선택하는 멀티플렉서; 및

상기 선택된 일차원 브랜치 메트릭에 근거하여 다차원 브랜치 메트릭을 계산하는 다차원 브랜치 메트릭 계산 유닛을 포함하는

신호 처리기.

청구항 51

제 50 항에 있어서,

대응하는 상태로부터의 상기 선택은 서바이버 메모리 유닛에서 가능한

신호 처리기.

청구항 52

삭제

청구항 53

수신된 다차원 신호를 처리하는 신호 처리기에 있어서,

하나 이상의 채널 심볼의 추정 시퀀스에 대하여 수신된 다차원 신호의 각 차원에 대하여 일차원 브랜치 메트릭을 사전계산하는 브랜치 메트릭 유닛;

상기 일차원 브랜치 메트릭을 적어도 이차원 브랜치 메트릭로 결합하는 수단;

상기 결합된 적어도 이차원 브랜치 메트릭을 저장하는 적어도 하나의 파이프라인 레지스터;

대응하는 상태로부터의 적어도 하나의 서바이버 심볼에 근거하여 상기 적어도 하나의 파이프라인 레지스터 중 하나로부터 상기 적어도 이차원 브랜치 메트릭 중 하나를 선택하는 멀티플렉서; 및

다차원 브랜치 메트릭을 얻기 위해 상기 선택된 적어도 이차원 브랜치 메트릭을 결합하는 다차원 브랜치 메트릭 유닛을 포함하는

신호 처리기.

청구항 54

제 53 항에 있어서,

대응하는 상태로부터의 상기 서바이버 심볼은 대응하는 서바이버 경로 셀 내의 서바이버 심볼에 근거하는

신호 처리기.

청구항 55

삭제

청구항 56

채널로부터 수신된 신호를 처리하는 신호 처리기에 있어서,

상기 채널의 메모리를 단축하는 전치필터;

상기 단축된 채널 메모리에 대한 하나 이상의 채널 심볼의 추정 시퀀스에 대하여 상기 수신된 신호를 사용하여 브랜치 메트릭을 사전계산하는 브랜치 메트릭 유닛;

상기 사전계산된 브랜치 메트릭을 저장하는 적어도 하나의 파이프라인 레지스터;

대응하는 상태로부터의 적어도 하나의 서바이버 심볼에 근거하여 상기 적어도 하나의 파이프라인 레지스터 중 하나로부터 상기 사전계산된 브랜치 메트릭 중 하나를 선택하는 멀티플렉서; 및

주어진 상태에 대하여 최적 경로 메트릭을 갖는 경로를 선택하는 가산-비교-선택 유닛을 포함하는

신호 처리기.

청구항 57

제 56 항에 있어서,

대응하는 상태로부터의 상기 서바이버 심볼은 서바이버 메모리 유닛 내의 서바이버 심볼에 근거하는

신호 처리기.

청구항 58

삭제

청구항 59

채널로부터 수신된 다차원 신호를 처리하는 신호 처리기에 있어서,

상기 채널의 메모리를 단축하는 전치필터;

상기 단축된 채널 메모리에 대한 하나 이상의 채널 심볼의 추정 시퀀스에 대하여 그리고 상기 다차원 신호의 각 차원에 대하여 일차원 브랜치 메트릭을 사전계산하는 브랜치 메트릭 유닛;

상기 일차원 브랜치 메트릭을 적어도 이차원 브랜치 메트릭로 결합하는 수단;

상기 결합된 이차원 브랜치 메트릭을 저장하는 적어도 하나의 파이프라인 레지스터; 및

대응하는 상태로부터 적어도 하나의 서바이버 심볼에 근거하여 상기 적어도 하나의 파이프라인 레지스터 중 하나로부터 상기 적어도 이차원 브랜치 메트릭 중 하나를 선택하는 멀티플렉서를 포함하는

신호 처리기.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<12> 본 발명은 일반적으로 채널 등화(equalization) 및 디코딩 기술에 관한 것이며, 보다 상세하게는, 더 단축된 임계 경로(critical paths)를 갖는 시퀀스 추정 기법에 관한 것이다.

<13> 트위스트 페어 컨덕터(twisted pair conductors)를 사용하는 근거리 통신망(LAN)의 전송속도는 10Mbps에서 1Gbps까지 점차 증가해 왔다. 기가비트 이더넷 1000 Base-T 표준은, 예를 들면, 125MHz의 클록속도에서 동작하고, 네 개의 구리쌍을 갖는 카테고리5 케이블링을 사용하여 1Gbps를 전송한다. 공지된 방법으로, 전송기는 코딩 이득을 얻기 위해 트렐리스 코드 변조(TCM)를 사용한다. 수신기에 도달한 신호는 전형적으로 부호간 간섭(ISI), 혼선, 에코 및 잡음으로 인해 왜곡된다. 1000 Base-T 수신기에서 이루어야 할 주요 과제는 등화와 디코딩을 결합하는 알고리즘이 파이프라인(pipeline)될 수 없는 비선형 피드백을 사용하는 것과 같이, 결합적으로 채널을 등화하고 요구 클록 속도인 125MHz에서 왜곡된 트렐리스 코드 신호를 디코딩하는 것이다.

<14> 데이터 검출은 종종 최대 가능 시퀀스 추정(maximum likelihood sequence estimator : MLSE) 기법을 사용하여 수행되어 출력 심볼 또는 비트를 발생한다. 최대 가능 시퀀스 추정(MLSE) 기법은, 공지된 방법으로, 모든 가능한 시퀀스를 고려하고 실제적으로 어떤 시퀀스가 전송되었는지를 결정한다. 최대 가능 시퀀스 추정기(MLSE)는 최적의 디코더이며, 공지된 비터비(Viterbi) 알고리즘을 적용하여 결합 등화 및 디코딩을 수행한다. 최대 가능 시퀀스 추정기(MLSE)에서의 비터비 구현 방법에 대한 더 상세한 논의에 대해서는, 본 명세서에서 참조로 인용하며 IEEE Communication Magazine (1991년 5월)에 게재된 Gerhard Fettweis와 Heinrich Meyr의 "High-Speed Parallel Viterbi Decoding Algorithm and VLSI-Architecture"를 참조하라.

<15> 비터비 알고리즘을 적용하는 최대 가능 시퀀스 추정기(MLSE)에서의 하드웨어 복잡성을 감소시키기 위해, "감소 상태 시퀀스 추정(reduced state sequence estimation;RSSE)" 알고리즘과 같은 많은 준 최적(sub-optimal) 접근기법이 제안되어 왔다. 감소 상태 시퀀스 추정(RSSE) 뿐만 아니라 결정-피드백 시퀀스 추정(decision-feedback sequence estimation;DFSE)기법 및 병렬 결정-피드백 시퀀스 추정(parallel decision-feedback equalization;PDFE)기법의 특별한 경우에 대해 논의하기 위해서는, 예를 들면, IEEE Trans. Commun., vol. 37, 669-76, (1989년 7월)에 게재된 P. R. Chevillat과 E. Eleftheriou의 "Decoding of Trellis-Encoded Signals in the Presence of Intersymbol Interference and Noise", IEEE JSAC, vol. 7, 989-95 (1989년 8월)에 게재된 M. V. Eyuboglu와 S. U. H. Qureshi의 "Reduced-state Sequence Estimation For Coded Modulation On Intersymbol Interference Channels", 또는 IEEE Trans. Commun., vol. 37, pp. 428-436, 1989년 5월호에 게재된 A. Duel-Hallen과 C. Heegard의 "Delayed decision-feedback sequence estimation"을 참조하라. 상기 논문은 각각 본 명세서에서 참조로서 인용된다. M 알고리즘의 논의를 위해서는, 예를 들면, 본 명세서에서 참조로 인용되는, Int'l Symposium on VLSI Technology, Systems, and Applications, Taipei (1999년 6월)에 게재된 E. F. Haratsch의 "High-Speed VLSI Implementation of Reduced Complexity Sequence Estimation Algorithms

With Application to Gigabit Ethernet 1000 Base-T"를 참조하라.

<16> 일반적으로, 감소 상태 시퀀스 추정(RSSE) 기법은 몇 개의 상태를 병합함으로써 최대 가능 시퀀스 추정기(MLSE)의 복잡성을 감소시킨다. RSSE 기법은 파이프라인될 수 없는 비선형 피드백 루프를 사용한다. 이들 피드백 루프와 관련된 임계 경로는 고속 구현의 제한 요소가 된다.

<17> 1999년 6월 4일에 출원된 "Method and Apparatus for Reducing the Computational Complexity and Relaxing the Critical Path of Reduced State Sequence Estimation(RSSE) Techniques"라는 명칭의 미국 특허 출원 제09/326,785호는, 본 명세서에서 참조로 인용되며, 주어진 상태의 수에 대하여 RSSE의 하드웨어 복잡성을 감소시키고 또한 임계 경로 문제를 완화시키는 감소 상태 시퀀스 추정(RSSE) 알고리즘을 개시한다. 개시된 RSSE 알고리즘이 상당히 개선된 처리 시간(processing time)을 보여주지만, 많은 고속의 애플리케이션(applications)에 대하여는 추가적인 처리 이득(processing gains)이 필요하게 된다. 따라서, 개선된 처리시간을 갖는 감소 상태 시퀀스 추정(RSSE) 알고리즘에 대한 필요성이 존재하게 된다. 초대규모 집적 회로(very large scale intergation;VLSI) 기술을 사용하여 고속 구현에 더 적합한 감소 상태 시퀀스 추정(RSSE) 알고리즘에 대해서도 필요성이 존재하게 된다.

발명이 이루고자 하는 기술적 과제

<18> 일반적으로, 임의의 주어진 상태에 있어서, RSSE 기법과 같이 복잡성이 감소된 시퀀스 추정 기법의 처리시간을 향상시키는 방법 및 장치가 개시된다. 본 발명의 한 특징에 따라, 감소 상태 시퀀스 추정(RSSE)에서의 브랜치 메트릭(branch metrics)에 대한 가능한 값들은 예측하는 방식으로 사전계산되어 임계 경로의 파이프라인화 및 단축을 가능하게 한다. 따라서, 본 발명은 종래의 최적 비터비 디코더와 유사한 지연을 제공한다. 본 발명에 따라 채널 메모리내의 모든 가능한 심볼 조합에 대하여 브랜치 메트릭을 사전계산하는 것은 피드백 루프로부터 결정-피드백 유닛(decision-feedback unit;DFU)과 브랜치 메트릭 유닛(branch metrics unit;BMU)을 제거하는 것을 가능하게 하고, 따라서 임계경로를 감소시킨다. 도시하는 구현예에서, 브랜치 메트릭 유닛(BMU)과 결정-피드백 유닛(DFU)의 기능은 임계경로로부터 제거된 심볼간 간섭 소거기(intersymbol interference canceller;ISIC)와 예측 브랜치 메트릭 유닛(look-ahead branch metrics unit;LABMU)에 의해 수행된다.

<19> 예측 브랜치 메트릭 유닛(LABMU)을 제공하여 채널 메모리에 대한 모든 가능한 값에 대하여 브랜치 메트릭을 사전계산하는 감소 상태 시퀀스 추정기(RSSE)가 개시된다. 각 디코딩 사이클의 초기에, 한 세트의 멀티플렉서(MUX)는 대응하는 서바이버 경로 셀(survivor path cells;SPC)내의 서바이버 심볼에 근거하여 적당한 브랜치 메트릭을 선택하고, 다음에 가산-비교-선택 유닛(add-compare-select unit;ACSU)으로 전송된다. 임계 경로는 하나의 MUX, ACSC 및 SPC를 포함한다. 개시된 RSSE는 일차원 및 다차원 트렐리스 코드 모두에서 사용될 수 있다.

<20> 다차원 브랜치 메트릭의 사전계산이 계산적으로 너무 막대한 다차원 트렐리스 코드에 대해서는, 계산부하를 감소시키기 위해 수정된 RSSE가 개시된다. 다차원 트렐리스 코드 중 각 차원에 대한 메트릭은 개별적으로 사전계산된다. 다음에 상기 차원에 대하여 대응하는 서바이버 경로 셀(SPC)에 있는 대응하는 서바이버 심볼에 근거하여 적당한 일차원 브랜치 메트릭이 선택된다. 다차원 브랜치 메트릭 유닛은 다음에 선택된 일차원 브랜치 메트릭을 결합하여 다차원 브랜치 메트릭을 형성한다. 본 발명의 다른 측면에 따라서, 채널 메모리를 단축시킴으로써 계산의 복잡성을 감소시키기 위한 사전필터링 기법이 사용된다. 포스트커서(postcursor) 채널 메모리 길이를 1로 줄인 1000 Base-T 기가비트 이더넷 구현의 특정 구현예가 예로서 주어진다.

<21> 서바이버(survivor) 경로 셀 내의 서바이버 메모리 유닛용의 신규한 메모리 분할식(memory-partitioned) 서바이버 메모리 구조가 또한 개시된다. 제로 대기시간(latency)을 갖는 멀티플렉서 유닛(MUXU) 또는 결정 피드백 유닛(DFU)에서 요구되는 서바이버 심볼의 기억동안 대기시간을 방지하기 위해, 감소 상태 시퀀스 추정(RSSE)에 대해 하이브리드 서바이버 메모리 정렬이 개시된다. 길이가 L인 채널 메모리에 대한 RSSE 구현에 있어서, L 고속 디코딩 사이클에 대응하는 서바이버 심볼은 (i) 종래 RSSE의 결정-피드백 유닛(DFU)에서 심볼간 간섭 소거용으로 사용되고, (ii) 본 발명에 따른 RSSE에서 멀티플렉서(MUXU)의 브랜치 메트릭 선택용으로 사용된다. 본 발명은 레지스터 교환 구조(register exchange architecture;REA)에서 L 과거 디코딩 사이클에 대응하는 서바이버를 저장하며, 후속 디코딩 사이클에 대응하는 서바이버는 트레이스-백 구조(trace-back architecture;TBA) 또는 레지스터 교환 구조(REA)에 기억된다. 심볼이 레지스터 교환 구조(REA)로부터 트레이스-백 구조(TBA)로 이동되기 전에, 심볼은 워드 크기를 감소시키기 위해 정보 비트에 매핑된다. 1000 Base-T 구현회로에 있어서, 레지스터 교환 구조(REA)는, 제 2 메모리 분할부의 트레이스-백 구조(TBA)에 의해 생성되는 대기시간이 1000 Base-T 표준에서 수신기용으로 특정된 타이트 대기 시간 예상(tight latency budget)의 위반을 초래함에 따라, 모든 서

바이버 메모리용으로 사용된다.

발명의 구성 및 작용

<22> 상기에 논의한 바와 같이, 감소 상태 시퀀스 추정(RSSE)과 같이 복잡성이 감소된 시퀀스 추정 기법에 대한 처리 속도는 반복적인 피드백 루프에 의해 제한된다. 본 발명의 일 특징에 따르면, 그러한 감소 상태 시퀀스 추정(RSSE) 기법에 대한 처리 속도는 예측 방식으로 브랜치 메트릭을 사전계산함으로써 향상된다. 브랜치 메트릭의 사전계산은 임계경로를 단축하여 지연(delay)이 종래의 비터비 디코더에서와 동일한 정도가 된다. 본 발명의 다른 특징에 따르면, 다차원 트렐리스코드의 경우에는 사전계산의 계산 부하(load)가 상당히 감소한다. 사전 필터링은 채널 메모리를 단축하여 계산의 복잡성을 감소시킬 수 있다. 본 발명의 RSSE 기술은 기가비트 이더넷 1000 Base-T 표준과 같은 고속 통신 시스템에 대하여 RSSE를 구현할 수 있게 한다.

<23> **트렐리스 코드 변조**

<24> 상기에 논의된 바와 같이, RSSE 기술은, 그 기술이 코딩되지 않은 신호를 등화하거나 코딩되었던 신호를 트렐리스 코딩 변조(TCM)를 사용하여 공동으로 디코딩하고 등화하는 데 사용될 때, 비터비 알고리즘의 계산상의 복잡성을 감소시킨다. 본 명세서에서는, 트렐리스 코드 신호의 디코딩 및 등화를 사용하여 본 발명을 예시하고 있으나, 본 발명은 또한 해당 분야에 능숙한 당업자에게는 분명한 바와 같이, 코딩되지 않은 신호의 등화에도 적용된다. TCM은 대역 제한 채널용의 조합된 코딩 및 변조 기법(scheme)이다. TCM에 관한 더 상세한 논의는, 예를 들면, 본 명세서에서는 참조로 인용된 IEEE Comm., Vol. 25, No. 2, 5-21 (1987년 2월)에 게재된 G. Ungerboeck의 "Trellis-Coded Modulation With Redundant Signal Sets"를 참조하라. 도 1은 트렐리스 코딩된 통신 시스템의 등가 이산 시간 모델을 예시한다.

<25> 도 1에 도시된 바와 같이, m 비트를 구성하는 정보 심볼(x_n)은 TCM 인코더(110)로 전송된다. 속도가 m'/(m'+1)인 인코더(110)는 m' 입력 비트 상에서 동작하여 m'+1의 인코딩 비트를 발생하며, 이것은 크기 2^{m+1}의 사용된 신호 배열(constellation)로부터 $2^{m'+1}$개의 서브세트(각각의 크기는 $2^{m-m'}$)중의 하나를 선택하는데 사용되며, 코딩되지 않은 비트는 선택된 서브세트 내에서 하나의 심볼(a_n)을 선택하는데 사용된다. 도시된 구현예에서, Z레벨의 펄스 진폭 변조(Z-PAM)가 심볼 (a_n)에 대한 변조 기술로써 사용된다. 그러나, 본 발명의 기술은 해당분야에 능숙한 당업자에게 분명하게 이해되는 바와 같이 PSK 또는 QAM과 같은 기타의 변조기술에도 적용될 수 있다. 선택된 심볼 a_n은 등가 이산 시간 채널을 거쳐 전송된다. 일차원 채널을 가정하면, 시간 인스턴트 n에서 채널 출력 z_n은

수학식 1

<26> $$z_n = q_n + w_n = \sum_{i=0}^{L} f_i \cdot a_{n-i} + w_n$$

<27> 로 주어지며, 여기에서 q_n은 ISI에 의해 왜곡된 신호이며, $\{f_i\},\ i \in [0,\ldots,L]$은 등가 이산 시간 채널 임펄스 응답의 계수(f_0=1은 일반적인 손실이 없는 것을 가정)이고, L은 채널 메모리의 길이이며, $\{w_n\}$은 평균이 제로이고 분산이 σ^2인 백색 가우스 노이즈(white Gaussian noise)를 나타낸다.

<28> 트렐리스 코더와 채널의 연결은 조합 코드 및 채널 상태를 정의하며,

수학식 2

<29> $$\xi_n = (\mu_n; a_{n-L}, \ldots, a_{n-1})$$

<30> 여기에서 μ_n은 코드상태이고 α_n=(α_{n-L}, ..., α_{n-1})은 시간(n)에서의 채널상태이다. 수신된 신호에 대한 최적의 디코더는 조합된 코드와 채널상태에 의해 정의된 슈퍼 트렐리스에 비터비 알고리즘을 적용하는 최대 가능 시퀀스 추정기(MLSE)이다. 비터비 알고리즘의 계산과 기억요구는 상태의 수에 비례한다. 슈퍼 트렐리스의 상태의 수는:

수학식 3

<31> $$T = S \times 2^{mL}$$

<32> 과 같이 주어지며, 여기에서 S는 코드상태의 개수이다.

<33> 비터비 알고리즘은 모든 상태에 대한 경로 메트릭을 효과적으로 누산함으로써 최대 가능 데이터 시퀀스를 찾는다. 입력(a_n)하에서 상태 ξ_n로부터의 천이(transition)에 대한 메트릭은

수학식 4

<34> $$\lambda(z_n, a_n, \xi_n) = \left(z_n - a_n - \sum_{i=1}^{L} f_i a_{n-i}\right)^2$$

<35> 같이 주어진다.

<36> 이전상태 $\{\xi_n\}$로부터 상태 ξ_{n+1}로 진입하는 모든 경로들 중, 최대 가능 경로는 다음의 경로 메트릭 계산에 따라 선택되며, 이것은 가산-비교-선택(ACS) 계산으로써 보통

수학식 5

<37> $$\Gamma(\xi_{n+1}) = \min_{\{\xi_n\} \to \xi_{n+1}} \left(\Gamma(\xi_n) + \lambda(z_n, a_n, \xi_n)\right)$$

<38> 로서 불리운다.

<39> 비터비 알고리즘의 구현예가 도 2에 도시되어 있다. 도 2에 도시된 비터비 구현예(200)는 주 구성요소인 브랜치 메트릭 유닛(BMU;210), 가산-비교-선택 유닛(ACSU;220) 및 서바이버 메모리 유닛(SMU;230)을 포함한다. 브랜치 메트릭 유닛(BMU;210)은 수학식(4)에 따라 상태 천이에 대한 메트릭을 계산한다. ACS 유닛(ACSU;220)은 각 상태에 대한 수학식(5)의 값을 구하고, 서바이버 메모리 유닛(SMU;230)은 서바이빙 경로의 트랙을 유지한다. BMU(210)과 SMU(230)에서의 데이터 플로우는 엄밀히 피드-포워드하고 임의의 레벨에서 처리량을 증가시키기 위해 파이프라인될 수 있다. 수학식(5)에서 ACS 연산의 반복은 트렐리스의 다음 단계가 디코딩되기 전에 결정이 되는 것을 요구함에 따라, ACSU(220)가 고속 처리에 대한 병목(bottleneck)이 된다.

<40> RSSE 기술은 L 채널 계수 $\{f_i\}$, $i \in [1,..,L]$,의 제 1 K가 트렐리스를 고려하도록 채널 메모리를 자름으로써 최대 가능 시퀀스 추정기(MLSE)의 복잡성을 감소시킨다. 여기에서 참조로 사용되는 IEEE Trans. Commun., vol. 37, pp. 428-436, 1989년 5월호에 게재된 A. Duel-Hallen과 C. Heegard의 "Delayed decision-feedback sequence estimation"을 참조하라. 부가하여, 여기에서 참조로 사용되는, IEEE Trans. Comm., Vol. 37, 669-676 (1989년 7월)호 게재된 P. R. Chevillat과 E. Eleftheriou의 "Decoding of Trellis-Encoded Signals in the Presence of Intersymbol Interference and Noise,"와 IEEE JSAC, Vol. 7, 989-995(1989년 8월)호 게재된 M.V. Eyuboglu 와 S. U. Qureshi의 "Reduced-State Sequence Estimation for Coded Modulation on Intersymbol Interference Channels,"에 개시된 세트 분할 원리가 신호 알파벳에 적용된다. 감소 결합 채널(reduced combined channel) 및 코드 상태는 RSSE에서

수학식 6

<41> $$\rho_n = (\mu_n; J_{n-K}, .., J_{n-1})$$

<42> 로 주어진다. 여기에서, J_{n-i}는 데이터 심볼(a_{n-i})이 속하는 서브세트이다. 상이한 서브세트(J_{n-i})의 개수는 2^{m_i}으로 주어지고, m_i는 시간 상수 n-i에서 분할하는 서브세트의 깊이(depth)를 정의한다. 이것은

수학식 7

<43> $$m' \le m_K \le m_{K-1} \le \ldots \le m_1 \le m$$

<44> 가 요구된다.

<45> 감소 슈퍼 트렐리스에서 상태의 개수는

수학식 8

<46> $$R = S \times 2^{m_K + \cdots + m_1}$$

<47> 로 주어진다.

<48> RSSE에서, 입력(a_n)하에서 감소 상태 ρ_n에 대한 브랜치 메트릭은 다음의 변경된 형식

수학식 9

<49> $$\lambda_n(z_n, a_n, \rho_n) = (z_n - a_n + u_n(\rho_n))^2$$

<50> 을 취하며, 여기에서:

수학식 10

<51> $$u_n(\rho_n) = -\sum_{i=1}^{L} f_i \hat{a}_{n-i}(\rho_n)$$

<52> 이다.

<53> $\hat{a}_n(\rho_n) = (\hat{a}_{n-L}(\rho_n), \ldots, \hat{a}_{n-1}(\rho_n))$는 감소상태($\rho_n$)가 되는 서바이버 시퀀스이고 $\hat{a}_{n-i}(\rho_n)$ 시간 인스턴트(n-i)에서의 관련 서바이버 심볼이다. 수학식(10)에서, ISI 추정 u(ρ_n)는 임시 결정으로서 상태 ρ_n의 경로 히스토리와 관련된 데이터 심볼을 취함으로써 상태 ρ_n에 대하여 계산된다. 상태 ρ_{n+1}에 대한 최적 경로 메트릭은

수학식 11

<54> $$\Gamma(\rho_{n+1}) = \min_{\{\rho_n\} \to \rho_{n+1}} (\Gamma(\rho_n) + \lambda_n(z_n, a_n, \rho_n))$$

<55> 을 계산함으로써 얻어진다.

<56> RSSE는 각각의 상태가 감소 트렐리스에서 고려되지 않은 ISI를 설명하기 위해 자신의 서바이버 경로로부터 결정-피드백을 사용하는 준(sub)-최적 트렐리스 디코딩 알고리즘으로 간주될 수 있다.

<57> 도 3은 RSSE를 구현한 구조를 도시한다. 도 3에 도시된 바와 같이, 결정-피드백 유닛(DFU;340)에서의 결정-피드백 셀(DFC)은 ISI가 수학식(10)에 따라 SMU(330)의 대응하는 서바이버 경로 셀(SPC)에 있는 서바이버를 고려함으로써 R ISI 추정을 계산한다. BMU(310)내의 각각의 브랜치 메트릭 셀(BMC)은 하나의 상태를 남겨놓으면서 $b = 2^{m'}$ 천이에 대한 메트릭을 계산한다. 각각의 상태에 대하여, 최적 경로 선택이 수학식(11)에 따라 ACS셀(ACSC)에서 수행된다. 비터비 디코딩과 대조적으로, DFC, BMC 및 SPC 셀들은 ACSC 셀에 부가하여 임계 루프 내에 있다. 비터비 알고리즘의 병렬 처리 기술은 수학식(4)의 브랜치 메트릭 계산이 수학식(5)의 ACS기능의 결정에 의존하지 않는다는 사실을 이용한다. 따라서, 브랜치 메트릭은 처리량의 k-폴드(fold) 증가를 얻기 위해 예측 방식으로 k 트렐리스 단계에 대하여 계산될 수 있다. 여기에서 참조로 사용되는, IEEE JSAC, Vol. 8, 1520-1534(1990년 10월)에 게재된 G. Fettweis와 H. Meyr의 "High-speed Viterbi Processor: A Systolic Array Solution"의 미국특허번호 제 5,042,036 호를 참조하라. 그러나, RSSE기술에 대하여, SMU(330)의 SPC에 있는 서바이빙 심볼이 수학식(10)의 결정-피드백 계산에 필요함에 따라, 수학식(9)의 브랜치 메트릭의 계산은 이전 심볼 주기에서 ACSU(320)의 ACSC 결정에 의존하고, 이것은 수학식(11)을 계산한다. 따라서, 상술한 G. Fettweis와 H. Meyr에 의해 개시된 블록 처리 기술은 RSSE의 처리 속도를 증가하기 위해 적용될 수 없다.

<58> **<u>브랜치 메트릭의 사전계산</u>**

<59> RSSE에서의 임계경로는 비터비 알고리즘보다 더 많은 연산을 수반한다. 특히, BMC에서의 브랜치 메트릭 계산은 유클리드(euclidean) 거리가 좋은 코딩 이득성능을 이루기 위해 제곱하거나 또는 룩업테이블을 실행하여 얻어야 할 때, 처리시간의 관점에서는 매우 복잡할 수 있다. 또한, DFC 340-n에서 수학식(10)의 계산은 임계경로에 상당한 도움이 될 수 있다. 본 발명에 따라 채널 메모리내의 모든 가능한 심볼 조합에 대한 모든 브랜치 메트릭을 사전계산하는 것은 피드백 루프로부터 BMU(310)와 DFU(340)를 제거할 수 있게 한다. 이로 인해, 잠재적으로

RSSE에서 임계경로를 상당한 감소시킬 수 있다.

<60> 이론적으로, 채널상태 $\alpha_n=(a_{n-L},\ldots,a_{n-1})$는 $U=(2^{m+1})^L$개의 상이한 값을 취할 수 있다. 특정 채널 할당 $\tilde{\alpha}=(\tilde{a}_{n-L},\ldots,\tilde{a}_{n-1})$에 대한 ISI 추정은 다음의 수학식을 계산함으로써 얻을 수 있다.

수학식 12

<61> $$\tilde{u}(\tilde{\alpha})=-\sum_{i=1}^{L} f_i \tilde{a}_{n-i}$$

<62> 수학식(12)은 시간(n)에 의존하지 않고 따라서 특정 채널 할당 $\tilde{a}$에 대하여 일정하다는 것을 알게 된다. 입력(a_n)하에서 채널 할당 $\tilde{a}$으로부터의 천이에 대한 추정(speculative) 브랜치 메트릭은

수학식 13

<63> $$\tilde{\lambda}_n(z_n,a_n,\tilde{\alpha})=(z_n-a_n+\tilde{u}(\tilde{\alpha}))^2$$

<64> 로 주어진다.

<65> 도 1의 트렐리스 코더(100)는 $2b=2^{m'+1}$개의 상이한 서브세트를 정의한다. 병렬 천이의 경우, 서브세트의 최적의 대표값은 슬라이싱(slicing)함으로써 얻어진다고 가정하면, 최대 $M=2b\times U=2^{m'+1}\times 2^{(m+1)L}$개의 상이한 브랜치 메트릭 $\tilde{\lambda}_n(z_n,a_n,\tilde{\alpha})$이 가능하고 사전계산되어야 한다. 도 1에 도시된 트렐리스 코더는 채널 메모리(α_n)에서 모든 심볼을 조합할 수 없을 수 있다. 따라서, 사전계산되어야 할 브랜치 메트릭의 개수는 M보다 더 적을 수 있다. 사전계산되어야 할 브랜치 메트릭의 실제 개수는 감소 슈퍼 트렐리스로부터 결정되어야 한다.

<66> 가산-비교-선택 셀(ACSC) 320-n에 대하여, 모든 사전계산된 브랜치 메트릭 $\lambda_n(z_n,a_n,\rho_n)$중 적당한 브랜치 메트릭 $\tilde{\lambda}_n(z_n,a_n,\tilde{\alpha})$은 서바이버 경로 $\hat{\alpha}_n(\rho_n)$를 이용하여 선택된다.

수학식 14

<67> $$\lambda_n(z_n,a_n,\rho_n)=sel\{\Lambda_n(z_n,a_n,\rho_n),\hat{\alpha}_n(\rho_n)\}$$

<68> 수학식(14)에서, $\Lambda_n(z_n,a_n,\rho_n)$는 2^{mL}브랜치 메트릭 $\tilde{\lambda}_n(z_n,a_n,\tilde{\alpha})$을 포함하는 벡터이고, 상이한 채널 할당 $\tilde{a}$에 대하여 입력(a_n)하에서 상태(ρ_n)로부터 천이동안 발생시킬 수 있다. 수학식(14)에서 선택기 기능은 2^{mL} 대 1 멀티플렉서로 구현될 수 있다.

<69> 수학식(12) 및 (13)은 수학식(11)의 반복적인 ACS 기능에서의 결정과는 모두 무관하다는 것을 알게 된다. 따라서, 수학식 (12)와 (13)의 사전계산은 엄밀히 피드-포워드하고 임의의 레벨에서 파이프라인될 수 있다. 수학식(14)에서 선택기능은 단지 가산-비교-선택 셀(ACSC)과 서바이버 경로 셀(SPC)에 부가하여 임계경로에 존재한다.

<70> 본 발명에 따라 브랜치 메트릭을 사전계산하는 RSSE(400)의 구조가 도 4에 도시되어 있다. ISI 소거기(ISIC;420)는 $\tilde{u}(\tilde{\alpha})$에 대하여 발생할 수 있는 모든 U 값들을 계산한다. 상기 U 값들 각각은 대응하는 예측 BMC(LABMC) 410-n에 의해 2b의 추정 브랜치 메트릭$\tilde{\lambda}_n(z_n,a_n,\tilde{\alpha})$을 계산하는 데 사용된다. 그 다음, 예측 BMU(LABMU;410)에서 사전계산된 모든 M=2bU 브랜치 메트릭은 MUX 유닛(MUXU;430)으로 전송된다. 다음에, 각 디코딩 사이클의 초기에, MUX 유닛(MUXU;430)내의 각각의 멀티플렉서(MUX) 430-n은 대응하는 SPC 450-n내의 서바이버 심볼에 근거하여 적당한 브랜치 메트릭을 선택하고, 다음에 이것은 ACSU(440)로 전송된다. MUX 유닛(MUXU;430)내의 각각의 멀티플렉서(MUX) 430-n은 대응하는 서바이버 경로 셀(SPC) 450-n로부터 L 패스트 심볼을 취한다. ACSU(440)과 SMU(450)은 도 3의 종래의 RSSE(300)에서와 같이 구현될 수 있다. LABMU(410)의 출력은 파이프라인 레지스터(460)로 출력된다. 임계 경로는 단지 MUX(430), ACSC 440-n 및 SPC 450-n을 포함한다. MUX(430)은 SPC 450-n내의 심볼에 의존하여 수학식(14)에 따라 브랜치 메트릭을 선택한다. 사전계산된 브랜치 메트릭의 개수가 채널 메모리 L과 정보 비트의 개수 m와 함께 지수적으로 증가하지만, 이 기술은 m(작은 심볼 배열 크기에 대응하는)을 작게 하고 L을 단축하는 데 적당하다.

<71> **다차원 트렐리스 코드용 사전계산**

<72> 큰 신호 배열에 대한 상당한 코딩 이득은 다차원 TCM으로 얻을 수 있다. 도 5는 다차원 채널에 대한 다차원 트렐리스 코드 변조의 사용을 도시한다. $\bar{a}_n$은 벡터인, $\bar{a}_n = (a_{n,1},..,a_{n,B})$이 B차원 채널을 통해 채널 계수 $\{f_{i,j}\},\ i\in[0,..,L],\ j\in[1..,B]$와 함께 전송되어 채널 출력 $\bar{z}_n = (z_{n,1},..,z_{n,B})$이,

수학식 15

<73> $$z_{n,j} = \sum_{i=0}^{L} f_{i,j} \bullet a_{n-i,j} + w_{n,j},\ j\in[1,..,B]$$

<74> 와 같이 주어진 벡터이며, 여기에서 $\{w_{n,j}\},\ j\in[1,..,B]$는 B와 무관한 독립적인 화이트 가우스 노이즈 소스이다. Z-PAM은 각 채널에 대한 전송방법으로서 고려된다. 또한, 기타의 변조 방법에 대하여 다음의 결과는 유효하다. 그러한 등가 이산시간 채널은 구리로 된 기가비트 이더넷 1000 Base-T의 예에서 발견될 수 있으며, 여기에서 B=4, m=8, m'=2, S=8, Z=5이다. 여기에서 참조로 사용된 VLSI기술, 시스템에 대한 국제 심포지움과 대만에(1999년 6월)에 출원된 K. Azadet의 "Gigabit Ethernet Over Unshielded Twisted Pair Cables"를 참조하라.

<75> 브랜치 메트릭의 사전계산에 대한 복잡성이 정보 비트 m의 개수와 함께 지수적으로 증가함에 따라, 도 4에 도시된 바와 같이 다차원 브랜치 메트릭의 사전계산이 큰 신호 배열 크기에 대하여 계산적으로 너무 비쌀수가 있다. 그러나, 코드의 일차원 구성요소에 대한 브랜치 메트릭의 사전계산을 수행하는 것은 복잡성을 상당히 감소시킬 수 있다.

<76> 차원 j에 있는 1차원 브랜치 메트릭은 다음의 수학식을 계산함으로써 사전계산된다:

수학식 16

<77> $$\tilde{\lambda}_{n,j}(z_{n,j},a_{n,j},\tilde{\alpha}_j) = (z_{n,j} - a_{n,j} + \tilde{u}_j(\tilde{\alpha}_j))^2$$

수학식 17

<78> $$\tilde{u}_j(\tilde{\alpha}_j) = -\sum_{i=1}^{L} f_{i,j}\tilde{a}_{n-i,j}$$

<79> 여기에서 $\tilde{\alpha}_j = (\tilde{a}_{n-L,j},..,\tilde{a}_{n-1,j})$는 차원 j에서 채널 상태 $\alpha_j = (a_{n-L,j},..,a_{n-1,j})$에 대한 특정 할당이다.

<80> $V=Z^L$의 가능한 1차원 채널 할당 $\tilde{\alpha}_j$이 존재한다. 임의의 주어진 채널 할당 $\tilde{\alpha}_j$에 대하여, C개의 입력 $a_{n,j}$은 모든 가능한 1차원 브랜치 메트릭 $\tilde{\lambda}_{n,j}(z_{n,j},a_{n,j},\tilde{\alpha}_j)$을 계산하기 위해 고려되어야 하고, 여기에서 C, $C\le Z$는 1차원 서브세트의 개수이다. C 입력 $a_{n,j}$ 각각은 수학식(16)과 (17)에 따라 심볼간 간섭의 소거후에 $(z_{n,j})$이 분할된 대응하는 서브세트에 있는 포인트에 대응한다. 결과적으로, 모든 B차원을 고려하면, 총 $N=B\times C\times V$개의 1차원 브랜치 메트릭이 사전계산되어야 한다. 이것은 제목이 "브랜치 메트릭의 사전계산"인 부분에서 논의된 바와 같이 다차원 사전계산에 필요한 사전계산의 개수보다 상당히 더 작을 수 있다. 기가비트 이더넷 1000 Base-T의 경우에, c=2 L=1 및 Z=5 인 1차원 사전계산은 총 $4\times2\times5=40$개의 1차원 메트릭을 계산하는 반면, 다차원 사전계산에서는 $2^3\times2^9=4096$개의 4차원 브랜치 메트릭을 계산해야 한다.

<81> RSSE의 추가 처리를 위해 적당한 1차원 브랜치 메트릭의 선택은 다음과 같이 주어진다:

수학식 18

<82> $$\lambda_{n,j}(z_{n,j},a_{n,j},\rho_n) = sel\{\Lambda_{n,j}(z_{n,j},a_{n,j}),\hat{a}_{n,j}(\rho_n)\}$$

<83> 여기에서, $\Lambda_{n,j}(z_{n,j},a_{n,j})$는 상이한 일차원 채널 할당 $\tilde{\lambda}_{n,j}(z_{n,j},a_{n,j},\tilde{\alpha}_j)$에 대하여 입력($a_{n,j}$)하에서 모든 V개의 가능한 1차원 브랜치 메트릭 $\tilde{\alpha}_j$을 포함하는 벡터이고 $\hat{a}_{n,j}(\rho_n)$는 상태(ρ_n)가 되는 차원 j의 서바이버 시퀀스이다. 이것은 다차원 사전계산에 필요한 2^{mL} 대 1 MUX와 비교하여 V 대 1 MUX를 사용하여 구현될 수 있다(예를 들면, 상기

1000 Base-T 예에서, 5 대 1 MUX가 256 대 1 MUX에 비교하여 필요하다). 적당한 1D 브랜치 메트릭이 선택된 후에, 다차원 브랜치 메트릭은

수학식 19

<84> $$\lambda_n(z_n, a_n, \rho_n) = \sum_{j=1}^{B} \lambda_{n,j}(z_{n,j}, a_{n,j}, \rho_n)$$

<85> 와 같이 주어진다.

<86> 도 6은 다차원 RSSE용 1차원 사전계산을 하기 위한 구조(600)를 도시한다. 각각의 1D-ISIC 620-n은 V ISI 소거항 $\tilde{u}_j(\tilde{a}_j)$를 계산한다. 각각의 $\tilde{u}_j(\tilde{a}_j)$에 대하여, 대응하는 1D-LABMC 610-n은 채널 할당 및 1D-LABMU(610)에서의 차원 마다 C 일차원 브랜치 메트릭을 사전계산한다. MUXU(630)은 각각의 상태에 대하여 SPC 660-n에서 서바이버 심볼에 의존하는 적당한 일차원 브랜치 메트릭을 선택한다. 각각의 다차원 BMC(MD-BMC) 640-n은 선택된 일차원 브랜치 메트릭을 사용함으로써 다차원 브랜치 메트릭을 계산한다. 임계경로는 하나의 MUS(630), MD-BMC(640), ACSC(650) 및 SPC(660)를 포함한다. MD-BMC(640)은 B-1 가산을 수행하고 결과적으로 차원의 개수 B가 전형적으로 낮음에 따라 전체 임계 경로에 작은 기여를 한다.

<87> **사전필터링(PREFILTERING)**

<88> 브랜치 메트릭의 사전계산에 대한 복잡성은 채널 메모리 L에 따라 지수적으로 증가한다는 것이 알려져 왔다. 그러나, 도 7에 도시된 전치필터(prefilter;710)를 사용하여, 채널 메모리를 더 단축할 수 있다. 화이트(whitened) 정합 필터 후의 등가 이산 시간 채널이 최소 위상임에 따라, 채널 메모리는 결정 피드백 전치필터(DFP)로 RSSE에 대하여 상당한 성능 손실없이 L의 낮은 값으로 잘라질 수 있으며, 이것은 각각 여기서 참조로 사용된, VLSI 기술, 시스템에 대한 국제 심포지움과 대만에 (1999년 6월)에 출원된 E. F. Haratsch의 "High-Speed VLSI Implementation of Reduced Complexity Sequence Estimation Algorithms With Application to Gigabit Ethernet 1000 Base-T"와 1999년 6월 4일 출원된 "Method and Apparatus for Reducing the Computational Complexity and Relaxing the Critical Path of Reduced State Sequence Estimation(RSSE) Techniques"의 미국 특허 출원 제 09/326,785에 설명되어 있다. 대안으로, 전치필터(710)는, 여기에서 참조로 사용된, The Bell Systems Technical Journal, Vol. 52, No. 9, 1541-62(1973년 11월)에 게재된 D.D. Falconer와 F.R. Magee의 "Adaptive Channel Memory Truncation for Maximum-Likelihood Sequence Estimation"에 설명된 바와 같은 선형 필터로써 구현될 수 있다.

<89> 따라서, 브랜치 메트릭의 사전계산이 매우 복잡한 큰 채널 메모리를 갖는 채널에 대하여, 전치필터는 사전계산이 가능하도록 채널 메모리를 자르는데 사용될 수 있다.

<90> **1000 Base-T 기가비트 이더넷 예**

<91> 다음은 1000 Base-T 기가비트 이더넷 수신기에 대한 특정 구현예이다. 여기에 사용된 1000 Base-T 기가비트 이더넷 표준과 관련 기술 및 계산의 상세한 설명을 위해, 예를 들면, 여기에서 참조로 사용되는, Proc. CICC, Santa Clara, CA, pp. 335-342, 1998년 5월호에 게재된 M. Hatamian등의 "Design considerations for Gigabit Ethernet 1000 Base-T twisted pair transceivers"를 참조하라.

<92> 1000 Base-T 기가비트 이더넷 구현용 결정-피드백 전치필터가 도 8에 도시되어 있다. 1000 Base-T 기가비트 이더넷 구현에 대하여 도 6의 1D-LABMU 유닛중의 하나에 의해 1D 브랜치 메트릭의 예측 계산이 도 9에 도시되어 있다. 도 10은 1000 Base-T 기가비트 이더넷 구현에 대하여 도 6의 멀티플렉서에 의해 1D 브랜치 메트릭을 선택하는 것을 도시한다. 마지막으로, 도 11은 1000 Base-T 기가비트 이더넷을 구현하기 위해 상태 1에 대한 레지스터 교환 네트워크(SPC n)를 도시하며, 여기에서 도시된 14의 병합 깊이가 SMU에 사용된다.

<93> **결정-피드백 전치필터**

<94> 와이어 쌍 j에 대하여 포스트커서 메모리 길이를 14에서 1로 자르는 결정-피드백 전치필터(800)가 도 8에 도시되어 있다. 결정-피드백 전치필터(800)는 포스트커서 채널 임펄스 응답의 테일(tail)을 제거하기위해 자신의 슬라이서(slicer)에 의해 얻어진 임의의결정을 사용하는 것이 결정-피드백 등화기(DFE)의 구조와 유사하다.

<95> **1D 브랜치 메트릭의 사전계산**

<96> 결정-피드백 전치필터(800) 다음에 효과적인 포스트커서 채널 메모리가 하나이기 때문에, 각각의 와이어 쌍의 1D 브랜치 메트릭의 예측 사전계산에 대한 계산의 복잡성이 완화된다. 채널 메모리가 $\tilde{a}_{n-1,j}$를 포함한다는 가정하에 와이어 쌍 j에 대한 추정 1D 브랜치 메트릭은

수학식 20

<97> $$\tilde{\lambda}_{n,j}(y_{n,j}, a_{n,j}, \tilde{a}_{n-1,j}) = (y_{n,j} - a_{n,j} - f_{1,j}\tilde{a}_{n-1,j})^2$$

<98> 이다. $\tilde{a}_{n,j}$에 대하여 5개의 가능한 값이 있고, 심볼간 간섭의 제거후에 $y_{n,j}$는 1D 서브세트 A 뿐만 아니라 B 모두 가장 가까운 대표값으로 잘라져야 하기 때문에, 총 10개의 1D 브랜치 메트릭은 와이어 쌍마다 사전계산되어야 한다. 이것은 도 9에 도시되어 있고, 슬라이서 910-n은 1D 서브세트 A 또는 B에 가장 가까운 포인트와의 차이를 계산한다. 하나의 가산, 슬라이싱, 및 제곱하는 데에는 일 클록 사이클 시간이 존재한다. 브랜치 메트릭을 사전계산하는 계산의 복잡성은 채널 메모리에 따라 지수적으로 증가한다는 것이 주목된다. 만일 채널 메모리가 2이라면, 50개의 1D 브랜치 메트릭이 와이어 쌍마다 사전계산되어야 하고 채널 메모리가 3이면 이 숫자는 250으로 증가한다.

<99> **1D 브랜치 메트릭의 선택**

<100> MUXU(630)는 각각의 와이어 쌍 j과 코드 상태 ρ_n에 대하여 과거 서바이버 심볼 $\tilde{a}_{n-1,j}(\rho_n)$에 근거하여 서브세트 A와 B에 대응하는 적당한 1D 브랜치 메트릭을 선택한다. 이것은 도 10에 도시된 바와 같이 5:1 MUXs(1010)으로 행해진다. 총 64개의 멀티플렉서가 필요하다.

<101> **4D 브랜치 메트릭의 계산**

<102> 4D-BMU(640)은 트렐리스에 있는 상태 천이에 대응하는 4D 브랜치 메트릭을 계산하기 위해 1D 브랜치 메트릭을 가산한다. 4D-BMU(640)는 임계 루프내에 있다. 4D 브랜치 메트릭의 예측 사전계산에 의해 임계 루프로부터 4D-BMU(640)을 가져오는 것은, "Precomputation of Multi-Dimensional Trellis Codes"의 부분에서 논의된 예에 보여진 바와 같이, 계산의 복잡성의 관점에서는 비현실적이다. 매우 고려되어야할 많은 가능성이 있다는 것은 쉽게 알 수 있다.

<103> **가산-비교-선택**

<104> 각각의 상태에 대하여, 4-웨이(way) ACS가 수행되어야 한다. 처리의 속도를 높이기 위해, IEEE JSSC, vol. 27, pp. 1877-1885, 1992년 12월에 P.J. Black과 T.H. Meng이 제안한 구조인 "A 140-Mb/s, 32-state, radix-4 Viterbi decoder"에는 4개의 후보중 최소 경로 메트릭이 병렬로 6개의 비교에 의해 선택되는 것을 선택했다. 상태 메트릭 정규화는 모듈로 연산을 사용하여 행해지며, IEEE Trans. Comm., vol. 37, pp. 1220-1222, 1989년 11월호에 게재된 A.P. Hekstra의 "An Alternative To Metric Rescaling In Viterbi Decoders"를 참조하라.

<105> **서바이버 메모리**

<106> 비터비 디코딩에서, 일반적으로 트레이스 백 구조(trace-back architecture) (TBA)는 레지스터 교환 구조(REA)보다 전력을 상당히 더 적게 소모함에 따라 서바이버 메모리 용도에 바람직한 구조가 된다. VLSI Signal Processing, vol. 5, pp. 85-94, 1993에 게재된 R. Cypher와 C.B. Shung의 "Generalized Trace-Back Techinques For Survivor Memory Management In The Viterbi Algorithm" 참조. 그러나, 트레이스-백 구조(TBA)가 대기시간을 발생하기 때문에 서바이버 심볼을 저장하기 위해 사용될 수 없으며, 이것은 제로의 대기시간을 갖는 DFU 또는 MUXU에서 요구된다. 따라서, 혼성 서바이버 메모리 정렬이 길이가 L인 메모리의 채널에 대하여 감소 상태 시퀀스 추정(RSSE) 구현에 바람직하다. L 과거 디코딩 사이클에 대응하는 서바이버는 레지스터 교환 구조(REA)에 저장되고, 나중의 디코딩 사이클에 대응하는 서바이버는 트레이스-백 구조(TBA)에 저장된다. 심볼들이 레지스터 교환 구조(REA)로부터 트레이스-백 구조(TBA)로 이동하기 전에, 심볼들은 워드 크기를 감소시키기 위해 정보 비트에 매핑된다. 그러나, 트레이스-백 구조(TBA)에 의해 발생된 대기시간이 1000 Base-T 표준에서 수신기에 특정된 타이트한 대기시간 버짓(budget)의 바이올레이션을 초래함에 따라, 1000 Base-T에서 레지스터 교환 구조(REA)가 전체 서바이버 메모리에 대하여 사용되어야 한다. 유사하게, 제 1의 레지스터 교환 구조(REA)로부터 제 2 레지스터 교환 구조(REA)로 이동된 심볼들은 워드 크기를 감소시키기 위해 정보 비트와 매핑

된다.

<107> 서바이버 메모리 구조가 도 11에 도시되어 있으며, 여기에서는 단지 상태 1에 대응하는 제 1 행만이 도시되어 있다. $SX_n(\rho_n)$는 상태 ρ_n로부터 천이에 대한 4D 서브세트에 대한 결정을 지정하며(Hatamian등의 4D 서브세트의 정의 참조), $\hat{b}_{n-i}(\rho_n)$는 4D 서바이버 심볼 $\hat{a}_{n-i}(\rho_n)$에 대응하는 8개의 정보비트이고 $d_n(1)$은 상태 1에 대한 ACS의 2 비트 결정이다. 감소 상태 시퀀스 추정(RSSE)에 의해 보여진 채널 메모리가 1이기 때문에, 단지 제 1 열은 4D 심볼을 저장하며, 여기에서 이것은 12비트로 나타내어지며 MUXU로 전송된다. 이 제 1 열 다음에, 서바이버 심볼은 정보비트와 매핑된 다음 8비트로 저장된다. 14의 병합 깊이에 대하여, 이 구조는 혼성 메모리 분할을 적용하지 않은 SMU에서의 1344 REGs와 비교하여 928 REGs가 필요하며, 모든 결정은 12비트 4D 심볼로 저장된다.

<108> 여기에서 설명되고 보여진 실시예와 변경들이 단지 본 발명의 원리를 예시한것이며 본 발명의 사상과 범주를 벗어나지 않고 다양한 수정이 이루어질 수 있다는 것을 해당분야에 능숙한 당업자에게는 이해될 것이다.

발명의 효과

<109> 본 발명의 한 특징에 따라, 감소 상태 시퀀스 추정(RSSE)에서의 브랜치 메트릭(branch metrics)에 대한 가능한 값들은 예측하는 방식으로 사전계산되어 임계 경로의 파이프라인화 및 단축을 가능하게 한다. 따라서, 본 발명은 종래적인 최적 비터비 디코더와 유사한 지연을 제공한다. 본 발명에 따라 채널 메모리에서의 모든 가능한 심볼 조합에 대하여 사전계산하는 것은 피드백 루프로부터 결정-피드백 유닛(decision-feedback unit;DFU)과 브랜치 메트릭 유닛(branch metrics unit;BMU)를 제거하는 것을 가능하게 하고, 따라서 임계경로를 감소시킨다.

도면의 간단한 설명

<1> 도 1은 종래의 트렐리스 코드 통신시스템의 등가 이산 시간 모델도,

<2> 도 2는 종래의 비터비 알고리즘의 구현도,

<3> 도 3은 종래의 감소 상태 시퀀스 추정기(reduced state sequence estimator ;RSSE)의 구조도,

<4> 도 4는 본 발명에 따라 브랜치 메트릭(branch metrics)을 사전계산하는 감소 상태 시퀀스 추정기(RSSE)의 구조도,

<5> 도 5는 다차원 채널용 다차원 트렐리스 코드 변조의 사용도,

<6> 도 6은 본 발명에 따라 다차원 감소 상태 시퀀스 추정기(RSSE)에 대한 일차원 사전계산(precomputation)을 위한 구조도,

<7> 도 7은 채널 메모리를 단축하기 위해 본 발명에 따라 사전 필터링(prefiltering) 기법을 사용하는 감소 상태 시퀀스 추정기(RSSE)의 구조도,

<8> 도 8은 포스트커서(postcursor) 채널 메모리 길이를 14에서 1로 자르는 1000 Base-T 기가비트 이더넷(기가비트 이더넷)을 구현하기 위한 결정-피드백 전치필터(decision-feedback prefilter)를 도시한 도면,

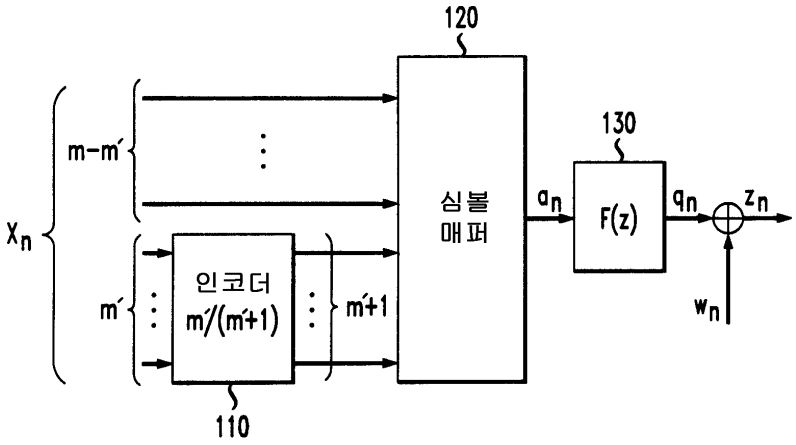
<9> 도 9는 1000 Base-T 기가비트 이더넷 구현에 있어서 도 6의 ID-LABMU 유닛중의 하나에 의해 1D 브랜치 메트릭을 예측하여 계산하는 방법을 도시한 도면,

<10> 도 10은 1000 Base-T 기가비트 이더넷 구현에 있어서 도 6의 멀티플렉서에 의해 1D 브랜치 메트릭을 선택하는 방법을 도시한 도면,

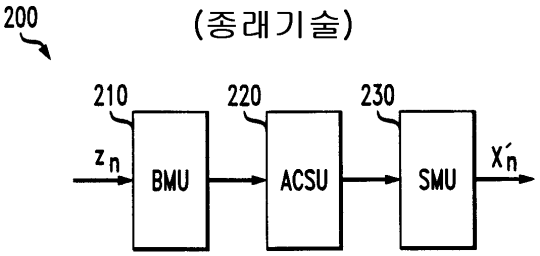
<11> 도 11은 1000 Base-T 기가비트 이더넷 구현에 있어서 상태 일에 대한 신규 메모리분리 레지스터 교환 네트워크(SPC-n)의 도면.

도면

도면1

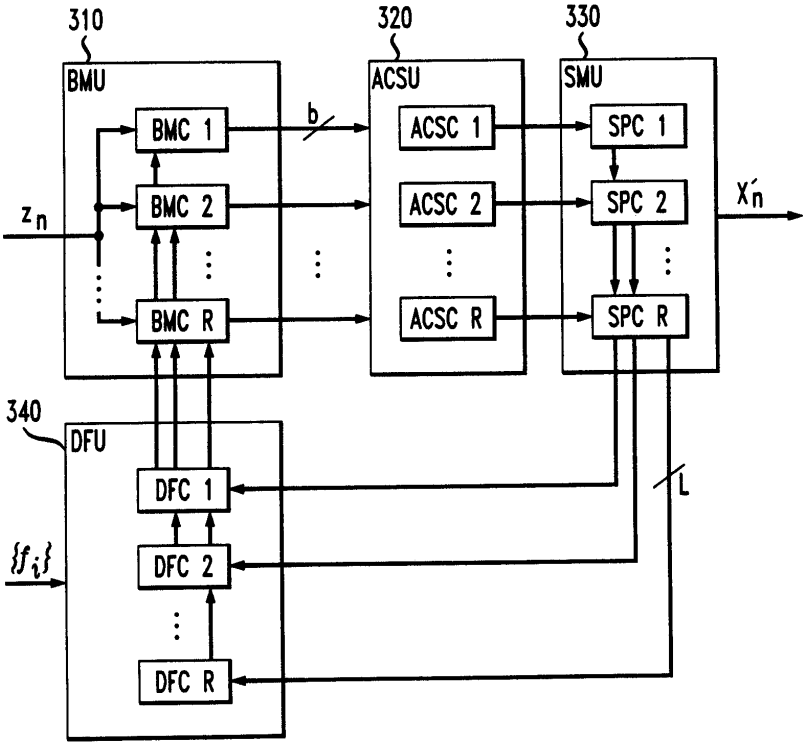

120
130
m-m′
m′
X_n
인코더
m′/(m′+1)
m′+1
110
심볼
매퍼
a_n
F(z)
q_n
z_n
w_n

도면2

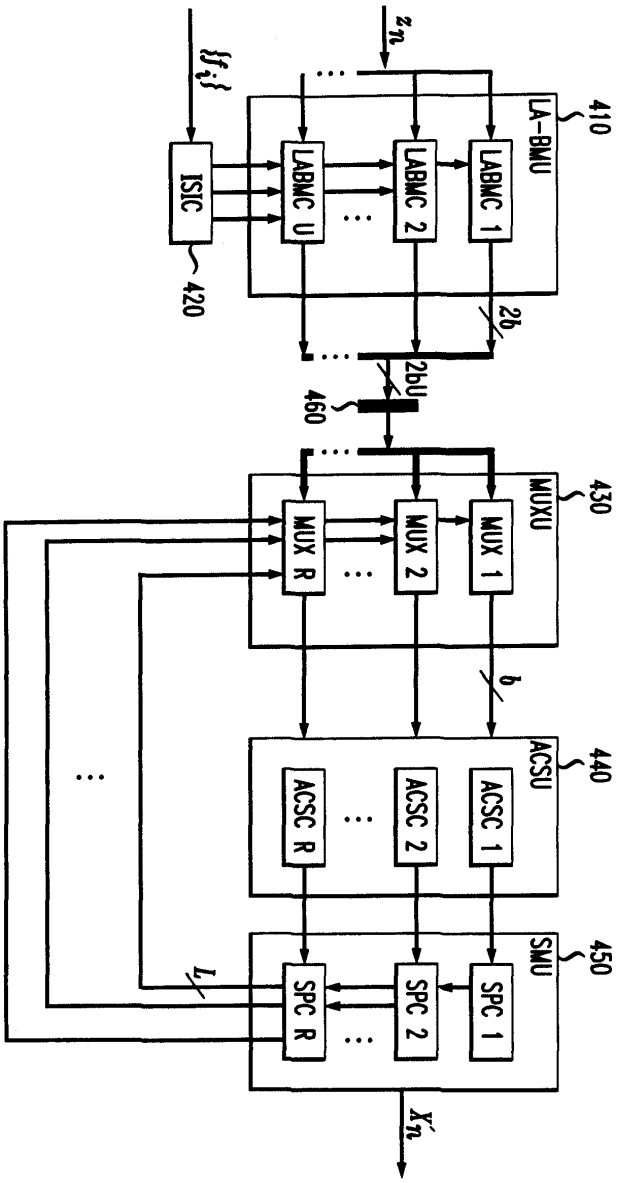

200
(종래기술)
210
220
230
z_n
BMU
ACSU
SMU
X'_n

도면3

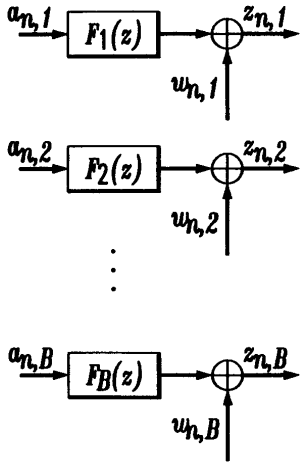
(종래기술)


310
BMU
BMC 1
BMC 2
BMC R
b
320
ACSU
ACSC 1
ACSC 2
ACSC R
330
SMU
SPC 1
SPC 2
SPC R
z_n
x'_n
340
DFU
DFC 1
DFC 2
DFC R
$\{f_i\}$
L

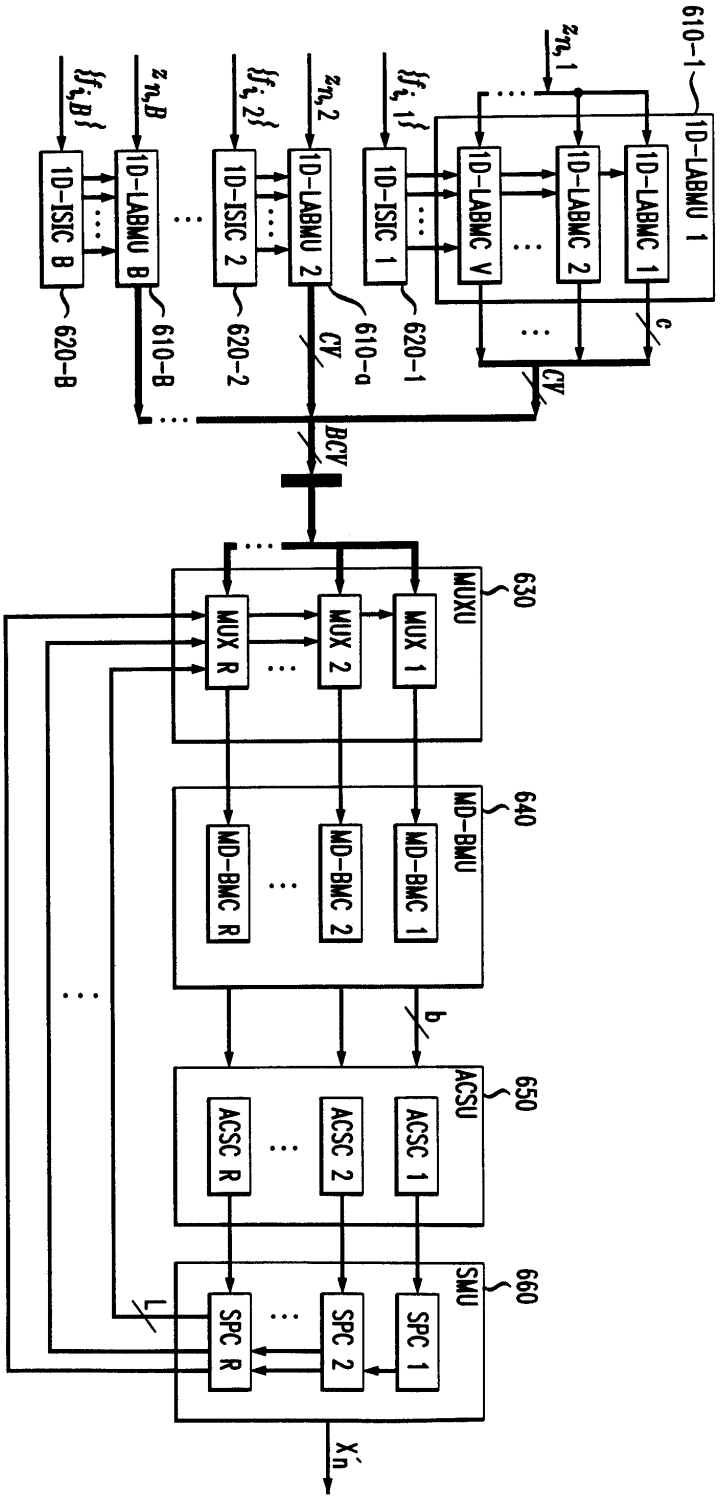
도면4


zn
{fi}
410
LA-BMU
LABMC U
LABMC 2
LABMC 1
ISIC
420
2b
2bU
460
430
MUXU
MUX R
MUX 2
MUX 1
b
440
ACSU
ACSC R
ACSC 2
ACSC 1
450
SMU
L
SPC R
SPC 2
SPC 1
x̂n

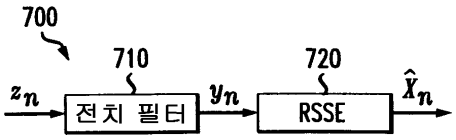
도면5


an,1
F1(z)
zn,1
un,1
an,2
F2(z)
zn,2
un,2
an,B
FB(z)
zn,B
un,B

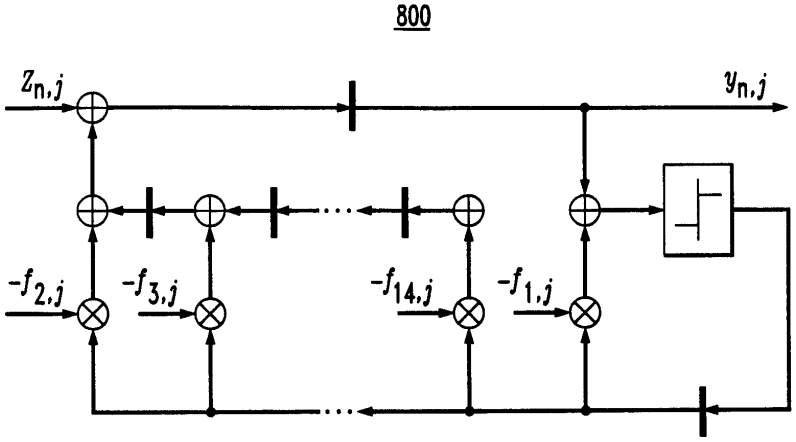
도면6


610-1
1D-LABMU 1
1D-LABMC 1
1D-LABMC 2
1D-LABMC V
1D-ISIC 1
620-1
610-a
1D-LABMU 2
1D-LABMC 2
1D-ISIC 2
620-2
610-B
1D-LABMU B
1D-LABMC B
1D-ISIC B
620-B
CV
BCV
MUXU
630
MUX 1
MUX 2
MUX R
MD-BMU
640
MD-BMC 1
MD-BMC 2
MD-BMC R
b
ACSU
650
ACSC 1
ACSC 2
ACSC R
SMU
660
SPC 1
SPC 2
SPC R
L
c
X'n

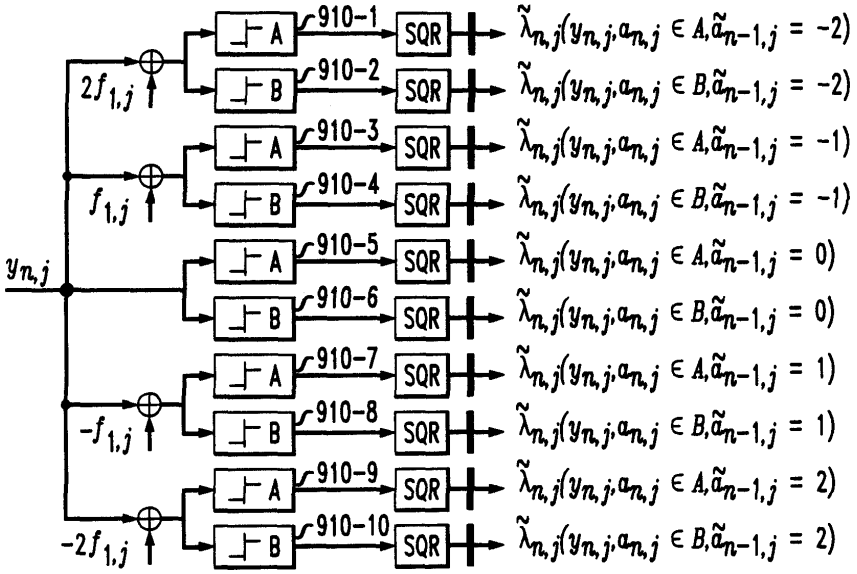
도면7


700
710
720
z_n
전치 필터
y_n
RSSE
$\hat{X}_n$

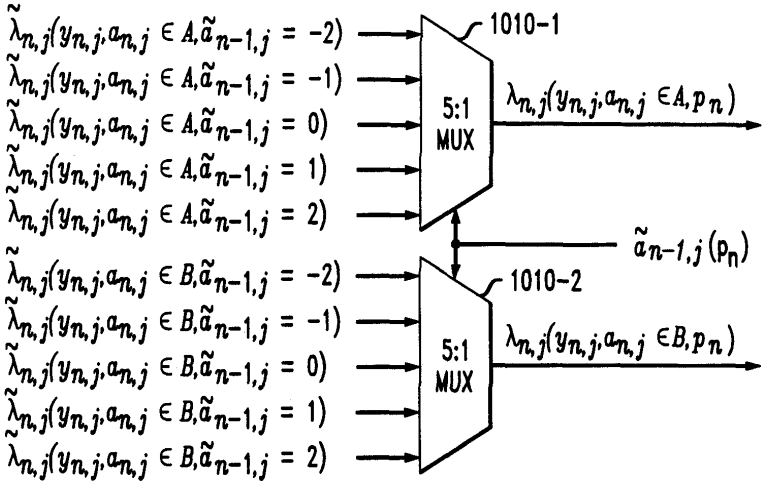
도면8


800
$Z_{n,j}$
$y_{n,j}$
$-f_{2,j}$
$-f_{3,j}$
$-f_{14,j}$
$-f_{1,j}$

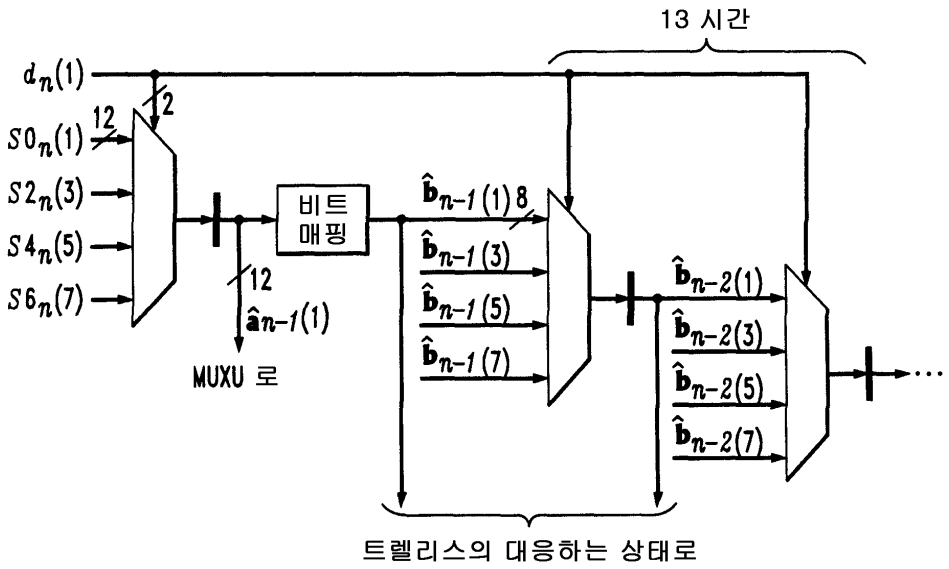
도면9


$y_{n,j}$
$2f_{1,j}$
$f_{1,j}$
$-f_{1,j}$
$-2f_{1,j}$
A
B
910-1
910-2
910-3
910-4
910-5
910-6
910-7
910-8
910-9
910-10
SQR
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = -2)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = -2)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = -1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = -1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = 0)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = 0)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = 1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = 1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = 2)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = 2)$

도면10


$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = -2)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = -1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = 0)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = 1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in A,\tilde{a}_{n-1,j} = 2)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = -2)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = -1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = 0)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = 1)$
$\tilde{\lambda}_{n,j}(y_{n,j},a_{n,j} \in B,\tilde{a}_{n-1,j} = 2)$
1010-1
5:1 MUX
$\lambda_{n,j}(y_{n,j},a_{n,j} \in A,p_n)$
$\tilde{a}_{n-1,j}(p_n)$
1010-2
5:1 MUX
$\lambda_{n,j}(y_{n,j},a_{n,j} \in B,p_n)$

도면11


13 시간
$d_n(1)$
2
12
$S0_n(1)$
$S2_n(3)$
$S4_n(5)$
$S6_n(7)$
비트 매핑
12
$\hat{a}_{n-1}(1)$
MUXU 로
$\hat{b}_{n-1}(1)$ 8
$\hat{b}_{n-1}(3)$
$\hat{b}_{n-1}(5)$
$\hat{b}_{n-1}(7)$
$\hat{b}_{n-2}(1)$
$\hat{b}_{n-2}(3)$
$\hat{b}_{n-2}(5)$
$\hat{b}_{n-2}(7)$
트렐리스의 대응하는 상태로