

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5726005号  
(P5726005)

(45) 発行日 平成27年5月27日 (2015. 5. 27)

(24) 登録日 平成27年4月10日 (2015. 4. 10)

(51) Int. Cl.		F I			
<b>H O 1 L</b>	<b>27/146</b>	<b>(2006. 01)</b>	<b>H O 1 L</b>	<b>27/14</b>	<b>A</b>
<b>H O 4 N</b>	<b>5/359</b>	<b>(2011. 01)</b>	<b>H O 4 N</b>	<b>5/335</b>	<b>5 9 0</b>
<b>H O 4 N</b>	<b>5/374</b>	<b>(2011. 01)</b>	<b>H O 4 N</b>	<b>5/335</b>	<b>7 4 0</b>

請求項の数 18 外国語出願 (全 20 頁)

(21) 出願番号	特願2011-160732 (P2011-160732)	(73) 特許権者	591060898
(22) 出願日	平成23年7月22日 (2011. 7. 22)		アイメック
(65) 公開番号	特開2012-33928 (P2012-33928A)		I M E C
(43) 公開日	平成24年2月16日 (2012. 2. 16)		ベルギー、ペー ー 3 0 0 1 ルーヴァン、カ
審査請求日	平成26年7月9日 (2014. 7. 9)		ペルドリーフ 7 5 番
(31) 優先権主張番号	61/369, 846	(74) 代理人	100101454
(32) 優先日	平成22年8月2日 (2010. 8. 2)		弁理士 山田 卓二
(33) 優先権主張国	米国 (US)	(74) 代理人	100081422
			弁理士 田中 光雄
早期審査対象出願		(74) 代理人	100100479
			弁理士 竹内 三喜夫
		(72) 発明者	クーン・デ・ムンク
			ベルギー 3 0 0 1 ルーヴァン、ヘルトフス
			トラート 1 4 7 べ 5 0 3 番
			最終頁に続く

(54) 【発明の名称】 CMOS 撮像装置アレイの製造方法

(57) 【特許請求の範囲】

【請求項 1】

所定のトレンチ深さを有する複数の高アスペクト比のトレンチを、基板の正面側に形成するステップと、

複数のフォトダイオードを基板の正面側に形成し、各フォトダイオードが少なくとも 1 つのトレンチに近接するようにするステップと、

各トレンチの、側壁を含む内壁に酸化物層を形成し、該酸化物層を少なくとも前記側壁から除去することによって、撮像装置の量子効率を増加させるステップと、

各トレンチを高ドーパ材料で充填するステップと、

基板を、正面に対向した裏面から所定の最終基板厚さまで薄型化するステップと、を含み、

1) 基板は p 型シリコン基板であり、フォトダイオードは n 型領域を設けることによって形成され、高ドーパ材料は p<sup>+</sup> 型ポリシリコンであり、あるいは、

2) 基板は n 型シリコン基板であり、フォトダイオードは p 型領域を設けることによって形成され、高ドーパ材料は n<sup>+</sup> 型ポリシリコンである、方法。

【請求項 2】

各トレンチは、幅の少なくとも 10 倍の深さを有する請求項 1 記載の方法。

【請求項 3】

所定のトレンチ深さは、所定の最終基板厚さと等しいか、それより大きい、請求項 1 記

10

20

載の方法。

【請求項 4】

高ドーブ材料は、高ドーブのポリシリコンを含む請求項 1 記載の方法。

【請求項 5】

少なくとも 1 つの電気コンタクトを正面側に形成するステップをさらに含む請求項 1 記載の方法。

【請求項 6】

誘電体層を正面側に形成するステップをさらに含む請求項 1 記載の方法。

【請求項 7】

酸化物層を形成することは、

I S S G 酸化、ウェット酸化、ドライ酸化および急速加熱酸化の少なくとも 1 つを用いて、酸化物層を形成することを含む請求項 1 記載の方法。

【請求項 8】

各トレンチを高ドーブ材料で充填した後、化学機械研磨を行うことをさらに含む請求項 1 記載の方法。

【請求項 9】

所定のドーピングプロファイルを持つ基板を用意するステップと、

所定のトレンチ深さを有する複数の高アスペクト比のトレンチを、基板の正面側に形成するステップと、

複数のフォトダイオードを基板の正面側に形成し、各フォトダイオードが少なくとも 1 つのトレンチに近接するようにするステップと、

各トレンチの、側壁を含む内壁に酸化物層を形成し、該酸化物層を少なくとも前記側壁から除去することによって、撮像装置の量子効率を増加させるステップと、

各トレンチを高ドーブ材料で充填するステップと、

基板を、正面に対向した裏面から所定の最終基板厚さまで薄型化するステップと、を含み、

1) 基板は p 型シリコン基板であり、フォトダイオードは n 型領域を設けることによって形成され、高ドーブ材料は p<sup>+</sup> 型ポリシリコンであり、  
あるいは、

2) 基板は n 型シリコン基板であり、フォトダイオードは p 型領域を設けることによって形成され、高ドーブ材料は n<sup>+</sup> 型ポリシリコンである、方法。

【請求項 10】

所定のドーピングプロファイルは、傾斜ドーピングプロファイルを含む請求項 9 記載の方法。

【請求項 11】

傾斜ドーピングプロファイルは、光生成した少数キャリアの流れを正面側へ向けて案内するのに適した内部電界を提供する請求項 10 記載の方法。

【請求項 12】

傾斜ドーピングプロファイルは、連続スローブドーピングプロファイルおよび階段ドーピングプロファイルの 1 つを含む請求項 10 記載の方法。

【請求項 13】

基板を用意することは、

犠牲基板を用意することと、

犠牲基板の上に、所定のドーピングプロファイルを持つシリコン層をエピタキシャル成長させて、傾斜ドーピングプロファイルを設けることと、を含む請求項 9 記載の方法。

【請求項 14】

基板を薄型化することは、犠牲基板の少なくとも一部を除去することを含む請求項 9 記載の方法。

【請求項 15】

複数の裏面照射用 C M O S 撮像装置を製造する方法であって、

10

20

30

40

50

所定のトレンチ深さを有する複数の高アスペクト比のトレンチを、基板の正面側に形成するステップと、

複数のフォトダイオードを基板の正面側に形成し、各フォトダイオードが少なくとも1つのトレンチに近接するようにするステップと、

各トレンチの、側壁を含む内壁に酸化物層を形成し、該酸化物層を少なくとも前記側壁から除去することによって、撮像装置の量子効率を増加させるステップと、

各トレンチを高ドーパ材料で充填するステップと、

基板を、正面に対向した裏面から所定の最終基板厚さまで薄型化するステップと、を含み、

1) 基板はp型シリコン基板であり、フォトダイオードはn型領域を設けることによって形成され、高ドーパ材料はp<sup>+</sup>型ポリシリコンであり、  
あるいは、

2) 基板はn型シリコン基板であり、フォトダイオードはp型領域を設けることによって形成され、高ドーパ材料はn<sup>+</sup>型ポリシリコンである、方法。

【請求項16】

裏面側で表面処理を実施することをさらに含む請求項15記載の方法。

【請求項17】

CMOS撮像装置に、読み出し集積回路を集積化することをさらに含む請求項15記載の方法。

【請求項18】

基板は、所定のドーピングプロファイルを有する請求項15記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、CMOS撮像装置を製造するための光検出器アレイまたは画素アレイの製造方法、および裏面照射(backside illumination) CMOS撮像装置の製造方法に関する。

【背景技術】

【0002】

例えば、論文(K. De Munck et al., "High performance hybrid and monolithic back side thinned CMOS imagers realized using a new integration process", IEEE International Electron Devices Meeting, San Francisco, US. Dec 2006, p 139-142.)で既  
に実証されているように、裏面照射CMOS撮像装置が、裏面照射CCDに匹敵する優れた量子効率を有することで知られている。この優れた量子効率は、エピタキシャル層に傾斜(graded)ドーピングプロファイルを設けることによって達成され、傾斜ドーピングプロファイルは、光生成電子(少数キャリア)の流れを正面側にある空乏領域へ向けて案内する内部(built-in)電界を提供するものであり、また続いて良好な裏面パッシベーションのための裏面ボロン注入およびレーザアニーリングによって達成される。しかしながら、これらの裏面照射CMOS撮像装置またはセンサでは、クロストークが大きいことが知られていた。

【0003】

薄型化裏面照射CMOS撮像装置を製造する2つの手法として、モノリシック法とハイブリッド法とがある。モノリシック法では、光検出器アレイまたは画素アレイおよび対応する読み出し(readout)集積回路(ROIC)が同じ基板に形成され、画素アレイおよびROICの両方が薄型化される。ハイブリッド法では、光検出器アレイは、ROIC上に別個に混成的に形成され、光検出器アレイだけを薄型化する必要がある。アレイの各画素が、金属バンプ、例えば、インジウムバンプによってROICと接続される。

【0004】

裏面照射撮像装置の画素間での光生成キャリアの拡散によって生ずる画素(光検出器)間のクロストークを低減するために、光検出器間に、高ドーパのポリシリコンで充填された深いトレンチを備えた構造が提案されている(論文: K. Minoglou et al., "Reduction

10

20

30

40

50

of electrical crosstalk in hybrid backside illuminated CMOS imagers using deep trench isolation", IITC Conf. San Francisco, June 2008, pp. 139-142)。これは、図1に概略的に示しており、トレンチで囲まれた単一の画素を示す。高ドーピングのポリシリコンで充填されたこれらの深いトレンチは、画素間の少数キャリア拡散を打ち消す横ドリフトフィールドを提供しており、これにより画素間拡散を阻止し、電気的クロストークをかなり低減している。しかしながら、トレンチの存在は撮像装置の量子効率に悪影響を与えることが観察された。これは、図3に示しており、トレンチ無しのデバイス（実線）とトレンチ有りのデバイス（破線）について測定した量子効率を示す。こうした量子効率の差は、トレンチの存在に起因した低い充填率(fill factor)に基づいて予想される（量子効率で約10%損失をもたらす）ものよりかなり大きい。

10

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0005】

本発明の実施形態の目的は、CMOS撮像装置を製造する代替の方法を提供することである。幾つかの実施形態が裏面照射用であり、撮像装置は、隣接画素間で極めて低い、例えば、クロストークゼロに近い電気的クロストークを有し、さらに、関心のある波長範囲、例えば、400nm~900nmの波長範囲で極めて良好な、例えば、100%内部量子効率に近い量子効率を有する。

#### 【課題を解決するための手段】

#### 【0006】

20

特定の好ましい態様は、添付の独立および従属の請求項に記述している。従属請求項からの特徴は、適切に、請求項に明示されたものだけでなく独立請求項の特徴と組み合わせてもよい。いずれの特徴もいずれの態様から否認してもよい。

#### 【0007】

本発明は、請求項1に記載したような方法を提供する。

#### 【0008】

本発明は、CMOS撮像装置のための光検出器アレイまたは画素アレイを製造する方法を提供するものであり、該方法は、

所定のトレンチ深さを有する複数の高アスペクト比のトレンチを、基板の正面側に形成するステップと、

30

複数のフォトダイオードを基板の正面側に形成し、複数のフォトダイオードの各々が基板の正面に対して平行な面内で高アスペクト比のトレンチによって囲まれるようにするステップと、

酸化工程を実施し、酸化物層を複数のトレンチの内壁に形成するステップと、

複数のトレンチの内壁から酸化物層を除去するステップと、

複数のトレンチを高ドーピング材料で充填するステップと、

基板を、裏面から所定の最終基板厚さまで薄型化するステップとを含む。

#### 【0009】

幾つかの実施形態において、酸化工程および次の複数のトレンチ壁からの酸化物層除去は、欠陥、残留物、不純物をトレンチ側壁から実質的に除去し、トレンチ側壁での電荷キャリア再結合の減少を導くものである。

40

#### 【0010】

酸化物除去による側壁のクリーニングは、トレンチ側壁から拡散障壁（例えば、自然酸化物）を除去またはかなり低減でき、トレンチを充填した高ドーピングポリシリコンから受光層中へドーパントの良好な外方拡散(outdiffusion)を可能にする。これにより内部(built-in)電界を生成でき、トレンチ側壁での電荷キャリア再結合をさらに低減できる。

#### 【0011】

基板を用意することは、好ましくは、所定のドーピングプロファイル、好ましくは、光生成した少数キャリアの流れを正面側へ向けて案内する内部電界を提供する傾斜(graded)ドーピングプロファイルを持つ基板を用意することを含む。これは、例えば、犠牲基板、

50

即ち、プロセスの後の段階で少なくとも部分的に除去される基板上において、所定のドーピングプロファイルを持つシリコン層のエピタキシャル成長によって得ることができる。

【0012】

高アスペクト比のトレンチは、好ましくは、幅の少なくとも10倍の深さを有する。

【0013】

本開示の幾つかの実施形態では、所定のトレンチ深さは、所定の最終基板厚さと少なくとも同じ大きさであり、その結果、最終デバイスにおいて複数の高アスペクト比のトレンチは、薄型化した基板を貫通している。しかしながら、本開示は、これに限定されず、所定のトレンチ深さは、所定の最終基板厚さより小さくしてもよい。

【0014】

本開示に係る方法が、好都合には、裏面照射CMOS撮像装置を製造するために使用できる。

【0015】

本開示および先行技術に比べて達成される利点を要約するために、ここでは本開示の一定の目的および利点を記載している。当然ながら、本開示のいずれか特定の実施形態に従って、こうした目的または利点の全てを必ずしも達成できないと理解すべきである。例えば、当業者は、ここで教示したような1つの利点または一群の利点を達成または最適化する方法で、ここで教示または示唆しているような他の目的または利点を必ずしも達成することなく、本開示が具体化または実施できることは認識するであろう。また、この要約は、単なる例であり、請求項に記載した開示の範囲を限定することは意図していないことは理解されよう。本開示は、構成および動作方法の両方について、その特徴および利点とともに、添付図面と関連して読んだ場合、下記の詳細な説明を参照して最良に理解できるであろう。

【図面の簡単な説明】

【0016】

【図1】CMOS撮像装置の断面を概略的に示すもので、トレンチで囲まれた単一の画素を示す。

【図2a】本発明の方法の処理ステップを概略的に示す。

【図2b】本発明の方法の処理ステップを概略的に示す。

【図2c】本発明の方法の処理ステップを概略的に示す。

【図2d】本発明の方法の処理ステップを概略的に示す。

【図2e】本発明の方法の処理ステップを概略的に示す。

【図2f】本発明の方法の処理ステップを概略的に示す。

【図3】トレンチ無しの1k×1kCMOS撮像装置およびトレンチ有りの1k×1kデバイスについて測定した量子効率を示す。

【図4】薄いバリア層を備えた、p+ポリシリコンで充填したトレンチの概略断面（図4（a））と、シリコン基板内でのドーパント分布プロファイルに対するバリア層のシミュレーションした効果（図4（b））を示す。

【図5】画素がいろいろな品質のトレンチで分離されている厚い裏面照射CMOS撮像装置について量子効率シミュレーションの結果を示す。

【図6】画素がいろいろな品質のトレンチで分離されている厚い正面照射および裏面照射の撮像装置について量子効率シミュレーションの結果を示す。

【図7】本開示の方法に従って製造したトレンチ無しの試験ダイオードおよびトレンチ有りの試験ダイオードについて、測定した量子効率およびシミュレーション量子効率のカーブを波長の関数として示す。

【図8】先行技術の方法に従って製造したトレンチ無しの試験ダイオードおよびトレンチ有りの試験ダイオードについて、測定した量子効率およびシミュレーション量子効率のカーブを波長の関数として示す。

【図9】フォトダイオードの量子効率測定を実施するために用いた測定構成を示す。

【0017】

10

20

30

40

50

請求項での参照符号はいずれも本開示の範囲を限定するものと解釈すべきでない。

異なる図面において、同じ参照符号は同じまたは類似の要素を参照している。

【発明を実施するための形態】

【0018】

下記の詳細な説明において、多くの特定の詳細を説明し、本開示の完全な理解および特定の実施形態でどのように実用化されるかを提供している。しかしながら、本開示はこれらの特定の詳細なしでも実用化できることは理解されよう。他の事例では、本開示を不明瞭にしないために、周知の方法、手順および技法は詳細に説明していない。本開示は、特定の実施形態および一定の図面を参照して説明しているが、本開示はこれに限定されない。添付し説明した図面は、概略的に過ぎず、本開示の範囲を限定していない。図面において、幾つかの要素のサイズは、説明目的のために誇張したり、縮尺どおり描写していないことがある。

10

【0019】

さらに、説明および請求項での用語「第1」「第2」「第3」などは、類似の要素を区別するための使用しており、必ずしも時間的、空間的、ランキングまたは他の手法による順序を記述するためではない。こうして使用した用語は、適切な状況下で交換可能であり、ここで説明した本開示の実施形態は、ここで説明または図示したものとは別の順序で動作可能である。

【0020】

さらに、説明および請求項での用語「上(top)」、「下(bottom)」、「の上に(over)」、「の下に(under)」等は、説明目的で使用しており、必ずしも相対的な位置を記述するためのものでない。こうして用いた用語は、適切な状況下で交換可能であって、ここで説明した本開示の実施形態がここで説明または図示した以外の他の向きで動作可能であることは理解すべきである。

20

【0021】

請求項で使用される用語「備える、含む(comprising)」は、それ以降に列挙された手段に限定されるものと解釈すべきでなく、他の要素またはステップを除外していない。それは、記載した特徴、整数、ステップまたは構成要素の存在を参照したように特定しているものと解釈する必要があるが、1つ又はそれ以上の他の特徴、整数、ステップまたは構成要素、あるいはそのグループの存在または追加を排除していない。そして「手段A、Bを備えるデバイス」という表現の範囲は、構成要素A、Bだけからなるデバイスに限定すべきでない。

30

【0022】

本発明の状況において、基板または撮像装置の正面は、フォトダイオードが設けられた基板または撮像装置の面である。基板または撮像装置の裏面または後面は、正面とは反対の面である。

【0023】

本発明の幾つかの実施形態によれば、  
CMOS撮像装置で使用される画素アレイを製造する方法は、  
基板、例えば、シリコン基板を用意するステップと、  
所定のトレンチ深さを有する複数の高アスペクト比のトレンチを、基板の正面側に形成するステップと、  
複数のフォトダイオードを基板の正面側に形成し、複数のフォトダイオードの各々が、基板の正面に対して平行な面内で高アスペクト比のトレンチによって囲まれるようにするステップと、  
酸化工程を実施し、酸化物層を複数のトレンチの内壁に形成するステップと、  
複数のトレンチの内壁から酸化物層を除去するステップと、  
複数のトレンチを高ドーパのポリシリコンで充填するステップと、  
基板を、裏面から所定の最終基板厚さまで薄型化するステップとを含む。

40

【0024】

50

本発明に係る方法が、好都合には、裏面照射用ＣＭＯＳ撮像装置を製造するために使用できる。

【００２５】

本発明の幾つかの実施形態に係る方法において、基板は、好ましくは、光生成少数キャリアの流れを正面に向けて案内する内部(built-in)電界を提供する傾斜(graded)ドーピングプロファイルを有する。従って、本発明の幾つかの実施形態において、基板は、その上で傾斜ドーピングプロファイルを有するエピタキシャル層が成長する犠牲基板（即ち、後に少なくとも部分的に除去される基板）を含む。基板を裏面から薄型化することは、犠牲基板を完全に除去すること、または犠牲基板を部分的に除去することでもよい。

【００２６】

本発明の方法に従って製造したＣＭＯＳ撮像装置の所定の最終厚さは、例えば、５マイクロメートル～５０マイクロメートルの範囲、例えば、１０マイクロメートル～３０マイクロメートルの範囲でもよい。しかしながら、本発明は、これに限定されず、所定の最終基板厚さはこれらの範囲外でもよい。

【００２７】

本発明の幾つかの実施形態において、所定のトレンチ深さは、所定の最終基板厚さと少なくとも同じ大きさであり、その結果、最終デバイスにおいて複数の高アスペクト比トレンチは、薄型化した基板を完全に貫通している。しかしながら、本発明は、これに限定されず、所定のトレンチ深さは、所定の最終基板厚さより小さくしてもよい。

【００２８】

本発明は、基板がｐ型シリコン基板であり、フォトダイオードはｎ型領域（例えば、ｎ-井戸）を設けることによって形成され、高ドーピングのポリシリコンは $p^+$ 型シリコンであるような実施形態についてさらに説明しているが、本発明はこれに限定されない。例えば、基板はｎ型基板でもよく、フォトダイオードはｐ型領域（例えば、 $p$ -井戸）を設けることによって形成され、高ドーピングのポリシリコンは $n^+$ 型シリコンでもよい。

【００２９】

図１は、ＣＭＯＳ撮像装置の断面を概略的に示すもので、トレンチで囲まれた単一のフォトダイオードまたは画素を示す。図示した例において、フォトダイオードがｎ型井戸２０とｐ型基板１０との間に形成される。ｐ型基板は、好ましくは、傾斜したドーピング濃度を有し、光生成電子の流れを正面へ向けて案内する内部(built-in)電界を提供する。基板ドーピング濃度は、例えば、連続したスロープを持つプロファイルを有することができ、これにより連続した電界を生じさせる。代替として、基板ドーピング濃度は、例えば、「階段」プロファイルを有してもよく、これは、ドーピング濃度が裏面から正面へ向けて段階的に減少していることを意味する。しかしながら、本発明は、これに限定されず、光生成電子の流れを正面へ向けて案内する内部電界を提供する他の適切なドーピングプロファイルが使用できる。

【００３０】

高ドーピング( $p^+$ )のポリシリコン３２で充填された、高アスペクト比のトレンチ３０（例えば、１マイクロメートル幅で、３０～５０マイクロメートル深さ）が設けられる。 $p^+$ ポリシリコン３２のドーピングレベルは、例えば、 $10^{20} \text{ cm}^{-3} \sim 10^{21} \text{ cm}^{-3}$ のオーダーでもよく、基板への拡散後、画素間の横ドリフトフィールドを提供している。こうした横ドリフトフィールドは、画素間の光生成電荷キャリアの拡散を打ち消し、画素間の電氣的クロストークを制限する。撮像装置の正面側では、 $p$ 型基板１０へ通ずる第１電気コンタクト１１および $n$ -井戸２０へ通ずる第２電気コンタクト２１、そして誘電体層４０が設けられる。

【００３１】

図１に示す断面は、本発明の方法を用いて好都合に製造できる構造の一例を示す。しかしながら、本発明の方法は、トレンチを含む他の構造を製造するためにも使用できる。

【００３２】

図２は、図１に示した構造を製造するために使用できる本発明の方法の処理ステップを

10

20

30

40

50

概略的に示す。トレンチ 30 は、好ましくは、処理フローの初めに p 型基板 10 の正面側 1 に設けられる (図 2 a)。これらは、エッチング工程用のマスクとしてフォトレジストおよび TEOS (テトラエトキシシラン) を用いた DRIE (深堀り反応性イオンエッチング) 工程によって形成できる。これらのトレンチ 30 は、好ましくは、約 1 マイクロメートル幅で 50 マイクロメートルまでの深さである。しかしながら、本発明は、これに限定されず、より大きいまたはより小さいトレンチが形成できる。

#### 【0033】

本発明の実施形態において、高アスペクト比のトレンチ 30 のエッチング後、酸化工程を実施して、図 2 b に示すように、トレンチの少なくとも側壁に酸化物層 31 を形成する。酸化は、例えば、850 ~ 1100 の範囲の温度で、ISSG (in-situ steam generated) 酸化を含んでもよい。代替として、酸化は、例えば、650 ~ 1050 の範囲の温度で、 $H_2 / O_2$  環境でのウェット酸化を含んでもよい。酸化工程を実施するために使用できる他の方法は、 $O_2$  環境でのドライ酸化または急速加熱 (Rapid Thermal) 酸化または当業者に知られた他の適切な方法である。酸化物層 31 の厚さは、好ましくは、3 nm ~ 50 nm の範囲、例えば、10 nm ~ 30 nm の範囲である。しかしながら、本発明はこれに限定されず、他の酸化物厚も使用できる。

#### 【0034】

次のステップにおいて、酸化物層 31 は、好ましくは、ウェットエッチングによって少なくともトレンチ 30 の側壁から除去される (図 2 c)。酸化物層を除去した後、トレンチは、高ドーパ ( $p^+$ ) のポリシリコン 32 で充填され、続いてシリコン表面で余分なポリシリコンの CMP (化学機械研磨) が行われる。得られた構造の断面は図 2 d に示す。

#### 【0035】

本発明の実施形態において、酸化物層を除去した後、高ドーパポリシリコンで充填する前に、必要に応じて、極めて薄い酸化物層 (厚さ 1 nm ~ 2 nm) をトレンチの側壁に成長させることができる。こうした極めて薄く制御した酸化物は、バリア層として機能することができ、トレンチを充填した高ドーパポリシリコンから基板中ヘドーパントの余分な外方拡散 (outdiffusion) を制限または回避しつつ、十分な拡散を可能にし (図 4 (b) に示すように)、側壁表面状態を保護している。

#### 【0036】

余分な外方拡散は、撮像装置の充填率 (fill factor) を減少させる。ドーパントは欠陥として働くためである。トレンチ充填後、フォトダイオード (必要に応じて他のデバイス) が正面側 1 に形成される。これは、幾つかの処理工程、例えば、活性領域画定、エッチング、注入 (implantation)、コンタクトエリアのシリサイド化、メタライゼーション、パッシベーション等を含む。図 2 e は、フォトダイオード形成後の断面を示し、p 型基板 10 とともにフォトダイオード pn 接合を形成する n - 井戸 20、p 型基板 10 へ通ずる第 1 電気コンタクト 11、n - 井戸 20 へ通ずる第 2 電気コンタクト 21、および誘電体層 40 を図示する。

#### 【0037】

次に、裏面薄型化工程を裏面表面処理とともに実施する。ハイブリッド撮像装置の場合は、ROIC の集積化が続いて行われる。裏面薄型化工程は、基板 10 を裏面側 2 から所定の最終基板厚さまで薄型化することを含む。図 2 f に示す例では、複数のトレンチ 30 は、薄型化した基板を貫通している。しかしながら、本開示はこれに限定されず、トレンチ深さは最終基板厚さより小さくてもよい。

#### 【0038】

本発明の幾つかの実施形態に係る方法の利点は、良好な量子効率を持つトレンチ付きデバイスが製作可能であるとともに、先行技術のトレンチ付きデバイスのクロストークゼロ特性を維持することである。

#### 【0039】

実験を実施し、本発明の方法に従ってフォトダイオードをシリコンウエハ上に加工した。暗電流測定および正面照射測定に適した試験ダイオードを製造した。さらに、並列接続

10

20

30

40

50



された約1200画素を含む試験ダイオードアレイを製造し、デバイス性能に対するトレ  
ンチの影響を評価した。

【0040】

測定した値をより良く理解し、これらの意義を評価するために、代表的な構造について  
数多くの基本的な量子効率シミュレーションを行った。

【0041】

図5は、画素間にトレンチが存在した状態の30マイクロメートル厚の裏面照射撮像装置  
について予想される(シミュレーションによる)量子効率を示す。シミュレーションによ  
る量子効率は、完全なトレンチ挙動、即ち、トレンチ側壁において少数キャリア再結合な  
し(実線「裏面、正常」)および、問題のあるトレンチ挙動、即ち、トレンチ側壁におい  
て相当の少数キャリア再結合を伴うデバイス(破線「裏面、0.075マイクロ秒ライフ  
タイム」)の両方について示している。先行技術の撮像装置で観測される問題のあるトレ  
ンチ挙動は、トレンチ側壁欠陥に関連していると推測される。これらの欠陥は、基板内の  
拡散長さを減少させる(減少したライフタイム)ことによってシミュレーションを行った  
。シミュレーション(図5)で示された傾向は、先行技術のトレンチ付き撮像装置の測定  
データ(図3に示す)として観測されたものと同じである。これらのシミュレーションに  
おいて、誘電パラメータは、後側誘電体をシミュレーションするように選択しており、最  
適化した反射防止コーティング、即ち、シミュレーションしたカーブ(図5)における干  
渉縞を表していない。

10

【0042】

次に、量子効率シミュレーションを正面照射について実施し、裏面照射と同じデバイス  
パラメータを想定し、表面の不感帯(dead zone)を増加している。正面照射についてこれ  
らのシミュレーション結果を裏面照射の結果とともに図6に示す。明らかに、正面照射に  
関する2つのカーブ(1つのカーブは完全な品質のトレンチのもので(「正常」)、1つ  
のカーブは問題のある品質のトレンチのもので(「0.075μsライフタイム」)の間の  
差は、裏面照射の場合の対応するカーブ間の差よりかなり小さい。「正常」(即ち、トレ  
ンチ側壁において少数キャリア再結合なし)正面照射カーブと正常裏面照射カーブとの間  
のより低い波長領域での差は、増加した表面不感帯に起因している。

20

【0043】

図9に概略的に示した測定構成を用いて、オンウエハ測定を実施し解析した。測定構成  
は、Xeアークランプを備えた照明器61と、モータ駆動フィルタホイール63を備えた  
1/8モノクロメータ62と、モノクロメータからの光を試験サンプル65に向ける光フ  
ァイバ64とを備える。試験サンプルは、移動ステージ66上に搭載され、光ファイバ6  
4を基準として試験サンプルまたは校正した基準フォトダイオード67の光学面の調整を  
可能にしている。

30

【0044】

サンプルのコンタクトへのプローブ針の正確な位置決めは、マイクロメータ制御のプロ  
ーブヘッド68を用いて可能である。照明器およびモノクロメータを備えたシステムは、  
照明器出力がモノクロメータに集光し整合して、5nmの分解能で200nm~1000  
nmの光を提供するように最適化される。モノクロメータと結合する照明器は、両装置を  
共通のベースプレートに搭載することによって固定される。この搭載キットは、ビーム経  
路を包囲する光シールドを含む。光ファイバおよび移動ステージを含むこのシステムは、  
金属製の黒色カバー(図9中の破線)を備えたプローブステーションの内側に固定され、  
環境からの光遮蔽を提供する。全自動化したソフトウェア手順が、高速な波長走査(70  
)および正確な多重点グラフ収集(71)を可能にしている。

40

【0045】

量子効率の大まかな見積もりが、設計(異なるタイプの試験ダイオードについて)から  
正面充填率を計算して、ガードリング領域(ガードリングは接続していない)およびこの  
シミュレーションにとって画素内にある部分的に透明なシリサイド化領域の寄与分を大ま  
かに校正することによって得られた。換言すると、これらの量子効率は、合理的で大まか

50

な見積もりに基づいている。

【 0 0 4 6 】

図 7 は、トレンチ無しの試験ダイオードおよび、本発明の方法に従って製造したトレンチ有りの試験ダイオードについて正面照射で量子効率測定の結果を示す。さらに、図 7 は、マッチングシミュレーションを示す。試験ダイオードは同じウエハ上で互いに隣接しているが、干渉縞のピーク位置について 2 つの測定データセット間で僅かな差がある。この差は、約 2 0 n m という正面側での酸化物厚さの変動 ( 約 1 4 6 0 n m の合計厚さに対して ) によって説明できる。トレンチ無しデバイスとトレンチ有りデバイスの測定結果の間で良好な一致がある。このことは、本発明の方法に従って製造した深いトレンチの存在によって生ずる検出可能な基板再結合が存在しないことを示している。

10

【 0 0 4 7 】

図 8 は、トレンチ無しの試験ダイオードおよび、先行技術の方法に従って製造したトレンチ有りの試験ダイオードについて量子効率測定 ( 図 7 に示した測定と同じ測定構成を用いて実施 ) の結果を示す。さらに、図 8 は、マッチングシミュレーションを示す。より低い波長領域では、測定データセットは、トレンチ有りデバイスおよびトレンチ無しデバイスについてほぼ同じであるが、N I R ( 近赤外 ) に向かうほど、トレンチ有りデバイスの応答は、トレンチ無しデバイスよりもかなり低く見える。従って、これらのデータは、先行技術の方法に従って製造した溝は、少数キャリアのライフタイムを減少させているように見えることを確認した。

20

【 0 0 4 8 】

正面照射デバイスについての測定だけを示したが、測定とシミュレーションとの間の良好な一致 ( 図 7 と図 8 ) は、本開示の方法に従って製造した C M O S 撮像装置において、先行技術のトレンチ有り C M O S 撮像装置とは反対に、少数キャリアのライフタイムは、トレンチの存在に起因して減少しないという良好な兆候を提供する。従って、本開示の方法に従って製造した裏面照射 C M O S 撮像装置の量子効率は、先行技術のトレンチ有り裏面照射 C M O S 撮像装置よりもかなり良好になると予想される。

【 0 0 4 9 】

より低い量子効率は、先行技術のトレンチ有り C M O S 撮像装置の性能を制限するが、さらに詳しく調査した。トレンチの存在に起因して減少した充填率は、約 1 0 % の量子効率損失に相当するだけである。先行技術のトレンチ有りデバイスのより低い量子効率は、トレンチのエッジ ( 側壁 ) 表面での再結合欠陥が電荷キャリアを捕獲して、画素性能を劣化させると仮定することによって説明できる。減少した量子効率の波長依存性は、この方向 ( 図 3 に示すように、より短い波長がより長いものより影響される ) に注目させる。トレンチのエッジでのドーパント濃度およびポテンシャルバリアが、表面からキャリアを押し返すのに低すぎる場合、この増加した表面再結合機構は、デバイスの量子効率を減少させる。

30

【 0 0 5 0 】

この仮説を確認するために、T S u p r e m C A D ソフトウェアを使用して、エッジにおいて薄い酸化物層またはトレンチ残留物の存在の場合、トレンチ内の高ドーパのポリシリコンからシリコンへのドーパント拡散をシミュレーションした。これらのシミュレーション結果は、図 4 に提示している。図 4 ( a ) は、高ドーパのポリシリコン 3 2 で充填され、薄いバリア層 5 0 がトレンチ側壁にあるトレンチ 3 0 の概略断面を示す。図 4 ( b ) は、異なるバリア層厚 ( 0 n m , 1 n m , 2 n m , 5 n m ) について、シリコン基板 1 0 内のドーパント分布プロファイルに対するバリア層 5 0 の厚さのシミュレーションした影響を示す。

40

【 0 0 5 1 】

このバリア層は、トレンチ充填より先行した適当なその場 ( in-situ ) クリーニングがない場合、例えば、1 n m ~ 5 n m の厚さを持つ自然酸化物でもよい。実際の処理フローと同じ熱アニールパラメータを用いて、異なる厚さの酸化物層についてシミュレーションを行った。図 4 ( b ) に示したように、酸化物が存在しない場合、高ドーパのポリシリコン

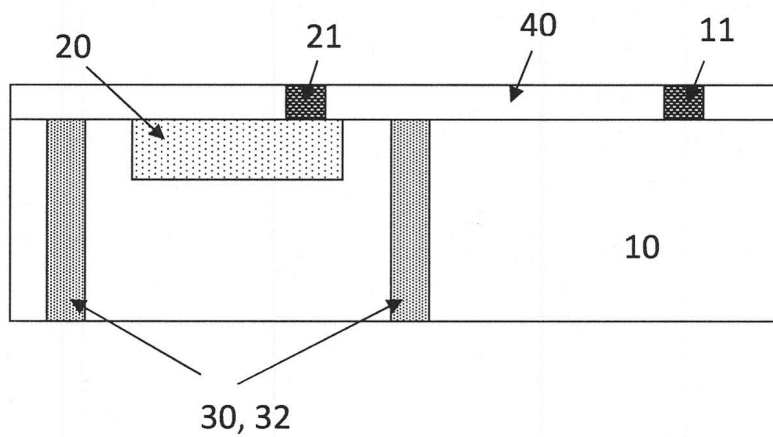
50

からのドーパント拡散に由来するボロン濃度プロファイルは最大であり、トレンチでのポテンシャルバリアは最大である。酸化物が1 nmまたはそれ以上の厚さを有する場合、トレンチのエッジにおいてシリコン内のドーパント濃度は、1桁、2桁または4桁だけ減少している。

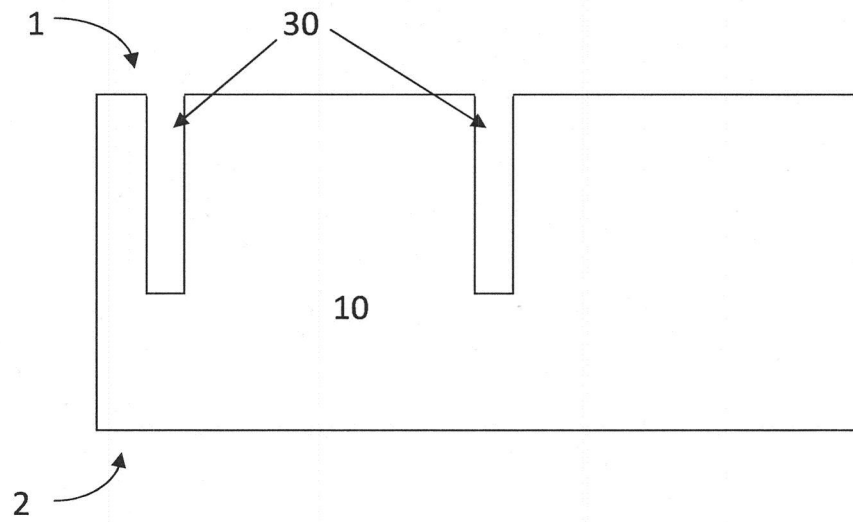
【0052】

説明した実施形態は、処理時にトレンチ内のバリア形成を実質的に減少または回避する手段を提供するものであり、これにより、撮像装置を製造するために、より具体的には裏面照射用撮像装置を製造するために、トレンチ内の高ドーパントポリシリコンから周囲のシリコンへの適切なドーパント拡散を確保している。

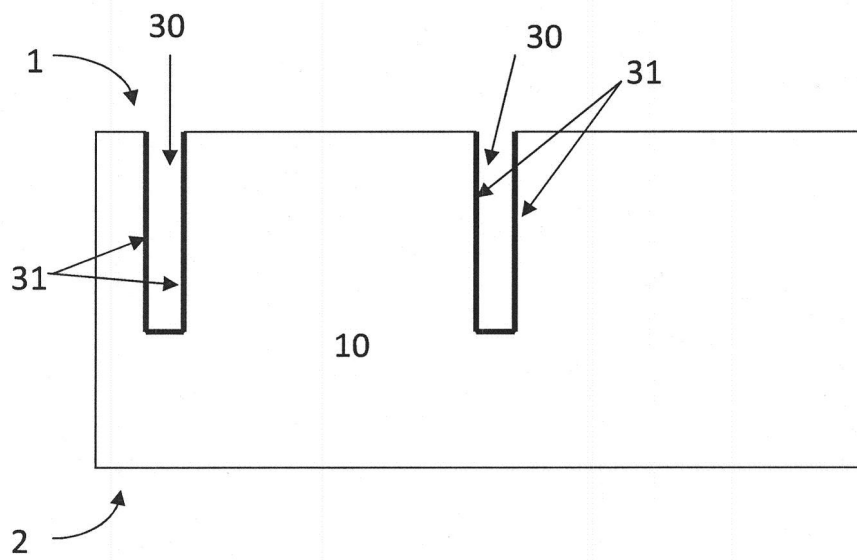
【図1】



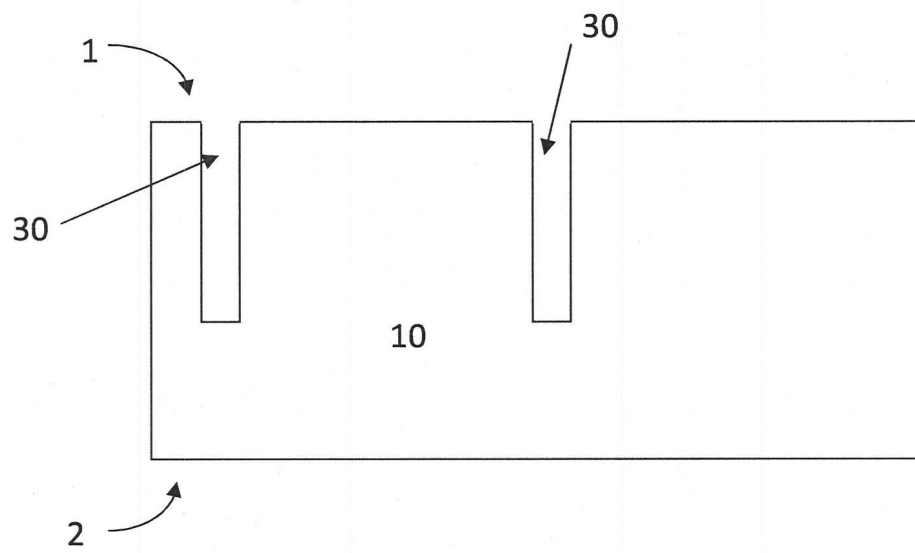
【図 2 a】



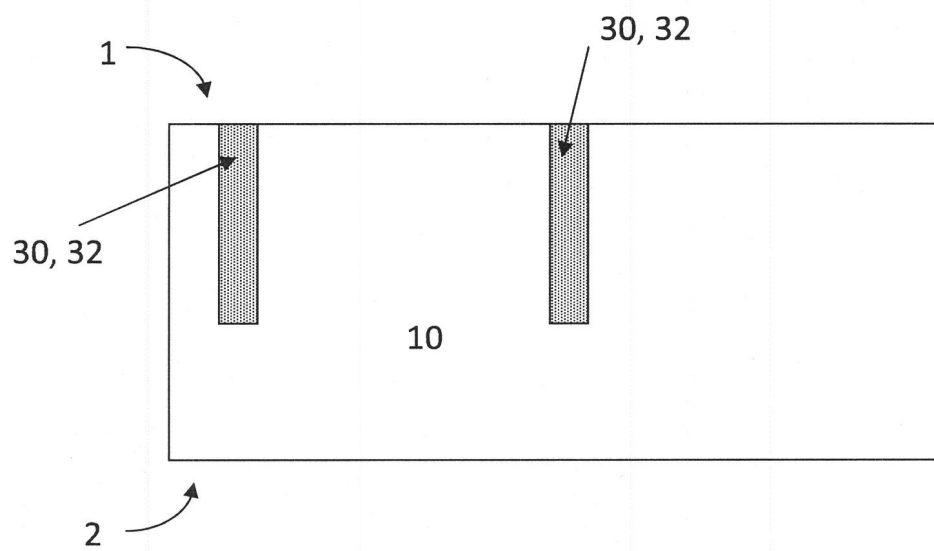
【図 2 b】



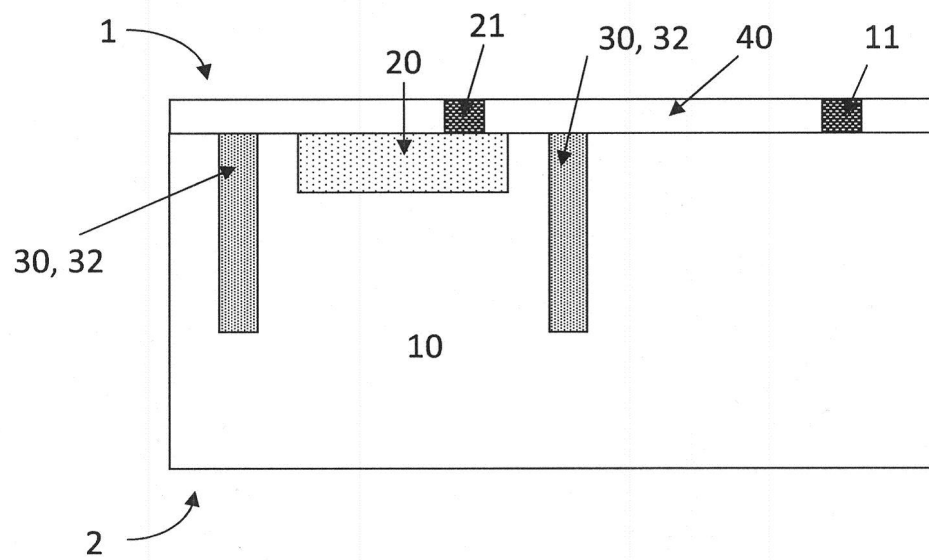
【図 2 c】



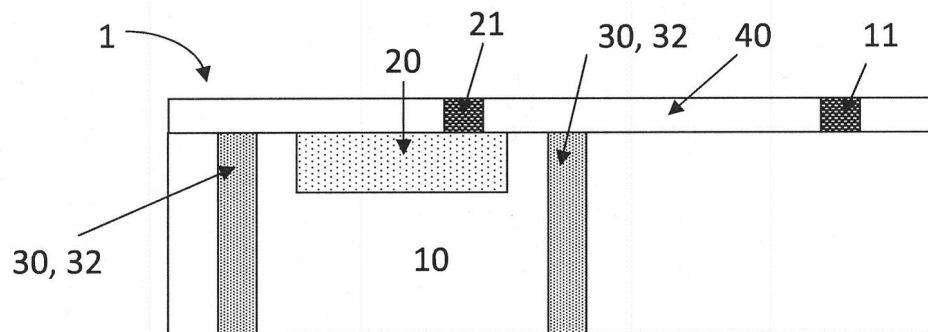
【図 2 d】



【図 2 e】

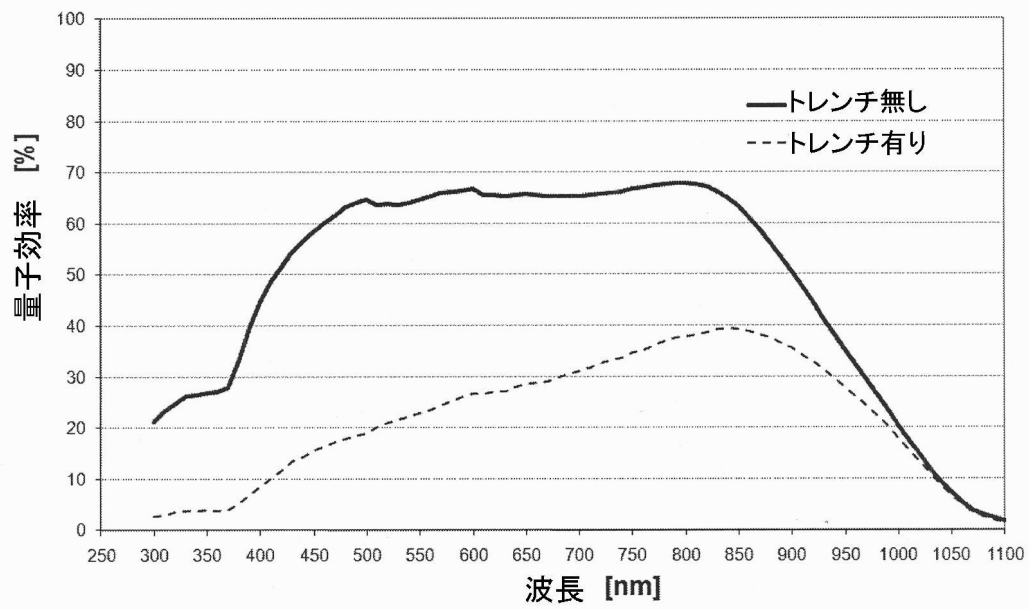


【図 2 f】

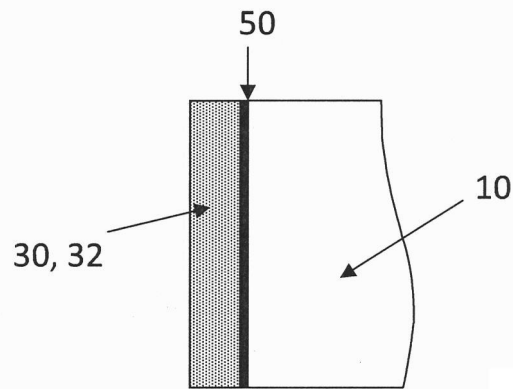


2(f)

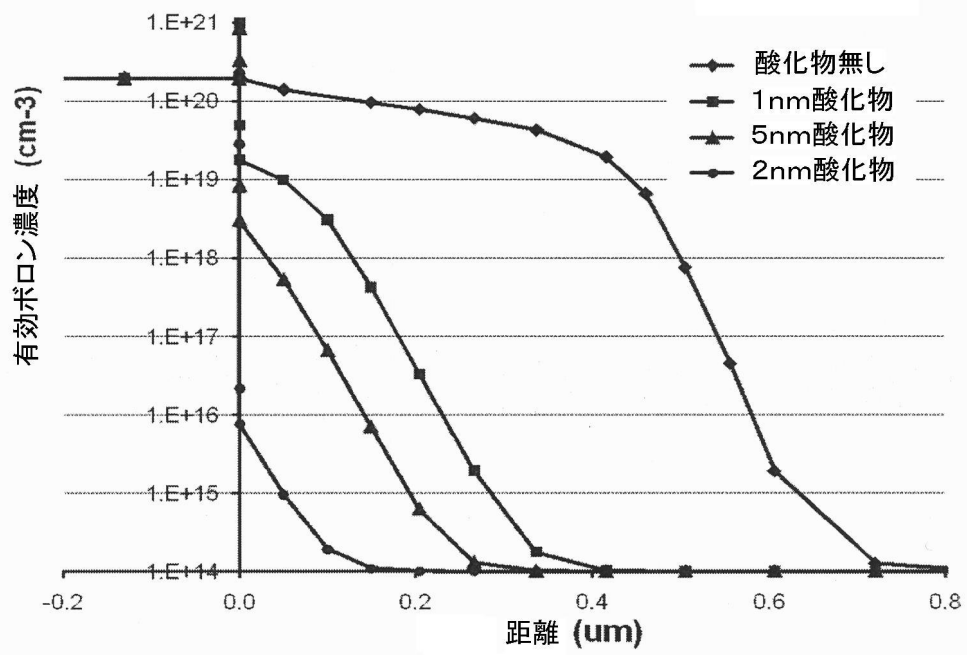
【図 3】



【図 4】



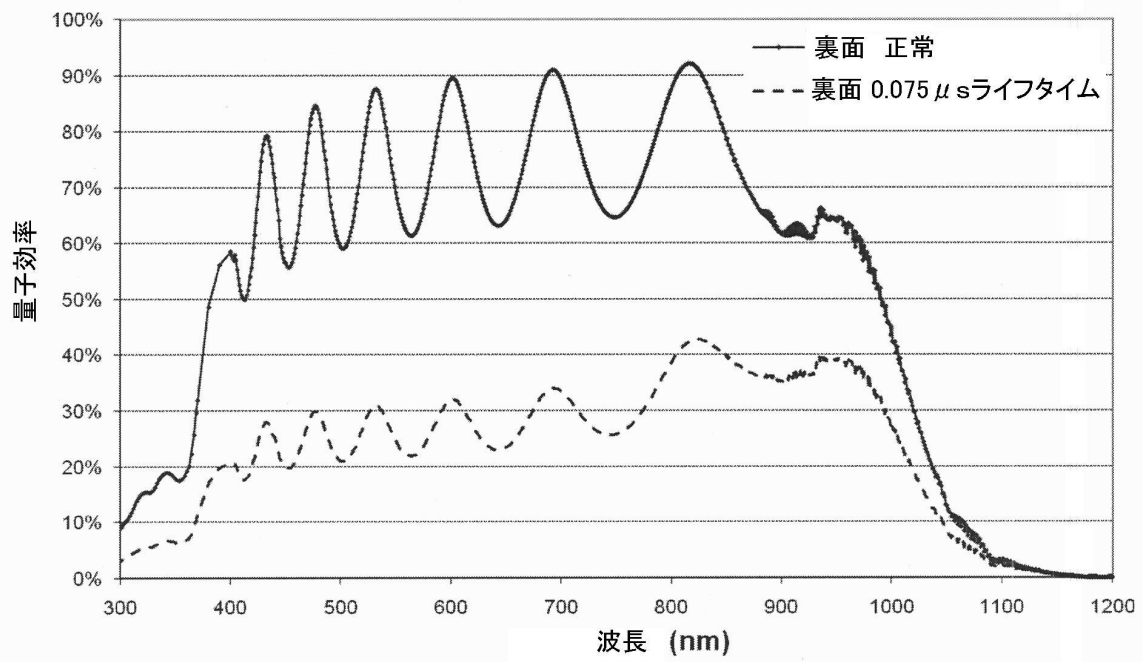
4(a)



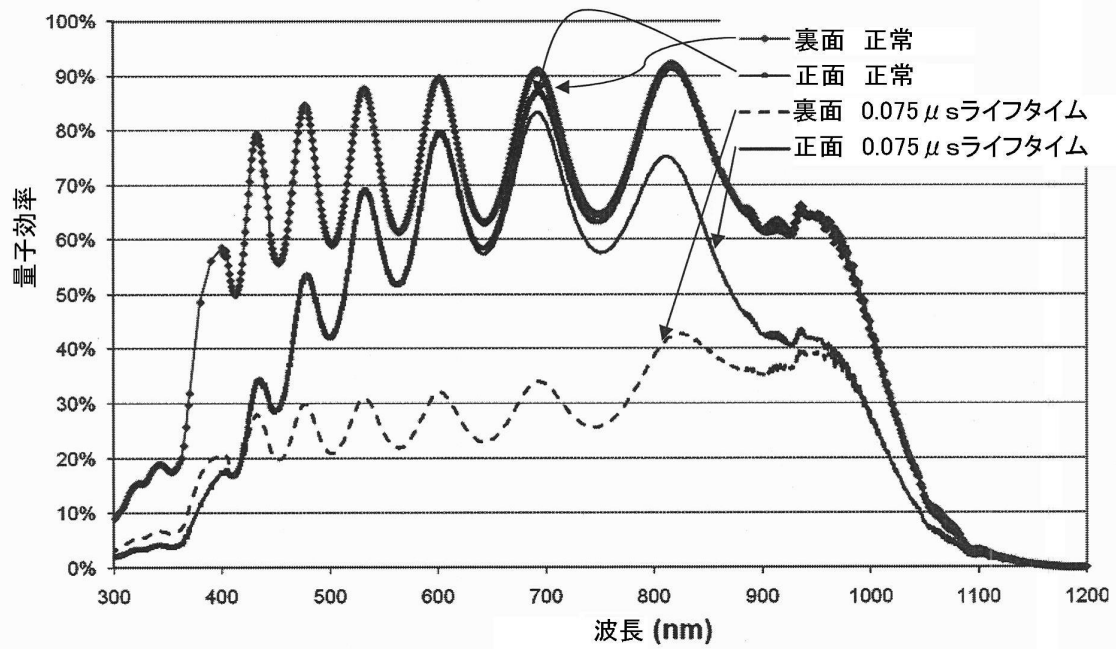
4(b)



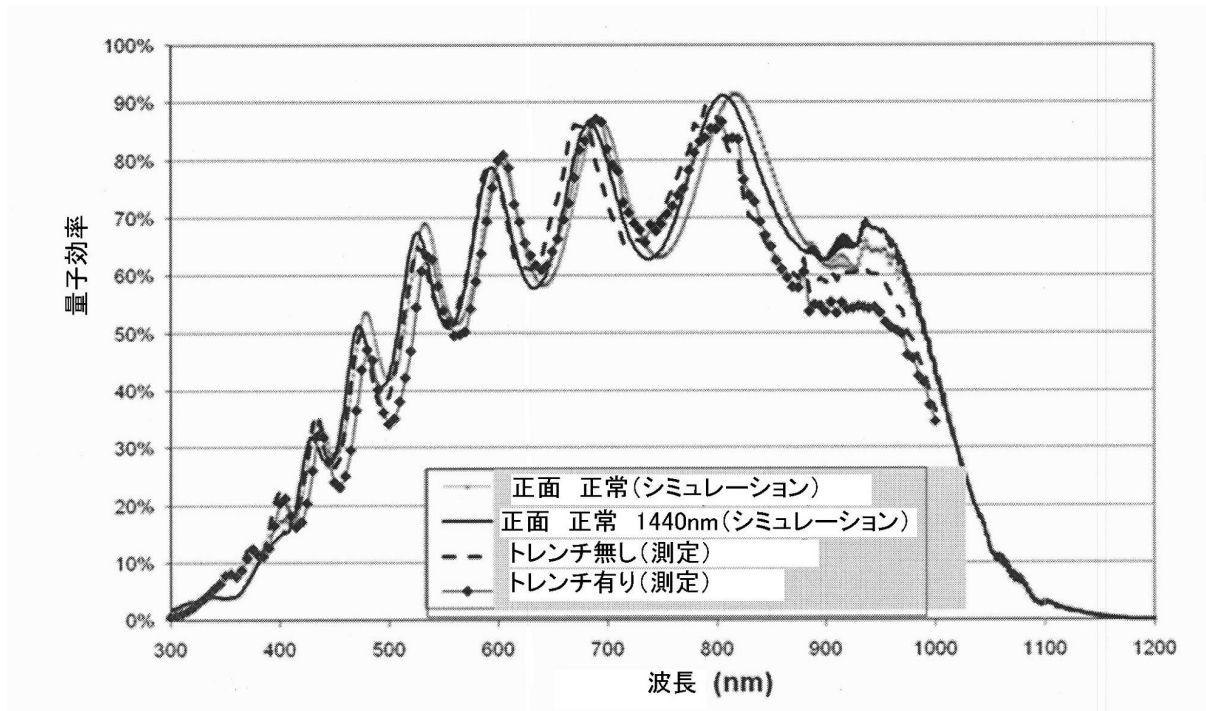
【図 5】



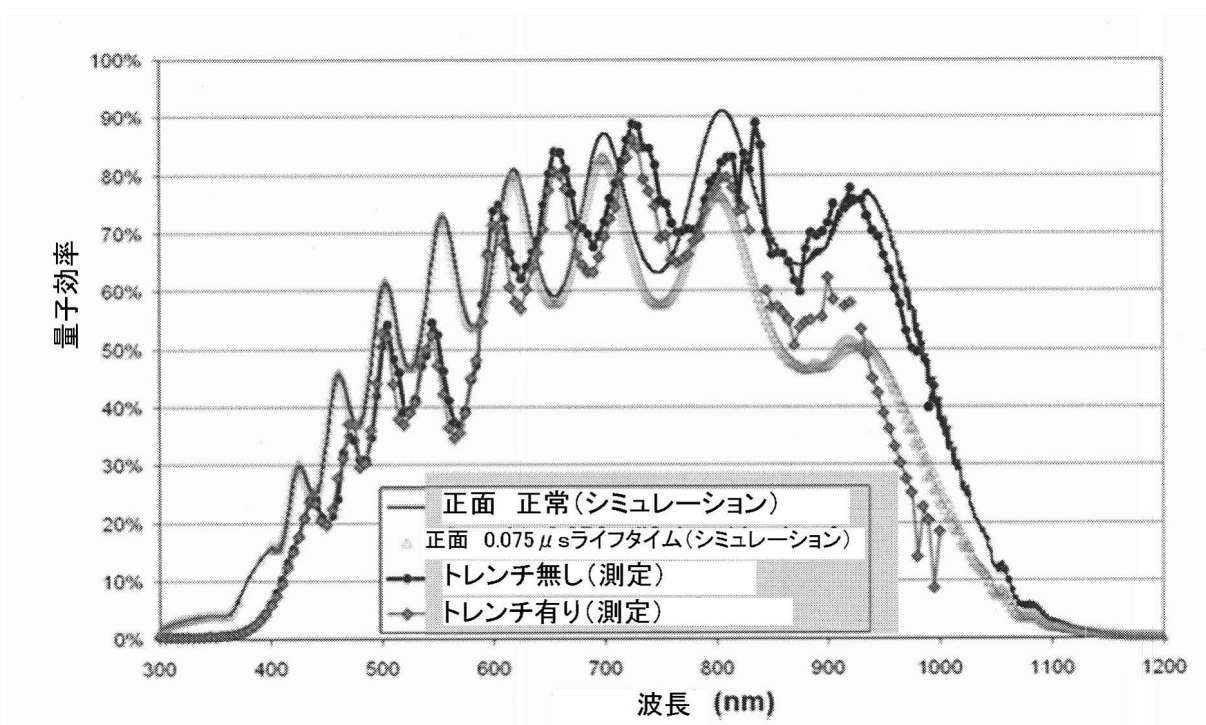
【図 6】



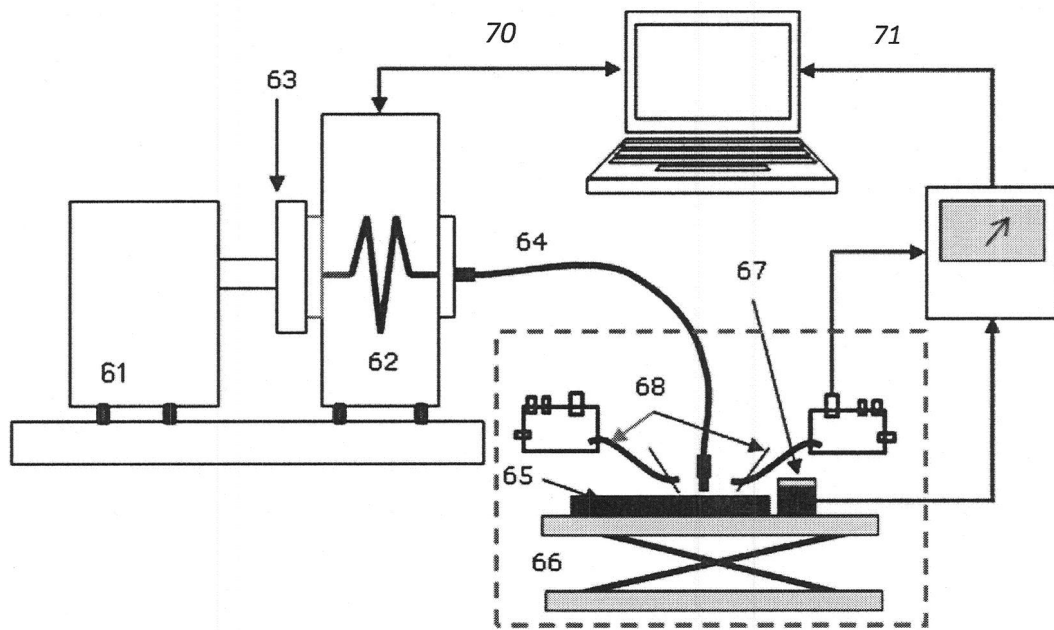
【図 7】



【図 8】



【図 9】



---

フロントページの続き

(72)発明者 キキ・ミノグロウ

ベルギー 3 0 0 0 ルーヴァン、パルクストラート 1 3 3 / 5 番

(72)発明者 ユーリ・デ・フォス

ベルギー 3 4 0 0 ネールウィンデン、ドンケルストラート 3 2 番

審査官 柴山 将隆

(56)参考文献 米国特許出願公開第 2 0 0 5 / 0 1 8 4 3 5 3 ( U S , A 1 )

特開 2 0 0 8 - 0 3 4 7 7 2 ( J P , A )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 7 / 1 4 6

H 0 4 N 5 / 3 5 9

H 0 4 N 5 / 3 7 4