

# (12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织  
国际局

(43) 国际公布日  
2016年9月15日 (15.09.2016)



(10) 国际公布号  
WO 2016/141709 A1

- (51) 国际专利分类号:  
H01L 27/12 (2006.01) G06F 3/041 (2006.01)  
H01L 21/77 (2006.01) G06F 3/044 (2006.01)
- (21) 国际申请号: PCT/CN2015/090713
- (22) 国际申请日: 2015年9月25日 (25.09.2015)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:  
201510101319.8 2015年3月6日 (06.03.2015) CN
- (71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路10号, Beijing 100015 (CN)。成都京东方光电科技有限公司 (CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区(西区)合作路1188号, Sichuan 611731 (CN)。
- (72) 发明人: 鲁友强 (LU, Youqiang); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。祁小敬 (QI, Xiaojing); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。王志东 (WANG, Zhidong); 中国北京市经济技术开发区地泽路9号,

Beijing 100176 (CN)。王静 (WANG, Jing); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

- (74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREFOR, AND DISPLAY DEVICE

(54) 发明名称: 阵列基板及其制作方法、显示装置

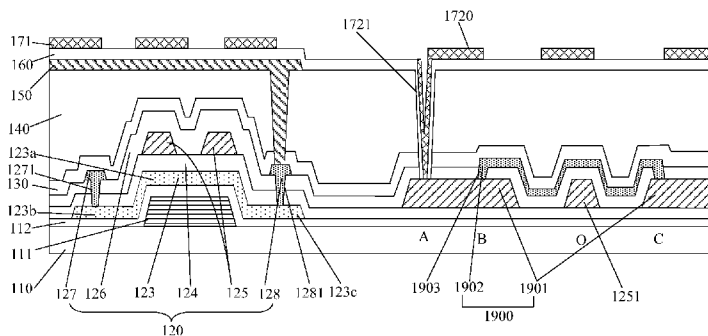


图 3a

(57) Abstract: An array substrate and a manufacturing method therefor, and a display device. The manufacturing method comprises: forming, on a base substrate (110), a plurality of touch electrodes (1720), a plurality of touch electrode leads (1900) for leading signals of the plurality of touch electrodes (1720) out and an array structure (10) including a plurality of conductive structures (100), and enabling at least some touch electrode leads (1900) and at least one of the plurality of conductive structures (100) to be arranged in a same layer and prepared from a same material. The manufacturing method can reduce the amount of mask plates used in the process of manufacturing the array substrate.

(57) 摘要: 一种阵列基板及其制作方法、显示装置, 该制作方法包括在衬底基板(110)上形成多个触控电极(1720)、用于将所述多个触控电极(1720)的信号引出的多条触控电极引线(1900)和包括多个导电结构(100)的阵列结构(10), 使所述触控电极引线(1900)的至少一部分与所述多个导电结构(100)中的至少一个同层设置且材料相同。该制作方法可以减少制作阵列基板的过程中所使用的掩模板的数量。



WO 2016/141709 A1

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**  
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。  
TG)。

## 阵列基板及其制作方法、显示装置

### 技术领域

5 本发明的至少一个实施例涉及一种阵列基板及其制作方法、显示装置。

### 背景技术

触控屏已遍及人们的生活,尤其是具有广视角的 ADS(高级超维场转换)型触控屏更是市场潜力巨大。

10 目前,ADS 技术是 TFT-LCD(薄膜晶体管-液晶显示器)的一种主流的宽视角技术,ADS 型 TFT-LCD 具有制程相对简单、宽视角、高开口率、低响应时间等优点。电容式触控屏因具有良好的用户体验,在手机、平板电脑等智能移动终端中被广泛使用。

### 15 发明内容

本发明的至少一个实施例提供了一种阵列基板及其制作方法、显示装置,以减少制作阵列基板的过程中使用的掩模板的数量。

20 本发明的至少一个实施例提供了一种阵列基板,其包括衬底基板,设置于所述衬底基板上的多个触控电极、用于分别将所述多个触控电极的信号引出的多条触控电极引线、以及包括多个导电结构的阵列结构;每条触控电极引线的至少一部分与所述多个导电结构中的至少一个同层设置且材料相同。

本发明的至少一个实施例还提供了一种显示装置,其包括上述阵列基板。

25 本发明的至少一个实施例还提供了一种阵列基板的制作方法,其包括:在衬底基板上形成多个触控电极;在衬底基板上形成用于将所述多个触控电极的信号引出的多条触控电极引线;以及在衬底基板上形成包括多个导电结构的阵列结构,使得每条触控电极引线的至少一部分与所述多个导电结构中的至少一个在同一次掩膜工艺中形成。

### 附图说明

30 为了更清楚地说明本发明实施例的技术方案,下面将对实施例的附图作

简单地介绍,显而易见地,下面描述中的附图仅仅涉及本发明的一些实施例,而非对本发明的限制。

图 1 为一种 ADS 型阵列基板的剖视示意图;

图 2a 为本发明实施例提供的一种阵列基板的俯视示意图;

5 图 2b 为本发明实施例 1 提供的一种阵列基板的剖视示意图;

图 2c 为本发明实施例 1 提供的一种阵列基板的俯视示意图;

图 3a 为本发明实施例 2 提供的一种阵列基板的剖视示意图;

图 3b 为本发明实施例 2 提供的一种阵列基板的俯视示意图;

图 4 为本发明实施例 3 提供的一种阵列基板的剖视示意图;

10 图 5 为本发明实施例 4 提供的一种阵列基板的剖视示意图。

### 具体实施方式

为使本发明实施例的目的、技术方案和优点更加清楚,下面将结合本发明实施例的附图,对本发明实施例的技术方案进行清楚、完整地描述。显然,15 所描述的实施例是本发明的一部分实施例,而不是全部的实施例。基于所描述的本发明的实施例,本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例,都属于本发明保护的范围。

除非另外定义,本公开使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、20 “第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。同样,“一个”、“一”或者“该”等类似词语也不表示数量限制,而是表示存在至少一个。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者物件。“连接”或者“相连”等类似的25 词语并非限定于物理的或者机械的连接,而是可以包括电性的连接,不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系,当被描述对象的绝对位置改变后,则该相对位置关系也可能相应地改变。

图 1 为一种 ADS 型阵列基板的剖视示意图,如图 1 所示,该 ADS 型阵列30 基板采用低温多晶硅薄膜晶体管,其制作方法通常包括以下步骤 S01 至

S14, 下面逐一介绍这些步骤。

步骤 S01: 通过第一次掩膜工艺, 在衬底基板 110 上形成遮挡层 111。

步骤 S02: 形成覆盖遮挡层 111 的缓冲层 112。

步骤 S03: 通过第二次掩膜工艺, 在缓冲层 112 上形成有源层 123。

5 步骤 S04: 形成覆盖有源层 123 的栅极绝缘层 124; 通过第三次掩膜工艺, 在栅极绝缘层 124 上形成光刻胶的图形; 之后以光刻胶的图形为掩膜对有源层 123 进行掺杂, 使有源层 123 形成有源区、源极掺杂区和漏极掺杂区, 有源区对应遮挡层 111, 源极掺杂区和漏极掺杂区分别位于有源区的两侧; 在掺杂结束后去除光刻胶。

10 步骤 S05: 通过第四次掩膜工艺, 在栅极绝缘层 124 上形成栅极 125 和栅线。栅极 125 对应于有源区。例如, 在本次掩膜工艺中还可以形成公共电极线。

步骤 S06: 形成覆盖栅极 125 的中介电层 126, 通过第五次掩膜工艺, 分别在对应上述源极掺杂区和漏极掺杂区的位置处形成过孔, 以暴露出源极  
15 掺杂区和漏极掺杂区。

步骤 S07: 通过第六次掩膜工艺, 在中介电层 126 上形成源极 127 和漏极 128 和数据线, 源极 127 通过步骤 S06 中形成的过孔与源极掺杂区接触, 漏极 128 通过步骤 S06 中形成的过孔与漏极掺杂区接触。

步骤 S08: 形成覆盖薄膜晶体管 120 的第一钝化层 130。

20 步骤 S09: 在第一钝化层 130 上形成平坦层 140, 通过第七次掩膜工艺, 在对应漏极 128 的位置处形成过孔, 以暴露出漏极 128。

步骤 S10: 通过第八次掩膜工艺, 在平坦层 140 上形成像素电极 150, 像素电极 150 通过步骤 S09 中形成的过孔与漏极 128 接触。

25 步骤 S11: 形成覆盖像素电极 150 的第二钝化层 160, 通过第九次掩膜工艺, 在对应公共电极线 (图 1 中未示出) 的位置处形成过孔, 以暴露出公共电极线。

步骤 S12: 通过第十次掩膜工艺, 在第二钝化层 160 上形成公共电极层, 例如在公共电极层中形成公共电极 171 和触控电极 172, 并且公共电极 171 通过步骤 S11 中形成的过孔与对应的公共电极线连接。

30 步骤 S13: 形成覆盖公共电极 171 和触控电极 172 的第三钝化层 180,

并通过第十一次掩膜工艺在对应触控电极 172 的位置处形成过孔，以暴露出触控电极 172。

步骤 S14: 通过第十二次掩膜工艺，在第三钝化层 180 上形成触控电极引线 190，使每个触控电极通过步骤 S13 中形成的过孔连接一条触控电极引线 190。

在研究中，本申请的发明人注意到，采用如图 1 所示的阵列基板的触控屏的制作过程中使用的掩模板数量较多，制作成本较高；即便是利用公共电极层制作触控电极，仍需增加在第三钝化层 180 中形成过孔的步骤 S13 以及制作触控电极 172 的触控电极引线 190 的步骤 S14，在这种情况下，仅制作阵列基板就需要 14 个步骤、12 张掩模板。

本发明的至少一个实施例提供了一种阵列基板及其制作方法、显示装置，通过使触控电极引线的至少一部分与阵列基板上原有的导电结构（例如薄膜晶体管的栅极、源/漏极、或遮挡层等）同层设置且材料相同，由此可简化阵列基板的结构，减少制作过程中使用的掩模板的数量并降低成本。

本发明的至少一个实施例提供了一种阵列基板，如图 2a 所示，该阵列基板包括衬底基板 110，设置于衬底基板 110 上的多个触控电极（图 2a 中未示出）、用于将所述多个触控电极的信号引出的多条触控电极引线（图 2a 中未示出），以及包括多个导电结构 100 的阵列结构 10；每条触控电极引线的至少一部分与多个导电结构 100 中的至少一个同层设置且材料相同，即在同一次掩膜工艺中形成。

在本发明实施例中，一次掩膜工艺是指使用一次掩模板来对光刻胶进行曝光以对薄膜层进行构图的工艺，其例如可以包括曝光、显影、刻蚀等步骤。

在阵列基板中，阵列结构 10 可以包括多个薄膜晶体管 120。例如，每个薄膜晶体管 120 可以包括栅极 125、源极 127 和漏极 128，所述栅极 125、源极 127 和漏极 128 属于上述多个导电结构 100。

或者，例如，阵列结构 10 在包括多个薄膜晶体管 120 的基础上还可以包括多个遮挡层（图 2a 中未示出），每个遮挡层位于每个薄膜晶体管 120 的有源层 123 和衬底基板 110 之间，所述遮挡层也可以属于上述多个导电结构 100。在本发明实施例中，遮挡层设置在衬底基板与薄膜晶体管的有源层之间，可以防止背光源的光照射到薄膜晶体管的有源层上，从而可以减小薄膜晶体

管的漏电流。

在图 2a 所示的情形中,阵列基板包括多条栅线 1251 和多条数据线 1282,栅线 1251 与数据线 1282 彼此交叉以限定多个子像素单元,在这种情况下,阵列基板 10 例如为子像素单元的阵列。当然,本发明实施例包括、但不限于此,只要是在阵列基板上呈阵列排布且包括多个导电结构的结构都可以作为阵列结构。例如,阵列结构 10 也可以为薄膜晶体管 120 的阵列。

例如,在至少一个实施例中,触控电极引线 with 触控电极异层设置,也就是说,触控电极引线 with 触控电极通过不同的膜层形成。

在本发明实施例中,触控电极引线可以为一体式结构(即完整连续的结构),也可以包括多个组成部件。

例如,每条触控电极引线可以与上述多个导电结构中的任意一个同层设置且材料相同。在这种情况下,每条触控电极引线为一体式结构,其例如为线状结构,从而每条触控电极引线仅利用一次掩膜工艺即可形成。例如,每条触控电极引线 with 栅极、源极、漏极和遮挡层中的任意一个同层设置且材料相同。

如图 2a 所示,阵列基板的衬底基板 110 上设置有纵横交叉的多条栅线 1251 和多条数据线 1282,栅线 1251 例如与薄膜晶体管 120 的栅极 125 连接并在同一次掩膜工艺中形成,数据线 1282 例如与薄膜晶体管 120 的源极 127 连接并在同一次掩膜工艺中形成。因此,当触控电极引线 with 薄膜晶体管的栅极同层设置且材料相同时,为了使触控电极引线 with 栅线相绝缘,触控电极引线可以设置在栅线的间隙中,例如触控电极引线 with 栅线同向延伸;同样地,当触控电极引线 with 薄膜晶体管的源极和漏极同层设置且材料相同时,触控电极引线可以设置在数据线的间隙中,例如触控电极引线 with 数据线同向延伸。但是,当触控电极引线和栅线或数据线的数量较多时,这种方式导致栅线所在的层或数据线所在的层上布线较复杂。

为了使栅线或数据线所在层上可以更灵活地布线,通过将每条触控电极引线设置为包括多个组成部件,本发明的至少一个实施例提供了一种既可以保证触控电极引线 with 栅线和数据线相绝缘、又便于灵活布线的方式。

例如,每条触控电极引线可以包括至少两个第一线状部和至少一个第一桥接部,该至少两个第一线状部 with 多条栅线同层设置,触控电极引线 with 多条

栅线中的至少一条相交，且在触控电极引线 与栅线的交叉处，相邻的两个第一线状部通过一个第一桥接部连接。

或者，例如，每条触控电极引线可以包括至少两个第一线状部和至少一个第一桥接部，该至少两个第一线状部与多条数据线同层设置，触控电极引  
5 线与多条数据线中的至少一条相交，且在触控电极引线 与数据线的交叉处，相邻的两个第一线状部通过一个第一桥接部连接。

在本发明实施例中，当触控电极引线包括多个组成部件时，这些组成部件可以部分或全部利用阵列基板原有的掩膜工艺形成。因此，触控电极引线的  
10 第一线状部和第一桥接部中的至少一个可以与阵列基板上原有的导电结构在同一次掩膜工艺中形成，即同层设置且材料相同。

例如，当所述至少两个第一线状部与多条栅线同层设置时，第一线状部、栅线和栅极可以同层设置且材料相同；当至少两个第一线状部与多条数据线同层设置时，第一线状部、数据线、源极和漏极可以同层设置且材料相同。

例如，当所述至少两个第一线状部与多条栅线同层设置时，第一桥接部  
15 与源极和漏极同层设置且材料相同；当至少两个第一线状部与多条数据线同层设置时，第一桥接部与栅极同层设置且材料相同。

例如，触控电极引线的第一线状部可以与栅极同层设置且材料相同，且第一桥接部与源极和漏极同层设置且材料相同；或者，触控电极引线的第一  
20 线状部可以与源极和漏极同层设置且材料相同，且第一桥接部与栅极同层设置且材料相同。

例如，当上述阵列结构包括多个薄膜晶体管和多个遮挡层，每个遮挡层位于每个薄膜晶体管的有源层与衬底基板之间时，第一桥接部可以与遮挡层同层设置且材料相同，而第一线状部可以与其他导电结构同层设置。

在至少一个实施例中，每个薄膜晶体管的有源层包括有源区、源极掺杂  
25 区和漏极掺杂区，源极和漏极分别通过第一过孔接触源极掺杂区和漏极掺杂区；第一桥接部通过第二过孔与每个第一线状部连接，第二过孔的至少一部分所穿过的层与第一过孔的至少一部分所穿过的层相同。如果第一过孔与第二过孔所穿过的层不完全相同，则在进行刻蚀工艺时，进行的刻蚀程度不同。本发明实施例通过使第一过孔所穿过的层与第二过孔所穿过的层至少部分相  
30 同，可以实现利用制作阵列基板上原有过孔的掩膜工艺形成用于连接第一桥



接部和第一线状部的过孔，从而进一步减少工艺流程和掩模板的数量。

例如，薄膜晶体管的有源层上设置有第一绝缘层，第一绝缘层上设置有栅极和第一线状部，第二绝缘层覆盖栅极和第一线状部，并且第二绝缘层上设置有源极、漏极以及第一桥接部，在这种情况下，第一过孔贯穿第一绝缘层和第二绝缘层（即包括位于第一绝缘层中的部分和位于第二绝缘层中的部分），第二过孔贯穿第二绝缘层，从而可以在形成源极、漏极和第一桥接部之前通过一次掩膜工艺形成第一过孔以及第二过孔。

当阵列基板为 ADS 型阵列基板时，由于 ADS 型阵列基板中设置有公共电极层（例如，图 2a 中公共电极 171 所在的层），为进一步减少工艺流程和掩模板的数量，可以将上述多个触控电极设置在公共电极层中，从而利用公共电极层制作触控电极。例如，可以在公共电极层中分别设置公共电极和触控电极，可通过分时驱动实现显示功能和触控功能；也可以在公共电极层中只设置触控电极，而不设置公共电极，通过复用的方式实现公共电极层中的电极在显示阶段作为公共电极、在触控阶段作为触控电极。

在阵列基板中，公共电极线通常设置在公共电极层的下方（即公共电极层与衬底基板之间），并且公共电极与对应的公共电极线通过过孔连接。因此，在至少一个实施例中，触控电极引线可以位于公共电极层与衬底基板之间，这样，当上述多个触控电极设置在公共电极层中时，可以在同一次掩膜工艺中，形成对应公共电极线的过孔，以及用于连接触控电极与其对应触控电极引线的过孔，从而减少工艺流程以及掩模板的数量。

在本发明实施例中，触控电极与触控电极引线的线状部可以直接通过过孔连接，也可以通过其他连接结构连接，以提高触控电极引线布线的灵活性。例如，每条触控电极引线可以包括第二线状部和第二桥接部，第二桥接部连接触控电极引线对应的触控电极与第二线状部。

在本发明实施例中，触控电极引线的各组成部件可以都利用制作阵列基板上原有导电结构的掩膜工艺形成，而不需要增加新的掩膜工艺，也可以只有一部分组成部件利用制作阵列基板上原有导电结构的掩膜工艺形成。

例如，上述阵列结构 10 在包括多个薄膜晶体管 120 的基础上还可以包括分别与所述多个薄膜晶体管连接的多个第一电极（例如，图 2a 中的像素电极 150），所述第一电极属于上述多个导电结构 100。在这种情况下，触控电极

引线的第二桥接部可以与阵列基板包括的第一电极同层设置且材料相同。

例如，触控电极引线的第二线状部可以通过在阵列基板已有掩膜工艺的基础上另外增加一次掩膜工艺形成。

需要说明的是，本发明实施例提供的阵列基板可以为用于液晶显示的阵列基板、有机发光二极管（OLED）阵列基板等。相应地，当阵列基板为用于液晶显示的阵列基板时，第一电极为像素电极 150，其例如与薄膜晶体管 120 的漏极 128 连接，如图 2a 所示；当阵列基板为 OLED 阵列基板时，第一电极例如为阳极，其例如与薄膜晶体管的漏极连接。本发明实施例不限于此。

在阵列基板中，第一电极例如通过过孔与薄膜晶体管连接，因此，在至少一个实施例中，触控电极引线的第二线状部可以位于第一电极所在的层与衬底基板之间，这样由于触控电极引线的第二桥接部与第一电极同层设置，因而可以在同一次掩膜工艺中，形成用于连接第一电极和例如薄膜晶体管的漏极的过孔、用于连接第二桥接部与对应的触控电极的过孔、以及用于连接第二桥接部与对应的第二线状部的过孔，从而减少工艺流程以及掩模板数量。

当阵列基板为用于液晶显示的阵列基板时，阵列基板还可以包括设置于衬底基板上的公共电极层（例如，图 2a 中公共电极 171 所在的层）。在至少一个实施例中，当触控电极引线包括第二线状部和第二桥接部时，可以将上述多个触控电极设置在公共电极层中。关于公共电极层的设置，可以参考上述实施例中的相关描述，重复之处不再赘述。

在本发明实施例中，当多个触控电极设置在公共电极层中时，上述第一电极为像素电极。像素电极可以位于上层，且公共电极位于下层；或者，像素电极位于下层，且公共电极位于上层。

在至少一个实施例中，触控电极引线的第二线状部可以位于像素电极所在的层与公共电极层之间，从而可以利用阵列基板原有的过孔工艺形成用于连接第二桥接部与对应的触控电极的过孔以及用于连接第二桥接部与对应的第二线状部的过孔，以节省工艺流程。例如，根据实际情况，可以通过一次掩膜工艺，在形成用于连接公共电极与公共电极线的过孔或用于连接像素电极与漏极的过孔的同时，形成用于连接第二桥接部与对应的触控电极的过孔以及用于连接第二桥接部与对应的第二线状部的过孔。

在本发明实施例中，薄膜晶体管的栅极、源极、漏极和遮挡层都可以采

用铝、铜等金属材料或其合金制作并且可以为单层或多层结构，像素电极和公共电极都可以采用氧化铟锡、氧化铟锌等透明导电材料制作，缓冲层、栅极绝缘层、中间介电层、钝化层等绝缘结构都可以采用氮化硅（ $\text{SiN}_x$ ）、氮化硅（ $\text{Si}_x\text{Ni}_y\text{O}$ ）或氧化硅（ $\text{SiO}_2$ ）等单层或多层绝缘材料制作，平坦层可以  
5 采用树脂等有机绝缘材料制作。本发明实施例不做限定。

为尽量减小触控电极引线的电阻，在本发明的上述实施例中，触控电极引线采用金属材料制作；或者，当触控电极引线包括线状部和桥接部时，至少触控电极引线的线状部采用金属材料制作，而桥接部可以采用金属材料制作，也可以采用透明导电材料制作。

10 本发明的至少一个实施例还提供了一种显示装置，其包括上述任一实施例所述的阵列基板。例如，该显示装置还可以包括与阵列基板相对设置的对置基板（例如彩膜基板），对置基板与阵列基板通过封框胶密封在一起。例如，该显示装置可以为：液晶面板、电子纸、OLED 面板、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪、手表等任何具有显示功  
15 能的产品或部件。

本发明的至少一个实施例还提供了一种阵列基板的制作方法，其包括：在衬底基板上形成多个触控电极、用于将所述多个触控电极的信号引出的多条触控电极引线、以及包括多个导电结构阵列结构，使得每条触控电极引线的至少一部分与多个导电结构中的至少一个在同一次掩膜工艺中形成。

20 在阵列基板中，阵列结构可以包括多个薄膜晶体管。例如，每个薄膜晶体管可以包括栅极、源极和漏极，所述栅极、源极和漏极属于上述多个导电结构。

或者，例如，阵列结构在包括多个薄膜晶体管的基础上还可以包括多个遮挡层，每个遮挡层位于每个薄膜晶体管的有源层和衬底基板之间，所述遮挡层也属于上述多个导电结构。在本发明实施例中，遮挡层设置在衬底基板与薄膜晶体管的有源层之间，可以防止背光源的光照射到薄膜晶体管的有源层上，从而可以减小薄膜晶体管的漏电流。  
25

因此，在至少一个实施例中，触控电极引线可以与上述多个导电结构中的任意一个在同一次掩膜工艺中形成。例如，通过一次掩膜工艺形成触控电极引线以及薄膜晶体管的栅极；或者通过一次掩膜工艺形成触控电极引线以  
30

及薄膜晶体管的源极和漏极；或者通过一次掩膜工艺形成触控电极引线以及阵列结构包括的遮挡层，遮挡层位于衬底基板与薄膜晶体管的有源层之间。

在本发明实施例中，每条触控电极引线可以与栅线同层设置且相交，或者与数据线同层设置且相交。例如，每条触控电极引线5与多条栅线和多条数据线绝缘，且与多条栅线或数据线中的至少一条相交；每条触控电极引线包括至少两个第一线状部和至少一个第一桥接部；并且所述至少两个第一线状部与多条栅线同层设置，触控电极引线5与多条栅线中的至少一条相交，且在触控电极引线5与栅线的交叉处，相邻的两个第一线状部通过一个第一桥接部连接，或者，所述至少两个第一线状部与多条数据线同层设置，触控电极引10线与多条数据线中的至少一条相交，且在触控电极引线5与数据线的交叉处，相邻的两个第一线状部通过一个第一桥接部连接。

例如，所述至少两个第一线状部与多条栅线同层设置时，可以通过一次掩膜工艺形成所述至少两个第一线状部、栅线以及薄膜晶体管的栅极；或者，所述至少两个第一线状部与多条数据线同层设置时，可以通过一次掩膜工艺15形成至少两个第一线状部、数据线以及薄膜晶体管的源极和漏极。

例如，所述至少两个第一线状部与多条栅线同层设置时，通过一次掩膜工艺形成第一桥接部、以及薄膜晶体管的源极和漏极；或者，所述至少两个第一线状部与多条数据线同层设置时，通过一次掩膜工艺形成第一桥接部、以及薄膜晶体管的栅极。

20 例如，上述阵列结构在包括多个薄膜晶体管的基础上还包括多个遮挡层，每个遮挡层位于每个薄膜晶体管的有源层和衬底基板之间时，可以通过一次掩膜工艺形成第一桥接部和遮挡层。

需要说明的是，上述制作第一线状部和第一桥接部的掩膜工艺还可以根据实际需要选择性地组合在一起使用，此处不做赘述。

25 在本发明实施例中，触控电极与触控电极引线的线状部可以直接通过过孔连接，也可以通过其他连接结构连接，以提高触控电极引线布线的灵活性。例如，每条触控电极引线可以包括第二线状部和第二桥接部，第二桥接部连接触控电极引线对应的触控电极与第二线状部。

例如，可以通过一次掩膜工艺，形成第二桥接部与位于衬底基板上且与30 薄膜晶体管连接的第一电极。关于第一电极的设置，可以参考上述相关描述，

重复之处不再赘述。

下面结合具体实施例详细介绍本发明实施例提供的阵列基板及其制作方法。

### 实施例 1

5 如图 2b 所示,本实施例提供的阵列基板包括衬底基板 110 和设置于衬底基板 110 上的遮挡层 111、缓冲层 112 和薄膜晶体管 120 (图 2b 仅示出了一个薄膜晶体管 120,该薄膜晶体管作为一个子像素的开关元件)。薄膜晶体管 120 为低温多晶硅薄膜晶体管,其包括依次设置于衬底基板 110 上的有源层 123、栅极绝缘层 124、栅极 125、中间介电层 126、以及同层设置在中间  
10 介电层 126 上的源极 127 和漏极 128。在本实施中,每条触控电极引线 1900 与薄膜晶体管 120 的源极 127 和漏极 128 在同一次掩膜工艺中形成。从图 2b 中可以看出,触控电极引线 1900 与源极 127 和漏极 128 采用相同的材料制作且位于同一层中。

15 图 2c 为本实施例提供的一种阵列基板的俯视示意图,从图 2c 中可以看出,触控电极引线 1900 位于数据线 1282 之间的间隙中,且触控电极引线 1900 与数据线 1282 都沿纵向延伸。在图 2c 中,栅线 1251 与触控电极引线 1900 异面相交。

在本实施例中,在形成有薄膜晶体管 120 的衬底基板 110 上还可以依次设置第一绝缘层 130、平坦层 140、像素电极 150、第二绝缘层 160 以及公共  
20 电极层。

在一个示例中,公共电极层中可以设置公共电极 171 和触控电极 1720,即触控电极 1720 和公共电极 171 同层设置且材料相同。

25 在一个示例中,触控电极 1720 通过过孔 1721 与触控电极引线 1900 连接;过孔 1721 可以在形成用于连接公共电极 171 与其对应的公共电极线(图 2b 中未示出)的过孔的掩膜工艺中形成。

在本实施例中,由于触控电极引线 1900 与源极 127 和漏极 128 在同一次掩膜工艺中形成,触控电极 1720 与公共电极 171 在同一次掩膜工艺中形成,并且用于连接触控电极 1720 与其对应的触控电极引线 1900 的过孔 1721 与用于连接公共电极 171 与其对应的公共电极线的过孔在同一次掩膜工艺中形  
30 成,因此,本实施例有效地减少了制作阵列基板的工艺流程和使用的掩模板

的数量。

本实施例还提供了一种如图 2b 所示的阵列基板的制作方法,该方法包括如下步骤 S101~S112, 下面逐一介绍这些步骤。

步骤 S101: 通过第一次掩膜工艺, 在衬底基板 110 上形成遮挡层 111。

5 步骤 S102: 形成覆盖遮挡层 111 的缓冲层 112。

步骤 S103: 通过第二次掩膜工艺, 在缓冲层 112 上形成有源层 123。

10 步骤 S104: 形成覆盖有源层 123 的栅极绝缘层 124; 通过第三次掩膜工艺, 在栅极绝缘层 124 上形成光刻胶的图形; 之后以光刻胶的图形为掩膜, 对有源层 123 进行掺杂, 使有源层 123 形成有源区 123a、源极掺杂区 123b 和漏极掺杂区 123c, 有源区 123a 对应遮挡层 111, 源极掺杂区 123b 和漏极掺杂区 123c 分别位于有源区 123a 的两侧; 在掺杂结束后去除光刻胶。

步骤 S105: 通过第四次掩膜工艺, 在栅极绝缘层 124 上形成栅极 125、多条栅线以及公共电极线(栅线和公共电极线在图 2b 中未示出)。

15 步骤 S106: 形成覆盖栅极 125 的中介电层 126, 通过第五次掩膜工艺, 分别在对应上述源极掺杂区 123b 和漏极掺杂区 123c 的位置处形成过孔 1271 和 1281, 以暴露出源极掺杂区 123b 和漏极掺杂区 123c。

20 步骤 S107: 通过第六次掩膜工艺, 在中介电层 126 上形成源极 127、漏极 128、触控电极引线 1900 以及多条数据线(图 2b 中未示出), 源极 127 通过过孔 1271 与源极掺杂区 123b 接触, 漏极 128 通过过孔 1281 与漏极掺杂区 123c 接触。

步骤 S108: 形成覆盖薄膜晶体管 120 的第一钝化层 130。

步骤 S109: 在第一钝化层 130 上形成平坦层 140, 通过第七次掩膜工艺, 在对应漏极 128 的位置处形成过孔 151 以暴露出漏极 128。

25 步骤 S110: 通过第八次掩膜工艺, 在平坦层 140 上形成像素电极 150, 像素电极 150 通过过孔 151 与漏极 128 接触。

步骤 S111: 形成覆盖像素电极 150 的第二钝化层 160, 通过第九次掩膜工艺, 在对应公共电极线(图 2b 中未示出)的位置处形成过孔以暴露出公共电极线, 并在对应触控电极引线 1900 的位置处形成过孔 1721 以暴露出触控电极引线 1900。

30 步骤 S112: 通过第十次掩膜工艺, 在第二钝化层 160 上形成公共电极

171 和触控电极 1720, 公共电极 171 通过过孔与对应的公共电极线连接, 触控电极 1720 通过过孔 1721 与对应的触控电极引线 1900 连接。

从以上步骤 S101 至 S112 可以看出, 与图 1 所示的阵列基板的制作方法相比, 本实施例提供的制作方法只需 12 个步骤、10 次掩膜工艺, 节省了 2 5 个步骤、2 个掩模板, 有效地减少了工艺流程和掩模板的数量。

需要说明的是, 用于连接触控电极 1720 与触控电极引线 1900 的过孔 1721 还可以通过多次掩膜工艺形成, 例如, 可以在平坦层中形成过孔 151 的同时在对应触控电极引线 1900 的位置处形成过孔, 然后在后续的步骤中将位于该过孔中的像素电极材料、第二钝化层材料刻蚀掉。此外, 本实施例仅以 10 公共电极线与栅极在同一次掩膜工艺中形成为例进行说明, 根据实际需要, 公共电极线还可以设置在其他层中。

## 实施例 2

图 3a 和图 3b 分别为本实施例提供的一种阵列基板的剖视示意图和俯视图。如图 3a 和图 3b 所示, 本实施例与实施例 1 的区别在于: 每个触控 15 电极引线 1900 与至少一条栅线 1251 相交且绝缘, 每条触控电极引线 1900 包括至少两个第一线状部 1901 (如 A、B 之间的部分所示) 和至少一个第一桥接部 1902 (如 B、C 之间的部分所示); 在触控电极引线 1900 与栅线 1251 相交的位置 O 处, 第一桥接部 1902 通过过孔 1903 连接相邻的两个第一线状部 1901。

20 如图 3a 和图 3b 所示, 在一个示例中, 第一线状部 1901、栅极 125 和栅线 1251 采用相同的材料制作且位于同一层; 在一个示例中, 第一桥接部 1902、源极 127、漏极 128 和数据线 (图中未示出) 采用相同的材料制作且位于同一层。当然, 本实施例不限于此。

相应地, 本实施例提供了一种如图 3a 所示的阵列基板的制作方法, 该方法 25 总体上与实施例 1 提供的制作方法相同, 也只需 12 个步骤、10 张掩模板即可完成阵列基板的制作, 但区别如下。

在步骤 S105 中, 通过第四次掩膜工艺, 在栅极绝缘层 124 上形成栅极 125、多条栅线 1251、公共电极线以及触控电极引线 1900 的第一线状部 1901, 使相邻的第一线状部 1901 之间的间隙中设置有至少一条栅线 1251;

30 在步骤 S106 中, 形成覆盖栅极 125 的中介电层 126, 通过第五次掩膜

工艺，分别在对应上述源极掺杂区 123b 和漏极掺杂区 123c 的位置处形成第一过孔 1271 和 1281 以暴露出源极掺杂区 123b 和漏极掺杂区 123c，并且在相邻的两个第一线状部的位置 B 和 C 处形成第二过孔 1903；

5 在步骤 S107 中，通过第六次掩膜工艺，在中间介电层 126 上形成源极 127、漏极 128、触控电极引线 1900 的第一桥接部 1902 以及多条数据线（图 3a 中未示出），源极 127 和漏极 128 分别通过第一过孔 1271 和 1281 与源极掺杂区 123b 和漏极掺杂区 123c 接触，第一桥接部 1902 通过第二过孔 1903 连接相邻的两个第一线状部 1901。

### 实施例 3

10 如图 4 所示，本实施例与实施例 1 的区别在于：每条触控电极引线 1900 与薄膜晶体管 120 的遮挡层 111 在同一次掩膜工艺中形成。从图 4 中可以看出，触控电极引线 1900 与薄膜晶体管 120 的遮挡层 111 采用相同的材料制作并位于同一层中。

15 相应地，本实施例提供了一种如图 4 所示的阵列基板的制作方法，该方法总体上与实施例 1 提供的制作方法相同，也只需 12 个步骤、10 张掩模板即可完成阵列基板的制作，但区别在于：在步骤 S101 中，通过第一次掩膜工艺，在衬底基板 110 上形成遮挡层 111 以及触控电极引线 1900，而在步骤 S107 中则不需要形成触控电极引线 1900。

20 本实施例提供的阵列基板及其制作方法，触控电极引线 1900 与薄膜晶体管的遮挡层 111 同层设置，由于在遮挡层所在的层中无栅线、数据线等，触控电极引线在该层的布线方式可以更加灵活，只要不显著影响开口率即可；并且与实施例 2 相比，触控电极引线的制作工艺较简单。

### 实施例 4

25 如图 5 所示，本实施例提供的阵列基板与实施例 1 的区别在于：每条触控电极引线 1900 包括第二线状部 1905 和第二桥接部 1904，第二桥接部 1904 连接触控电极 1720 以及该触控电极对应的触控电极引线的第二线状部 1905。

上述实施例 1 至 3 以公共电极 171 位于上层且像素电极 150 位于下层为例进行说明；本实施例以公共电极 171 位于下层且像素电极 150 位于上层为例进行说明。

30 在一个示例中，触控电极 1720 与公共电极 171 可以在同一次掩膜工艺中



形成,在这种情况下,触控电极 1720 和公共电极 171 采用相同的材料制作且位于同一层。

5 在一个示例中,第二钝化层 160 设置在触控电极 1720 和公共电极 171 上,触控电极引线 1900 的第二线状部 1905 可以通过单独的掩膜工艺形成在第二钝化层 160 上,第三钝化层 180 覆盖触控电极引线 1900 的第二线状部 1905,之后像素电极 150 形成在第三钝化层 180 上,像素电极 150 通过过孔 151 与薄膜晶体管 120 的漏极 128 连接,触控电极引线 1900 的第二桥接部 1904 与像素电极 150 在同一次掩膜工艺中形成(同层设置且材料相同),并分别通过过孔 1906 和过孔 1907 与触控电极 1720 以及第二线状部 1905 连接。

10 相应地,本实施例提供了一种如图 5 所示的阵列基板的制作方法,由于本实施例未利用薄膜晶体管的导电结构的材料形成触控电极引线 1900,因而,本实施例提供的方法中,步骤 S201 至步骤 S208 与如图 1 所示的阵列基板的制作方法中的步骤 S01 至步骤 S08 类似。该本实施例提供的方法与实施例 1 提供的制作方法相比,有如下区别。

15 在步骤 S209 中,在第一钝化层 130 上形成平坦层 140,通过第七次掩膜工艺,在对应公共电极线(图 5 中未示出)的位置处形成过孔以暴露出公共电极线。

20 在步骤 S210 中:通过第八次掩膜工艺,在平坦层 140 上形成公共电极 171 和触控电极 1720,公共电极 171 与对应的公共电极线通过步骤 S209 中形成的过孔连接。

步骤 S211:形成覆盖公共电极 171 和触控电极 1720 的第二钝化层 160。

步骤 S212:通过第九次掩膜工艺,在第二钝化层 160 上形成触控电极引线 1900 的第二线状部 1905。

25 步骤 S213:形成覆盖触控电极引线 1900 的第二线状部 1905 的第三钝化层 180,并且通过第十次掩膜工艺形成对应漏极 128 的过孔 151、对应触控电极 1720 的过孔 1906 以及对应触控电极引线 1900 的第二线状部 1905 的过孔 1907。

30 步骤 S214:通过第十一次掩膜工艺,形成通过过孔 151 连接漏极 128 的像素电极 150,并形成触控电极引线 1900 的第二桥接部 1904,第二桥接部 1904 分别通过过孔 1906 和 1907 连接触控电极 1720 和触控电极引线 1900 的

第二线状部 1905。

从以上步骤可以看出，与图 1 所示的阵列基板的制作方法相比，本实施例提供的制作方法只需 11 次掩膜工艺，节省了 1 张掩模板。

5 本发明的上述实施例以薄膜晶体管为低温多晶硅薄膜晶体管为例进行说明，但其还可以为非晶硅型、金属氧化物型等其他类型的薄膜晶体管。阵列基板可以采用自电容原理，也可以采用互电容原理，即触控电极可以为自电容电极，也可以为触控驱动电极或触控感应电极。本发明实施例不做限定。

综上所述，本发明实施例通过利用制作阵列基板中原有的导电结构的掩膜工艺制作触控电极引线的至少一部分，减少了掩模板的数量。

10 以上所述仅是本发明的示范性实施方式，而非用于限制本发明的保护范围，本发明的保护范围由所附的权利要求确定。

本申请要求于 2015 年 3 月 06 日递交的中国专利申请第 201510101319.8 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

15

## 权利要求书

1、一种阵列基板，包括：

衬底基板，

5 多个触控电极，设置于所述衬底基板上；

多条触控电极引线，设置于所述衬底基板上且用于分别将所述多个触控电极的信号引出；以及

阵列结构，包括多个导电结构且设置于所述衬底基板上；其中，

每条触控电极引线的至少一部分与所述多个导电结构中的至少一个同层

10 设置且材料相同。

2、如权利要求 1 所述的阵列基板，其中，

所述阵列结构包括多个薄膜晶体管，每个薄膜晶体管包括栅极、源极和漏极，所述栅极、源极和漏极属于所述多个导电结构。

3、如权利要求 2 所述的阵列基板，其中，所述阵列结构还包括多个遮挡层，每个遮挡层位于每个薄膜晶体管的有源层和所述衬底基板之间，所述遮挡层属于所述多个导电结构。

4、如权利要求 2 或 3 所述的阵列基板，其中，每条触控电极引线与所述多个导电结构中的一个同层设置且材料相同。

5、如权利要求 2 所述的阵列基板，还包括：设置于所述衬底基板上且与  
20 所述多条触控电极引线绝缘的多条栅线和多条数据线，其中，

每条触控电极引线包括至少两个第一线状部和至少一个第一桥接部；并且

所述至少两个第一线状部与所述多条栅线同层设置，所述触控电极引线  
25 与所述多条栅线中的至少一条相交，且在所述触控电极引线与所述栅线的交叉处，相邻的两个第一线状部通过一个第一桥接部连接；或者

所述至少两个第一线状部与所述多条数据线同层设置，所述触控电极引  
线与所述多条数据线中的至少一条相交，且在所述触控电极引线与所述数据  
线的交叉处，相邻的两个第一线状部通过一个第一桥接部连接。

6、如权利要求 5 所述的阵列基板，其中，

30 当所述至少两个第一线状部与所述多条栅线同层设置时，所述第一线状

部、所述栅线和所述栅极同层设置且材料相同；

当所述至少两个第一线状部与所述多条数据线同层设置时，所述第一线状部、所述数据线、所述源极和所述漏极同层设置且材料相同。

7、如权利要求 5 或 6 所述的阵列基板，其中，

5 当所述至少两个第一线状部与所述多条栅线同层设置时，所述第一桥接部与所述源极和所述漏极同层设置且材料相同；

当所述至少两个第一线状部与所述多条数据线同层设置时，所述第一桥接部与所述栅极同层设置且材料相同。

8、如权利要求 5 或 6 所述的阵列基板，其中，

10 所述阵列结构还包括多个遮挡层，每个遮挡层位于每个薄膜晶体管的有源层与所述衬底基板之间，所述遮挡层属于所述多个导电结构；

所述第一桥接部与所述遮挡层同层设置且材料相同。

9、如权利要求 5-7 任一项所述的阵列基板，其中，

15 每个薄膜晶体管的有源层包括有源区、源极掺杂区和漏极掺杂区，所述源极和所述漏极分别通过第一过孔接触所述源极掺杂区和所述漏极掺杂区；

所述第一桥接部通过第二过孔与每个第一线状部连接，所述第二过孔的至少一部分所在的层与所述第一过孔的至少一部分所在的层相同。

10、如权利要求 1-9 任一项所述的阵列基板，还包括：设置于所述衬底基板上的公共电极层，其中，所述多个触控电极设置于所述公共电极层中。

20 11、如权利要求 10 所述的阵列基板，其中，所述多条触控电极引线位于所述公共电极层与所述衬底基板之间。

12、如权利要求 1 所述的阵列基板，其中，每条触控电极引线包括第二线状部和第二桥接部，所述第二桥接部连接所述触控电极引线对应的触控电极与所述第二线状部。

25 13、如权利要求 12 所述的阵列基板，其中，

所述阵列结构包括多个薄膜晶体管以及与所述多个薄膜晶体管分别连接的多个第一电极，所述第一电极属于所述多个导电结构；

所述第二桥接部与所述第一电极同层设置且材料相同。

30 14、如权利要求 13 所述的阵列基板，其中，所述第二线状部位于所述第一电极所在的层与所述衬底基板之间。

15、如权利要求 13 或 14 所述的阵列基板，还包括：设置于所述衬底基板上的公共电极层，其中，所述多个触控电极设置于所述公共电极层中。

16、如权利要求 15 所述的阵列基板，其中，所述第二线状部位于所述第一电极所在的层与所述公共电极层之间，所述第一电极为像素电极。

5 17、一种显示装置，包括如权利要求 1-16 任一项所述的阵列基板。

18、一种阵列基板的制作方法，包括：

在衬底基板上形成多个触控电极；

在衬底基板上形成用于将所述多个触控电极的信号引出的多条触控电极引线；以及

10 在衬底基板上形成包括多个导电结构的阵列结构；其中，

每条触控电极引线的至少一部分与所述多个导电结构中的至少一个在同一次掩膜工艺中形成。

19、如权利要求 18 所述的制作方法，其中，

15 每条多条触控电极引线与所述多条栅线或多条数据线绝缘，且每条触控电极引线与所述多条栅线或数据线中的至少一条相交；

每条触控电极引线包括至少两个第一线状部和至少一个第一桥接部；并且

20 所述至少两个第一线状部与所述多条栅线同层设置，所述触控电极引线与所述多条栅线中的至少一条相交，且在所述触控电极引线与所述栅线的交叉处，相邻的两个第一线状部通过一个第一桥接部连接；或者

所述至少两个第一线状部与所述多条数据线同层设置，所述触控电极引线与所述多条数据线中的至少一条相交，且在所述触控电极引线与所述数据线的交叉处，相邻的两个第一线状部通过一个第一桥接部连接。

25 20、如权利要求 18 所述的制作方法，其中，每条触控电极引线包括第二线状部和第二桥接部，所述第二桥接部连接所述触控电极引线对应的触控电极与所述第二线状部。

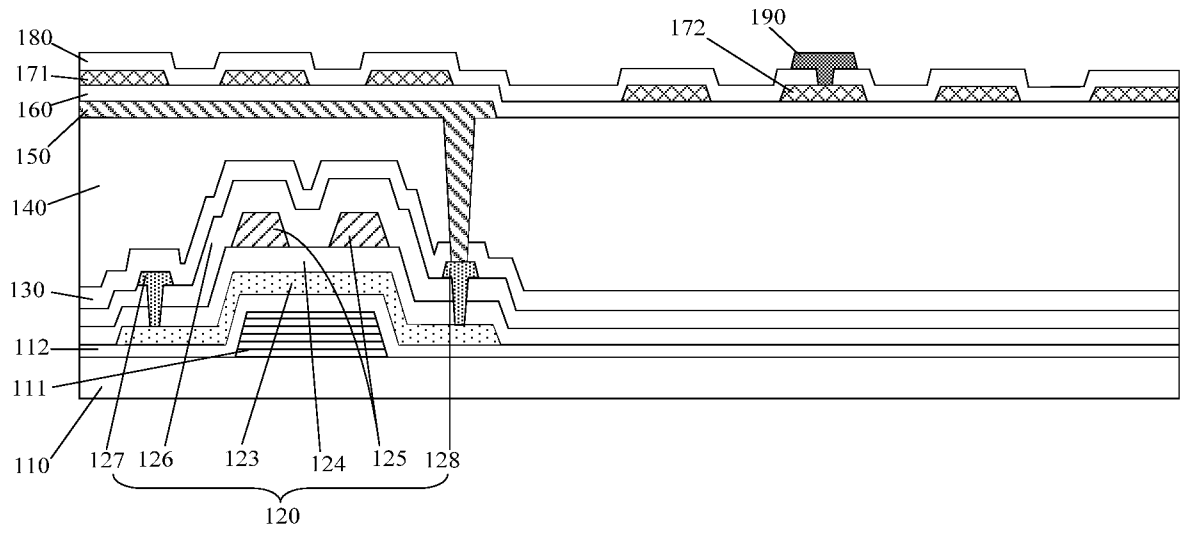


图 1

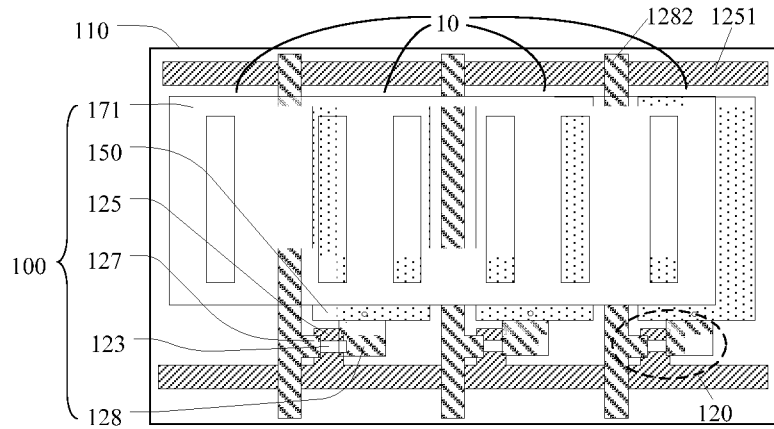


图 2a

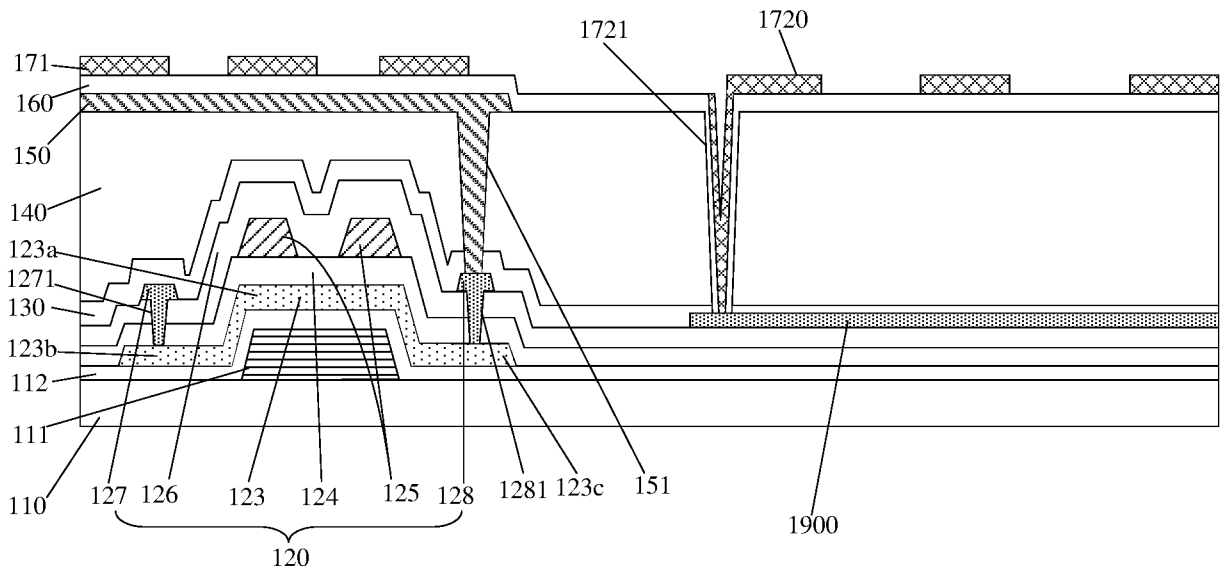


图 2b

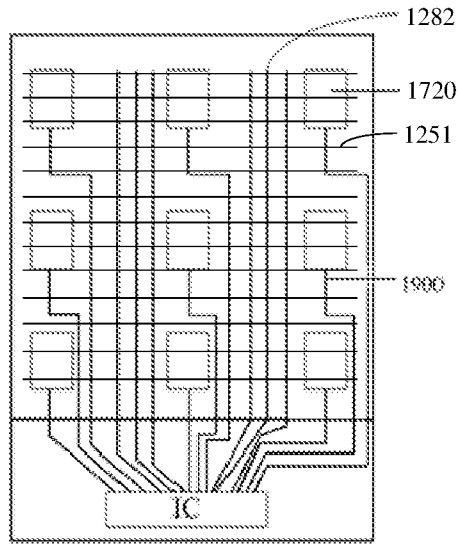


图 2c

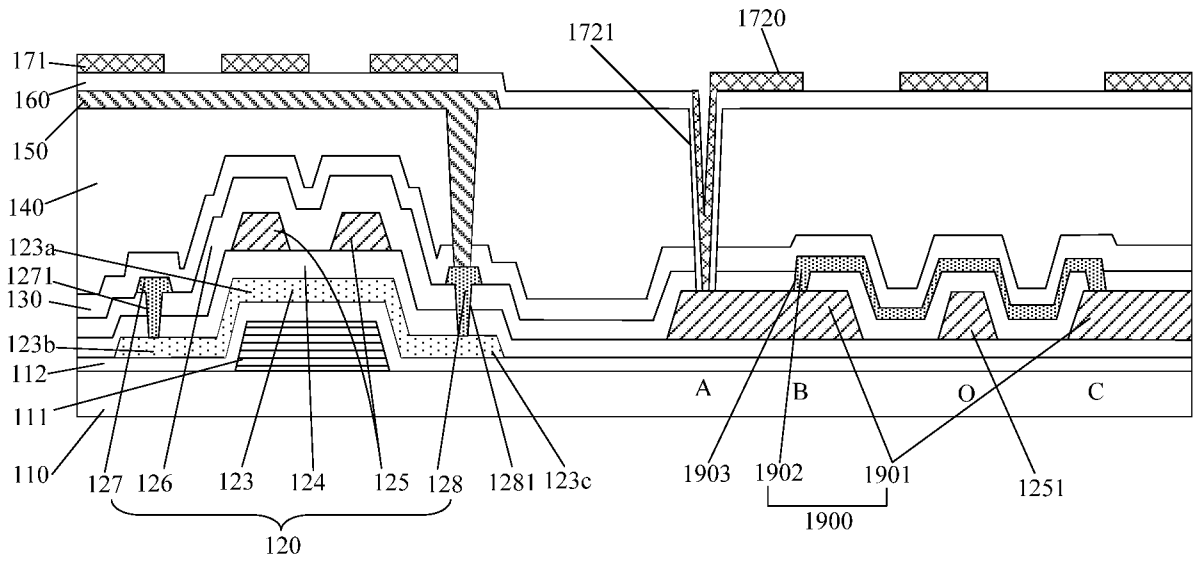


图 3a

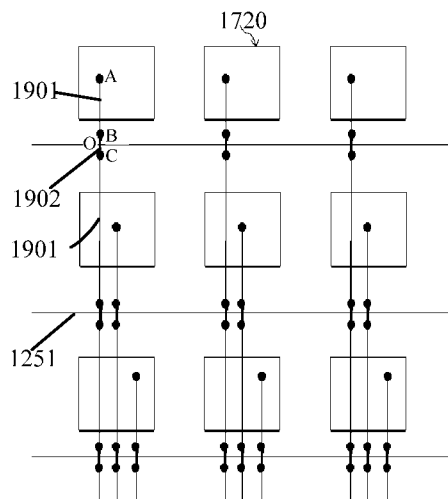


图 3b

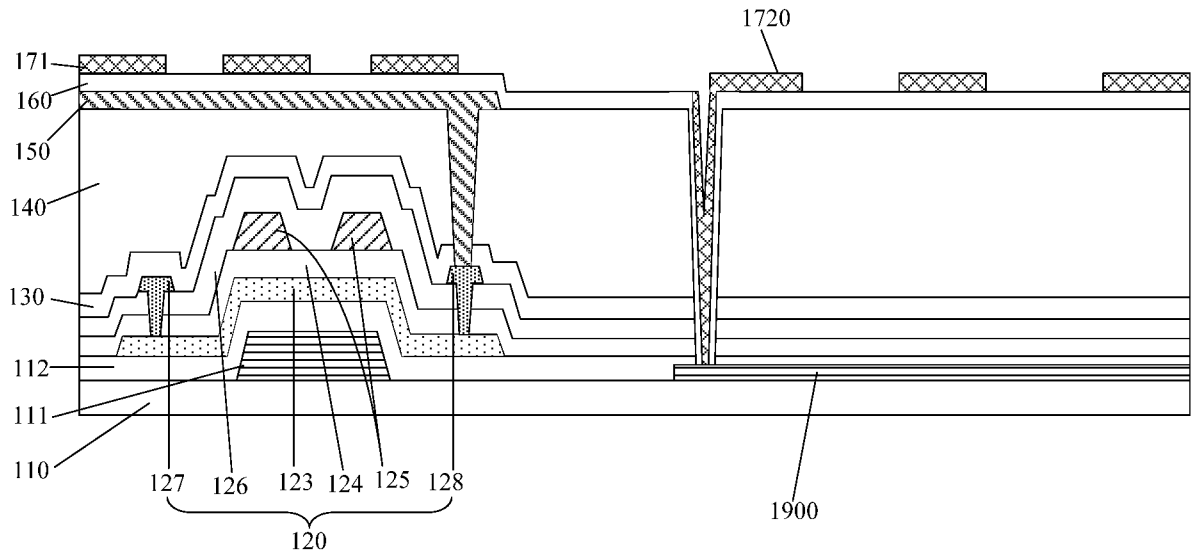


图 4

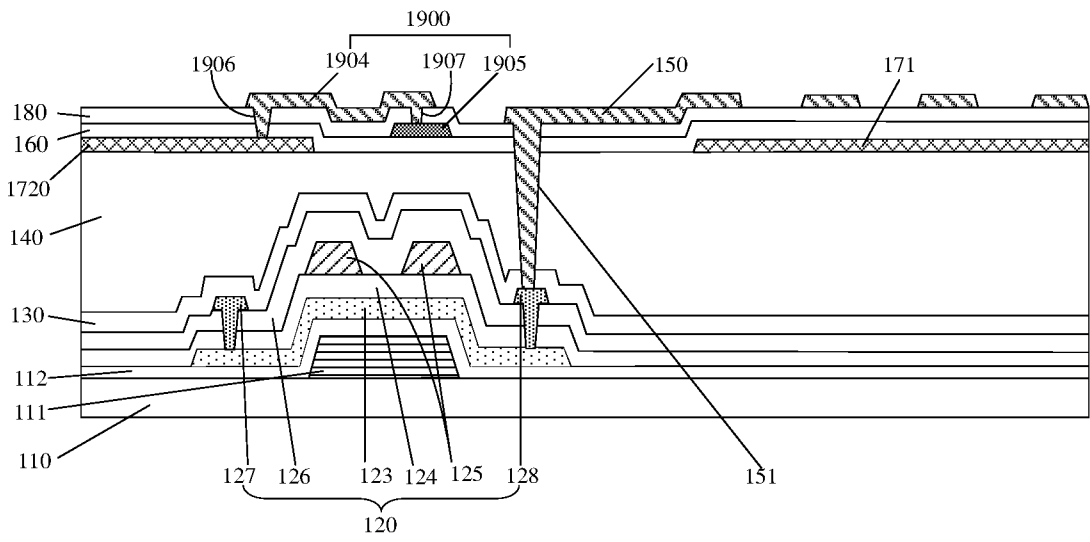


图 5



# INTERNATIONAL SEARCH REPORT

International application No.

**PCT/CN2015/090713**

## A. CLASSIFICATION OF SUBJECT MATTER

H01L 27/12 (2006.01) i; H01L 21/77 (2006.01) i; G06F 3/041 (2006.01) i; G06F 3/044 (2006.01) i  
According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L; G06F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CPRSABS; VEN: matrix, conductor, touch electrode, same layer, array, line, lead

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102541383 B (SHENZHEN BAOMING TECHNOLOGY CO., LTD.), 26 November 2014 (26.11.2014), the whole document	1-20
PX	CN 104716144 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 17 June 2015 (17.06.2015), the whole document	1-20
A	CN 103699284 A (BOE TECHNOLOGY GROUP CO., LTD.), 02 April 2014 (02.04.2014), the whole document	1-20
X	KR 20130067869 A (LG DISPLAY CO., LTD.), 25 June 2013 (25.06.2013), description, page 5, paragraph 0023 to page 9, paragraph 0096, and figure 2	1-2, 17, 18

Further documents are listed in the continuation of Box C.

See patent family annex.

<p>* Special categories of cited documents:</p> <p>“A” document defining the general state of the art which is not considered to be of particular relevance</p> <p>“E” earlier application or patent but published on or after the international filing date</p> <p>“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)</p> <p>“O” document referring to an oral disclosure, use, exhibition or other means</p> <p>“P” document published prior to the international filing date but later than the priority date claimed</p>	<p>“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention</p> <p>“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone</p> <p>“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art</p> <p>“&amp;” document member of the same patent family</p>
---	---

Date of the actual completion of the international search  
21 December 2015 (21.12.2015)

Date of mailing of the international search report  
**30 December 2015 (30.12.2015)**

Name and mailing address of the ISA/CN:  
State Intellectual Property Office of the P. R. China  
No. 6, Xitucheng Road, Jimenqiao  
Haidian District, Beijing 100088, China  
Facsimile No.: (86-10) 62019451

Authorized officer  
**LIU, Hong**  
Telephone No.: (86-10) **62411552**

**INTERNATIONAL SEARCH REPORT**  
Information on patent family members

International application No.

**PCT/CN2015/090713**

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 102541383 B	26 November 2014	CN 102541383 A	04 July 2012
		WO 2013117130 A1	15 August 2013
CN 104716144 A	17 June 2015	None	
CN 103699284 A	02 April 2014	WO 2015096315 A1	02 July 2015
KR 20130067869 A	25 June 2013	None	

<p>A. 主题的分类</p> <p>H01L 27/12(2006.01)i; H01L 21/77(2006.01)i; G06F 3/041(2006.01)i; G06F 3/044(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																											
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>H01L; G06F</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CPRSABS; VEN: 触控电极, 同层, 矩阵, 阵列, 导线, 引线, touch electrode, same layer, array, line, lead</p>																											
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 102541383 B (深圳市宝明科技股份有限公司) 2014年 11月 26日 (2014 - 11 - 26) 全文</td> <td>1-20</td> </tr> <tr> <td>PX</td> <td>CN 104716144 A (京东方科技集团股份有限公司等) 2015年 6月 17日 (2015 - 06 - 17) 全文</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>CN 103699284 A (京东方科技集团股份有限公司) 2014年 4月 2日 (2014 - 04 - 02) 全文</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>KR 20130067869 A (LG 显示有限公司) 2013年 6月 25日 (2013 - 06 - 25) 说明书第5页0023段至第9页0096段, 附图2</td> <td>1-2, 17, 18</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <p>* 引用文件的具体类型:</p> <table border="0"> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td>“&amp;” 同族专利的文件</td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 102541383 B (深圳市宝明科技股份有限公司) 2014年 11月 26日 (2014 - 11 - 26) 全文	1-20	PX	CN 104716144 A (京东方科技集团股份有限公司等) 2015年 6月 17日 (2015 - 06 - 17) 全文	1-20	A	CN 103699284 A (京东方科技集团股份有限公司) 2014年 4月 2日 (2014 - 04 - 02) 全文	1-20	X	KR 20130067869 A (LG 显示有限公司) 2013年 6月 25日 (2013 - 06 - 25) 说明书第5页0023段至第9页0096段, 附图2	1-2, 17, 18	“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件	“P” 公布日先于国际申请日但迟于所要求的优先权日的文件	
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																									
A	CN 102541383 B (深圳市宝明科技股份有限公司) 2014年 11月 26日 (2014 - 11 - 26) 全文	1-20																									
PX	CN 104716144 A (京东方科技集团股份有限公司等) 2015年 6月 17日 (2015 - 06 - 17) 全文	1-20																									
A	CN 103699284 A (京东方科技集团股份有限公司) 2014年 4月 2日 (2014 - 04 - 02) 全文	1-20																									
X	KR 20130067869 A (LG 显示有限公司) 2013年 6月 25日 (2013 - 06 - 25) 说明书第5页0023段至第9页0096段, 附图2	1-2, 17, 18																									
“A” 认为不特别相关的表示了现有技术一般状态的文件	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																										
“E” 在国际申请日的当天或之后公布的在先申请或专利	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																										
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																										
“O” 涉及口头公开、使用、展览或其他方式公开的文件	“&” 同族专利的文件																										
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																											
国际检索实际完成的日期	国际检索报告邮寄日期																										
2015年 12月 21日	2015年 12月 30日																										
ISA/CN的名称和邮寄地址	授权官员																										
中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	刘红																										
传真号 (86-10)62019451	电话号码 (86-10)62411552																										

国际检索报告  
关于同族专利的信息

国际申请号

PCT/CN2015/090713

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102541383	B	2014年 11月 26日	CN	102541383	A	2012年 7月 4日
				WO	2013117130	A1	2013年 8月 15日
CN	104716144	A	2015年 6月 17日	无			
CN	103699284	A	2014年 4月 2日	WO	2015096315	A1	2015年 7月 2日
KR	20130067869	A	2013年 6月 25日	无			