



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I428740 B

(45)公告日：中華民國 103 (2014) 年 03 月 01 日

(21)申請案號：099123030

(22)申請日：中華民國 99 (2010) 年 07 月 13 日

(51)Int. Cl. : G06F12/00 (2006.01)

(30)優先權：2009/07/16 美國 12/504,131

2010/04/15 美國 12/761,179

(71)申請人：奈特黎斯特公司(美國) NETLIST, INC (US)

美國

(72)發明人：李賢 LEE, HYUN (US)；巴克塔 傑椰 R BHAKTA, JAYESH R. (US)

(74)代理人：詹銘文；葉璟宗

(56)參考文獻：

TW 200832406A EP 1816570A2

US 5784705 US 2006/0262586A1

US 2007/0058409A1

審查人員：梁中明

申請專利範圍項數：15 項 圖式數：14 共 0 頁

(54)名稱

在記憶體模組利用分散式位元組方式的緩衝器的系統及其方法

SYSTEM AND METHOD UTILIZING DISTRIBUTED BYTE-WISE BUFFERS ON A MEMORY MODULE

(57)摘要

本發明提供一種利用一個或多個記憶體模組的記憶體系統及方法。所述記憶體模組包含多個記憶體裝置以及經組態以自系統記憶體控制器接收控制資訊且產生模組控制信號的控制器。所述記憶體模組更包含多個電路，例如，位元組方式的緩衝器，其經組態以選擇性地隔離所述多個記憶體裝置與所述系統記憶體控制器。所述電路可回應於所述模組控制信號而操作，以將來自所述系統記憶體控制器之寫入資料驅動至所述多個記憶體裝置，且將來自所述多個記憶體裝置之讀取資料合併至所述系統記憶體控制器。所述電路分散於彼此分離之對應位置處。

A memory system and method utilizing one or more memory modules is provided. The memory module includes a plurality of memory devices and a controller configured to receive control information from a system memory controller and to produce module control signals. The memory module further includes a plurality of circuits, for example byte-wise buffers, which are configured to selectively isolate the plurality of memory devices from the system memory controller. The circuits are operable, in response to the module control signals, to drive write data from the system memory controller to the plurality of memory devices and to merge read data from the plurality of memory devices to the system memory controller. The circuits are distributed at corresponding positions separate from one another.

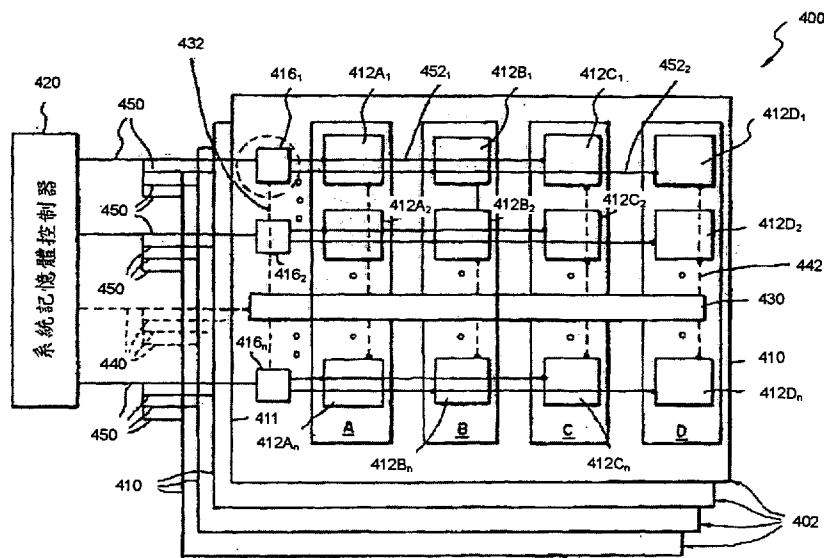


圖 3A

400 · · · 實例記憶體子系統

402 · · · 記憶體模組

410 · · · 記憶體模組/印刷電路板

411 · · · 邊緣

412A₁、412A₂、...、412A_n · · · 記憶體裝置

412B₁、412B₂、...、412B_n · · · 記憶體裝置

412C₁、412C₂、...、412C_n · · · 記憶體裝置

412D₁、412D₂、...、412D_n · · · 記憶體裝置

416₁ · · · 第一資料傳輸電路

416₂ · · · 第二資料傳輸電路

420 · · · 系統記憶體控制器

430 · · · 控制電路

432 · · · 線

440 · · · 系統位址及控制線/位址及控制線

442 · · · 線

450 · · · 資料線

A、B、C、D · · · 級

35166pifl

為第 99123030 號中文說明書無劃線修正頁

修正日期

修正頁
99年11月1日

發明專利說明書

公告本

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：99123030

※申請日：99.7.13

※IPC 分類：G06F12/00 (2006.01)

一、發明名稱：

在記憶體模組利用分散式位元組方式的緩衝器的系統及其方法

SYSTEM AND METHOD UTILIZING DISTRIBUTED
BYTE-WISE BUFFERS ON A MEMORY MODULE

二、中文發明摘要：

本發明提供一種利用一個或多個記憶體模組的記憶體系統及方法。所述記憶體模組包含多個記憶體裝置以及經組態以自系統記憶體控制器接收控制資訊且產生模組控制信號的控制器。所述記憶體模組更包含多個電路，例如，位元組方式的緩衝器，其經組態以選擇性地隔離所述多個記憶體裝置與所述系統記憶體控制器。所述電路可回應於所述模組控制信號而操作，以將來自所述系統記憶體控制器之寫入資料驅動至所述多個記憶體裝置，且將來自所述多個記憶體裝置之讀取資料合併至所述系統記憶體控制器。所述電路分散於彼此分離之對應位置處。

三、英文發明摘要：

A memory system and method utilizing one or more memory modules is provided. The memory module includes a plurality of memory devices and a controller configured to receive control information from a system memory controller and to produce module control signals. The memory module further includes a plurality of circuits, for example byte-wise buffers, which are configured to selectively isolate the plurality of memory devices from the system memory controller. The circuits are operable, in response to the module control signals, to drive write data from the system memory controller to the plurality of memory devices and to merge read data from the plurality of memory devices to the system memory controller. The circuits are distributed at corresponding positions separate from one another.

四、指定代表圖：

(一) 本案之指定代表圖：圖 3A

(二) 本代表圖之元件符號簡單說明：

400：實例記憶體子系統

402：記憶體模組

410：記憶體模組/印刷電路板

411：邊緣

412A₁、412A₂、...、412A_n：記憶體裝置

412B₁、412B₂、...、412B_n：記憶體裝置

412C₁、412C₂、...、412C_n：記憶體裝置

412D₁、412D₂、...、412D_n：記憶體裝置

416₁：第一資料傳輸電路

416₂：第二資料傳輸電路

420：系統記憶體控制器

430：控制電路

432：線

440：系統位址及控制線/位址及控制線

442：線

450：資料線

A、B、C、D：級

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

六、發明說明：

【相關申請案之交叉參考】

本申請案為 2009 年 7 月 16 日申請並以全文引用之方式併入本文中的美國專利申請案第 12/504,131 號之部分接續案。

【發明所屬之技術領域】

本發明大體而言是有關於電腦系統 (computer system) 之記憶體子系統 (memory subsystem)，且更特定而言是有關於用於改良記憶體子系統或記憶「板 (board)」，尤其是包含雙排記憶體模組 (dual in-line memory module, DIMM) 之記憶板的效能及記憶體容量的系統、裝置及方法。

【先前技術】

某些類型之電腦記憶體子系統包含安裝於印刷電路板 (printed circuit board, PCB) 上之多個動態隨機存取記憶體 (dynamic random-access memory, DRAM) 或同步動態隨機存取記憶體 (synchronous dynamic random access memory, SDRAM)。此等記憶體子系統或記憶「板」通常安裝於諸如伺服器系統或個人電腦等電腦系統之記憶體槽 (slot) 或插口 (socket) 中，且由電腦系統之處理器來存取。記憶板通常包含一個或多個記憶體模組，每一記憶體模組具有呈列、行及排 (banks) 之獨特組態的多個記憶體裝置 (諸如 DRAM 或 SDRAM)，所述記憶體裝置為記憶體模組提供總記憶體容量。

記憶體模組之記憶體裝置通常配置為記憶體級 (rank)

或列，每一記憶體級通常具有一位元寬度。舉例而言，將記憶體模組中之每一級之寬度為 64 個位元之記憶體模組描述為具有「 $\times 64$ 」或「乘 64」組構。類似地，將具有 72 位元寬之級的記憶體模組描述為具有「 $\times 72$ 」或「乘 72」組構。

記憶體模組之記憶體容量隨著記憶體裝置之數目增加而增加。可藉由增加每級之記憶體裝置數目或藉由增加級之數目來增加記憶體模組之記憶體裝置之數目。在某些情況下，與其提及記憶體模組之記憶體容量，不如改為提及記憶體模組之記憶體密度。

在操作期間，記憶體模組之級由自處理器接收之控制信號來選擇或激活。此等控制信號之實例包含（但不限於）級選擇信號（rank-select signal），亦稱為晶片選擇信號（chip-select signal）。大多數電腦及伺服器系統支援每記憶體模組有限數目之級，從而限制了每一記憶體模組中可併入之記憶體密度。

電子系統中之記憶體空間（memory space）受由位址位元數目界定之實體可尋址空間或由選定晶片之數目所限制。一般而言，一旦為電子系統界定了記憶體空間，則在無擴展性設計改變之情況下修改記憶體空間將是不可行的。對於記憶體空間由一協會（諸如聯合電子裝置工程委員會（Joint Electron Device Engineering Council, JEDEC））界定之情況而言尤其如此。當使用者之應用程式需要的可尋址記憶體空間大於當前電子系統經設計以支援之記憶體

空間時，問題出現了。

在開發記憶體子系統時，總是考慮記憶體密度、功率耗散（或熱耗散）、速度及成本。一般而言，此等屬性並不是彼此互不相關，意謂著最佳化一個屬性可能會不利地影響另一屬性。舉例而言，增加記憶體密度通常會引起較高的功率耗散、較慢的操作速度以及較高的成本。

此外，記憶體子系統之規範可由與此等屬性相關聯之實體限制來引導。舉例而言，高熱耗散可能限制操作之速度，或記憶體模組之實體大小可能限制模組之密度。

此等屬性通常規定記憶體模組之設計參數，通常要求記憶體系統在記憶體子系統裝填有較多記憶體裝置以提供較高密度之記憶卡之情況下減緩操作速度。

【發明內容】

在某些實施例中，提供一種記憶體模組。所述記憶體模組包括至少一印刷電路板（printed circuit board），以及以機械方式耦接至所述至少一印刷電路板之多個記憶體裝置。所述記憶體模組更包括控制電路（control circuit），其以機械方式耦接至所述至少一印刷電路板。所述控制電路可組態以自系統記憶體控制器（system memory controller）接收控制信號，且將模組控制信號傳輸至所述多個記憶體裝置。所述記憶體模組更包括多個資料傳輸電路（data transmission circuit），其以機械方式耦接至所述至少一印刷電路板，且分散於相對於所述至少一印刷電路板之對應位置處。所述多個資料傳輸電路可組態以在操作上耦接至所

述系統記憶體控制器，且可組態以自所述控制電路接收模組控制信號。所述多個資料傳輸電路之至少一第一資料傳輸電路在操作上耦接至所述多個記憶體裝置中之至少兩個記憶體裝置。所述多個資料傳輸電路中之至少一第二資料傳輸電路在操作上耦接至所述多個記憶體裝置中之至少兩個記憶體裝置。所述至少一第一資料傳輸電路可組態以藉由選擇性地允許或禁止系統記憶體控制器與在操作上耦接於至少一第一資料傳輸電路的至少兩個記憶體裝置中的至少一選定記憶體裝置之間的資料傳輸，來回應模組控制信號。所述至少一第二資料傳輸電路可組態以藉由選擇性地允許或禁止所述系統記憶體控制器與操作上耦接於至少一第二資料傳輸電路的至少兩個記憶體裝置中的至少一選定記憶體裝置之間的資料傳輸，來回應模組控制信號。

在某些實施例中，提供一種記憶體模組。所述記憶體模組包括：多個記憶體裝置，以及經組態以自系統記憶體控制器接收控制資訊且產生模組控制信號的控制器。所述記憶體模組更包括多個電路，其經組態以選擇性地隔離所述多個記憶體裝置與所述系統記憶體控制器。所述電路可回應於所述模組控制信號而操作，以將來自所述系統記憶體控制器之寫入資料驅動至所述多個記憶體裝置，且將來自所述多個記憶體裝置之讀取資料合併至所述系統記憶體控制器。所述電路分散於彼此分離之對應位置處。

在某些實施例中，提供一種操作包括多個記憶體裝置之記憶體模組的方法。所述方法包括：在電腦系統記憶體

控制器與所述記憶體模組之所述多個記憶體裝置之間的資料線上提供資料傳輸電路。所述資料傳輸電路包括位元組方式的緩衝器 (byte-wise buffer)。所述方法更包括：在寫入操作的期間，啟用所述資料傳輸電路以在多個路徑中之一者上將資料信號自電腦系統記憶體控制器驅動至記憶體模組之記憶體裝置。所述方法更包括：在讀取操作的期間，啟用所述資料傳輸電路以合併來自記憶體模組之記憶體裝置的多個資料信號，且將經合併的資料信號驅動至電腦系統記憶體控制器。

在某些實施例中，提供一種記憶體模組，其包括多個記憶體裝置。所述記憶體模組可更包括控制器，其經組態以自系統記憶體控制器接收控制資訊，且產生模組控制信號。在一些實施例中，所述記憶體模組包括切換電路 (switching circuit)，其經組態以隔離所述多個記憶體裝置與所述系統記憶體控制器。所述切換電路可回應於所述模組控制信號而操作，以將來自系統記憶體控制器之寫入資料驅動至所述多個記憶體裝置，且在一些實施例中，將來自所述多個記憶體裝置之讀取資料合併至所述系統記憶體控制器。

根據某些實施例，提供一種操作包括多個記憶體裝置之記憶體模組的方法。所述方法可包含：在電腦系統記憶體控制器與所述記憶體模組之所述多個記憶體裝置之間的資料線上提供負載減少式切換電路 (load-reducing switching circuit)。在一些實施例中，所述方法包括：在寫

入操作的期間，啟用所述負載減少式切換電路以在多個路徑中之一者上將資料信號自電腦系統記憶體控制器驅動至記憶體模組之記憶體裝置。在某些實施例中，所述方法包括：在讀取操作的期間，啟用所述負載減少式切換電路以合併來自記憶體模組之記憶體裝置的多個資料信號，並將經合併的資料信號驅動至電腦系統記憶體控制器。

藉由在結合後續詳細的描述來考慮時參考附圖，可獲得對本發明之完整理解。為清楚及簡明之目的，在所有圖中，相同元件及組件始終帶有相同名稱及編號。

【實施方式】

一種用於增加記憶體空間之方法是基於位址解碼方案（address decoding scheme）。此方法在電子行業中被極為廣泛地用於設計特殊應用積體電路（Application-Specific Integrated Circuit，ASIC）及晶載系統（System-On-Chip，SOC）裝置以擴展系統記憶體。另一方法在對現存電子系統之軟體或硬體無擴展性更改之情況下增加可定址的記憶體空間。此方法將晶片選擇信號與位址信號組合，以增加實體上可定址的記憶體空間之數目（例如，以 2 倍、以 4 倍、以 8 倍或以其他倍數增加）。

此等方法具有若干缺點。舉例而言，由於此等方法藉由直接添加記憶體晶片來增加可定址的記憶體空間，因此給予系統控制器之輸出及記憶體裝置之輸出較重負載，從而導致較慢的系統。而且，增加記憶體裝置之數目導致較高的功率耗散。另外，由於在系統板保持不變時，每一記

憶體模組上之記憶體裝置的數目之增加會更改記憶體模組之實體性質，因此總體(overall)信號（傳輸線）波特性偏離原始設計意圖或規範。此外，尤其在使用暫存式 DIMM（registered DIMM，RDIMM）時，記憶體裝置之數目的增加轉變為資料路徑上而非控制路徑（例如，位址路徑）上之分散式 RC 負載的增加，進而在資料信號路徑與控制信號路徑之間引入不均勻的信號傳播延遲。如本文所使用，術語「控制線」及「控制路徑」包含位址線或路徑及命令線或路徑，且術語「控制信號」包含位址信號及命令信號。

圖 1A 及圖 1B 說明增加記憶體裝置之數目的先前技術方法。具體而言，圖 1A 繪示習知記憶體子系統 100，其具有至少一 JEDEC 標準的兩級記憶體模組 110，諸如暫存式雙排記憶體模組（RDIMM），為清楚起見僅繪示其中一者。每一級的記憶體模組 110 包括多個記憶體裝置 112，諸如動態隨機存取記憶體（DRAM）裝置或同步 DRAM（SDRAM）裝置。暫存器 130 接收來自系統記憶體控制器 120 的多條控制線 140（繪示為單一實線），且經由控制線 142 連接至每一級的記憶體模組 110 的記憶體裝置 112。此記憶體子系統 100 將來自系統記憶體控制器 120 的資料線 150（繪示為虛線）之陣列的每一資料線連接至每一記憶體模組 110 中之兩個級中的對應記憶體裝置 112。因此，在寫入操作期間，系統記憶體控制器 120 經由資料線 150 而將所有記憶體裝置 112 視為其負載，且在讀取操作期間，每一記憶體裝置 112 經由資料線 150 而將多個其他記憶體

裝置 112 以及系統記憶體控制器 120 視為其負載。

圖 1B 為另一習知記憶體子系統 100'之示意圖，其具有至少一 JEDEC 標準的四級記憶體模組 110' (為清楚起見僅繪示其中一者)，每一級包括多個記憶體裝置 112'。暫存器 130'接收來自系統記憶體控制器 120'之多條控制線 140' (繪示為單一實線)，且經由控制線 142'而連接至每一級之記憶體模組 110'的記憶體裝置 112'。來自系統記憶體控制器 120'之資料線 150' (繪示為虛線)之陣列的每一資料線 (例如，藉由四個扇出 (fan-out)) 而連接至每一記憶體模組 110'中之四個級中的對應記憶體裝置 112'。因此，如同圖 1A 所示之兩級記憶體模組 110，在寫入操作的期間，系統記憶體控制器 120'經由資料線 150'而將所有記憶體裝置 112'視為其負載，且在讀取操作期間，每一記憶體裝置 112'經由資料線 150'而將多個其他記憶體裝置 112'以及系統記憶體控制器 120'視為其負載。

對於習知兩級記憶體模組 110 及習知四級記憶體模組 110'兩者，在寫入操作的期間由記憶體控制器 120、120'所經歷之多個負載以及在讀取操作的期間由記憶體裝置 112、112'所經歷之多個負載造成顯著的效能問題。舉例而言，對於同步操作，期望各種信號之時間延遲實質上彼此相等，使得記憶體模組 110、110'之操作與電腦系統之系統匯流排同步。因此，記憶體模組 110、110'之跡線(trace)長度經選擇以使得信號處於相同的時脈相位。舉例而言，自暫存器 130、130'至記憶體裝置 112、112'中之每一者的控

制線 142、142' 的長度實質上彼此相等。然而，對於較快的時脈速度，跡線長度中之小誤差使此同步操作變得困難或不可能。因此，此等先前技術不僅降低了記憶體系統之速度，而且其亦需要硬體修改來最小化傳輸線波特性與原始設計規範之任何偏差。

圖 2A 及圖 2B 說明增加記憶體裝置之數目的另一先前技術方法。具體而言，圖 2A 繪示習知記憶體子系統 200，其具有至少一兩級記憶體模組 210，為清楚起見僅繪示其中一者。每一級之記憶體模組 210 包括多個記憶體裝置 212，諸如動態隨機存取記憶體(DRAM)裝置或同步 DRAM (SDRAM) 裝置。暫存器 230 接收來自系統記憶體控制器 220 之多條控制線 240 (繪示為單一實線)，且經由控制線 242 而連接至每一級之記憶體模組 210 的記憶體裝置 212。此記憶體子系統 200 將來自系統記憶體控制器 220 之資料線 250 (繪示為虛線) 之陣列的每一資料線連接至每一記憶體模組 210 中之兩個級中的對應記憶體裝置 212。因此，在寫入操作期間，系統記憶體控制器 220 經由資料線 250 而將所有記憶體裝置 212 視為其負載，且在讀取操作期間，每一記憶體裝置 212 經由資料線 250 而將多個其他記憶體裝置 212 以及系統記憶體控制器 220 視為其負載。

圖 2B 為另一習知記憶體子系統 200' 的示意圖，其具有至少一四級記憶體模組 210' (為清楚起見僅繪示其中一者)，每一級包括多個記憶體裝置 212'。暫存器 230' 接收來自系統記憶體控制器 220' 之多條控制線 240' (繪示為單一

實線)，且經由控制線 242'而連接至每一級之記憶體模組 210'的記憶體裝置 212'。來自系統記憶體控制器 220'之資料線 250'（繪示為虛線）之陣列的每一資料線（例如，藉由四個扇出）而連接至每一記憶體模組 210'中之四個級中的對應記憶體裝置 212'。因此，如同圖 2A 所示之兩級記憶體模組 210，在寫入操作的期間，系統記憶體控制器 220'經由資料線 250'而將所有記憶體裝置 212'視為其負載，且在讀取操作的期間，每一記憶體裝置 212'經由資料線 250'而將多個其他記憶體裝置 212'以及系統記憶體控制器 220'視為其負載。

對於記憶體模組 210、210'，控制線 242、242'具有「飛越(fly-by)」組態。在此組態中，控制信號是沿控制線 242、242'（例如，呈單一路徑菊鏈(daisy-chain)）而自暫存器 230、230'發送至給定級之記憶體裝置 212、212'。此等控制信號依序到達所述級之每一記憶體裝置 212、212'，其中控制信號首先到達具有最短控制線 242、242'之記憶體裝置 212、212'，隨後到達具有次最短控制線 242、242'之記憶體裝置 212、212'，依此類推。舉例而言，控制信號可在同一控制信號到達具有最短控制線 242、242'之記憶體裝置 212、212'之後較長一段時間到達具有最長控制線 242、242'之記憶體裝置 212、212'。對於同步操作，記憶體子系統 200、200'具有資料線 250、250'，其經組態以使得記憶體控制器 220、220'與特定記憶體裝置 212、212'之間的各種資料信號的時間延遲實質上經修整(tailored)以使得資料信

號及控制信號到達特定記憶體裝置 212、212'，使得記憶體模組 210、210'之操作與電腦系統之系統匯流排同步。此等「飛越」組態已被描述為以「局部同步 (local sync)」來操作，同時具有「全局異步 (global async)」。

對於此等「飛越」組態，圖 2A 及 2B 之記憶體控制器 220、220'較圖 1A 及 1B 之記憶體控制器 120、120'複雜，因為記憶體控制器 220、220'考慮各種記憶體裝置 212、212'之間的時間延遲，且針對同步操作適當地調整此等信號之時序。然而在某些情形中，時脈週期時間近似等於或小於到達具有最長控制線 242、242'之記憶體裝置 212、212'的控制信號與到達具有最短控制線 242、242'之記憶體裝置 212、212'的控制信號之間的時間差（例如，約 900 皮秒）。在此等情形下，同步操作不可達成。因此，到達位於控制線 242、242'之末端處之記憶體裝置 212、212'的控制信號之間的時間差提供對記憶體模組 210、210'可用以操作之時脈速度的限制。可大於一個時脈週期之此等時間差將限制記憶體模組之操作速度及效能。另外，如同圖 1A 及圖 1B 之記憶體子系統 100、100'，圖 2A 及圖 2B 之「飛越」記憶體子系統 200、200'經受較大負載，其導致較慢的時脈速度。

一種針對「飛越」組態之新近建議是提供處置控制信號及資料信號兩者的記憶體緩衝器。圖 2C 及圖 2D 示意性地分別說明習知兩級記憶體模組 310 及四級記憶體模組 310'，其各自包括記憶體緩衝器 330、330'。控制線 340、

340'為控制信號提供自記憶體控制器 320、320'至記憶體緩衝器 330、330'的通道，且控制線 342、342'為控制信號提供自記憶體緩衝器 330、330'至記憶體裝置 312、312'的通道。所述多條資料線 350、350'（為了清楚起見而繪示為一條虛線）為資料信號提供自記憶體控制器 320、320'至記憶體緩衝器 330、330'的通道，且記憶體模組 310、310'上之資料線（為了清楚起見而未圖示）為資料信號提供自記憶體控制器 320、320'至記憶體裝置 312、312'的通道。

圖 2C 及圖 2D 之組態設法將資料信號及控制信號兩者引向記憶體緩衝器 330、330'。然而，此等組態具有顯著缺陷。為將資料信號發送至各種記憶體裝置 312、312'，記憶體模組 310、310'包含將記憶體緩衝器 330、330'耦接至記憶體裝置 312、312'的很大數目的資料線（為了清楚起見而未圖示）。舉例而言，在某些情況下，用於 LRDIMM 之記憶體緩衝器 330、330'為 628-接腳(pin)裝置，所述裝置是很大的。另外，修整此等許多資料線之時間延遲的後勤(logistics)是複雜的，或難以提供自記憶體緩衝器 330、330'至記憶體裝置 312、312'之資料信號的所要時序。而且，記憶體模組 310、310'利用對記憶體控制器 320、320'之顯著修改，因為記憶體緩衝器 330、330'接管習知記憶體控制器對資料信號時序的控制的某一部分。即使如此，圖 2C 及圖 2D 之記憶體模組 310、310'亦只能在異步模式而非同步模式下操作，原因是與所要時脈頻率相比飛越時間較長。舉例而言，對於 1 奈秒之飛越延遲，若資料速率為 1 Gb/

秒，則讀/寫轉回（turnaround）期間資料線上存在衝突的可能性。為對抗此等衝突，可減緩資料速率，或可插入「死（dead）」循環。作為單一單元之記憶體模組 310、310'無法在同步模式下操作，而是如同局部同步、全局（DIMM 層級）異步而操作。

圖 3A 示意性地說明根據本文所描述之某些實施例的具有負載減少式記憶體模組 402 的實例記憶體子系統 400。圖 3B 示意性地說明根據本文所描述之某些實施例的具有負載減少式記憶體模組 402'的另一實例記憶體子系統 400'。圖 3C 示意性地說明根據本文所描述之某些實施例的記憶體模組 402'之記憶體裝置 412'、資料傳輸電路 416'以及控制電路 430'的實例佈局。圖 3D 是根據本文所描述之某些實施例的實例記憶體子系統的照片。在圖 3A 至圖 3C 中，控制線（例如，將系統記憶體控制器 420、420'耦接至記憶體模組 410、410'的位址及控制線 440、440'）繪示為虛線，資料線（例如，將系統記憶體控制器 420、420'耦接至記憶體模組 410、410'的資料線 450、450'）繪示為實線，且在圖 3A 及圖 3B 中，將輸入/輸出連接繪示為黑點。在某些實施例中，如圖 3A 至圖 3C 示意性地說明，將系統記憶體控制器 420、420'耦接至記憶體模組 410、410'（例如，耦接至控制電路 430、430'）的位址及控制線 440、440'與將系統記憶體控制器 420、420'耦接至記憶體模組 410、410'（例如，耦接至資料傳輸電路 416、416'）的資料線 450、450'分離。在某些實施例中，與習知記憶體子系統相比，

實例記憶體子系統 400、400'經設計以（例如）遞送較高速度及較高記憶體密度，且具有較低熱耗散。在以下論述中，實例記憶體子系統 400 及對應組件（例如，記憶體模組 402；記憶體裝置 412A、412B、412C、412D；資料傳輸電路 416；控制電路 430）以及實例記憶體子系統 400'及對應組件（例如，記憶體模組 402'；記憶體裝置 412'A₁、412'A₂、412'B₁、412'B₂、412'C₁、412'C₂、412'D₁、412'D₂；資料傳輸電路 416'；控制電路 430'）之態樣應被理解為亦適用於某些其他實施例。

如圖 3A 及圖 3B 中示意性地說明，實例記憶體模組 402、402'包括至少一印刷電路板 410、410'，以及以機械方式耦接至所述至少一印刷電路板 410、410'之多個記憶體裝置 412、412'。記憶體模組 402、402'更包括以機械方式耦接至所述至少一印刷電路板 410、410'的控制電路 430、430'。控制電路 430、430'可組態以自系統記憶體控制器 420、420'接收控制信號，且將模組控制信號傳輸至所述多個記憶體裝置 412、412'。記憶體模組 402、402'更包括多個資料傳輸電路 416、416'，其以機械方式耦接至所述至少一印刷電路板 410、410'，且分散於相對於所述至少一印刷電路板 410、410'的對應位置處。所述多個資料傳輸電路 416、416'可組態以在操作上耦接至系統記憶體控制器 420、420'，且可組態以自控制電路 430、430'接收模組控制信號。所述多個資料傳輸電路 416、416'中的至少一第一資料傳輸電路在操作上耦接至所述多個記憶體裝置 412、

412'中的至少兩個記憶體裝置。所述多個資料傳輸電路 416、416'中的至少一第二資料傳輸電路在操作上耦接至所述多個記憶體裝置 412、412'中的至少兩個記憶體裝置。所述至少一第一資料傳輸電路可組態以藉由選擇性地允許或禁止系統記憶體控制器 420、420'與在操作上耦接至所述至少一第一資料傳輸電路之所述至少兩個記憶體裝置中之至少一選定記憶體裝置之間的資料傳輸，以回應於模組控制信號。所述至少一第二資料傳輸電路可組態以藉由選擇性地允許或禁止系統記憶體控制器 420、420'與在操作上耦接至所述至少一第二資料傳輸電路之所述至少兩個記憶體裝置中之至少一選定記憶體裝置之間的資料傳輸，以回應模於組控制信號。

如圖 3A 及圖 3B 所示，記憶體子系統 400、400'可組態以在操作上耦接至此項技術中熟知類型的系統記憶體控制器 420、420'（例如，Intel Nehalem EP, EX 晶片組、AMD Opteron 晶片組）。記憶體子系統 400、400'通常包括一個或多個記憶體模組 402、402'，諸如 DIMM 或 RDIMM，為了清楚起見僅繪示其中一者的額外細節。各種類型之記憶體模組 402、402'與本文所描述之實施例相容。舉例而言，具有 512 MB、1 GB、2 GB、4 GB、8 GB 之記憶體容量以及其他容量之記憶體模組與本文所描述之實施例相容。另外，具有 4 個位元組、8 個位元組、9 個位元組、16 個位元組、32 個位元組或 32 個位元、64 個位元、72 個位元、128 個位元、256 個位元之寬度以及其他寬度（以位元組或

以位元為單位)的記憶體模組與本文所描述之實施例相容。此外,與本文所描述之實施例相容的記憶體模組 402、402'包含(但不限於)單排記憶體模組(single in-line memory module, SIMM)、雙排記憶體模組(DIMM)、小型 DIMM(small-outline DIMM, SO-DIMM)、無緩衝 DIMM(unbuffered DIMM, UDIMM)、暫存式 DIMM(RDIMM)、全緩衝 DIMM(fully-buffered DIMM, FBDIMM)、迷你 DIMM 以及微 DIMM。

所述一個或多個記憶體模組 402、402'包括一個或多個印刷電路板(PCB) 410、410',其可以垂直堆疊(如圖所示)或以背靠背陣列(back-to-back array)配置。某些實施例中之每一記憶體模組 402、402'包括單一 PCB 410、410',而在某些其他實施例中,記憶體模組 402 中之一或多者中的每一者包括多個 PCB 410、410'。在一些實施例中,PCB 410、410'可安裝於電腦系統之模組槽(未圖示)中。某些此等實施例之 PCB 410、410'具有至少一邊緣連接器(未圖示),其包括多個電性觸點,所述電性觸點定位於 PCB 410、410'之邊緣上,且經組態以可釋放地耦接至電腦系統插口之對應觸點,以提供系統記憶體控制器 420、420'與 PCB 410、410'上之記憶體模組 402、401'之各種組件之間的導電性。

至少一記憶體模組 402、402'包括多個記憶體裝置 412、412'(諸如 DRAM 或 SDRAM)。記憶體模組 402、402'之記憶體裝置 412、412'可有利地以多個列或級(rank)

而配置。與本文所描述之實施例相容之記憶體裝置 412、412' 包含（但不限於）隨機存取記憶體（RAM）、動態隨機存取記憶體（DRAM）、同步 DRAM（SDRAM）以及雙資料速率 DRAM（例如，DDR、DDR2、DDR3 等）。另外，具有 4、8、16、32 之位元寬度以及其他位元寬度之記憶體裝置 412、412' 與本文所描述之實施例相容。與本文所描述之實施例相容之記憶體裝置 412、412' 所具有之封裝包含（但不限於）薄小型封裝（thin small-outline package，TSOP）、球狀晶格陣列（ball-grid-array，BGA）、精細間距 BGA（fine-pitch BGA，FBGA）、微 BGA（ μ BGA）、迷你 BGA（mBGA）以及晶片尺度封裝（chip-scale packaging，CSP）。

在某些實施例中，記憶體模組 402、402' 之記憶體裝置 412、412' 以四個級而配置，但可使用每記憶體模組 402、402' 具有四個以下的級（例如，一個級、兩個級、三個級）或四個以上的級（例如，6 個級、8 個級）的實施例。在某些實施例中，每一級包括八個或九個記憶體模組，而在某些其他實施例中，亦可使用每級有其他數目之記憶體模組。在某些實施例中，如圖 3A 示意性地繪示，記憶體裝置 412 以四個級配置，表示為 A、B、C 及 D，且每一級包括 n 個記憶體裝置。為了本發明，在圖 3A 之實例記憶體子系統 400 中，級 A 包括記憶體裝置 412A₁、412A₂、...、412A_n；級 B 包括記憶體裝置 412B₁、412B₂、...、412B_n；級 C 包括記憶體裝置 412C₁、412C₂、...、412C_n；且級 D

包括記憶體裝置 $412D_1$ 、 $412D_2$ 、...、 $412D_n$ 。為了本發明，在圖 3B 之實例記憶體子系統 400' 中，級 A 包括記憶體裝置 $412'A_1$ 、 $412'A_2$ 、...、 $412'A_n$ ；級 B 包括記憶體裝置 $412'B_1$ 、 $412'B_2$ 、...、 $412'B_n$ ；級 C 包括記憶體裝置 $412'C_1$ 、 $412'C_2$ 、...、 $412'C_n$ ；且級 D 包括記憶體裝置 $412'D_1$ 、 $412'D_2$ 、...、 $412'D_n$ 。

在某些實施例中，至少一記憶體模組 402、402' 包括一個或多個電性組件（未圖示），其可安裝於 PCB 410、410' 上、PCB 410、410' 內或 PCB 410、410' 上及 PCB 410、410' 內，且在操作上彼此耦接且耦接至所述多個記憶體裝置 412、412'。舉例而言，電性組件可表面安裝、通孔安裝、嵌入或埋入 PCB 410、410' 之層之間，或以其他方式連接至 PCB 410、410'。此等電性組件可包含（但不限於）電導管、電阻器、電容器、電感器、電晶體、緩衝器、暫存器、邏輯元件或其他電路元件。在某些實施例中，此等電性組件中之至少一些電性組件是離散的，而在某些其他實施例中，此等電性組件中之至少一些電性組件是一或多個積體電路的組成部分。

在某些實施例中，至少一記憶體模組 402、402' 包括控制電路 430、430'，其經組態以在操作上耦接至系統記憶體控制器 420、420'，且（例如，經由線 442、442'）而耦接至記憶體模組 402、402' 之記憶體裝置 412、412'。在某些實施例中，控制電路 430、430' 可包含一個或多個功能裝置，諸如可程式化邏輯裝置（programmable-logic device，

PLD)、特殊應用積體電路 (ASIC)、現場可程式化閘陣列 (field-programmable gate array, FPGA)、定製設計的半導體裝置 (custom-designed semiconductor device) 或複雜的可程式化邏輯裝置 (complex programmable-logic device, CPLD)。在某些實施例中，控制電路 430、430' 可包括一個或多個定製裝置。在某些實施例中，控制電路 430、430' 可包括各種離散式電性元件；而在其他實施例中，控制電路 430、430' 可包括一個或多個積體電路。

某些實施例之控制電路 430、430' 可組態以在操作上耦接至控制線 440、440'，以自系統記憶體控制器 420、420' 接收控制信號（例如，排(bank)位址信號、列位址信號、行位址信號、位址選通信號以及級位址或晶片選擇信號）。某些實施例之控制電路 430、430' 以與習知 RDIMM 之位址暫存器功能上相當之方式暫存來自控制線 440、440' 之信號。暫存之控制線 440、440' 亦在操作上耦接至記憶體裝置 412、412'。另外，控制電路 430、430' 為資料傳輸電路 416、416' 供應控制信號（例如，經由線 432、432'），如下文更全面地描述。控制信號指示（例如）資料流之方向，亦即，通往或來自記憶體裝置 412、412'。控制電路 430、430' 可基於位址解碼而產生額外的晶片選擇信號或輸出多個啟用信號。可充當控制電路 430、430' 之電路的實例由美國專利第 7,289,386 號及第 7,532,537 號更詳細地描述，所述美國專利中之每一者以全文引用之方式併入本文中。

在某些實施例中，至少一記憶體模組 402、402' 包括

多個資料傳輸電路 416、416'，其安裝於一個或多個 PCB 410、410'上、一個或多個 PCB 410、410'內或者一個或多個 PCB 410、410'上及一個或多個 PCB 410、410'內。所述多個資料傳輸電路 416、416'（例如，經由線 432、432'）在操作上耦接至控制電路 430、430'，且經組態以在操作上將記憶體模組 402、402'耦接至電腦系統後，（例如，經由資料線 450、450'）在操作上耦接至系統記憶體控制器 420、420'。在某些實施例中，此等資料傳輸電路 416、416'可被稱為「負載減少電路」或「負載減少式切換電路」。如本文所使用，術語「負載減少」或「負載減少式切換」是指當在操作上耦接至記憶體模組 402、402'時，使用資料傳輸電路 416、416'來減少系統記憶體控制器 420、420'所經歷之負載。在某些實施例中，如圖 3A 示意性地說明，記憶體模組 402 包括 n 個資料傳輸電路 416，其中 n 為記憶體模組 410 之每級之記憶體裝置的數目。舉例而言，如圖 3A 示意性地繪示，記憶體模組 410 之記憶體裝置 412 各自以 n 個記憶體裝置之四個級而配置，且記憶體模組 410 包括至少一第一資料傳輸電路 416₁ 及一第二資料傳輸電路 416₂。某些此等實施例之第一資料傳輸電路 416₁ 在操作上耦接至每一級之至少一記憶體裝置 412（例如，記憶體裝置 412A₁、412B₁、412C₁、412D₁）。某些此等實施例之第二資料傳輸電路 416₂ 在操作上耦接至每一級之至少一記憶體裝置 412（例如，記憶體裝置 412A₂、412B₂、412C₂、412D₂）。在某些實施例中，如圖 3B 示意性地說明，記憶

體模組 402' 包括 $n/2$ 個資料傳輸電路 416'，其中 n 為記憶體模組 410' 之每級之記憶體裝置的數目。舉例而言，如圖 3B 示意性地繪示，記憶體模組 410' 之記憶體裝置 412' 各自以 n 個記憶體裝置之四個級而配置，且記憶體模組 410' 包括至少一第一資料傳輸電路 416'₁ 及一第二資料傳輸電路 416'₂。某些此等實施例之第一資料傳輸電路 416'₁ 在操作上耦接至每一級之至少兩個記憶體裝置 412'（例如，記憶體裝置 412'A₁、412'A₂、412'B₁、412'B₂、412'C₁、412'C₂、412'D₁、412'D₂）。某些此等實施例之第二資料傳輸電路 416'₂ 在操作上耦接至每一級之至少兩個記憶體裝置 412'（例如，記憶體裝置 412'A₃、412'A₄、412'B₃、412'B₄、412'C₃、412'C₄、412'D₃、412'D₄）。

在某些實施例中，至少一資料傳輸電路 416、416' 在兩個或兩個以上記憶體裝置 412、412' 之間選擇性地切換，以便將至少一選定記憶體裝置 412、412' 在操作上耦接至系統記憶體控制器 420、420'（例如，資料傳輸電路 416、416' 可組態以藉由選擇性地允許或禁止系統記憶體控制器 420、420' 與至少一選定記憶體裝置 412、412' 之間的資料傳輸，以回應於模組控制信號）。在某些此等實施例中，所述至少一資料傳輸電路 416、416' 選擇性地將兩個選定記憶體裝置在操作上耦接至系統記憶體控制器 420、420'。舉例而言，如圖 3A 示意性地繪示，第一資料傳輸電路 416₁ 可組態以藉由選擇性地允許或禁止系統記憶體控制器 420 與選定記憶體裝置 412A₁ 及 412C₁ 或選定記憶體裝置 412B₁

及 412D₁ 之間的資料傳輸，以回應於模組控制信號，且第二資料傳輸電路 416₂ 可組態以藉由選擇性地允許或禁止系統記憶體控制器 420 與選定記憶體裝置 412A₂ 及 412C₂ 或選定記憶體裝置 412B₂ 及 412D₂ 之間的資料傳輸，以回應於模組控制信號。相反地，在不具有資料傳輸電路 416 之習知記憶體模組中，所述兩個或兩個以上記憶體裝置 412（例如，記憶體裝置 412A₁、412B₁、412C₁、412D₁）同時在操作上耦接至系統記憶體控制器 420。某些實施例之資料傳輸電路 416 在記憶體控制器 420 與對應於資料傳輸電路 416 之記憶體裝置 412 之間雙向緩衝資料信號。對於另一實例，如圖 3B 示意性地繪示，第一資料傳輸電路 416'₁ 可組態以藉由選擇性地允許或禁止系統記憶體控制器 420' 與選定記憶體裝置 412'A₁ 及 412'C₁ 或選定記憶體裝置 412'B₁ 及 412'D₁ 之間以及與選定記憶體裝置 412'A₂ 及 412'C₂ 或選定記憶體裝置 412'B₂ 及 412'D₂ 之間的資料傳輸，以回應於模組控制信號，且第二資料傳輸電路 416'₂ 可組態以藉由選擇性地允許或禁止系統記憶體控制器 420' 與選定記憶體裝置 412'A₃ 及 412'C₃ 或選定記憶體裝置 412'B₃ 及 412'D₃ 之間以及與選定記憶體裝置 412'A₄ 及 412'C₄ 或選定記憶體裝置 412'B₄ 及 412'D₄ 之間的資料傳輸，以回應於模組控制信號。

在某些實施例中，資料傳輸電路 416、416' 中之兩者或兩者以上在彼此分離的對應位置處以機械方式耦接於至少 PCB 410、410'。舉例而言，如圖 3A 示意性地說明，第

一資料傳輸電路 416_1 及第二資料傳輸電路 416_2 位於彼此分離的對應位置(例如,含有第一資料傳輸電路 416_1 之封裝位於與含有第二資料傳輸電路 416_2 之封裝的位置間隔開的位置)。對於另一實例,如圖 3B 示意性地說明,第一資料傳輸電路 $416'_1$ 及第二資料傳輸電路 $416'_2$ 位於彼此分離的對應位置(例如,含有第一資料傳輸電路 $416'_1$ 之封裝位於與含有第二資料傳輸電路 $416'_2$ 之封裝的位置間隔開的位置)。在某些此等實施例中,資料傳輸電路 416 、 $416'$ 中之兩者或兩者以上分散於記憶體模組 402 、 $402'$ 之 PCB 410 、 $410'$ 之表面上。在某些實施例中,兩個或兩個以上資料傳輸電路 416 、 $416'$ (例如,圖 3A 之第一資料傳輸電路 416_1 及第二資料傳輸電路 416_2 , 或圖 3B 之第一資料傳輸電路 $416'_1$ 及第二資料傳輸電路 $416'_2$) 之對應位置是沿著至少一 PCB 410 、 $410'$ 之邊緣 411 、 $411'$, 使得資料傳輸電路 416 、 $416'$ 實質上位於邊緣 411 、 $411'$ 與至少兩個記憶體裝置 412 、 $412'$ 中資料傳輸電路 416 、 $416'$ 在操作上耦接至的至少一些記憶體裝置之間。舉例而言,如圖 3A 示意性地說明,第一資料傳輸電路 416_1 實質上位於邊緣 411 與第一資料傳輸電路 416_1 在操作上耦接至的記憶體裝置 $412A_1$ 、 $412B_1$ 、 $412C_1$ 、 $412D_1$ 之間,且第二資料傳輸電路 416_2 實質上位於邊緣 411 與第二資料傳輸電路 416_1 在操作上耦接至的記憶體裝置 $412A_2$ 、 $412B_2$ 、 $412C_2$ 、 $412D_2$ 之間。對於另一實例,如圖 3B 示意性地說明,第一資料傳輸電路 $416'_1$ 實質上位於邊緣 $411'$ 與第一資料傳輸電路 $416'_1$ 在

操作上耦接至的記憶體裝置 412'A₁、412'A₂、412'B₁、412'B₂、412'C₁、412'C₂、412'D₁、412'D₂ 之間，且第二資料傳輸電路 416'₂ 實質上位於邊緣 411'與第二資料傳輸電路 416'₂ 在操作上耦接至的記憶體裝置 412'A₃、412'A₄、412'B₃、412'B₄、412'C₃、412'C₄、412'D₃、412'D₄ 之間。

圖 3C 及圖 3D 說明根據本文所描述之某些實施例的資料傳輸電路 416'的定位。在某些實施例中，資料傳輸電路 416'中之至少一者的位置大體上與資料傳輸電路 416'在操作上耦接至的記憶體裝置 412'中之一或多者對準。舉例而言，資料傳輸電路 416'中之一或多者及其在操作上耦接至的記憶體裝置 412'可大體上沿實質上垂直於 PCB 410'之邊緣 411'的線而定位。在某些實施例中，資料傳輸電路 416'中之至少一者的位置大體上偏離由資料傳輸電路 416'在操作上耦接至的記憶體裝置 412'中之一或多者的位置所界定的線。舉例而言，如圖 3C 及圖 3D 所示，在操作上耦接至資料傳輸電路 416'之記憶體裝置 412'可沿實質上垂直於 PCB 410'之邊緣 411'的線而定位，且資料傳輸電路 416'可在大體上沿 PCB 410'之邊緣 411'的方向上大體上偏離此線。在某些此等實施例中，資料傳輸電路 416'之寬度及幅寬足夠小(例如，2.5 mm 乘 7.5 mm)，以便配合於邊緣 411'與對應的記憶體裝置 412'之間，同時維持記憶體模組 400'之所要大小。各資料傳輸電路 416'之其他位置及大小亦與本文所描述之某些實施例相容。舉例而言，在某些實施例中，資料傳輸電路 416、416'中之一個或多個資料傳輸電路

可定位於兩個或兩個以上記憶體裝置 412、412'之間，或可與 PCB 410、410'之邊緣 411、411'間隔開，其中一個或多個記憶體裝置 412、412'位於邊緣 411、411'與所述一個或多個資料傳輸電路 416、416'之間。

在某些實施例中，資料傳輸電路 416 包括或充當位元組方式的緩衝器。在某些此等實施例中，所述一個或多個資料傳輸電路 416 中之每一者與資料傳輸電路 416 在操作上耦接至的每級之相關聯記憶體裝置 412 具有相同的位元寬度。舉例而言，如圖 4A（大體上對應於圖 3A）示意性地說明，資料傳輸電路 416 可在操作上耦接至每級之單一記憶體裝置 412，且資料傳輸電路 416 及資料傳輸電路 416 在操作上耦接至的每級之記憶體裝置 412 此兩者可各自具有相同的位元寬度（例如，4 個位元、8 個位元或 16 個位元）。圖 4A 之資料傳輸電路 416 具有 8 個位元之位元寬度，且自系統記憶體控制器 420 接收資料位元 0 至 7，並回應於來自控制電路 430 之模組控制信號而將資料位元 0 至 7 選擇性地傳輸至選定記憶體裝置 412A、412B、412C、412D。類似地，某些實施例之資料傳輸電路 416'可回應於來自控制電路 430'之模組控制信號而充當用於資料傳輸電路 416'在操作上耦接至的相關聯記憶體裝置 412'A、412'B、412'C、412'D 的位元組方式的緩衝器。

在某些其他實施例中，記憶體裝置 412 中之一或多者的位元寬度可不同於其連接至的一或多個資料傳輸電路 416 的位元寬度。舉例而言，如圖 4B（大體上對應於圖 3B）

示意性地說明，資料傳輸電路 416 可具有第一位元寬度（例如，8 個位元之位元寬度），且記憶體裝置 412 可具有小於第一位元寬度之第二位元寬度（例如，第一位元寬度之一半，或 4 個位元之位元寬度），其中每一資料傳輸電路 416 在操作上耦接至每級之多個記憶體裝置 412（例如，每一級中之兩個記憶體裝置 412）。在某些此等實施例中，連接至電路 416 之每級之多個記憶體裝置 412 的總位元寬度等於電路 416 之位元寬度（例如，4 個位元、8 個位元或 16 個位元）。圖 4B 之資料傳輸電路 416 具有 8 個位元之總位元寬度，且自系統記憶體控制器 420 接收資料位元 0 至 7，並回應於來自控制電路 430 之模組控制信號而將資料位元 0 至 3 選擇性地傳輸至第一記憶體裝置 412A₁、412B₁、412C₁、412D₁，且將資料位元 4 至 7 選擇性地傳輸至第二記憶體裝置 412A₂、412B₂、412C₂、412D₂。類似地，某些實施例之資料傳輸電路 416' 可回應於來自控制電路 430' 之模組控制信號而以與資料傳輸電路 416' 在操作上耦接至的相關聯記憶體裝置 412'A₁、412'A₂、412'B₁、412'B₂、412'C₁、412'C₂、412'D₁、412'D₂ 之位元寬度不同的位元寬度起作用。

在某些實施例中，藉由使資料傳輸電路 416 包括或充當「位元組方式」的緩衝器（例如，圖 4A 及圖 4B 之實例所示），使資料信號與同步時脈同步。另外，對於記憶體模組 400 經歷一個或多個特性（例如，溫度、電壓、製造參數）之變化的某些此等實施例，記憶體模組 400 可經設計以使與不利用位元組方式的緩衝之其他組態相比組件數目

較小的電路（例如，具有 8 位元記憶體裝置之四個級，且具有兩個 4 位元緩衝器）最佳化。在某些實施例中，資料傳輸電路 416 用於位元分片（bit slicing），其中以區段（sections）來界定資料。舉例而言，可以寬度為 16 位元之區段（例如，[15:0]、[31:16]、[47:32]、[63:48]）來界定或分片該資料，而不是將資料界定為寬度為 64 位元（例如，[63:0]）。在某些此等實施例中，並非所有位元均分組在一起，且並非所有位元均產生相同行為（例如，邏輯寬度及/或時間寬度）。

根據本發明之實施例，資料傳輸電路 416 中之一或多者在操作上耦接至資料線 452 之連接至級 A、B、C、D 之每一者中之一個或多個記憶體裝置 412 的對應之一條或多條資料線。舉例而言，在某些實施例中，每一資料傳輸電路 416 連接至一個或多個連接至每一級中之一個對應記憶體裝置（例如，記憶體裝置 204A、204B、204C 及 204D，如圖 3A 所示）的資料線 452。每一資料線 450、452 因此經由資料傳輸電路 416 而將來自系統記憶體控制器 420 之資料攜載至連接至資料傳輸電路 416 之記憶體裝置 204A、204B、204C、204D。某些實施例之資料傳輸電路 416 可用以朝向及自記憶體控制器 420 及記憶體裝置 412 而驅動每一資料位元，而非記憶體控制器 420 及記憶體裝置 412 直接朝向及自記憶體控制器 420 及記憶體裝置 412 而驅動每一資料位元。具體而言，如下文更詳細地描述，某些實施例之每一資料傳輸電路 416 之一側在操作上耦接

至每一級中之記憶體裝置 412（例如，經由資料線 452），同時資料傳輸電路 416 之另一側在操作上耦接至記憶體控制器 420 之對應資料線 450。

為了減少系統記憶體控制器 420（例如，在寫入操作期間）所經歷之記憶體裝置負載，某些實施例之資料傳輸電路 416 有利地組態為被系統記憶體控制器 420 辨識為單一記憶體負載。在某些實施例中藉由以下方式來合意地達成此有利結果：使用資料傳輸電路 416 僅將經啟用之記憶體裝置 412（例如，將寫入資料之一個、兩個或多個記憶體裝置 412）電性耦接至記憶體控制器 420，且使其他記憶體裝置 412（即，將不寫入資料之一個、兩個或多個記憶體裝置 412）與記憶體控制器 420 電性隔離。因此，在資料將被寫入至記憶體模組 400 之一級中之單一記憶體裝置 412 的寫入操作期間，來自系統記憶體控制器 420 之每一資料位元經歷來自記憶體模組 400 之單一負載（由資料傳輸電路 416 中之一者呈現），而非同時經歷資料傳輸電路 416 在操作上耦接至的所有四個記憶體裝置 412A、412B、412C、412D 的負載。在圖 3A 之實例中，在資料將被寫入至兩個級中之兩個記憶體裝置 412（例如，記憶體裝置 412A 及 412C 或記憶體裝置 412B 及 412D）的寫入操作期間，來自系統記憶體控制器 420 之每一資料位元經歷來自記憶體模組 402 之單一負載（由資料傳輸電路 416 中之一者呈現），而非同時經歷資料傳輸電路 416 在操作上耦接至的所有四個記憶體裝置 412A、412B、412C、412D 的負載。與

標準 JEDEC 四級 DIMM 組態（見圖 2A 及圖 2B）相比，某些實施例之記憶體系統 402 可使系統記憶體控制器 420 上之負載減少四倍。

圖 5 示意性地說明與本文所描述之某些實施例相容的實例資料傳輸電路 416。在一個實施例中，資料傳輸電路 416 包含用以控制資料傳輸電路 416 之各種組件的控制邏輯電路 502，其可包含一個或多個緩衝器、一個或多個開關以及一個或多個多工器及其他組件。圖 5 說明之實施例的寬度為 1 位元，且使單一資料線 518 在記憶體控制器 420 與記憶體裝置 412 之間切換。在其他實施例中，資料傳輸電路 416 的寬度可為多個位元，例如 8 個位元，且切換對應數目的資料線 518。在多位元寬度的實施例中，控制邏輯電路 502 可在多個位元上共用。

作為使記憶體裝置 412 與系統記憶體控制器 420 隔離的一部分，在一個實施例中，資料傳輸電路 416 允許「驅動」寫入資料及「合併」讀取資料。在圖 5 所示之操作實施例中，在寫入操作中，經由資料線 518 進入資料傳輸電路 416 的資料較佳在經過寫入緩衝器 503 之後，被驅動至標記為路徑 A 及路徑 B 的兩個資料路徑上。記憶體裝置 412 之級同樣被劃分為兩個群組，其中一個群組與路徑 A 相關聯，且一個群組與路徑 B 相關聯。如圖 3A 所示，級 A 及級 C 在第一群組中，且級 B 及級 D 在第二群組中。因此，級 A 及級 C 之記憶體裝置 412A、412C 藉由兩個資料路徑中之第一者而連接至資料傳輸電路 416，且級 B 及級

D 之記憶體裝置 412B、412D 藉由兩個資料路徑中之第二者而連接至資料傳輸電路 416。在其他實施例中，寫入資料之驅動以及讀取資料之合併可在兩個以上的資料路徑上執行。

就像已知一樣，行位址選通 (Column Address Strobe, CAS) 潛伏期(latency)為記憶體控制器 420 通知記憶體模組 402 存取一選定級或列中之特定行的時刻與針對或來自特定行之資料位於該選定級或列之輸出接腳上的時刻之間所逝去的延遲時間。所述潛伏期可由記憶體模組用來控制資料傳輸電路 416 之操作。在潛伏期的期間，位址及控制信號自記憶體控制器 420 傳遞至控制電路 430，控制電路 430 產生 (例如，經由線 432) 發送至控制邏輯電路 502 的控制，控制邏輯電路 502 隨後控制資料傳輸電路 416 之組件的操作。

對於寫入操作，在 CAS 潛伏期的期間，控制電路 430 在一個實施例中將多個啟用控制信號提供至每一資料傳輸電路 416 之控制邏輯電路 502，藉此使控制邏輯電路 502 選擇路徑 A 或路徑 B 來引導資料。因此，當控制邏輯電路 502 接收到 (例如)「啟用 A」信號時，路徑 A 中之第一三態緩衝器 (tri-state buffer) 504 被啟用，且在其輸出上主動地驅動資料值，而路徑 B 中之第二三態緩衝器 506 被停用，其輸出處於高阻抗條件。在此狀態下，資料傳輸電路 416 允許將資料沿路徑 A 引導至第一端子 Y1，第一端子 Y1 連接至第一群組之記憶體裝置 412 (例如，級 A 及級 C

中之彼等記憶體裝置)，且僅與所述記憶體裝置 412 通信。類似地，若接收到「啟用 B」信號，則第一三態 504 斷開路徑 A，且第二三態 506 閉合路徑 B，從而將資料引導至第二端子 Y2，第二端子 Y2 連接至第二群組之記憶體裝置 412（例如，級 B 及級 D 中之彼等記憶體裝置），且僅與所述記憶體裝置 412 通信。

對於讀取操作，資料傳輸電路 416 作為多工電路而操作。在圖 5 所說明之實施例中，舉例而言，自一個級之記憶體裝置 412 讀取之資料信號是在資料傳輸電路 416 之第一端子 Y1 或第二端子 Y2 處被接收。多個資料信號被饋送至多工器 508，多工器 508 選擇其中一者以路由至(route to)多工器 508 之輸出。控制邏輯電路 502 產生選擇信號以選擇適當的資料信號，且較佳是在選定的資料信號經過讀取緩衝器 509 之後，將選定的資料信號沿單一資料線 518 傳輸至系統記憶體控制器 420。讀取緩衝器 509 可為在讀取操作期間由控制邏輯電路 502 啟用之三態緩衝器。在另一實施例中，多工器 508 及讀取緩衝器 509 可組合於一個組件中。在又一實施例中，多工器 508 及讀取緩衝器 509 之操作可被劃分於兩個三態緩衝器上，一個三態緩衝器用以啟用自 Y1 至資料線 518 的值，且另一三態緩衝器用以啟用自 Y2 至資料線 518 的值。

資料傳輸電路 416 在資料線 518 上呈現來自寫入緩衝器 503 及讀取緩衝器 509 之負載。寫入緩衝器 503 與記憶體裝置 412 中之一者上的輸入緩衝器相當，且讀取緩衝器

509 與記憶體裝置 412 中之一者上的輸出緩衝器相當。因此，資料傳輸電路 416 向記憶體控制器 420 呈現實質上與記憶體裝置 412 中之一者將呈現之負載相同的負載。類似地，資料傳輸電路 416 在第一端子 Y1 及第二端子 Y2 上呈現來自多工器 508 以及第一三態緩衝器 504（在第一端子 Y1 上）及第二三態緩衝器 506（在第二端子 Y2 上）的負載。多工器 508 在負載方面與記憶體控制器 420 上之輸入緩衝器相當，且第一三態緩衝器 504 及第二三態緩衝器 506 各自與記憶體控制器 420 上之輸出緩衝器相當。因此，資料傳輸電路 416 向記憶體裝置 412 呈現實質上與記憶體控制器 420 將呈現之負載相同的負載。

另外，資料傳輸電路 416 進行操作以改善在記憶體控制器 420 與記憶體裝置 412 之間傳遞的資料信號之品質。在無資料傳輸電路 416 之情況下，資料信號之波形可實質上降級或在來源與儲集器（sink）之間自所要形狀而發生失真。舉例而言，信號品質可能因有損耗的傳輸線特性、傳輸線段之特性之間的失配（mismatch）、信號串擾（crosstalk）或電性雜訊而降級。然而，在讀取方向上，讀取緩衝器 509 再生來自記憶體裝置 412 之信號，藉此而恢復所要之信號波形形狀。類似地，在寫入方向上，第一三態緩衝器 504 及第二三態緩衝器 506 再生來自記憶體控制器 420 之信號，藉此而恢復所要之信號波形形狀。

再次參見圖 3A，當記憶體控制器 420 執行讀取或寫入操作時，每一特定操作是針對特定記憶體模組 402 之級

A、B、C 及 D 中之特定一者。記憶體模組 402 中之被特定針對之一者上的資料傳輸電路 416 充當雙向中繼器/多工器，使得其在自系統記憶體控制器 420 連接至記憶體裝置 412 時驅動資料信號。其餘的記憶體模組 402 上之其他資料傳輸電路 416 對特定操作停用。舉例而言，在資料線 518 上進入資料傳輸電路 416 中之資料信號取決於哪些記憶體裝置是活動的且被啟用，而被驅動至記憶體裝置 412A 及 412C 或 412B 及 412C。資料傳輸電路 416 隨後將信號自記憶體裝置 412A、412B、412C、412D 多工至系統記憶體控制器 420。資料傳輸電路 416 可各自控制（例如）半位元組（nibble）寬度的資料路徑或位元組寬度的資料路徑。如上文所論述，與每一模組 402 相關聯之資料傳輸電路 416 可操作以合併資料讀取信號並驅動資料寫入信號，從而啟用系統記憶體控制器 420 與所針對或選定之記憶體裝置 412 之間的適當資料路徑。因此，當存在四個四級記憶體模組時，記憶體控制器 420 經歷(see)四個負載減少式切換電路負載，而非十六個記憶體裝置負載。與例如上文參見圖 1A、圖 1B 及圖 2A 至圖 2D 而描述之習知系統相比，記憶體控制器 420 上減少之負載增強了效能且降低了記憶體系統之功率要求。

可參見圖 6 進一步理解使用資料傳輸電路 416 之記憶體模組的操作，圖 6 為記憶體模組 402 之信號的說明性時序圖。所述時序圖包含第一至第八時間週期 601 至 608。當記憶體裝置 404 為同步記憶體時，時間週期 601 至 608

中之每一者可對應於記憶體裝置 404 之一個時脈週期。

第一、第二及第三時間週期 601 至 603 說明資料自記憶體控制器 401 傳遞至記憶體模組 402 的寫入操作。第四時間週期 604 為寫入操作與後續的讀取操作之間的轉移 (transition)。時序圖繪示對連接至資料傳輸電路 416 之第一端子 Y1 的第一群組之記憶體裝置 412A、412C 的寫入操作，以及對連接至資料傳輸電路 416 之第二端子 Y2 的第二群組之記憶體裝置 412B、412D 的寫入操作。回憶上文所述之 CAS 潛伏期，每一寫入操作以管線式方式而在兩個時間週期上延續。

對第一群組之記憶體裝置 412A、412C 之寫入是在系統位址及控制信號 440 自記憶體控制器 420 傳遞至模組控制器 430 時出現於第一時間週期 601 中。控制電路 430 評估位址及控制信號 440，以確定資料將被寫入至第一群組中之記憶體裝置 412A、412C。在第二時間週期 602 期間，控制電路 430 將控制信號供應至控制邏輯電路 502，以啟用第一三態緩衝器 504 並使第二三態緩衝器 506 及該讀取緩衝器 509 停用。因此，在第二時間週期 602 期間，資料位元自資料線 518 傳遞至第一端子 Y1，且繼續傳遞至記憶體裝置 412A、412C。

類似地，對第二群組之記憶體裝置 412A、412C 之寫入是在系統位址及控制信號 440 自記憶體控制器 420 傳遞至控制電路 430 時出現於第二時間週期 602 中。控制電路 430 評估位址及控制信號 440，以確定資料將被寫入至第二

群組中之記憶體裝置 412B、412D。在第三時間週期 603 期間，控制電路 430 將控制信號供應至控制邏輯電路 502，以啟用第二三態緩衝器 506 並使第一三態緩衝器 504 及該讀取緩衝器 509 停用。因此，在第三時間週期 603 期間，資料位元自資料線 518 傳遞至第二端子 Y2，且繼續傳遞至記憶體裝置 412B、412D。

第五、第六、第七及第八時間週期 605 至 608 說明資料自記憶體模組 402 傳遞至記憶體控制器 420 的讀取操作。時序圖繪示自連接至資料傳輸電路 416 之第一端子 Y1 之第一群組的記憶體裝置 412A、412C 的讀取操作，以及自連接至資料傳輸電路 416 之第二端子 Y2 之第二群組的記憶體裝置 412B、412D 的讀取操作。回憶上文所述之 CAS 潛伏期，每一讀取操作以管線式方式在兩個時間週期上延續。

自第一群組之記憶體裝置 412A、412C 之讀取是在系統位址及控制信號 440 自記憶體控制器 420 傳遞至控制電路 430 時出現於第五時間週期 605 中。控制電路 430 評估位址及控制信號 440，以確定資料將自第一群組中之記憶體裝置 412A、412C 被讀取。在第六時間週期 606 期間，控制電路 430 將控制信號供應至控制邏輯電路 502，以致使多工器 58 選擇來自第一端子 Y1 之資料，以啟用該讀取緩衝器 509 並停用第一三態緩衝器 504 及第二三態緩衝器 506。因此，在第六時間週期 606 期間，資料位元經由第一端子 Y1 而自記憶體裝置 412A、412C 傳遞至資料線 518，

且繼續傳遞至記憶體控制器 420。

自第二群組之記憶體裝置 412B、412D 之讀取是在系統位址及控制信號 440 自記憶體控制器 420 傳遞至控制電路 430 時出現於第七時間週期 607 中。控制電路 430 評估位址及控制信號 440，以確定資料將自第二群組中之記憶體裝置 412B、412D 被讀取。在第八時間週期 608 期間，控制電路 430 將控制信號供應至控制邏輯電路 502，以致使多工器 508 選擇來自第二端子 Y2 的資料，以啟用該讀取緩衝器 509 並停用第一三態緩衝器 504 及第二三態緩衝器 506。因此，在第八時間週期 606 期間，資料位元經由第二端子 Y2 而自記憶體裝置 412B、412D 傳遞至資料線 518，且繼續傳遞至記憶體控制器 420。

上文已描述了各種實施例。儘管已參考此等特定實施例描述了本發明，但描述內容意在說明本發明，而無意具有限制性。在不脫離如所附申請專利範圍中所界定之本發明之真實精神及範疇的情況下，熟習此項技術者可想到各種修改及應用。

【圖式簡單說明】

圖 1A 為裝填有至少一 JEDEC 標準的兩級記憶體模組之習知記憶體子系統的示意性表示。

圖 1B 為裝填有至少一 JEDEC 標準的四級記憶體模組之習知記憶體子系統的示意性表示。

圖 2A 為裝填有至少一兩級記憶體模組之另一習知記憶體子系統的示意性表示。

圖 2B 為裝填有至少一四級記憶體模組之另一習知記憶體子系統的示意性表示。

圖 2C 及圖 2D 分別示意性地說明習知兩級記憶體模組及四級記憶體模組，其各自包括記憶體緩衝器。

圖 3A 為根據本發明實施例之實例記憶體子系統的示意性表示。

圖 3B 示意性地說明根據本文所描述之某些實施例的另一實例記憶體子系統。

圖 3C 示意性地說明根據本文所描述之某些實施例的記憶體模組之記憶體裝置、資料傳輸電路以及控制電路的實例佈局。

圖 3D 為根據本文所描述之某些實施例的實例記憶體子系統的照片。

圖 4A 示意性地說明包括位元寬度是與個別記憶體裝置之位元寬度相同的資料傳輸電路的實例記憶體子系統。

圖 4B 示意性地說明包括位元寬度是與個別記憶體裝置之位元寬度不同的資料傳輸電路的實例記憶體子系統。

圖 5 為與圖 3A 之記憶體子系統相容之資料傳輸電路的實例實施例的示意性表示。

圖 6 為說明圖 3A 及圖 5 之記憶體系統之操作的實例時序圖。

【主要元件符號說明】

100、100'：習知記憶體子系統

110、110'：記憶體模組

112、112'：記憶體裝置

120、120'：系統記憶體控制器

130、130'：暫存器

140、140'：控制線

142、142'：控制線

150、150'：資料線

200、200'：習知記憶體子系統

210、210'：記憶體模組

212、212'：記憶體裝置

220、220'：系統記憶體控制器

230、230'：暫存器

240、240'：控制線

242、242'：控制線

250、250'：資料線

310：習知兩級記憶體模組

310'：習知四級記憶體模組

312、312'：記憶體裝置

320、320'：記憶體控制器

330、330'：記憶體緩衝器

340、340'：控制線

342、342'：控制線
 350、350'：資料線
 400、400'：實例記憶體子系統
 402、402'：記憶體模組
 410、410'：記憶體模組/印刷電路板
 411、411'：邊緣
 412、412'：記憶體裝置
 412A、412B、412C、412D：記憶體裝置
 412A₁、412A₂、...、412A_n：記憶體裝置
 412B₁、412B₂、...、412B_n：記憶體裝置
 412C₁、412C₂、...、412C_n：記憶體裝置
 412D₁、412D₂、...、412D_n：記憶體裝置
 412'A₁、412'A₂、...、412'A_n：記憶體裝置
 412'B₁、412'B₂、...、412'B_n：記憶體裝置
 412'C₁、412'C₂、...、412'C_n：記憶體裝置
 412'D₁、412'D₂、...、412'D_n：記憶體裝置
 416、416'：資料傳輸電路
 416₁、416'₁：第一資料傳輸電路
 416₂、416'₂：第二資料傳輸電路
 420、420'：系統記憶體控制器
 430、430'：控制電路
 432、432'：線
 440、440'：系統位址及控制線/位址及控制線
 442、442'：線

450、450'：資料線

452：資料線

502：控制邏輯電路

503：寫入緩衝器

504：第一三態緩衝器

506：第二三態緩衝器

508：多工器

509：讀取緩衝器

518：資料線

601 至 608：第一至第八時間週期

A、B、C、D：級

Y1：第一端子

Y2：第二端子

七、申請專利範圍：

1. 一種記憶體模組，用以操作在具有系統記憶體控制器的記憶體系統，所述記憶體模組包括：

至少一印刷電路板；

多個記憶體裝置的集合，其以機械方式耦接至所述至少一印刷電路板，每個記憶體裝置的集合包括至少兩個群組，每個群組包括至少一記憶體裝置；

控制電路，其以機械方式耦接至所述至少一印刷電路板，所述控制電路組態以自所述系統記憶體控制器接收輸入控制信號，且將基於所述輸入控制信號的模組控制信號傳輸至所述多個記憶體裝置的集合；以及

多個資料傳輸電路，其分散於所述記憶體模組之相對於記憶體裝置的所述該些個別集合(respective set)的位置，每個資料傳輸電路相關聯於記憶體裝置的個別集合；以及

其中，在寫入操作的期間，相關聯於記憶體裝置的個別集合的每個資料傳輸電路經組態以：

在所述記憶體控制器與位於記憶體裝置的所述個別集合中的第一群組之間啟用一或多個第一資料路徑，以回應所述模組控制信號；以及

透過隔離來呈現所述記憶體控制器的已減少負載，以回應所述模組控制信號、來自所述記憶體控制器而位於記憶體裝置的所述個別集合中的第二群組，所述已減少負載小於相關聯於所述第一群組與所述第二群組兩者的負載。

2. 如申請專利範圍第 1 項所述之記憶體模組，其中所述模組控制信號包括一或多個啟用信號以啟用所述一或多個第一資料路徑，並且在所述寫入操作的期間，禁止位在所述記憶體控制器以及位於記憶體裝置的所述個別集合中的所述第二群組之間的所述一或多個第二資料庫。

3. 如申請專利範圍第 1 項所述之記憶體模組，其中所述記憶體裝置的所述該些集合通過資料線的個別集合而與所述記憶體控制器通訊，並且其中所述資料傳輸電路被插入至資料線的所述該些個別集合，以致於在所述寫入操作的期間，所述記憶體控制器從所述記憶體模組在每個資料線上經歷單一記憶體裝置負載。

4. 如申請專利範圍第 1 項所述之記憶體模組，其中相關聯於記憶體裝置的個別集合的每個資料傳輸電路包括寫入緩衝器，以接收來自所述記憶控制器的寫入資料，且在所述寫入操作的期間，回應所述模組控制信號以通過已啟用的所述一或多個第一資料路徑而驅動所述寫入資料至位在記憶體裝置的個別集合中的至少一記憶體裝置的所述第一群組。

5. 如申請專利範圍第 2 項所述之記憶體模組，其中在讀取操作的期間，相關聯於記憶體裝置的個別集合的每個資料傳輸電路是在至少一記憶體裝置的所述第一群組以及至少一記憶體裝置的所述第二群組之間進行選擇，以回應所述模組控制信號，並且驅動所述讀取資料至所述記憶體控制器，其中記憶體裝置的所述個別群組用以接收讀取資料。

6. 如申請專利範圍第 1 項所述之記憶體模組，其中記憶體裝置的所述該些集合組織為多個級(rank)，其中記憶體裝置的每個集合包括來自每個級的至少一記憶體裝置。

7. 如申請專利範圍第 5 項所述之記憶體模組，其中在所述讀取操作的期間，相關聯於記憶體裝置的個別集合的每個資料傳輸電路是禁止所述一或多個第一資料路徑以及所述一或多個第二資料路徑。

8. 如申請專利範圍第 7 項所述之記憶體模組，其中所述資料傳輸電路通過模組信號線的第一集合而耦接至模組控制器，且所述模組控制信號通過模組信號線的所述第一集合而被傳輸至所述資料傳輸電路，並且其中記憶體裝置的每個集合通過模組信號線的第二集合被耦接至所述模組控制器，且從所述模組控制器通過模組信號線的第二集合而接收已暫存控制信號。

9. 如申請專利範圍第 1 項所述之記憶體模組，其中所述模組控制器配置以傳輸所述模組控制信號至多個負載減少式裝置，而不是傳輸至記憶體裝置的所述該些集合。

10. 如申請專利範圍第 1 項所述之記憶體模組，其中每個資料傳輸電路具有位元寬度，所述位元寬度與一記憶體裝置的位元寬度相同。

11. 如申請專利範圍第 1 項所述之記憶體模組，其中每個資料傳輸電路具有位元寬度，所述位元寬度大於一記憶體裝置的位元寬度。

12. 如申請專利範圍第 1 項所述之記憶體模組，其中

記憶體裝置的所述多個集合中的每個記憶體裝置從由動態隨機存取記憶體、同步動態隨機存取記憶體以及雙資料速率動態隨機存取記憶體所組成的群組中選擇。

13. 如申請專利範圍第 2 項所述之記憶體模組，其中每個第一資料路徑包括第一三態緩衝器(tristate buffer)，且每個第二資料路徑包括第二三態緩衝器，其中所述第一及第二三態緩衝器藉由所述至少一模組控制信號所控制。

14. 一種操作記憶體模組的方法，其中所述記憶體模組通過資料線的多個集合以耦接至電腦系統記憶體控制器，所述記憶體模組包括記憶體裝置的多個集合，記憶體裝置的每個集合相對應於資料線的一集合，所述方法包括：

從所述記憶體控制器接收位址/控制信號；

基於所述位址/控制信號以產生模組控制信號的第一集合及第二集合；

傳輸所述模組控制信號的第一集合至分散於所述記憶體模組的多個資料傳輸裝置，每個資料傳輸裝置相關聯於記憶體裝置的個別集合且耦接於記憶體裝置的所述個別集合及資料線的個別集合之間，每個資料傳輸電路包括寫入資料路徑、讀取資料路徑以及控制邏輯電路，所述控制邏輯電路依據所述模組控制信號以控制所述寫入資料路徑以及讀取資料路徑；以及

在寫入操作的期間，使用位於所述個別資料傳輸電路中的所述控制邏輯電路來啟用所述寫入資料路徑的已選擇子集(subset)，以禁止位在所述個別資料傳輸電路中的所述

寫入資料路徑的不同子集以回應所述模組控制信號的所述第二集合，以致於當位於記憶體裝置的個別集合中的所述至少一記憶體裝置的第二群組已被鎖入記憶體控制器所隔離時，相關聯於所述寫入操作的寫入資料從資料線的所述個別集合被驅動至位於記憶體裝置的個別集合中的所述至少一記憶體裝置的第一群組。

15. 如申請專利範圍第 14 項所述之方法，更包括：

在讀取操作的期間，禁止所述寫入資料路徑，且在記憶體裝置的每個個別集合中的至少一記憶體裝置的所述第一群組以及至少一記憶體裝置的所述第二群組之間進行選擇，以反應所述模組控制信號而將讀取資料與所述記憶體控制器通訊。

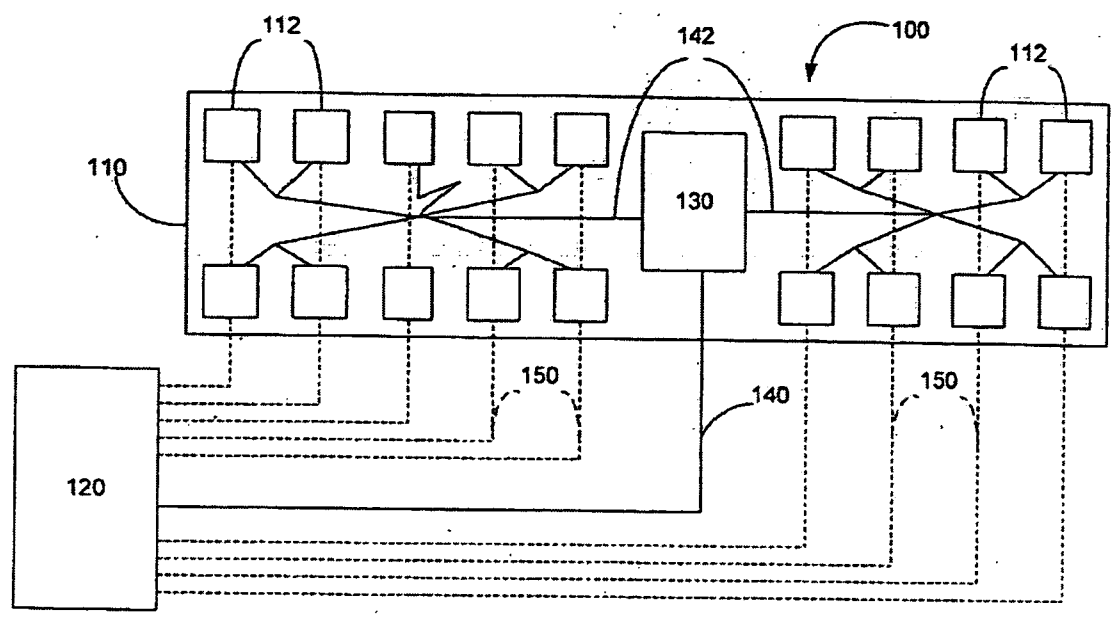


圖 1A

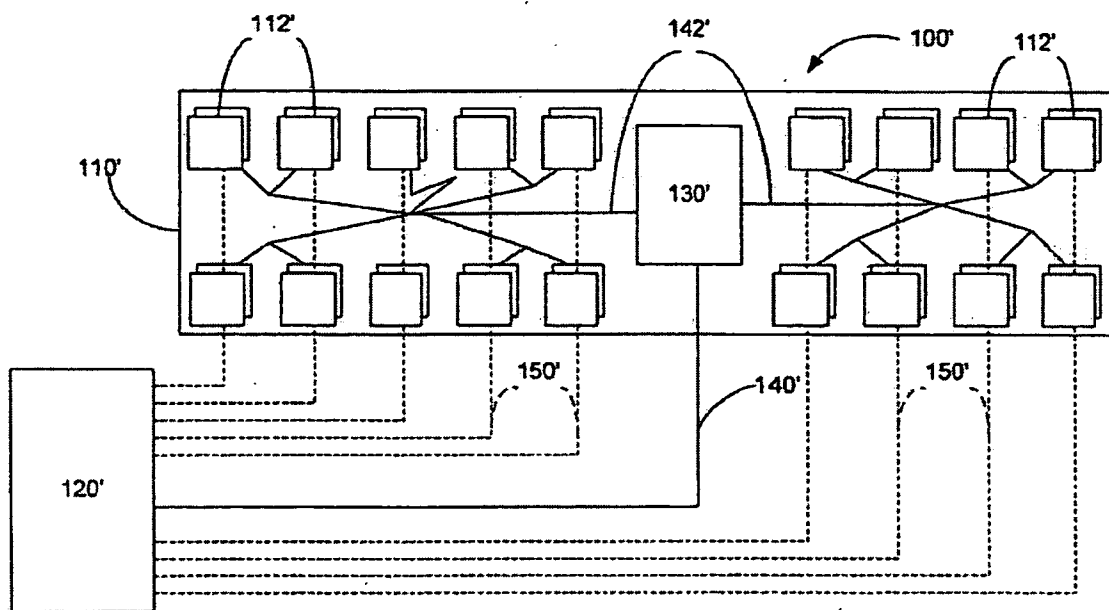


圖 1B

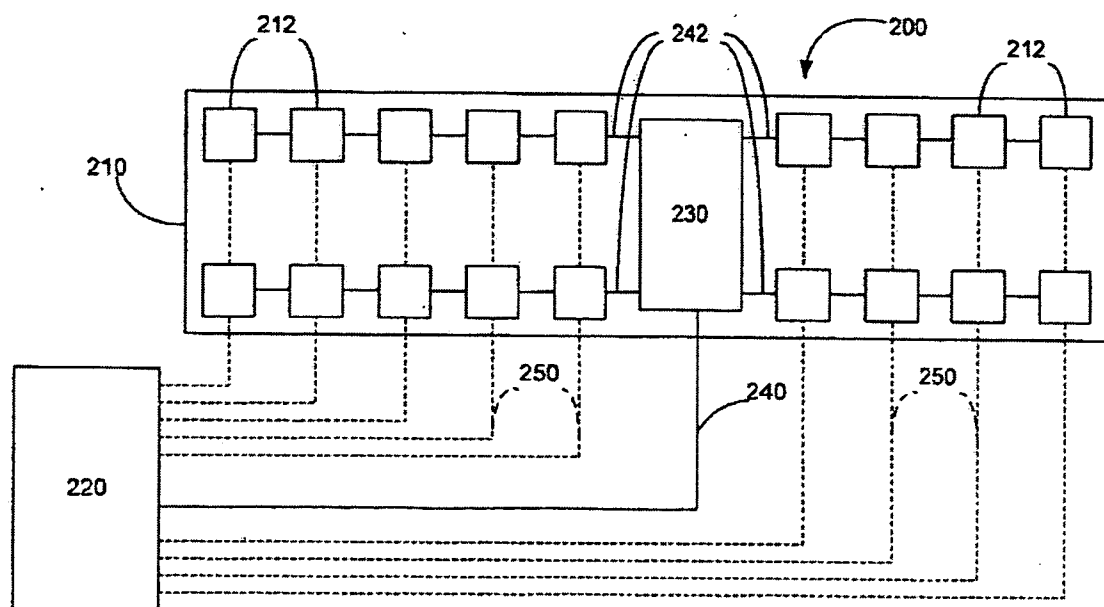


圖 2A

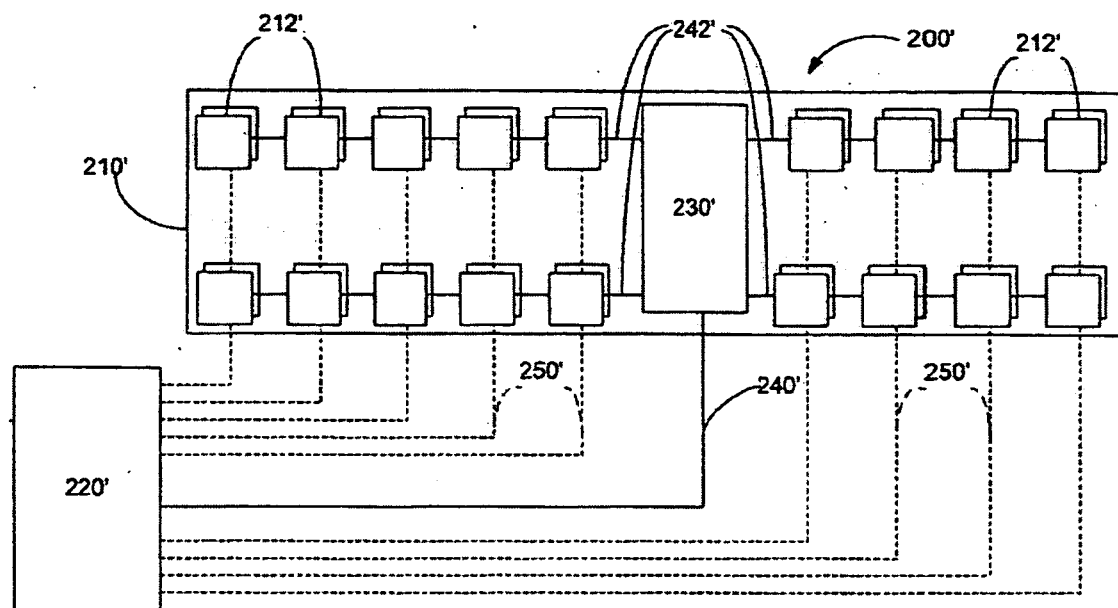


圖 2B

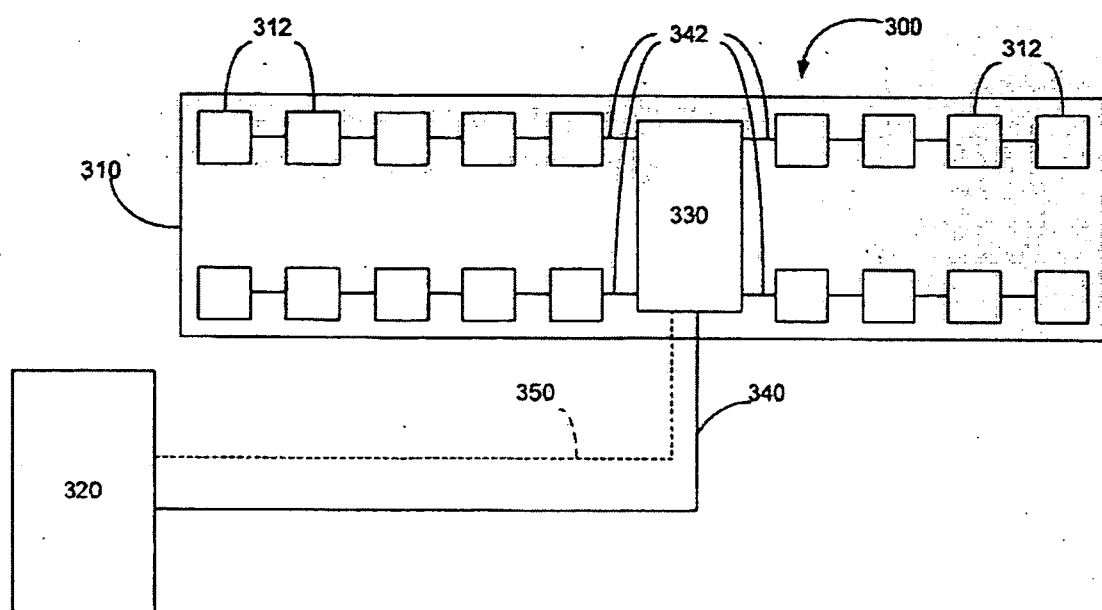


圖 2C

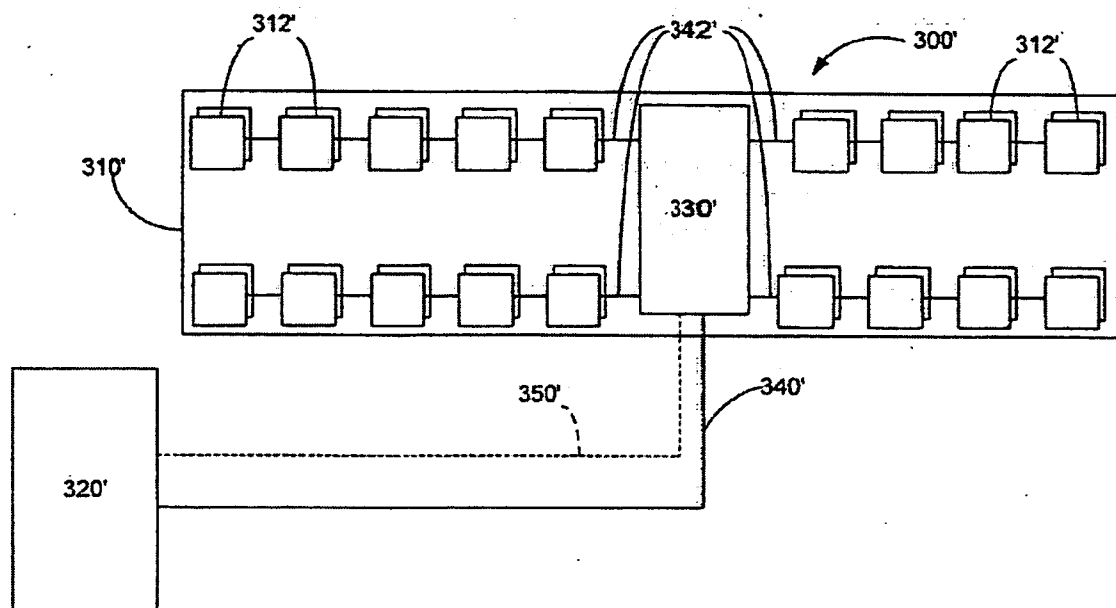


圖 2D

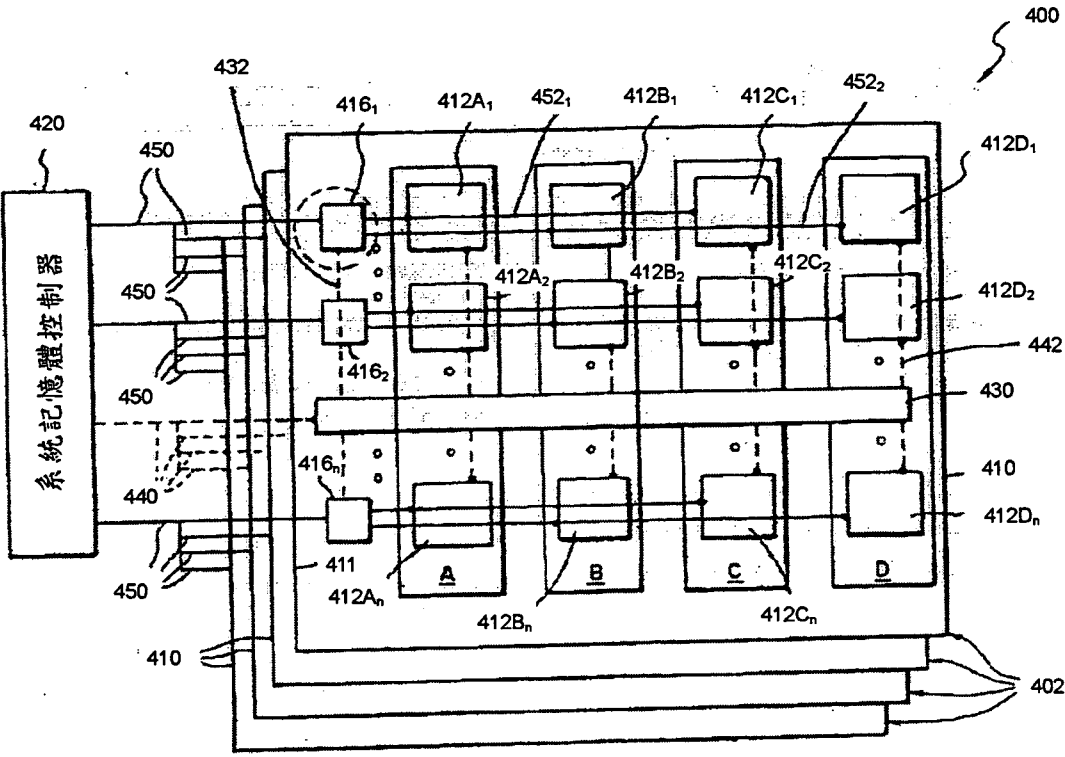


圖 3A

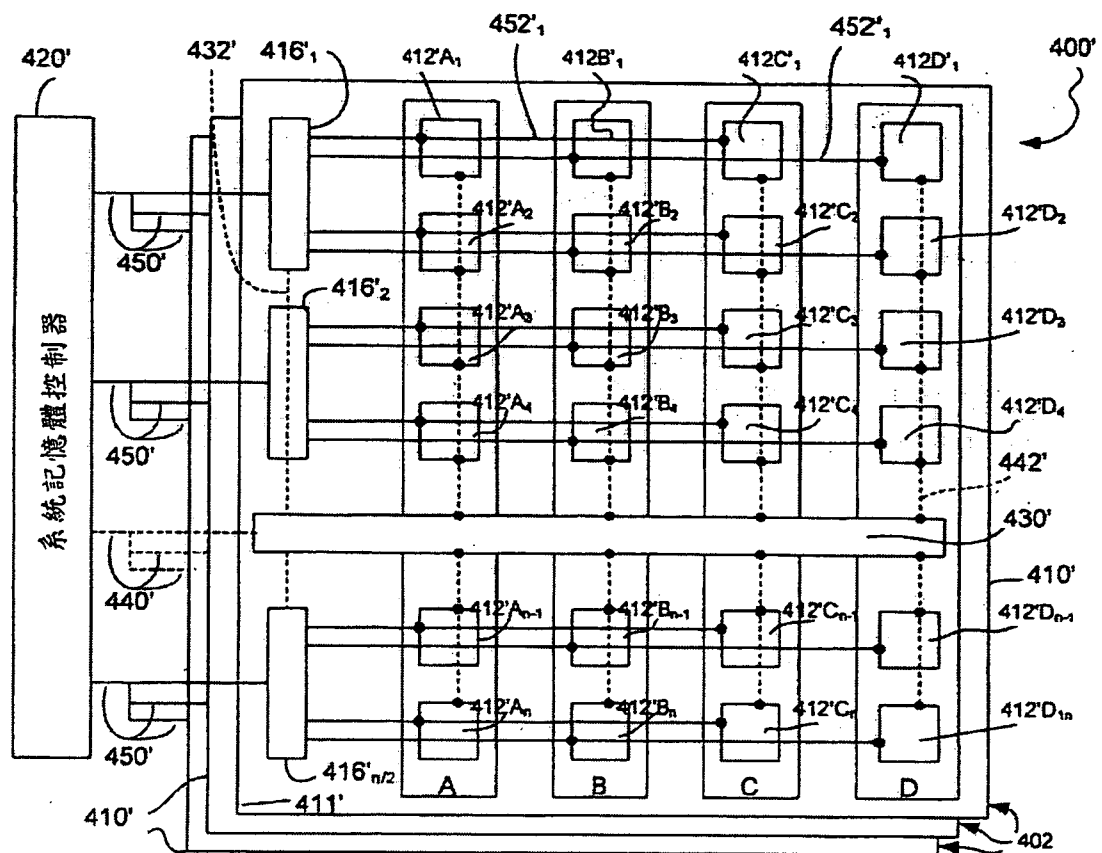


圖 3B

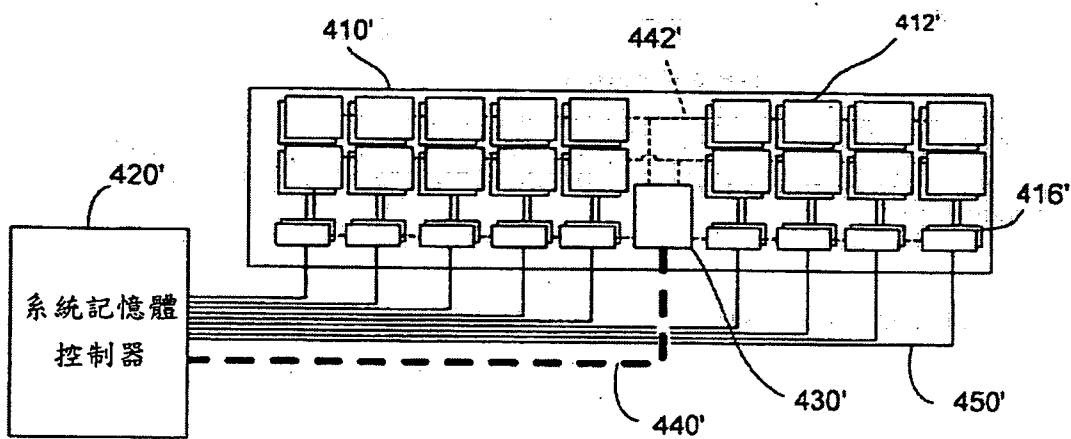


圖 3C

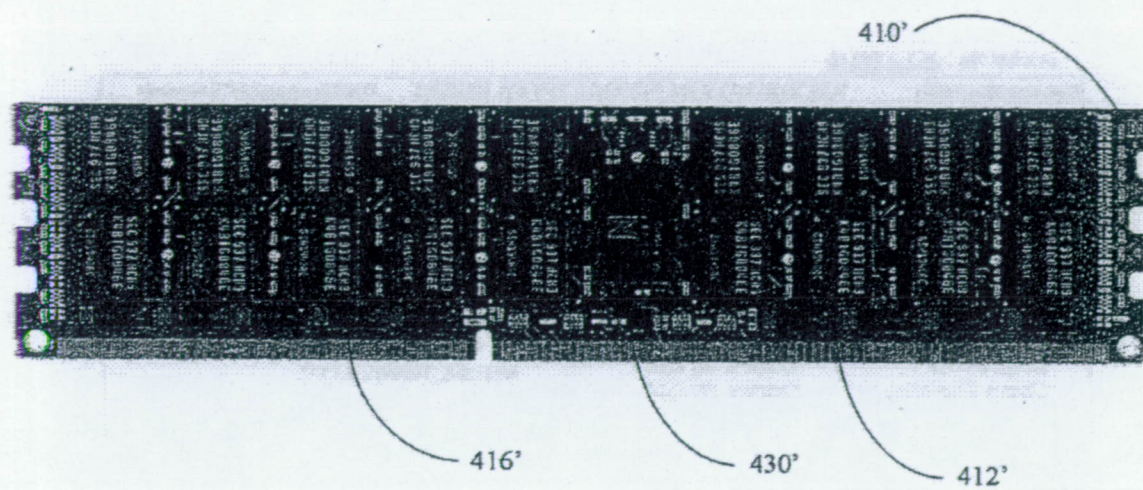


圖 3D

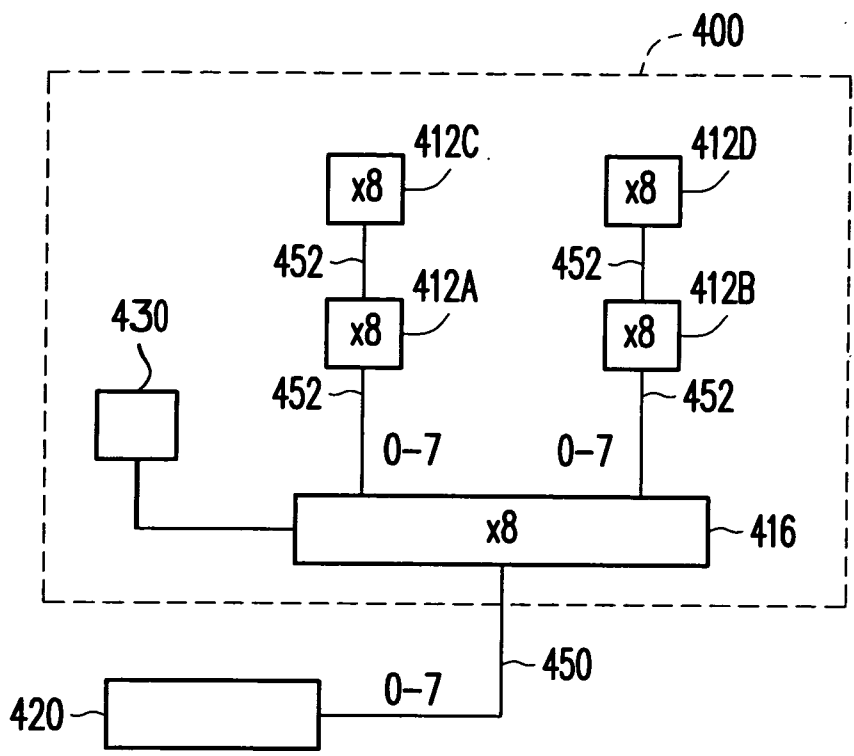


圖 4A

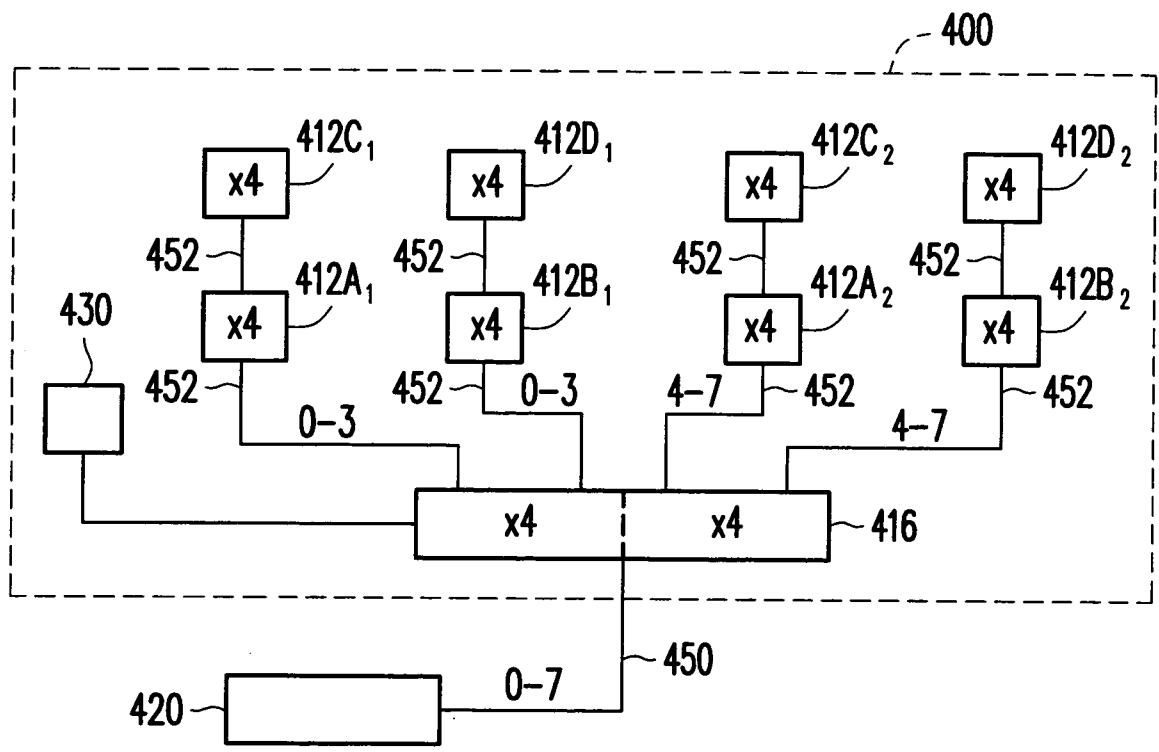
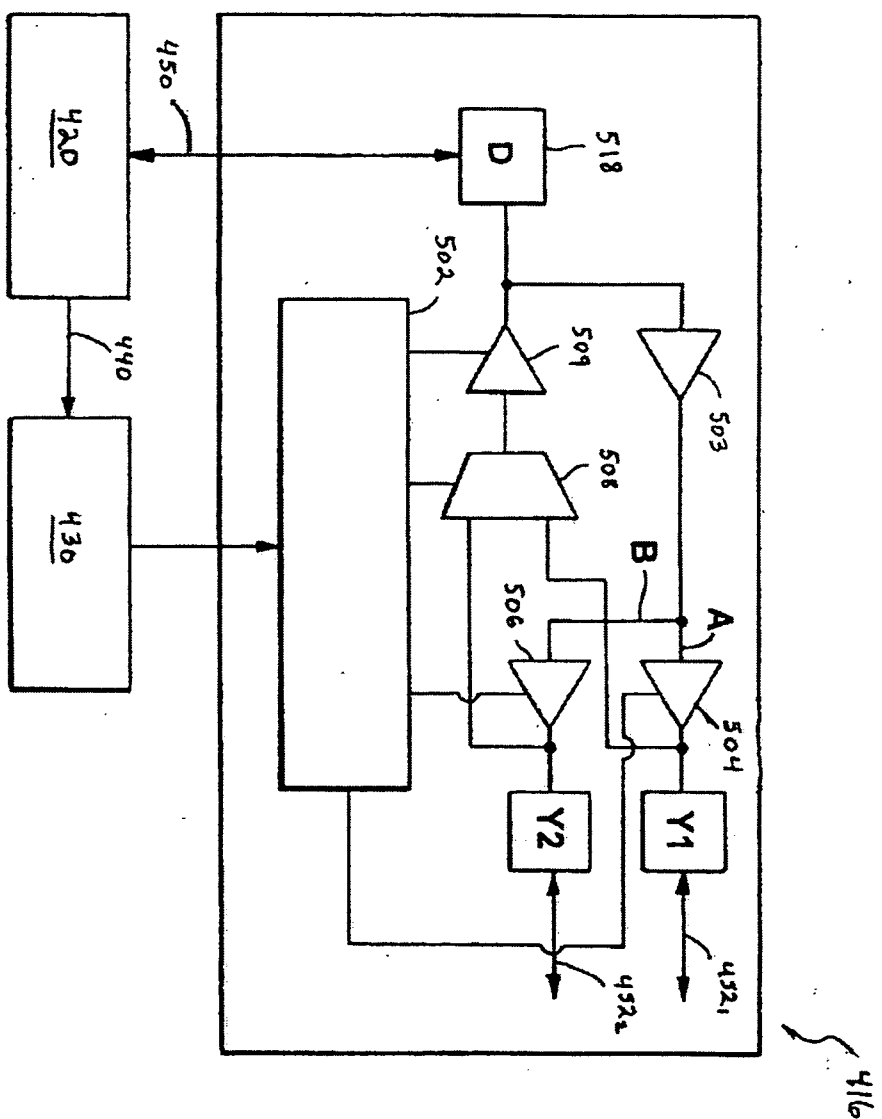


圖 4B



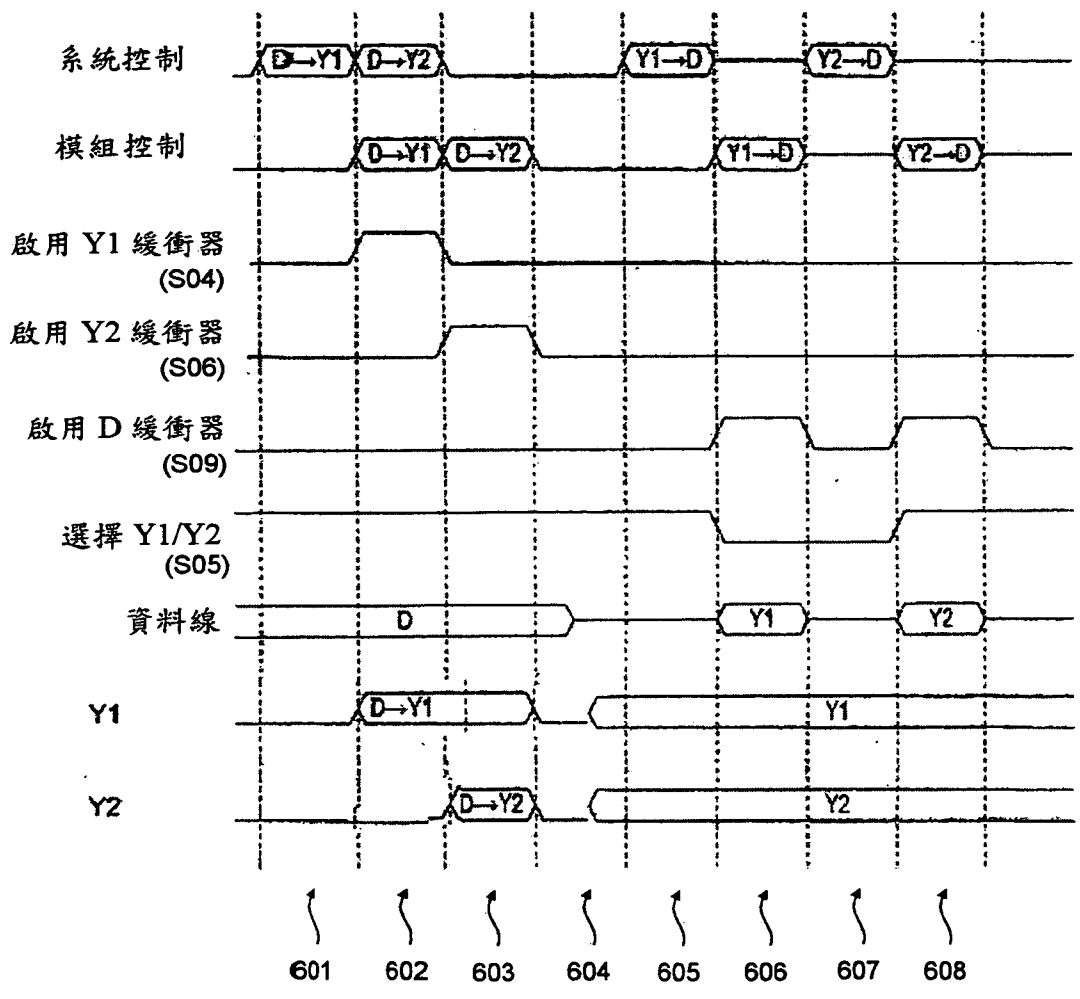


圖 6