

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5276992号
(P5276992)

(45) 発行日 平成25年8月28日(2013.8.28)

(24) 登録日 平成25年5月24日(2013.5.24)

(51) Int.Cl.

F 1

HO1L 21/336	(2006.01)	HO1L 29/78	616K
HO1L 29/786	(2006.01)	HO1L 29/78	617J
HO1L 51/05	(2006.01)	HO1L 29/78	626C
HO1L 21/768	(2006.01)	HO1L 29/78	618B
HO1L 21/3205	(2006.01)	HO1L 29/28	100A

請求項の数 12 (全 16 頁) 最終頁に続く

(21) 出願番号	特願2008-550830 (P2008-550830)
(86) (22) 出願日	平成19年1月12日 (2007.1.12)
(65) 公表番号	特表2009-524231 (P2009-524231A)
(43) 公表日	平成21年6月25日 (2009.6.25)
(86) 國際出願番号	PCT/GB2007/000080
(87) 國際公開番号	W02007/083087
(87) 國際公開日	平成19年7月26日 (2007.7.26)
審査請求日	平成22年1月12日 (2010.1.12)
(31) 優先権主張番号	0601008.6
(32) 優先日	平成18年1月18日 (2006.1.18)
(33) 優先権主張国	英國 (GB)

(73) 特許権者	501297550 キネティック リミテッド イギリス ロンドン エスタブリュー1イ ー 6ピーディー バッキンガム ゲート 85
(74) 代理人	100082005 弁理士 熊倉 賢男
(74) 代理人	100067013 弁理士 大塚 文昭
(74) 代理人	100086771 弁理士 西島 幸喜
(74) 代理人	100109070 弁理士 須田 洋之
(74) 代理人	100141553 弁理士 鈴木 信彦

最終頁に続く

(54) 【発明の名称】半導体デバイスの製造方法

(57) 【特許請求の範囲】

【請求項 1】

第1電極層が接触し且つ第2電極層が誘電体層(8)により分離されている半導体層(14)を含む多層半導体デバイスのための電極構造体を製造する方法において、

(i) 支持層の選択されたエリアのみにパターン化材料(20)を付与して、前記第1電極層の構成体を画成するステップと、

(ii) 前記パターン化材料(20)に応答するようにされた触媒(24)を前記支持層に付与するステップと、

(iii) 前記支持層に導電性材料(26)を付与して、前記第1電極層を形成するステップと、

を備え、前記支持層、前記パターン化材料(20)、及び前記触媒(24)が協働して、前記触媒(24)が付与された前記支持層の選択されたエリアのみに前記導電性材料(26)が堆積されるようにし、前記支持層は、エポキシド化合物を含み、前記支持層に前記導電性材料(26)を付与するステップは、無電解堆積を含む方法。

【請求項 2】

前記支持層は、誘電体層(8)を含む、請求項1に記載の方法。

【請求項 3】

前記第2電極層を形成し、そこに誘電体材料を付与して、誘電体層(8)を形成する初期ステップを更に備えた、請求項2に記載の方法。

【請求項 4】

10

20

前記誘電体層(8)に導電性材料(26)を堆積して、第1及び第2の金属電極(12a, 12b)を形成し、そして更に、

(iv) 前記誘電体層(8)の少なくとも一部分に半導体材料を付与することにより前記半導体層(14)を形成して、前記第1及び第2の金属電極(12a, 12b)との電気的接触をなすステップ、

を備えた請求項3に記載の方法。

【請求項5】

前記支持層は、基板層(4)を含む、請求項1に記載の方法。

【請求項6】

前記基板層(4)に導電性材料(26)を堆積して、第1及び第2の金属電極(12a, 12b)を形成し、そして更に、

10

(iv) 前記基板層(4)の少なくとも一部分に半導体材料を付与することにより前記半導体層(14)を形成して、前記第1及び第2の金属電極(12a, 12b)との電気的接触をなすステップと、

(v) 前記半導体層(14)に誘電体材料を付与して誘電体層(8)を形成するステップと、

(vi) 前記誘電体層(8)に実質的に導電性の電極(6)を付与することにより前記第2電極層を形成するステップと、

を備えた請求項5に記載の方法。

【請求項7】

前記半導体デバイスは、前記第2電極層が実質的に導電性のゲート電極(6)を形成し、そして前記第1及び第2の金属電極(12a, 12b)が各々ソース及びドレインを形成するような薄膜トランジスタ(2)として構成された、請求項1から6のいずれかに記載の方法。

20

【請求項8】

前記誘電体材料は、エポキシド化合物を含む、請求項3、4、6又は7に記載の方法。

【請求項9】

前記誘電体材料は、1ないし12の範囲の官能性を有するエポキシド化合物を含む、請求項8に記載の方法。

【請求項10】

前記パターン化材料(20)は、表面ヒドロキシルグループに取り付けるようにされる、請求項1から9のいずれかに記載の方法。

30

【請求項11】

前記パターン化材料(20)は、金属の無電解堆積に対して触媒作用する材料を結合するようにされる、請求項1から10のいずれかに記載の方法。

【請求項12】

前記パターン化材料(20)は、スルファン酸材料、トリハロシラン材料、及びトリアルコキシシラン材料の少なくとも1つを含み、トリアルコキシシランは、1つ以上のアミン、アミノカルボキシチオール、ジケトネート、オキシム又は置換ホスフィングループで置換されたものである、請求項1から11のいずれかに記載の方法。

【発明の詳細な説明】

【技術分野】

40

【0001】

本発明は、半導体デバイスの製造方法に係り、より詳細には、薄膜トランジスタ(TFT)デバイスの製造方法に係る。本発明は、特に、ディスプレイ装置用の有機薄膜トランジスタの製造方法に係るが、これに限定されない。

【背景技術】

【0002】

有機薄膜トランジスタ(TFT)は、アクティブマトリクスディスプレイ、化学的センサ及び柔軟なマイクロエレクトロニクスのような種々の低成本、大面積の電子的用途で関心がもたれている。

【0003】

50

本発明の背景として、TFTデバイスは、典型的に、半導体層と接触をなす2つの導電性電極（ソース及びドレイン）を備えている。第3の電極（ゲート）は、半導体層に隣接するが、そこから絶縁される。動作中に、ソース電極からドレイン電極へと流れる電流は、ゲートに印加される電圧により制御される。高い性能を得るためにには、ソース・ドレイン距離が短く（通常、0.1ないし10μm）且つゲートと半導体チャンネルとの間の絶縁が薄い（10nmないし1μm）ことが望ましい。

【0004】

TFTデバイスは、通常、高真空堆積やホトリソグラフィーを含む慣習的な半導体処理ルートにより製造される。しかしながら、このような従来の堆積及びパターン化プロセスは経費がかかる。特に、低成本大量生産の場合には、既存の装置概念と結合されて許容できる性能を有する有機TFTデバイス及び集積回路を形成する低廉な材料堆積及びパターン化プロセスを開発するという要求が続いている。10

【0005】

前記要件を心に留めて、TFTデバイスを製造するための別の低廉なルートとして、高解像度の印刷技術が示唆された。

【0006】

例えば、グラファイトベースの導電性インクのスクリーン印刷によりゲート電極並びにソース及びドレイン接触部が準備される有機TFTが立証されている（ガルニアF氏等のサイエンス1994、265、1684を参照）。同様に、スクリーン印刷を使用して、有機TFTにゲート誘電体層を堆積することも知られている（バオZ氏等のPolym. Mater. Sci. Eng. 1997、77、409を参照）。20

【0007】

或いは又、ガラス基板上有機TFTのソース及びドレイン接触部並びにゲート電極を画成するように導電性ポリマーを堆積するのにインクジェット印刷が使用されている（サーリングハウスH氏等のサイエンス2000、290、2123）。

【0008】

しかしながら、スクリーン印刷及びインクジェット印刷は、有機TFTを形成するのに首尾良く利用されているが、これら方法により達成できる最小特徴部の解像度は、せいぜい、数十マイクロメーターであり、多くの実際的な用途では不十分である。

【0009】

しかしながら、インクが印刷される層の表面エネルギーを選択的に変更することによって、より寸法の小さい特徴部を、スクリーン印刷及びインクジェット印刷で得ることができる。この技術は、パターン化された表面エネルギーを表面に与えて、その表面に導電性材料の水性分散物を印刷することを含む。水性インクは、処理される表面の画成されたエリアから水分除去(de-wet)し、例えば、TFTにソース／ドレイン経路を正確に画成するのに使用できる絶縁ギャップを形成する。このプロセスは、一応機能するが、変調された表面エネルギーを与えるためには、ホトリソグラフィーのような複雑なプロセスで表面を前処理することに依存する。30

【0010】

しかしながら、理論的にはマイクロメーター解像度で特徴部を形成することができる、マイクロモールディング・イン・キャピラリー（MIC）及びマイクロコンタクトプリントティング（μCP）を含む別の印刷技術も存在する。40

【0011】

マイクロコンタクトプリントティングは、ゴムのスタンピングに基づくホトリソグラフィー技術であり、1μmより充分に低いスケールで特徴部を画成することができる。TFTを形成する典型的なプロセスでは、ホトリソグラフィーによりチオール化合物が金の金属表面に印刷されて、そこに結合される。次いで、チオールによって保護されない金のエリアをエッティング除去して、ソース及びドレイン電極を画成する。この方法は、有効であるが、コストのかかる金の真空蒸着と、制御が困難で、低速で且つ環境的に望ましくないエッティングプロセスとに依存している。50

【0012】

別のソフトリソグラフィープロセスでは、マイクロコンタクトプリンティングを使用して、金属の無電解メッキを選択的に開始するためのパラジウム種層を印刷し、それにより、基板の種領域における金属化の生成を容易にしている。このプロセスは、完全に加算的なプロセスであり、即ち金属をパターン化するのにエッチングが要求されないという点で有益である。しかしながら、この技術は、既存のTFT設計及び製造技術と潜在的に適合しない。質の高い金属層の成長を開始するためには、パラジウム触媒を著しく高い密度で堆積しなければならない。対照的に、マイクロコンタクトプリンティングは、表面に非常に低い濃度の材料を堆積するのに最も良く適し、例えば、表面に分子単層を堆積するのに最も良く適している。材料の重たい堆積物を印刷する試みは、達成できる解像度に悪影響を及ぼす。逆に、触媒の軽い堆積物のマイクロコンタクトプリンティングは、その後の無電解メッキにおいて、不完全で、低速で又は非常に粗い金属成長を与える傾向がある。

10

【0013】

ガラス又はシリコン表面に金属トラックを堆積するのに、更に別のソフトリソグラフィープロセスが使用されているが、TFT構造体を製造するものではない。このプロセスでは、コンタクトリソグラフィーにより表面にホスフィノホスホニック酸が印刷される。パラジウム電極触媒分散物で表面をその後に処理すると、触媒が印刷エリアに選択的に結合され、そして処理された基板を無電解銅又はニッケルメッキ槽にその後に浸漬すると、金属が印刷エリアに選択的にメッキされる。この技術は、これまでに認識されていない欠点で悩まされており、印刷TFTの製造への適用に適さないものにしている。

20

【0014】

第1に、有機TFTに定常的に使用される多くのポリマー材料は、パラジウムに対して高い親和性を有し、パラジウムをポリマー材料に不所望に結合させる。これは、次いで、TFT内に短絡を生じさせ、デバイスの性能を低下させるか又はデバイスを破壊することになる。第2に、無電解メッキ手順を使用してパラジウム種層に金属を堆積すると、メッキ溶液から絶縁材へ金属塩が浸出するためにゲート絶縁材の予期せぬ質低下を招くことになる。これは、ゲート絶縁材が従来の幾つかのポリマー材料を含む場合に特に明らかである。最後に、無電解メッキ手順に使用される化学溶液は、それらの酸、アルカリ又は還元特性のために、従来のポリマーゲート絶縁材の望ましからぬ腐食又は破壊を招くことになる。

30

【発明の開示】

【発明が解決しようとする課題】

【0015】

以上のことにも関わらず、ソフトリソグラフィーは、理論的には、1 μmより充分小さいスケールで特徴部を画成することができるが、これまで、従来の基板材料について知覚されている寸法不安定さのために、5 μmより小さい特徴部を得るための大量生産にマイクロコンタクトプリンティングを使用するのは実際的でないと考えられてきた。

【0016】

本発明の目的は、半導体デバイス、特に、これに限定されないが、薄膜トランジスタを製造する別の方法であって、上述した方法の欠点の少なくとも幾つかを軽減する方法を提供することである。

40

【課題を解決するための手段】

【0017】

本発明の第1の態様によれば、第1電極層が接触し且つ第2電極層が誘電体層によって分離されている半導体層を含む多層半導体デバイスのための電極構造体を製造する方法において、

(i) 前記デバイス内の支持層の選択されたエリアのみにパターン化材料を付与して、前記第1電極層の構成体を画成するステップと、

(ii) 前記パターン化材料に応答する触媒を前記支持層に付与するステップと、

(iii) 前記支持層に導電性材料を付与して、前記第1電極層を形成するステップと、

50

を備え、前記支持層、パターン化材料、及び触媒が協働して、この触媒が付与された前記支持層の選択されたエリアのみに前記導電性材料が堆積されるようにする方法、が新たに提案される。

【0018】

触媒は、パターン化材料に優先的に取り付けることによりパターン化材料に応答するようにもよい（即ち、触媒は、パターン化材料に対して高い化学的親和性を有する）。或いは又、触媒は、パターン化材料から優先的に取り外すことによりパターン化材料に応答するようにもよい（即ち、触媒は、パターン化材料に対して低い化学的親和性を有する）。

【0019】

この方法は、半導体デバイス構造体を製造する独特の効果を与える。ソフトリソグラフィーパターン化は、サブミクロンレベルの解像度を与えることができ、そして電極構造体は、コストのかかる真空又は高温度処理を伴わずに高い解像度で堆積することができる。更に、プロセスは、基板及びそれに付随する構造体のホトリソグラフィー露出及びエッチングを必要とせずに、実質的に加算的な仕方で実行することができる。プロセスのコスト対効果に加えて、あまり無駄が出ず、又、あまりエネルギーが必要とされない。このプロセスは、必要でないエリアにおける電極の堆積を回避して、短絡欠陥を回避することにより、従来のプロセスに固有の欠点を回避する。更に、誘電体層の腐食が回避され、デバイスにおける高い漏洩電流を防止する。ソフトリソグラフィーの使用は、これまで困難であった柔軟な表面及びカーブした表面にデバイスを製造できることを意味する。

【0020】

好ましい実施形態では、支持層が誘電体層を含む。この実施形態では、前記方法は、第2の電極層を形成し、それに誘電体材料を付与して誘電体層を形成するという初期ステップを備えてもよい。

【0021】

この実施形態では、導電性材料は、第1及び第2の金属電極を形成するように誘電体層上に堆積されるのが好ましく、そして前記方法は、

(iv) 誘電体層の少なくとも一部分に半導体材料を付与することにより半導体層を形成して、第1及び第2の金属電極との電気的接触をなす、
という更に別のステップを備えるのが効果的である。

【0022】

別の実施形態では、支持層が基板層を含む。この別の実施形態では、導電性材料は、第1及び第2の金属電極を形成するように誘電体層上に堆積されるのが好ましく、そして前記方法は、

(iv) 基板層の少なくとも一部分に半導体材料を付与することにより半導体層を形成して、第1及び第2の金属電極との電気的接触をなし、
(v) 半導体層に誘電体材料を付与して誘電体層を形成し、
(vi) 誘電体層に実質的に導電性の電極を付与することにより第2電極層を形成する、
という更に別のステップを備えるのが便利である。

【0023】

第2電極層は、Ag、Al、Au、Cu、Ni、Pd、Pt、Tiのような通常の金属、酸化インジウム、酸化スズ、酸化インジウムスズ、酸化亜鉛のような導電性酸化物、シート導電率が少なくとも 10^{-6} シーメンのポリ(アニリン)及びポリ(ジオキシアニルチオフェン)(PEDOT)を含む導電性ポリマーを含む。

【0024】

半導体デバイスは、第2電極層が実質的に導電性のゲート電極を形成しそして第1及び第2の金属電極が各々ソース及びドレインを形成するような薄膜トランジスタとして構成されるのが好都合である。

【0025】

支持層はエポキシド化合物を含むのが好ましい。エポキシド材料を支持層に使用するの

10

20

30

40

50

が有益であるのは、エポキシド系の材料は、優れた誘電体特性、パターン化材料を結合する表面機能、触媒を結合しないこと、付与し易さ、環境的安定性、及び機械的な頑丈さ、低コスト、例えば、紫外線や熱硬化による広範囲なプロセスへの適応性、並びに高質で、滑らかで、ピンホールのない膜を得る容易さを含む物理的、化学的及び電子的特性の優れた組合せを所有することが分かっているからである。更に、エポキシド系材料は、本発明の方法にその後に使用される処置ステップに適合し（特に、無電解堆積プロセスによるメッキ金属の堆積、以下を参照）、即ちそれらは、第1の電極層（メッキされた金属電極）を構成する導電性材料の優れた接着を与え、無電解メッキ槽により腐食されず、そして無電解メッキ槽において金属イオンによりドープされない。

【0026】

10

誘電体材料は、エポキシド化合物を含むのが好ましい。

【0027】

誘電体材料は、エポキシドモノマー及びエポキシドコポリマーの少なくとも1つを含むのが更に好ましい。

【0028】

誘電体材料は、誘電体材料を重合するための試薬を含むのが便利である。この試薬は、トリフェニルスルフォニウム塩、ボロントリフルオライド-アミン付加物、多機能性アミン、カルボキシル酸アンヒドライド、及び多機能性チオールを含む。

【0029】

20

誘電体材料が、誘電体材料を重合するための試薬を含む場合には、この方法は、誘電体材料を重合する付加的なステップを含むのが好ましい。

【0030】

誘電体材料は、範囲1ないし12の機能度を有するエポキシド化合物を含むのが好都合である。この化合物の機能度は、当業者に容易に明らかなように、各分子における反応グループの数に関係している。例えば、誘電体材料は、SU8エポキシ樹脂、アルキル鎖長さが1から20のアルキル及びシクロアルキルグリシジルエーテル、アリルグリシジルエーテル、エチレングリコールビスグリシジルエーテル、プロピレングリコールビスグリシジルエーテル、トリメチルオルプロパントリグリシジルエーテル、グリシドルのエステル、ビスフェノルA／エピクロルヒドリン凝縮物、ビスフェノルF／エピクロルヒドリン凝縮物、並びにグリシジルアクリレート及びメタクリレートのポリマー及びコポリマーの少なくとも1つを含む。

30

【0031】

誘電体層は、これに限定されないが、インクジェット印刷、スクリーン印刷、スピンドティング、グラビア印刷、フレキソ印刷、又はリソグラフィー印刷を含む既知の手段によって堆積されてもよい。

【0032】

好ましい実施形態では、パターン化材料が表面のヒドロキシルグループに取り付けられる。

【0033】

40

パターン化材料は、金属の無電解堆積に対する触媒である材料を結合するものであるのが好都合である。例えば、パターン化材料は、スルфон酸材料、トリハロシラン材料、及びトリアルコキシシラン材料の少なくとも1つを含み、これは、1つ以上のアミン、アミノカルボキシチオール、ジケトネート、オキシム又は置換ホスフィングループで置換されたものである。

【0034】

支持層に導電性材料を付与するステップは、好ましくは少なくとも1つの遷移金属化合物（例えば、金、銀、銅、ニッケル、パラジウム、白金等）を含む溶液からの無電解堆積を含むのが便利である。

【0035】

50

パターン化材料を付与するステップは、好ましくは、ソフトリソグラフィーステップを

含み、更に好ましくは、マイクロコンタクトプリンティングステップを含む。

【0036】

マイクロコンタクトプリンティング方法によれば、印刷されるべき映像を表すレリーフパターンを保持する適合スタンプが形成される。このようなスタンプは、例えば、既知の方法により、ホトレジスト、シリコン、又は金属でレリーフマスターパターンを作ることで製造される。ドウ・コーニング・シリガード(Dow Corning Sylgard)184のような硬化性プレポリマーをマスターパターン上に液体状態で配置して、硬化させる。このポリマーを剥離して、マスターパターンを陰画レリーフで複製するエラストマー適合スタンプを形成する。硬化性メチルフェニルシロキサン、ポリウレタン、ポリエーテル-アクリレート、及びポリアクリルを含む他の硬化性ポリマーを使用してもよい。このスタンプは、生の液体として又は溶液で印刷されるべき材料と共に処理され、過剰な材料が表面から除去される。処理されたスタンプは、パターンが印刷されるべき表面に接触して配置され、軽い圧力のもとに放置される。短い時間の後に、スタンプは、それを基板から持ち上げるか又は剥離することにより除去される。これで、基板は、希望の材料の薄い、おそらくは、単分子の、パターン化された堆積物を保持する。スタンプは、何回も再使用することができる。

【0037】

本発明の別の態様によれば、有機薄膜トランジスタに電極を付与する方法において、
 (i) 実質的に導電性のゲート電極を準備するステップと、
 (ii) 前記ゲート電極の少なくとも一部分にエポキシドポリマーを堆積してゲート絶縁層を形成するステップと、
 (iii) 前記ゲート絶縁層の選択されたエリアのみにパターン化材料を印刷し、このパターン化材料がそこに接着して、その付与された領域においてその表面エネルギーを変調するようにするステップと、
 (iv) 前記パターン化材料に応答する触媒を前記ゲート絶縁層に付与するステップと、
 (v) 無電解堆積により前記ゲート絶縁層に金属材料を堆積し、前記触媒材料が付与された前記ゲート絶縁層の選択されたエリアのみにソース及びドレイン電極を形成するステップと、
 を備えた方法、が新たに提案される。

【0038】

実質的に導電性のゲート電極は、予め形成される。或いは又、実質的に導電性のゲート電極を準備する前記ステップは、実質的に導電性のゲート電極を、例えば、基板に堆積することを含むが、これに限定されない。

【0039】

触媒は、パターン化材料に優先的に取り付けることによりパターン化材料に応答するようにもよい(即ち、触媒は、パターン化材料に対して高い化学的親和性を有する)。或いは又、触媒は、パターン化材料から優先的に取り外すことによりパターン化材料に応答するようにしてもよい(即ち、触媒は、パターン化材料に対して低い化学的親和性を有する)。

【0040】

前記方法は、

(vi) 前記ゲート絶縁層の少なくとも一部分に半導体層を設けて、それらの間にソース及びドレイン電極をサンドイッチすると共に、前記ソース及びドレイン電極を橋絡する、というステップを更に含むのが便利である。

【0041】

本発明の更に別の態様によれば、エポキシド材料を含むゲート絶縁層を有する薄膜トランジスタが新たに提案される。

【0042】

エポキシド系の材料は、有機FETにおいて誘電体材料として使用されるときに、物理的、化学的及び電子的特性の優れた組合せを所有することが分かった。これらの効果的な

特性は、広い周波数範囲にわたり電気的抵抗が高く、環境的に安定しており、処理が容易で、毒性が低く、イオン性不純物を吸収又は結合する傾向が低く、デバイス製造に使用される溶媒及び処理化学薬品に対して耐性があり、機械的に頑丈であり、そしてデバイスが動作されるときに分極化作用及びフィールドバイアス欠陥を招く傾向が低いことを含む。製造に使用するために従来技術で提案された誘電体材料とは対照的に、エポキシ材料は、ソフトリソグラフィー及び無電解金属成長の両方に高度に適合し得る誘電体材料となる。特に、エポキシド誘電体材料は、無電解触媒をそれらの表面へ結合せず、ある範囲のパターン化材料を結合するのに適した表面エネルギー及び表面ヒドロキシルグループを有し、そして強力な酸性又は塩基性媒体における金属イオン、複合薬品及び還元剤の強力な溶液を含む無電解メッキ溶液に対して優れた耐性を有している。

10

【0043】

好ましい実施形態では、エポキシド材料は、範囲1ないし12の機能度を有するエポキシド化合物を含む。この化合物の機能度は、当業者に容易に明らかなように、各分子における反応グループの数に関係している。エポキシド材料は、SU8エポキシ樹脂、アルキル鎖長さが1から20のアルキル及びシクロアルキルグリシジルエーテル、アリルグリシジルエーテル、エチレングリコールビスグリシジルエーテル、プロピレングリコールビスグリシジルエーテル、トリメチルオルプロパントリグリシジルエーテル、グリシドルのエステル、ビスフェノルA／エピクロルヒドリン凝縮物、ビスフェノルF／エピクロルヒドリン凝縮物、並びにグリシジルアクリレート及びメタクリレートのポリマー及びコポリマーの少なくとも1つを含む。

20

【0044】

薄膜トランジスタは、ゲート絶縁層に堆積されたメッキ金属ソース及びドレイン電極を備えている。このようなメッキ電極は、高解像度のパターンで、例えば、100未満の低い温度において、真空処理を必要とせずに、基板のホトリソグラフィー処理を必要とせずに、且つ低いコストで製造される電極を提供することで、デバイスに対して利益をもたらす。

【0045】

明瞭化のために、メッキ電極とは、特に、無電解又は電解プロセスによって形成された電極を指すが、これに限定されない。例えば、このようなメッキ電極は、無電解メッキ溶液を使用して金属を堆積することにより形成されてもよい。

30

【0046】

好ましくは、メッキ金属ソース及びドレイン電極は、遷移金属、好ましくは、金、銀、銅、ニッケル、パラジウム及び白金の1つを含む。

【0047】

薄膜トランジスタは、櫛形(interdigitated)ソース及びドレイン電極を有してもよい。

【0048】

本発明の別の態様によれば、本発明の上述した態様による複数の薄膜トランジスタデバイスを有する電子的集積回路が新たに提案される。

【0049】

本発明の更に別の態様によれば、上述した電子式集積回路を有するディスプレイ装置が新たに提案される。

40

【発明を実施するための最良の形態】

【0050】

以下、添付図面を参照して、本発明を一例として詳細に説明する。

【0051】

多数の図面全体にわたり対応素子又は同様の素子が同じ参照番号で示された添付図面を参照すれば、図1a-1eは、半導体デバイスを製造する本発明の方法の第1の実施形態による順次のステップを示す。この特定の実施形態における半導体デバイスは、薄膜トランジスタ2を含む。

【0052】

50

図 1 a を参照すれば、基板 4 には、最初に、導電層 6 が設けられ、これは、薄膜トランジスタデバイスのゲート電極を形成する。この実施形態では、単一の薄膜トランジスタを製造するが、当業者であれば、共通の基板に製造された複数の薄膜トランジスタデバイスの独立したスイッチングを許すように導電層をパターン化できることが明らかであろう。

【 0 0 5 3 】

任意であるが、1つの薄膜トランジスタから、別の薄膜トランジスタへ、受動的コンポーネント、半導体コンポーネントへ、又は接続端子へ至る相互接続の一部分又は全部を与えるように導電性パターンが拡張される。

【 0 0 5 4 】

導電層 6 は、印刷又はプロッタペンにより堆積される。これらの印刷技術は、導電性ポリ(アニリン)又は P E D O T の堆積に特に適している。或いは又、導電層 6 を金属又はカーボン装填インクから形成すべき場合には、層 6 は、スクリーン印刷、リソグラフィー印刷、フレキソ印刷、又はグラビア印刷によって堆積される。導電層 6 が金属コロイドインクから形成する場合には、堆積の後に、堆積層の導電率を高めるように作用するアニールプロセスを行う。このようなアニールプロセスは、例えば、熱又はレーザー処理により行うことができる。任意であるが、堆積プロセスの後に、選択的エッチングが行われる。

10

【 0 0 5 5 】

導電性レイヤ 6 は、金属、ドープされた半導体、導電性ポリマー、インジウムスズ酸化物、及びカーボンを含む(これらに限定されないが)導電性金属で構成される。

【 0 0 5 6 】

一実施形態では、触媒又は化学的試薬が基板 4 の表面にコーティングされ、これを使用して、無電解又は電解プロセスにより金属の堆積を開始し、導電層 6 を形成する。任意であるが、触媒又は試薬は、従来の手段又はソフトリソグラフィーによってパターン化される。

20

【 0 0 5 7 】

図 1 b を参照すれば、基板上に誘電体材料がコーティングされて、誘電体層 8 を形成する。誘電体材料のコーティングは、連続的であってもよいし、パターン化されてもよい。図 1 b に示すように、誘電体層 8 は、多数の薄膜トランジスタデバイスを有する基板の場合に薄膜トランジスタのゲート電極(1つ又は複数)として使用される導電層 6 の少なくとも一部分を実質的にカバーする。

30

【 0 0 5 8 】

誘電体層 8 は、部分相互接続及び接続端子を形成するのに使用される導電層 6 の部分を完全にカバーしない。

【 0 0 5 9 】

誘電体層 8 は、インクジェット印刷、スクリーン印刷、スピンドルコーティング、グラビア印刷、フレキソ印刷、又はリソグラフィー印刷を含む(これらに限定されないが)複数の既知の手段のいずれかにより堆積される。

【 0 0 6 0 】

誘電体層 8 は、範囲 1 ないし 1 2 の機能度をもつ有機エポキシド(オキシラン)化合物を含む。例えば、誘電体材料は、S U 8 エポキシ樹脂、アルキル鎖長さが 1 から 2 0 のアルキル及びシクロアルキルグリシジルエーテル、アリルグリシジルエーテル、エチレングリコールビスグリシジルエーテル、プロピレングリコールビスグリシジルエーテル、トリメチルオルプロパントリグリシジルエーテル、グリシドールのエステル、ビスフェノル A / エピクロルヒドリン凝縮物、ビスフェノル F / エピクロルヒドリン凝縮物、並びにグリシジルアクリレート及びメタクリレートのポリマー及びコポリマーの少なくとも 1 つを含む。

40

【 0 0 6 1 】

一実施形態では、誘電体材料は、エポキシドモノマー又はコポリマーを含む。この場合に、誘電体層は、エポキシド単位をクロスリンク又は重合化する試薬、例えば、トリフェニルスルフォニウム塩、ボロントリフルオライド - アミン付加物、多機能性アミン、カル

50

ボキシル酸アンヒドライド、及び多機能性チオールを含む。

【0062】

誘電体層8は、導電層6にコーティングされた後に硬化される。トリアリルスルヒウム塩のような感光性硬化剤の場合には、マスクを通して露光するか、又は走査光源を使用することにより、絶縁コーティングを任意に選択的に硬化し、非硬化材料を除去する。

【0063】

図1c及び1dを参照すれば、ここで、誘電体層8にパターン化材料が印刷される。パターン化材料は、少なくとも、薄膜トランジスタ構造体を設けるためにソース及びドレイン電極12a、12bを形成することが意図される誘電体層8のエリアに印刷される。任意であるが、パターン化材料は、部分的又は完全な相互接続及び/又は接続端子10a、10bを形成するために、誘電体層8及び/又は基板4のエリア上で拡張される。或いは又、相互接続又は接続端子10a、10bは、パターン化材料での処理の前又は後に堆積されてもよい。

【0064】

パターン化材料は、少なくとも2つの化学的機能の存在により特徴付けられる。少なくとも1つの化学的機能は、誘電体層8内の表面ヒドロキシグループに化学的にリンクできることである。又、少なくとも1つの化学的機能は、金属の無電解堆積に対して触媒作用する材料を結合できることである。好ましいパターン化材料は、スルfonyl酸材料と、トリアルコキシシランとを含む実在のインクを含み、トリアルコキシシランは、アミン、アミノカルボキシ、チオール、ジケトン、オキシム又は置換ホスフィングループで置換されたものである。パターン化材料は、高解像度で印刷され、このステップには、ソフトリソグラフィーが特に好ましい。

【0065】

次いで、デバイス2は、触媒及び無電解メッキ溶液で次々に処理される。適当な触媒は、パラジウム、金及び銀のようなコロイド状貴金属を含むと共に、塩化スズ(II)のような塩及び銀やパラジウムのような選択された金属の塩とコロイド状金属との組合せも含む。無電解金属メッキ溶液は、American Electroplaters and Surface Finishers Societyにより出版されたGマロリー及びJ.Bハジュー著の“Electroless Plating: Fundamentals and Applications”に説明されたような既知の溶液でよい。

【0066】

このプロセスにより、以前に堆積されたパターン化材料のパターンにより画成されたパターンで誘電体層8の表面に導電性金属パターンが堆積される。このパターンの少なくとも一部分は、薄膜トランジスタ構造体の金属ソース及びドレイン電極12a、12bを、それらの間に小さなギャップを伴って、設けるように構成される。ソース及びドレイン電極は、誘電体層8により導電性ゲート電極6から電気的に分離される(定義された電子的機能を達成するために希望される場合を除いて)。

【0067】

図1eを参照すれば、ここで、半導体材料を堆積して、一対のソース電極及びドレイン電極12a、12bの少なくとも一部分を橋絡する実質的に連続的な半導体層14を形成する。使用できる既知の半導体は、スパッタされたセレン化カドミウム、アモルファスシリコン、及び多結晶シリコンを含む。

【0068】

典型的な材料は、ポリ(アルキルチオフェン)、ポリ(フェニレンビニレン)、可溶性ペンタセン先駆体、半導体ペロフスカイト、化学槽堆積硫化カドミウム、セレン化カドミウム、又は硫化鉛を含む溶液処理可能な半導体、並びにセレン化シリコン又はカドミウム、カルコゲニドの半導体ナノロッド及びナノリボンと、ロッド又はチューブの長手軸に垂直な少なくとも一次元においてナノメータースケールを有するカーボンナノチューブとの分散体を含む。

【0069】

図2aには、上部半導体層14と、その下の導電性ゲート電極層6との間に配置された

10

20

30

40

50

金属性ソース及びドレイン電極 12a、12b を有する本発明の一実施形態による薄膜トランジスタが概略断面図で示されている。この特定の実施形態では、ソース及びドレイン電極は、無電解金属で構成される。導電性ゲート電極 6 は、酸化インジウムスズ (ITO) 層を含み、そして誘電体層 8 は、SU8 ポリマーの 550 nm 厚みの層を含む。デバイスは、ガラス基板 4 上に構成される。

【0070】

図 2b は、本発明の別の実施形態による反転型薄膜トランジスタ構造体の概略断面図である。この実施形態では、基板 4 は、1ないし12 の範囲の機能度をもつ有機エポキシド (オキシラン) 化合物で構成される。或いは又、基板 4 は、有機エポキシド (オキシラン) 材料の層が付与されたものでもよい。例えば、基板又はそれに付与される層は、SU8 エポキシ樹脂、アルキル鎖長さが 1 から 20 のアルキル及びシクロアルキルグリシジルエーテル、アリルグリシジルエーテル、エチレングリコールビスグリシジルエーテル、プロピレングリコールビスグリシジルエーテル、トリメチルオルプロパントリグリシジルエーテル、グリシドルのエステル、ビスフェノル A / エピクロルヒドリン凝縮物、ビスフェノル F / エピクロルヒドリン凝縮物、並びにグリシジルアクリレート及びメタクリレートのポリマー及びコポリマーの少なくとも 1 つを含む。

【0071】

図 3 を参照すれば、ゲート誘電体層 8 にパターン化材料を印刷する本発明の方法の一連のステップは、エラストマースタンプ 22 にパターン化材料 20 を付与し (図 3a) 、パターン化材料 20 をスタンプ 22 から誘電体層 8 に転写し (図 3b) 、パターン化材料 20 が付与された誘電体層 8 のエリアに選択的に取り付けられる触媒 24 を付与し (図 3c) 、そしてその触媒 24 が付与された誘電体層 8 のエリアに優先的に金属 26 を堆積するように無電解メッキ溶液を付与することを含む。

【0072】

図 4 は、本発明の方法を使用して製造された本発明の一実施形態による印刷薄膜トランジスタのソース - ドレイン電流 (I_{sd}) ・対・ソース - ドレイン電圧 (V_{sd}) を示すグラフである。

【0073】

図 5 は、本発明の方法を使用して製造された本発明の一実施形態による印刷薄膜トランジスタのソース - ドレイン電流 (I_{sd}) 又はソース - ゲート電流 (I_{sg}) ・対・ゲート電圧 (V_g) を示すグラフである。

【0074】

本発明によって製造された印刷 TFT は、 $0.1 \text{ cm}^2 \text{ V}^{-1} \text{ s}^{-1}$ より高い電界効果移動度、 10^7 の電流スイッチング比 I_{on} / I_{off} 、及び +5.5 V のターンオン電圧を含めて、従来技術で説明された他の印刷誘起チャネル TFT に比較したときに、優れた特性を有する。

【0075】

本発明の一実施形態の特定例によれば、図 2b の反転型薄膜トランジスタを製造する方法は、次のステップを含む。即ち、ガラス支持基板には、商業的に入手できるエポキシド派生物 SU8 の 200 nm 厚みの層をコーティングし、UV 光に露出させ、次いで、硬化するために焼成する。エポキシド層をアセトン及びイソプロピルアルコールで洗浄し、そして乾燥させ、その後、表面を UV / オゾン処理に 5 分間曝す。次いで、表面に、シリコーンゴムスタンプからのマイクロコンタクトプリントティングによりパターン化材料を刻印し、このスタンプは、処理後に薄膜トランジスタの櫛形ソース及びドレイン電極を画成するように構成された、各々、巾 5 μm、間隔 5 μm、及び長さ 200 μm の櫛形フィンガーのレリーフパターンを保持している。

【0076】

マイクロコンタクトプリントティングステップに続いて、基板を 100 °で 1 分間焼成し、そして 40 °のパラジウム / スズ触媒槽に 1 分間、20 °の 1 M 塩酸溶液に 1 分間、更に、脱イオン水の 3 つの洗浄タンクに各々 1 分間、順次に浸漬した。次いで、基板を、4

0 の無電解金属メッキ槽に浸漬した。金属成長を開始した後に、それを 10 秒間続けることが許され、次いで、脱イオン水で 1 分間洗浄し、150 で乾燥し、室温に冷却し、そして 1 M 塩酸で 5 分間洗浄した。基板を脱イオン水で洗浄し、100 で乾燥し、再び UV / オゾン処理に 5 分間曝し、次いで、ヘクサメチルジシラザンの蒸気が飽和した室温の雰囲気に 18 時間曝した。デバイスを蒸気槽から取り出し、100 で 10 分間焼成し、そしてレジオレギュラーのポリ(3-ヘキシルチオヘン)に基づく有機半導体をスピニングにより堆積した(ジクロロベンゼンの 0.1% 溶液を 200 rpm で 30 秒間スピニングした後に、1000 rpm で 10 秒間スピニングした)。デバイスを乾燥し、溶媒を 100 で 30 秒間除去した。誘電体ポリマーをデバイスにスピニングし(3000 rpm で 30 分間)、135 で 3 時間加熱することにより硬化した。それにより得られる誘電体面を UV / オゾンにより 2 分間処理し、次いで、銀のコロイドインク(カボット社)を、インクジェットにより櫛形電極に重ねるようにデバイスに印刷し、100 で 10 分間硬化した。

【0077】

図 6 は、上述した方法により製造された反転型印刷薄膜トランジスタのソース - ドレイン電流 (I_{sd})・対・ゲート電圧 (V_{gate}) を示すグラフである。

【0078】

以上の説明に鑑み、当業者であれば、本発明の範囲内で種々の変更がなされ得ることが明らかであろう。

【0079】

本開示の範囲は、ここに明示的又は暗示的に開示された新規な特徴又は特徴の組合せ、或いはそれを一般化したものを、それがここに請求する発明に係るものであるか、本発明により対処される問題のいずれか又は全てを軽減するものかに関わらず、包含する。本出願人は、本出願又はそこから派生する更に別の出願の遂行中に、このような特徴に対して新規な請求項が公式化され得ることを通告しておく。特に、特許請求の範囲を参照すれば、従属請求項からの特徴を独立請求項からの特徴と結合することができ、且つ各独立請求項からの特徴を、単に請求の範囲に列挙された特定の組み合わせではなく、適宜に結合することができる。

【図面の簡単な説明】

【0080】

【図 1 a】薄膜トランジスタを含む半導体デバイスを製造する本発明の方法の一実施形態を示す図で、ゲート電極を形成するステップを示す図である。

【図 1 b】薄膜トランジスタを含む半導体デバイスを製造する本発明の方法の一実施形態を示す図で、ゲート誘電体層を堆積するステップを示す図である。

【図 1 c】薄膜トランジスタを含む半導体デバイスを製造する本発明の方法の一実施形態を示す図で、ソース及びドレイン接触部を形成するステップを示す図である。

【図 1 d】薄膜トランジスタを含む半導体デバイスを製造する本発明の方法の一実施形態を示す図で、ソース及びドレイン電極をゲート誘電体層に堆積するステップを示す図である。

【図 1 e】薄膜トランジスタを含む半導体デバイスを製造する本発明の方法の一実施形態を示す図で、薄膜トランジスタに半導体層を付与するステップを示す図である。

【図 2 a】本発明の一実施形態による薄膜トランジスタの概略断面図である。

【図 2 b】本発明の別の実施形態による反転型薄膜トランジスタ構造体の概略断面図である。

【図 3 a】図 2 a に示す薄膜トランジスタのゲート誘電体にパターン化材料を印刷するための本発明の方法の一実施形態を示す図で、誘電体層に付与される準備のできたパターン化材料 20 を保持するエラストマースタンプ 22 を示す図である。

【図 3 b】図 2 a に示す薄膜トランジスタのゲート誘電体にパターン化材料を印刷するための本発明の方法の一実施形態を示す図で、パターン化材料 20 をスタンプ 22 から誘電体層 8 へ転写するステップを示す図である。

10

20

30

40

50

【図3c】図2aに示す薄膜トランジスタのゲート誘電体にパターン化材料を印刷するための本発明の方法の一実施形態を示す図で、パターン化材料20が付与された誘電体層8のエリアに選択的に取り付けられる触媒24を付与するステップを示す図である。

【図3d】図2aに示す薄膜トランジスタのゲート誘電体にパターン化材料を印刷するための本発明の方法の一実施形態を示す図で、触媒24が付与された誘電体層8のエリアに優先的に金属26を堆積するように無電解メッキ溶液を付与するステップを示す図である。

【図4】本発明の方法を使用して製造された本発明の一実施形態による印刷薄膜トランジスタのソース・ドレイン電流(I_{sd})・対・ソース・ドレイン電圧(V_{sd})を示すグラフである。

10

【図5】本発明の方法を使用して製造された本発明の一実施形態による印刷薄膜トランジスタのソース・ドレイン電流(I_{sd})又はソース・ゲート電流(I_{sg})・対・ゲート電圧(V_g)を示すグラフである。

【図6】本発明の方法の一実施形態を使用して製造された図2bの反転型印刷薄膜トランジスタのソース・ドレイン電流(I_{sd})・対・ゲート電圧(V_{gate})を示すグラフである。

【図1a】

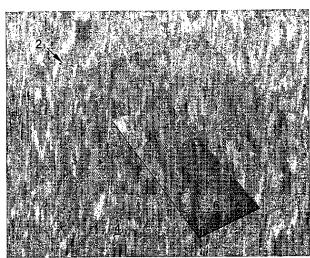


Fig. 1a

【図1c】

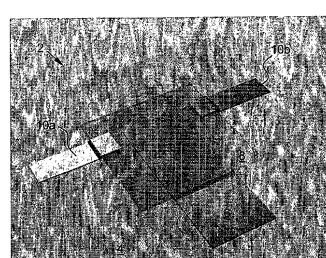


Fig. 1c

【図1b】

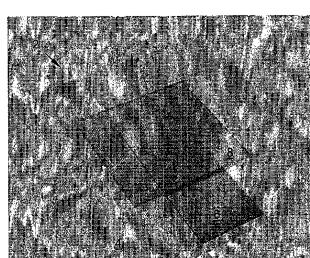


Fig. 1b

【図1d】

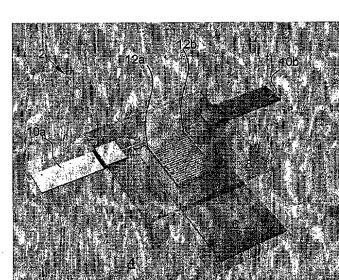


Fig. 1d

【図1e】

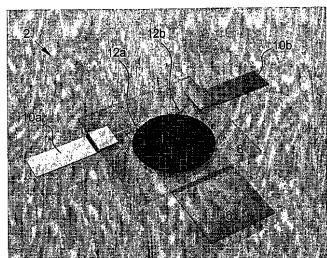


Fig. 1e

【図2a】

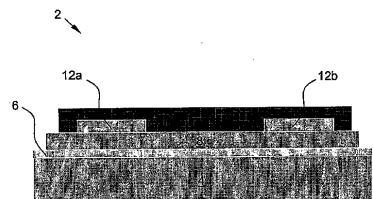


Fig. 2a

【図2b】

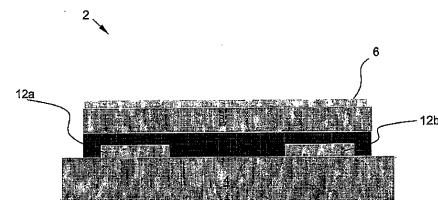


Fig. 2b

【図3a】

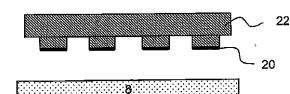


Fig. 3a

【図3b】

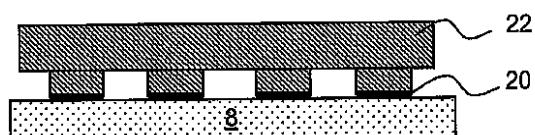


Fig. 3b

【図3c】

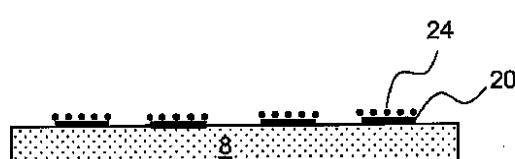


Fig. 3c

【図3d】

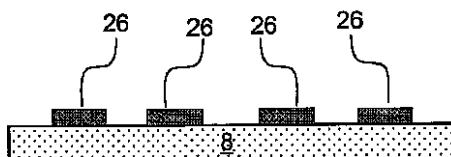


Fig. 3d

【図4】

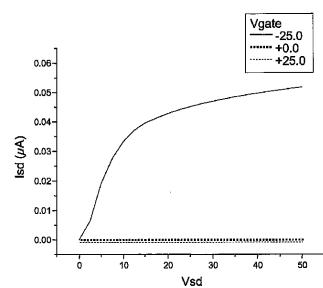


Fig. 4

【図5】

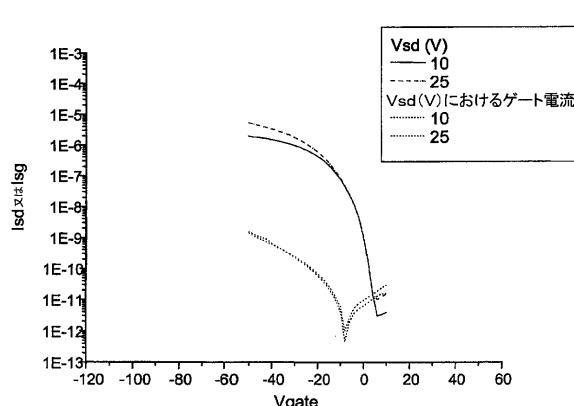


Fig. 5

【図6】

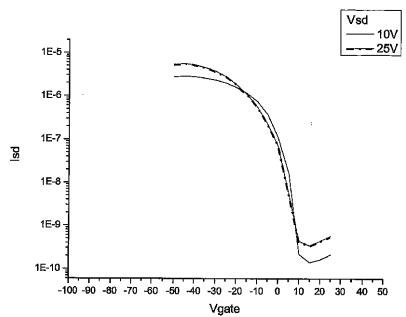


Fig. 6

フロントページの続き

(51)Int.Cl. F I

H 01 L 21/28	(2006.01)	H 01 L 21/88	B
H 01 L 21/288	(2006.01)	H 01 L 21/28	A
		H 01 L 21/288	E

(72)発明者 ローズ ポール ジェイムズ
イギリス ダブリューアール14 3ピーエス ウスター・シャー モルヴァーン セント アンド
リューズ ロード キネティック リミテッド モルヴァーン テクノロジー センター内

(72)発明者 セイジ イアン チャールズ
イギリス ダブリューアール14 3ピーエス モルヴァーン セント アンドリューズ ロード
キネティック リミテッド モルヴァーン テクノロジー センター内

(72)発明者 タフィン レイチャエル パトリシア
イギリス ダブリューアール14 3ピーエス ウスター・シャー モルヴァーン セント アンド
リューズ ロード キネティック リミテッド内

審査官 大橋 達也

(56)参考文献 特開2005-236149 (JP, A)
特開2005-086147 (JP, A)
特表2004-505452 (JP, A)
米国特許出願公開第2004/0262599 (US, A1)

(58)調査した分野(Int.Cl. , DB名)

H 01 L 21 / 336
H 01 L 21 / 28
H 01 L 21 / 288
H 01 L 21 / 3205
H 01 L 21 / 768
H 01 L 29 / 786
H 01 L 51 / 05