

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-363256

(P2004-363256A)

(43) 公開日 平成16年12月24日(2004.12.24)

(51) Int.Cl.<sup>7</sup>

H O 1 L 21/768

H O 1 L 21/3205

F I

H O 1 L 21/90

H O 1 L 21/88

H O 1 L 21/88

A

K

M

テーマコード (参考)

5 F O 3 3

審査請求 未請求 請求項の数 13 O L (全 21 頁)

(21) 出願番号 特願2003-158487 (P2003-158487)

(22) 出願日 平成15年6月3日(2003.6.3)

(71) 出願人 302062931

N E C エレクトロニクス株式会社

神奈川県川崎市中原区下沼部 1 7 5 3 番地

(74) 代理人 100102864

弁理士 工藤 実

(72) 発明者 竹脇 利至

神奈川県川崎市中原区下沼部 1 7 5 3 番地

N E C エレクトロニクス株式会社内

(72) 発明者 小田 典明

神奈川県川崎市中原区下沼部 1 7 5 3 番地

N E C エレクトロニクス株式会社内

(72) 発明者 本間 一郎

神奈川県川崎市中原区下沼部 1 7 5 3 番地

N E C エレクトロニクス株式会社内

最終頁に続く

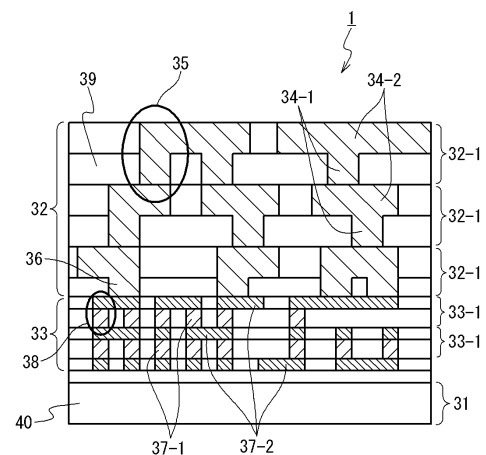
(54) 【発明の名称】 半導体装置及び半導体装置の製造方法

(57) 【要約】

【課題】半導体装置のローカル配線層部での配線間容量を抑え、配線の信頼性を向上する。

【解決手段】半導体基板 4 0 上に形成された第 1 配線層部 3 3 と、第 1 配線層部 3 3 上に形成された第 2 配線層部 3 2 とを具備する半導体装置を用いる。第 1 配線層部 3 3 は、第 1 層間絶縁膜と、第 1 層間絶縁膜内に第 1 間隔以上で設けられた複数の第 1 ピアプラグ 3 7 - 1 及び複数の第 1 配線 3 7 - 2 とを有する。第 2 配線層部 3 2 は、第 2 層間絶縁膜と、第 2 層間絶縁膜内に第 1 間隔よりも大きい第 2 間隔以上で設けられた複数の第 2 ピアプラグ 3 4 - 1 及び複数の第 2 配線 3 4 - 2 とを有する。第 1 ピアプラグ 3 7 - 1、第 1 配線 3 7 - 2、第 2 ピアプラグ 3 4 - 1 及び第 2 配線 3 4 - 2 は、銅を含む金属からなる。第 1 配線層部 3 3 は、シングルダマシ構造であり、第 2 配線層部 3 2 は、デュアルダマシ構造である。

【選択図】 図 1



## 【特許請求の範囲】

## 【請求項 1】

半導体基板上に形成された第 1 配線層部と、  
前記第 1 配線層部上に形成された第 2 配線層部と  
を具備し、  
前記第 1 配線層部は、  
第 1 層間絶縁膜と、  
前記第 1 層間絶縁膜内に設けられ第 1 間隔以上で互いに隔てられた複数の第 1 ビアプラグ  
と、  
前記第 1 層間絶縁膜内において前記複数の第 1 ビアプラグ上に設けられ前記複数の第 1 ビ  
10 アプラグに接続された複数の第 1 配線と  
を有し、  
前記第 2 配線層部は、  
第 2 層間絶縁膜と、  
前記第 2 層間絶縁膜内に設けられ前記第 1 間隔よりも大きい第 2 間隔以上で互いに隔てら  
れた複数の第 2 ビアプラグと、  
前記第 2 層間絶縁膜内において前記複数の第 2 ビアプラグ上に設けられ前記複数の第 2 ビ  
20 アプラグに接続された複数の第 2 配線と  
を有し、  
前記複数の第 1 ビアプラグ、前記複数の第 1 配線、前記複数の第 2 ビアプラグ及び前記複  
数の第 2 配線は、銅を含む金属からなり、  
前記第 1 配線層部は、シングルダマシン構造であり、  
前記第 2 配線層部は、デュアルダマシン構造である  
半導体装置。

## 【請求項 2】

請求項 1 に記載の半導体装置において、  
前記第 1 配線層部は、前記第 1 層間絶縁膜内に設けられた前記複数の第 1 ビアプラグと前  
記複数の第 1 配線とを含む複数の層を備え、  
前記第 2 配線層部は、前記第 2 層間絶縁膜内に設けられた前記複数の第 2 ビアプラグと前  
記複数の第 2 配線とを含む複数の層を備える  
30 半導体装置。

## 【請求項 3】

請求項 1 又は 2 に記載の半導体装置において、  
前記第 1 間隔は、前記複数の第 1 ビアプラグに関する単位面積あたりのビアプラグの個数  
としてのビア密度が、所定の条件を満たすように設定され、  
前記所定の条件は、前記複数の第 1 配線の各々間の配線間容量が、前記第 1 配線層部をデ  
ュアルダマシン法で形成した場合に比較して、小さくなることである  
半導体装置。

## 【請求項 4】

請求項 3 に記載の半導体装置において、  
40 前記ビア密度は、 $1 \text{ 個} / \mu\text{m}^2$  以上である  
半導体装置。

## 【請求項 5】

請求項 3 又は 4 に記載の半導体装置において、  
前記第 1 間隔は、 $0.5 \mu\text{m}$  である  
半導体装置。

## 【請求項 6】

請求項 1 乃至 6 のいずれか一項に記載の半導体装置において、  
前記複数の第 1 ビアプラグの各々の直径は、 $0.4 \mu\text{m}$  以下である  
半導体装置。

## 【請求項 7】

(a) 半導体基板上に第 1 絶縁膜を形成する工程と、  
(b) 前記第 1 絶縁膜に第 1 間隔以上で互いに隔てられた銅を含む金属からなる複数の第 1 ピアプラグをシングルダマシン法により形成する工程と、  
(c) 前記第 1 絶縁膜及び前記複数の第 1 ピアプラグ上に第 2 絶縁膜を形成する工程と、  
(d) 前記第 2 絶縁膜に前記複数の第 1 ピアプラグに接続された銅を含む金属からなる複数の第 1 配線をシングルダマシン法により形成する工程と、  
(e) 前記第 2 絶縁膜及び前記複数の第 1 配線上に第 3 絶縁膜を形成する工程と、  
(f) 前記第 3 絶縁膜に前記第 1 間隔よりも大きい第 2 間隔以上で互いに隔てられた複数の第 2 ピアプラグ及び前記複数の第 2 ピアプラグに接続された銅を含む金属からなる複数の第 2 配線をデュアルダマシン法により形成する工程と  
を備える  
半導体装置の製造方法。

## 【請求項 8】

請求項 7 に記載の半導体装置の製造方法において、  
前記デュアルダマシン法は、トレンチファースト法である  
半導体装置の製造方法。

## 【請求項 9】

請求項 8 に記載の半導体装置の製造方法において、  
(g) 前記 (d) 工程と前記 (e) 工程との間で、前記 (a) 工程から前記 (d) 工程を 20  
、所望の層数分繰り返す工程と、  
(h) 前記 (f) 工程の後で、前記 (e) 工程から前記 (f) 工程を、所望の層数分繰り返す工程と  
を更に備える  
半導体装置の製造方法。

## 【請求項 10】

請求項 7 乃至 9 のいずれか一項に記載の半導体装置の製造方法において、  
前記第 1 間隔は、前記複数の第 1 ピアプラグに関する単位面積あたりのピアプラグの個数  
としてのピア密度が、所定の条件を満たすように設定され、  
前記所定の条件は、前記複数の第 1 配線の各々間の配線間容量が、前記複数の第 1 ピアプ  
ラグ及び前記複数の第 1 配線をデュアルダマシン法で形成した場合に比較して、小さくなる  
ことである  
半導体装置の製造方法。

## 【請求項 11】

請求項 10 に記載の半導体装置の製造方法において、  
前記ピア密度は、 $1 \text{ 個} / \mu\text{m}^2$  以上である  
半導体装置の製造方法。

## 【請求項 12】

請求項 10 又は 11 に記載の半導体装置の製造方法において、  
前記第 1 間隔は、 $0.5 \mu\text{m}$  である  
半導体装置の製造方法。

## 【請求項 13】

請求項 7 乃至 12 のいずれか一項に記載の半導体装置の製造方法において、  
前記複数の第 1 ピアプラグの各々の直径は、 $0.4 \mu\text{m}$  以下である  
半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

本発明は、半導体装置及び半導体装置の製造方法に関し、特に、銅を含む金属からなるダ  
マシン構造の配線及びピアプラグを備える半導体装置及び半導体装置の製造方法に関する 50

。

#### 【0002】

##### 【従来の技術】

半導体装置の配線に関わる構造として、半導体基板上に設けられた複数の素子上に、ローカル配線層部と電源配線層部とが順に積層された構造が知られている。そのような半導体装置では、各層における配線には材料として銅(Cu)を用い、各層間の接続に用いられるビアプラグには材料としてタングステン(W)を用いるのが一般的である。

#### 【0003】

しかし、タングステンの成膜温度は非常に高いため、微細化された配線の銅が耐え切れず、凝集が起こり、断線する確率が高くなる。一方、銅を用いたビアプラグは、タングステンを用いたビアプラグに比較して、ピア抵抗が低い、熱応力に対する耐性が高いなどの利点がある。このような理由から、近年、ビアプラグにも銅を用いることが多くなってきている。

10

#### 【0004】

配線及びビアプラグを共に銅で形成する方法として、デュアルダマシン法及びシングルダマシン法がある。デュアルダマシン法は、シングルダマシン法に比較して、CMPの工程が1回少ない、配線とビアプラグとの間にバリアメタル膜が挟まっていないので配線抵抗が小さい、という点で利点がある。そのため、現在、配線及びビアプラグを全てデュアルダマシン法で形成することが多い。そのような半導体装置の構造について図7を参照して説明する。

20

#### 【0005】

図7は、半導体装置の配線に関わる構造を示す断面図である。半導体装置101は、半導体基板140上に設けられ、素子部131、ローカル配線層部133及び電源配線層部132を具備する。素子部131は、半導体基板140及びその上に設けられた複数の素子及びその配線(図示されず)を備える。

#### 【0006】

ローカル配線層部133は、素子部131上に設けられ、複数の配線137-2と複数のビアプラグ137-1とを含む配線層133-1を備える。配線137-2は、複数の素子に対して信号の入出力を行う信号線、又は、複数の素子と電源配線層部132とを接続する電源線又は接地線である。ビアプラグ137-1は、配線137-2同士、又は、配線137-2と素子との間を接続する。

30

そして、配線137-2とビアプラグ137-1とで形成される接合部138は、デュアルダマシン法で形成されている。

#### 【0007】

電源配線層部132は、ローカル配線層部133の上に設けられ、複数の配線134-2と複数のビアプラグ134-1とを含む配線層132-1を備える。ローカル配線層部133と接続するビアプラグ134-1を特にビアプラグ136ともいう。配線134-2は、複数の素子に対して電源を接続する電源線、又は、接地を行う接地線である。ビアプラグ134-1は、配線134-2同士を接続する。そして、配線134-2とビアプラグ134-1とで形成される接合部135は、デュアルダマシン法で形成されている。

40

#### 【0008】

ここで、デュアルダマシン法には、ピアファースト法とトレンチファースト法とがある。ピアファースト法は、露光時の反射防止のために、ピアホールの開孔後、配線溝(トレンチ)を形成する前に、ピアホールをBARC(Bottom Anti-Reflection Coating、)で埋める必要がある。そのため、工程が煩雑になる。従って、工程の少ないトレンチファースト法が好んで用いられる。

#### 【0009】

しかし、トレンチファースト法では、ピアホールをフォトリソグラフィの技術で形成する際、配線溝(トレンチ)の段差を有する半導体装置上にレジストを塗布し、所定のパターンを露光する必要がある。そのため、配線溝のパターンによっては、段差により焦点を

50

適切に合わすことが困難となる。特に、微細な形状を正確に露光できなくなる。従って、ローカル配線層部 133 のようなビアプラグの大きさが小さく、かつ、そのピッチが狭いところでは、ビアファースト法でビアホールを形成することが一般的となっている。

【0010】

以下、デュアルダマシン法の一つであるビアファースト法について説明する。図8～図11は、ビアファースト法のプロセスを示す半導体装置の断面図である。ここでは、2つの層のそれぞれに設けられた配線と、それらを繋ぐビアプラグとを形成する例を示す。

【0011】

図8(a)に示すように、基板140上において、層間絶縁膜103上のストッパ絶縁層104及び低誘電率絶縁層105の中に、第1層の配線110が設けられる。配線110は、銅(Cu)の配線109とタンタル/窒化タンタル(Ta/TaN)のバリアメタル層108を含み、ダマシン構造を有する。従来知られた配線製造プロセスで設けられる。そして、配線110と低誘電率絶縁層105とを覆うようにストッパ絶縁膜114aが設けられる。更に、ストッパ絶縁膜114aを覆うように層間絶縁膜115aが設けられる。更に、層間絶縁膜115aを覆うようにストッパ絶縁膜124aが設けられる。更に、ストッパ絶縁膜124aを覆うように低誘電率絶縁膜125aが設けられる。

【0012】

続いて、図8(a)の状態から、フォトリソグラフィーのプロセスを用いて、層間絶縁膜115a、ストッパ絶縁膜124a及び低誘電率絶縁膜125aに、ビアホール107を形成する。この状態が図8(b)である。このとき、ビアホール107を形成された層間絶縁膜115a、ストッパ絶縁膜124a及び低誘電率絶縁膜125aを、それぞれ、層間絶縁層115、ストッパ絶縁層124b及び低誘電率絶縁層125bとする。

【0013】

次に、図8(b)の状態から、ビアホール107に有機物142(例示:BARC)を埋め込む。有機物142の量(ビアホール107での有機物142の高さ $h_A$ )は、ビアホール107の密度やその他の要因で決まる。ここでは、ストッパ絶縁層124bの高さまでとする。この状態が図9(a)及び(c)である。ただし、図9(c)は、図9(a)でのAA'断面である。このときのビアホール107をビアホール107aとする。

【0014】

続いて、図9(a)及び(c)の状態から、フォトリソグラフィーのプロセスを用いて、低誘電率絶縁層125bに、配線溝117aを形成する。この状態が図9(b)及び(d)である。ただし、図9(d)は、図9(b)でのBB'断面である。このとき、低誘電率絶縁層125b及びビアホール107aを、それぞれ、低誘電率絶縁層125及びビアホール107bとする。

【0015】

次に、図9(b)及び(d)の状態から、有機物142を除去する。そして、ビアホール107bの底部のストッパ絶縁膜114aと、配線溝117の底部のストッパ絶縁膜124bとをエッチバックして除去する。この状態が図10(a)及び(c)である。ただし、図10(c)は、図10(a)でのCC'断面である。このとき、ビアホール107b、配線溝117a、ストッパ絶縁膜114a及びストッパ絶縁膜124aを、それぞれビアホール107c、配線溝117、ストッパ絶縁層114及びストッパ絶縁層124とする。

【0016】

続いて、図10(a)及び(c)の状態から、低誘電率絶縁層125の表面と、配線溝117の側壁(側面)及び底部と、ビアホール107cの側壁(側面)及び底部とを覆うように、Ta/TaNからなるバリアメタル膜118aをスパッタ法で設ける。次に、バリアメタル膜118aを覆うようにCuからなるシード導体膜119aを設ける。続いて、シード導体膜119aを覆い、且つ、配線溝117b及びビアホール107eを埋めるようにCuからなる導体膜119bを設ける。この状態が図10(b)及び(d)である。ただし、図10(d)は、図10(b)でのDD'断面である。

10

20

30

40

50

## 【 0 0 1 7 】

次に、図 1 0 ( b ) 及び ( d ) の状態から、低誘電率絶縁層 1 2 5 表面及び配線溝 1 1 7 上方における不要なバリアメタル膜 1 1 8 a、シード導体膜 1 1 9 a 及び導体膜 1 1 9 b を CMP ( Chemical Mechanical Polishing ) で除去する。このようにして、元々のビアホール 1 0 7 においてバリアメタル層 1 1 8 及び導体層 1 1 9 とからなるビアプラグ 1 2 0 ( コンタクト ) が形成される。また、元々の配線溝 1 1 7 においてバリアメタル層 1 1 8 及び導体層 1 1 9 とからなる配線 1 3 0 が形成される。この状態が図 1 1 ( a ) 及び ( b ) である。ただし、図 1 1 ( b ) は、図 1 1 ( a ) での E E ' 断面である。

## 【 0 0 1 8 】

このように図 8 ~ 図 1 1 の製造方法により、デュアルダマシン法の一つであるピアファースト法により配線及びビアプラグが形成される。ただし、図 1 1 におけるビアプラグ 1 2 0、配線 1 3 0 及び配線 1 1 0 は、それぞれ図 7 におけるビアプラグ 1 3 7 - 1、配線 1 3 7 - 2 に対応する。

## 【 0 0 1 9 】

電源配線層部 1 3 2 に用いるデュアルダマシン法の一つであるトレンチファースト法は、ピアファースト法とは逆に、まず、配線溝 1 1 7 を形成する。そして、配線溝 1 1 7 の底部の所定の位置に、フォトリソグラフィの技術によりビアホール 1 0 7 を形成する。その後のプロセス ( バリアメタル層 1 1 8 及び導体層 1 1 9 の形成等 ) は、ピアファースト法と同様である。

## 【 0 0 2 0 】

関連する技術として、特開 2 0 0 1 - 1 5 6 1 6 8 号公報 ( 特許文献 1 ) に、半導体装置とその製造方法の技術が開示されている。この技術の半導体装置は、半導体基板と、複数の配線層とを有する。半導体基板は、複数の素子が形成されている。複数の配線層は、前記半導体基板上に形成されている。複数の配線層は、前記複数の素子同士を接続するための銅からなる信号線や前記複数の素子に電源を供給するための銅からなる電源線及び接地線を備える。そして、前記複数の配線層間における信号線、電源線及び接地線の接続が、前記信号線、電源線及び接地線下に形成されたピアによってなされる。ここで、前記信号線及び前記信号線下に形成された第 1 ピアは、該ピアにタングステンを用いてシングルダマシン工程によって形成されている。前記電源線及び接地線、並びに該電源線及び接地線下に形成された第 2 ピアは、デュアルダマシン工程によって形成されている。第 2 ピアの面積は、第 1 ピアの面積よりも予め設定された割合だけ大きくなるように形成されている。

この技術は、機械的強度が強く、かつ、放熱性に優れた半導体装置及びその製造方法を提供することを目的とする。

## 【 0 0 2 1 】

## 【 特許文献 1 】

特開 2 0 0 1 - 1 5 6 1 6 8 号公報 ( 図 1 ( b )、図 6、図 7、図 8 )

## 【 0 0 2 2 】

## 【 発明が解決しようとする課題 】

図 9 ( b ) 及び ( d ) において、有機物 1 4 2 の最上部の位置は、ビアホール 1 0 7 内のストッパ絶縁層 1 2 4 b の位置と同じになっている。実際の半導体装置では、同一層に複数のビアホール 1 0 7 が存在し、ビアホール 1 0 7 が密集した領域 ( 密領域 ) とそうでない領域 ( 疎領域 ) とがある。同一層上には、表面の単位面積あたり、一定の有機物 1 4 2 が供給される。そのため、密領域において有機物 1 4 2 の最上部の位置とストッパ絶縁層 1 2 4 b の位置とが同じになるように、B A R C を供給すると、疎領域において有機物 1 4 2 の最上部の位置がストッパ絶縁膜 1 2 4 b の位置より高くなる。反対に、疎領域において有機物 1 4 2 の最上部の位置とストッパ絶縁層 1 2 4 b の位置とが同じになるように、B A R C を供給すると、密領域において有機物 1 4 2 の最上部の位置がストッパ絶縁膜 1 2 4 b の位置より低くなる。

10

20

30

40

50

## 【 0 0 2 3 】

ビアホール 1 0 7 において、有機物 1 4 2 の最上部の位置がストッパ絶縁膜 1 2 4 b の位置より高くなると、以下のような問題が生じる。

## 【 0 0 2 4 】

図 1 2 は、有機物の最上部の位置がストッパ絶縁膜の位置より高くなるように有機物を入れた場合の半導体装置の断面を示す図である。図 1 2 ( a ) は、図 9 ( a ) に対応する。図 1 2 ( c ) は、図 1 2 ( a ) の F F ' 断面である。有機物 1 4 2 ' は、低誘電率層 1 2 5 b の高さまで埋め込まれている。この状態から、フォトリソグラフィのプロセスを用いて、低誘電率絶縁層 1 2 5 b に、配線溝 1 1 7 a を形成する。この状態が図 1 2 ( b ) 及び ( d ) である。ただし、図 1 2 ( d ) は、図 1 2 ( b ) での G G ' 断面である。この場合、配線溝 1 1 7 a をエッチングで形成する際、エッチング残渣が、配線溝 1 1 7 内に出た有機物 1 4 2 ' の側面に付着して、フェンス ( 膜 ) 1 4 5 を形成する。フェンス 1 4 5 は、有機物 1 4 2 ' を除去した後も残る。そのため、フェンス 1 4 5 は、その後のバリアメタル膜 1 1 8 a やシード導体膜 1 1 9 a を形成する障害となる。そして、配線の抵抗の増大や断線のような問題が発生し、信頼性を低下させる原因となる。

10

## 【 0 0 2 5 】

一方、ビアホール 1 0 7 において、有機物 1 4 2 の最上部の位置がストッパ絶縁膜 1 2 4 b の位置より低くなると、以下のような問題が生じる。

## 【 0 0 2 6 】

図 1 3 は、有機物の最上部の位置がストッパ絶縁膜の位置より低くなるように有機物を入れた場合の半導体装置の断面図である。図 1 3 ( a ) は、図 9 ( a ) に対応する。図 1 3 ( c ) は、図 1 3 ( a ) の H H ' 断面である。このときのビアホール 1 0 7 をビアホール 1 0 7 a ' とする。この状態から、フォトリソグラフィのプロセスを用いて、低誘電率絶縁層 1 2 5 b に、配線溝 1 1 7 を形成する。この状態が図 1 3 ( b ) 及び ( d ) である。ただし、図 1 3 ( d ) は、図 1 3 ( b ) での I I ' 断面である。このとき、ストッパ絶縁層 1 2 4 b 、低誘電率絶縁層 1 2 5 b 及びビアホール 1 0 7 a ' を、それぞれ、ストッパ絶縁層 1 2 4 ' 、低誘電率絶縁層 1 2 5 ' 及びビアホール 1 0 7 b ' とする。このとき、ストッパ絶縁層 1 2 4 ' 及び層間絶縁膜 1 1 5 は、ビアホール 1 0 7 b ' との境界部分において、一部分がエッチングされてしまう。それにより、ストッパ絶縁層 1 2 4 ' の除去された肩落ち部 1 4 6 が形成される。図 1 3 ( d ) に示すように、特に配線溝 1 1 7 ' の方向にそれが顕著に現れる。その理由は、角の部分 ( この場合、ビアホール 1 0 7 b ' の開口部 ) ができると、その部分のエッチング速度が、他の部分のエッチング速度と比較して速くなるからである。

20

30

## 【 0 0 2 7 】

その後、図 1 3 ( b ) 及び ( d ) の状態から、有機物 1 4 2 ' ' を除去する。その後、ビアホール 1 0 7 b ' の底部のストッパ絶縁膜 1 1 4 a と、配線溝 1 1 7 ' の底部のストッパ絶縁膜 1 2 4 とをエッチバックして除去する。続いて、バリアメタル膜 1 1 8 a 、シード導体膜 1 1 9 a 、導体膜 1 1 9 b を設ける。そして、低誘電率絶縁層 1 2 5 表面及び配線溝 1 1 7 ' 上方における不要なバリアメタル膜 1 1 8 a 、シード導体膜 1 1 9 a 及び導体膜 1 1 9 b を C M P で除去し、ビアプラグ 1 2 0 及び配線 1 3 0 が形成される。この状態が図 1 4 ( a ) 及び ( b ) である。ただし、図 1 4 ( b ) は、図 1 4 ( a ) での J J ' 断面である。このとき、肩落ち部 1 4 6 の配線 1 3 0 は、配線の長さ方向の断面積を増加させることになる。すなわち、配線間容量の増加の原因となる。

40

## 【 0 0 2 8 】

近年の半導体装置の微細化の進展において、配線の信頼性を維持することは重要である。具体的には、バリアメタル膜を厚く成膜して銅のマイグレーションや絶縁膜への拡散を防止すること、図 1 2 で説明した理由からビアホールに埋め込む有機物を多くせずキャップ絶縁層の高さより低くすること、などが必要である。その場合、バリアメタル膜が厚いことによる配線の抵抗の増加、図 1 3 及び図 1 4 で説明した肩落ち部 1 4 6 a の形成、などが起きる。

50

## 【 0 0 2 9 】

図 1 5 は、図 1 3 及び図 1 4 の肩落ちを含む半導体装置の配線に関わる構造を示す断面図である。半導体装置 1 0 1 a は、素子部 1 3 1 a、ローカル配線層部 1 3 3 a 及び電源配線層部 1 3 2 a を具備する。素子部 1 3 1 a、ローカル配線層部 1 3 3 a 及び電源配線層部 1 3 2 a は、基本的に図 7 の素子部 1 3 1、ローカル配線層部 1 3 3 及び電源配線層部 1 3 2 と同様である。ただし、ローカル配線層部 1 3 3 a は、ビアプラグ 1 3 7 a - 1 のピッチが狭くなっている。また、図 1 3 及び図 1 4 で説明したように、肩落ち部 1 4 6 a ( - 1 ~ 2 ) が形成されることになる。ただし、肩落ち部 1 4 6 a - 2 は、肩落ち部 1 4 6 a - 1 と向きが 9 0 度異なり、紙面に垂直な方向において、図 1 4 ( b ) のような肩落ちが生じている。

10

## 【 0 0 3 0 】

この場合、ビアプラグ 1 3 7 a - 1 のピッチが小さくなり、個々の肩落ち部 1 4 6 a 同士の距離は近くなっている。加えて、肩落ち部 1 4 6 a により、配線の長さ方向の断面積が増加している。それらのことから、ビアプラグ周辺での肩落ち部 1 4 6 a の形成による配線間容量の増加は無視できない問題となる。

## 【 0 0 3 1 】

半導体装置におけるローカル配線層部での配線やビアプラグの信頼性を向上する技術が望まれている。配線間容量の増加を防止する技術が求められている。配線の抵抗の増加を防止する技術が望まれている。電源配線層部でのビアプラグの抵抗を低く保ち、その工程数を削減することが可能な技術が求められている。

20

## 【 0 0 3 2 】

従って、本発明の目的は、ローカル配線層部での配線やビアプラグの信頼性を向上する半導体装置及び半導体装置の製造方法を提供することである。

## 【 0 0 3 3 】

また、本発明の別の目的は、ローカル配線層部で配線間容量及び配線抵抗の増加を防止する半導体装置及び半導体装置の製造方法を提供することである。

## 【 0 0 3 4 】

本発明の更に別の目的は、動作の信頼性を向上することが可能な半導体装置及び半導体装置の製造方法を提供することである。

## 【 0 0 3 5 】

本発明の他の目的は、電源配線層部でのビアプラグの抵抗を低く保ち、その工程数を削減することが可能な半導体装置及び半導体装置の製造方法を提供することである。

30

## 【 0 0 3 6 】

## 【 課題を解決するための手段 】

以下に、[ 発明の実施の形態 ] で使用される番号・符号を用いて、課題を解決するための手段を説明する。これらの番号・符号は、[ 特許請求の範囲 ] の記載と [ 発明の実施の形態 ] との対応関係を明らかにするために付加されたものである。ただし、それらの番号・符号を、[ 特許請求の範囲 ] に記載されている発明の技術的範囲の解釈に用いてはならない。

## 【 0 0 3 7 】

従って、上記課題を解決するために、本発明の半導体装置は、半導体基板 ( 4 0 ) 上に形成された第 1 配線層部 ( 3 3 ) と、第 1 配線層部 ( 3 3 ) 上に形成された第 2 配線層部 ( 3 2 ) とを具備する。第 1 配線層部 ( 3 3 ) は、第 1 層間絶縁膜と、複数の第 1 ビアプラグ ( 3 7 - 1 ) と、複数の第 1 配線 ( 3 7 - 2 ) を有する。複数の第 1 ビアプラグ ( 3 7 - 1 ) は、その第 1 層間絶縁膜内に設けられ第 1 間隔以上で互いに隔てられている。複数の第 1 配線 ( 3 7 - 2 ) は、その第 1 層間絶縁膜内において複数の第 1 ビアプラグ ( 3 7 - 1 ) 上に設けられ複数の第 1 ビアプラグ ( 3 7 - 1 ) に接続されている。第 2 配線層部 ( 3 2 ) は、第 2 層間絶縁膜と、複数の第 2 ビアプラグ ( 3 4 - 1 ) と、複数の第 2 配線 ( 3 4 - 2 ) を有する。複数の第 2 ビアプラグ ( 3 4 - 1 ) は、その第 2 層間絶縁膜内に設けられその第 1 間隔よりも大きい第 2 間隔以上で互いに隔てられている。複数の第 2 配

40

50



線(34-2)は、その第2層間絶縁膜内において複数の第2ビアプラグ(34-1)上に設けられ複数の第2ビアプラグ(34-1)に接続されている。複数の第1ビアプラグ(37-1)、複数の第1配線(37-2)、複数の第2ビアプラグ(34-1)及び複数の第2配線(34-2)は、銅を含む金属からなる。第1配線層部(33)は、シングルダマシン構造であり、第2配線層部(32)は、デュアルダマシン構造である。

【0038】

本発明により、半導体装置の第2配線層部(32)よりもビアプラグの間隔が狭い第1配線層部(33)において、シングルダマシン構造を採用することにより、図14に示す肩落ち部(146)の生成を防止することができる。それにより、デュアルダマシン構造の場合に比較して、配線間容量を抑えることが可能となる。

10

【0039】

上記の半導体装置において、第1配線層部(33)は、その第1層間絶縁膜内に設けられた複数の第1ビアプラグ(37-1)と複数の第1配線(37-2)とを含む複数の層を備える。第2配線層部(32)は、その第2層間絶縁膜内に設けられた複数の第2ビアプラグ(34-1)と複数の第2配線(34-2)とを含む複数の層を備える。

【0040】

上記の半導体装置において、その第1間隔は、複数の第1ビアプラグ(37-1)に関する単位面積あたりのビアプラグの個数としてのビア密度( $n$ )が、所定の条件を満たすように設定される。その所定の条件は、複数の第1配線(37-2)の各々間の配線間容量( $C_s$ )が、第1配線層部(33)をデュアルダマシン法で形成した場合( $C_D$ )に比較して、小さくなることである。

20

【0041】

ビア密度( $n$ )が大きくなるとデュアルダマシン法による肩落ち部(146)の影響が大きくなるが、本発明ではそのような影響の出る状況(所定の条件)において、シングルダマシン法で作成しているので、配線間容量の増加を防止することができる。

【0042】

上記の半導体装置において、ビア密度( $n$ )は、1個/ $\mu m^2$ 以上である。肩落ち部(146)の影響がでるのは、特に、ビア密度( $n$ )が1個/ $\mu m^2$ 以上においてであり、本発明をその範囲に適用することで、配線間容量の増加を防止することができる。

30

【0043】

上記の半導体装置において、その第1間隔は、0.5  $\mu m$ である。  
本発明をその範囲に適用することで、配線間容量の増加を防止することができる。

【0044】

上記の半導体装置において、複数の第1ビアプラグ(37-1)の各々の直径は、0.4  $\mu m$ 以下である。  
第1ビアプラグ(37-1)の各々の直径が0.4  $\mu m$ 以下の場合、特に、ビアファースト法を用いるので、本発明をその範囲に適用することで、配線間容量の増加を防止することができる。

【0045】

また、上記課題を解決するために、本発明の半導体装置の製造方法は、(a)~(f)工程を備える。(a)は、半導体基板(40)上に第1絶縁膜を形成する工程である。(b)は、その第1絶縁膜に第1間隔以上で互いに隔てられた銅を含む金属からなる複数の第1ビアプラグ(37-1)をシングルダマシン法により形成する工程である。(c)は、その第1絶縁膜及び複数の第1ビアプラグ(37-1)上に第2絶縁膜を形成する工程である。(d)は、その第2絶縁膜に複数の第1ビアプラグ(37-1)に接続された銅を含む金属からなる複数の第1配線(37-2)をシングルダマシン法により形成する工程である。(e)は、その第2絶縁膜及び複数の第1配線(37-2)上に第3絶縁膜を形成する工程である。(f)は、その第3絶縁膜にその第1間隔よりも大きい第2間隔以上で互いに隔てられた複数の第2ビアプラグ(34-1)及び複数の第2ビアプラグ(34-

40

50

1) に接続された銅を含む金属からなる複数の第2配線(34-2)をデュアルダマシン法により形成する工程である。

【0046】

上記の半導体装置の製造方法において、そのデュアルダマシン法は、トレンチファースト法である。

【0047】

上記の半導体装置の製造方法において、(g)~(h)工程を更に備える。(g)は、(d)工程と(e)工程との間で、(a)工程から(d)工程を、所望の層数分繰り返す工程である。(h)は、(f)工程の後で、(e)工程から(f)工程を、所望の層数分繰り返す工程である。

10

【0048】

上記の半導体装置の製造方法において、その第1間隔は、複数の第1ビアプラグ(37-1)に関する単位面積あたりのビアプラグの個数としてのビア密度(n)が、所定の条件を満たすように設定される。その所定の条件は、複数の第1配線(37-2)の各々間の配線間容量( $C_s$ )が、複数の第1ビアプラグ(37-1)及び複数の第1配線(37-2)をデュアルダマシン法で形成した場合( $C_D$ )に比較して、小さくなることである。

【0049】

上記の半導体装置の製造方法において、ビア密度(n)は、1個/ $\mu m^2$ 以上である。

【0050】

上記の半導体装置の製造方法において、その第1間隔は、0.5 $\mu m$ である。

20

【0051】

上記の半導体装置の製造方法において、複数の第1ビアプラグ(37-1)の各々の直径は、0.4 $\mu m$ 以下である。

【0052】

【発明の実施の形態】

以下、本発明の半導体装置及び半導体装置の製造方法の実施の形態に関して、添付図面を参照して説明する。

【0053】

まず、本発明の半導体装置の実施の形態の構成について説明する。

図1は、本発明の半導体装置の配線に関わる構造を示す断面図である。半導体装置1は、素子部31、ローカル配線層部33及び電源配線層部32を具備する。

30

【0054】

素子部31は、半導体基板40及びその上に設けられた複数の素子(図示せず)を備える。

【0055】

ローカル配線層部33は、素子部31上に設けられ、複数の配線37-2(図中、その一部を例示)と複数のビアプラグ37-1(図中、その一部を例示)とを含む複数の配線層33-1を備える。配線37-2は、複数の素子に対して信号の入出力を行う信号線、又は、複数の素子と電源配線層部32とを接続する電源線又は接地線である。ビアプラグ37-1は、配線37-2同士、又は、配線37-2と素子との間を接続する。配線37-2は、タンタル/窒化タンタルに例示されるバリアメタル膜と、バリアメタル膜に囲まれた銅とで形成される。そして、配線37-2の一部とビアプラグ37-1とで形成される接合部38は、シングルダマシン法で形成されている。ローカル配線層部33の他の配線37-2の一部と他のビアプラグ37-1とで形成される接合部も同様である。

40

【0056】

電源配線層部32は、ローカル配線層部33の上に設けられ、複数の配線34-2(図中、その一部を例示)と複数のビアプラグ34-1(図中、その一部を例示)とを含む複数の配線層32-1を備える。複数の配線34-2は、複数の素子に対して電源を接続する電源線、又は、接地を行う接地線である。ビアプラグ34-1は、配線34-2同士を接続する。配線34-2及びビアプラグ34-1は、タンタル/窒化タンタルに例示される

50

バリアメタル膜と、バリアメタル膜に囲まれた銅とで形成される。そして、配線 34 - 2 の一部とビアプラグ 34 - 1 とで形成される接合部 35 は、デュアルダマシン法の一つであるトレンチファースト法で形成されている。電源配線層部 32 の他の配線 34 - 2 の一部と他のビアプラグ 34 - 1 とで形成される接合部も同様である。ローカル配線層部 33 と接続するビアプラグ 34 - 1 を特にビアプラグ 36 ともいう。

【0057】

ここで、ローカル配線層部 33 におけるシングルダマシン構造を有する配線 37 - 2 及びビアプラグ 37 - 1 の構成について説明する。

図 4 (d) は、シングルダマシン構造を有する配線及びビアプラグの構成を示す断面図である。この配線及びビアプラグは、基板 40 上に設けられ、層間絶縁層 3、キャップ絶縁層 4、低誘電率絶縁層 5、バリアメタル層 8 と導体部 9 とを含む第 1 配線 10、キャップ絶縁層 14、層間絶縁層 15、バリアメタル層 18 と導体部 19 とを含むビア 20、キャップ絶縁層 24、低誘電率絶縁層 25、バリアメタル層 28 と導体部 29 とを含む第 2 配線 30 を具備する。

10

【0058】

基板 40 は、複数の配線構造や素子が埋め込まれた絶縁膜の多層構造を有する半導体基板である。

【0059】

層間絶縁層 3 は、基板 40 を覆うように設けられている。CVD 法やスピンコート法などで形成された絶縁膜である。配線間や配線と素子、素子間を絶縁する。配線の寄生容量を低減するために、低誘電率の材料を用いる。本実施例では、3.0 以下の低い比誘電率を有する有機ポリマー系の低誘電率膜を用いる。

20

【0060】

キャップ絶縁層 4 は、層間絶縁層 3 を覆うように設けられている。層間絶縁膜 3 上に、CVD 法やスピンコート法などで形成された絶縁膜である。第 1 配線 10 の配線溝を形成するフォトリソグラフィのプロセスにおいて、層間絶縁膜 3 を保護する。本実施例では、炭化窒化シリコン (SiCN) である。膜厚は、例えば、およそ 100 nm である。

【0061】

低誘電率絶縁層 5 は、キャップ絶縁層 4 を覆うように設けられている。CVD 法やスピンコート法などで形成された絶縁膜である。配線間や配線と素子、素子間を絶縁する。配線の寄生容量を低減するために、低誘電率の材料を用いる。本実施例においては、3.0 以下の低い比誘電率を有する有機ポリマー系の低誘電率膜を用いる。膜厚は、例えば、およそ 200 nm である。

30

【0062】

第 1 配線 10 は、層間絶縁層 3 の表面からキャップ絶縁層 4 及び低誘電率絶縁層 5 を貫通する配線溝を埋めるように設けられている。バリアメタル層 8 と導体部 9 とを含む。

【0063】

バリアメタル層 8 は、配線溝の側壁及び底部を覆うように設けられている。スパッタ法により形成された金属薄膜である。導体部 9 が低誘電率絶縁層 5 へ拡散することや、導体部 9 が凝集することを防止する。高融点金属あるいはその窒化物である。本実施例では、タンタル / 窒化タンタル (Ta / TaN) の積層膜である。膜厚は、例えば、およそ 30 nm である。

40

【0064】

導体部 9 は、バリアメタル層 8 を設けられた配線溝を満たす (埋める) ように設けられている。スパッタ法、メッキ法などにより形成された金属である。この部分は、コンタクト用に、抵抗率の低い金属で形成される。例えば、銅、銅 - アルミニウムのような銅を含む金属である。本実施例では、銅 (Cu) を用いる。第 1 配線 10 は、基板 40 と反対側の上部に、ビア 20 と接合する。第 1 配線 10 の深さ及び幅は、例えば、それぞれ 300 nm 及び幅 300 nm である。

【0065】

50

キャップ絶縁層 14 は、低誘電率絶縁層 5 と第 1 配線 10 とを覆うように設けられている。材質、製法及び膜厚は、キャップ絶縁層 4 と同様である。

また、層間絶縁層 15 は、キャップ絶縁層 14 を覆うように設けられている。材質及び製法は、層間絶縁層 3 と同様である。膜厚は、例えば、およそ 400 nm である。

#### 【0066】

バリアメタル層 18 は、ビアホール 7 の側壁及び底部を覆うように設けられている。材質、製法及び膜厚は、バリアメタル層 8 と同様である。

導体部 19 は、バリアメタル層 18 を設けられたビアホール 7 を満たす（埋める）ように設けられている。材質、及び製法は、導体部 9 と同様である。ビア 32 の大きさは、例えば、幅 200 nm、深さ 500 nm である。導体部 19 は、バリアメタル層 18 と共にビア 20 を形成する。

10

#### 【0067】

キャップ絶縁層 24 は、層間絶縁層 15 を覆うように設けられている。材質、製法及び膜厚は、キャップ絶縁層 4 と同様である。

低誘電率絶縁層 25 は、キャップ絶縁膜 24 を覆うように設けられている。材質、製法及び膜厚は、低誘電率絶縁層 5 と同様である。

#### 【0068】

バリアメタル層 28 は、層間絶縁層 15 及びビア 20 の表面からキャップ絶縁膜 24 及び低誘電率絶縁層 25 を貫通する配線溝 17 の側壁及び底部に設けられている。材質、製法及び膜厚は、バリアメタル層 8 と同様である。ただし、配線溝 17 は、第 2 配線 30 を形成するための溝である。

20

導体部 19 は、バリアメタル層 28 を設けられた配線溝 17 を満たす（埋める）ように設けられている。材質、製法及び膜厚は、導体部 9 と同様である。

#### 【0069】

ここで、電源配線層部 32 におけるデュアルダマシン構造を有する配線 34 - 2 及びビアプラグ 34 - 1 の構成については、トレンチファースト法を用いているほかは、既述（図 8 から図 11）のとおりなので、その説明を省略する。また、ビアファースト法を用いても良い。

ただし、電源配線層部 32 における層間絶縁層は、CVD 法やスピンコート法などで形成された絶縁膜である。配線間を絶縁する。この部分の配線層は、配線間容量の影響が少ない。そのため、層間絶縁層は、二酸化シリコンに代表される無機系の絶縁膜を用いる。本実施例では、二酸化シリコンである。そのような絶縁層は、機械的な強度が強いため、組み立て時の半導体装置の損傷を防止することが出来る。

30

#### 【0070】

本発明では、ローカル配線層部 33 において、デュアルダマシン構造を採用せず、銅のビアプラグを有するシングルダマシン構造を採用している。その理由を以下に説明する。

#### 【0071】

デュアルダマシン構造を有するローカル配線層部 33 をビアファースト法により作成する従来の場合、図 9 (a) 及び (c) の工程において、近傍に他のビアホールが無い孤立したビアホール（以下「孤立ビアホール」という）と、近傍に他のビアホールが多く密集したビアホール（以下「密集ビアホール」という）とでは、詰め込まれる ARC (Anti-Reflection Coating: 有機物 142) の厚さ（高さ：図 9 (a) 及び (c) の  $h_A$ ）が変わってくる。それは、以下の理由による。同一配線層上には、配線層の表面の単位面積あたり、一定の ARC が供給される。そのため、周辺に他のビアホールが無い孤立ビアホールには多くの ARC が詰め込まれる。しかし、周辺に他の多くのビアホールがある密集ビアホールには、孤立ビアホールに詰め込まれるよりも少なく ARC が詰め込まれることになる。

40

#### 【0072】

このような場合、詰め込まれる ARC の高さ  $h_A$  の上限を、孤立ビアホールでの高さで律速することとする。すなわち、図 12 に示すようなフェンス 145 の形成を防止するため

50

に、孤立ビアホールのある部分では、詰め込まれる A R C の高さ  $h_A$  は異層間の絶縁層（図 1 2 等におけるストッパ絶縁層 1 2 4 + 層間絶縁層 1 1 5）の膜厚  $h$  以下となるようにする。その場合、同じ配線層にある密集ビアホールにおいて、異層間の絶縁層の膜厚を  $h$ （ $\mu m$ ）、単位面積あたりの密集ビアホールの個数（= 単位面積あたりのビアプラグの個数、以下「ビア密度」ともいう）を  $n$ （個 /  $\mu m^2$ ）とすると、ここでの詰め込み A R C の高さ  $h_A$  は、おおむね  $h / n$  となる。配線の最小ピッチを  $L$ （ $\mu m$ ）とすると密集ビアホールのピッチは、 $L$ （ $\mu m$ ）となる。このようなビアホールでビアプラグを作製した場合、図 1 4（b）に示すような肩落ち部が形成される。その状態を改めて示したのが、図 5（b）及び（d）である。

【0073】

10

図 5 は、シングルマシン構造の配線及びビアプラグ（（a）及び（c））と、ビアファースト法によるデュアルダマシン構造の配線及びビアプラグ（（b）及び（d））を示す半導体装置の断面図である。図 5（a）及び図 5（b）は側面図、図 5（c）及び図 5（d）は上面図である。

図 5（b）を参照して、このデュアルダマシン構造は、第 1 層の配線 5 1 とビアプラグ 5 2 と第 2 層の配線 5 3 と肩落ち部 5 5 を備えている。配線 5 1 及び配線 5 3 は、膜厚  $t$ （ $\mu m$ ）、ビアプラグ 5 2 は、高さ  $h$ （ $\mu m$ ）である。また、上記の議論から肩落ち部 5 5 の高さ（= 詰め込み A R C の高さ  $h_A$ ）は、おおむね  $h / n$  となる。

【0074】

ここで、図 5（d）を参照して、配線 5 3（肩落ち部 5 5 を含む）- ビアプラグ 5 2 - 配線 5 1 - ビアプラグ 5 2 - 配線 5 3（肩落ち部 5 5 を含む）の組に対して、同様の配線 5 3 a（肩落ち部 5 5 a を含む）- ビアプラグ 5 2 a - 配線 5 1 a - ビアプラグ 5 2 a - 配線 5 3 a（肩落ち部 5 5 a を含む）の組が、平行に設けられている場合を考える。このような構造は、D R A M や S R A M のようなメモリに例示される半導体装置に典型的に見られる構造である。

20

配線ピッチを  $L$ （ $\mu m$ ）、配線幅を  $L / 2$ （ $\mu m$ ）、配線間の距離を  $L / 2$ （ $\mu m$ ）とすれば、点線で囲まれた部分の配線間容量（ $C_D$  / : は異層間の絶縁層の誘電率）は、（A）デュアルダマシン構造の場合

$$C_D / \epsilon = [2 \times \{ (t + h) \times (L / 2) \} + t \times (3L / 2)] / (L / 2) + [\{ (h - h / n) \times (L / 2) \} / 2] \times 2$$

$$= 5t + 2h + h \times (1 - 1 / n) \quad (1)$$

30

となる。

【0075】

一方、図 5（a）を参照して、このシングルダマシン構造では、第 1 層の配線 4 1 とビアプラグ 4 2 と第 2 層の配線 4 3 とを備えている。配線 4 1 及び配線 4 3 は、膜厚  $t$ （ $\mu m$ ）、ビアプラグ 4 2 は、高さ  $h$ （ $\mu m$ ）である。

ここで、図 5（c）を参照して、図 5（d）の場合と同様に、配線 4 3 - ビアプラグ 4 2 - 配線 4 1 - ビアプラグ 4 2 - 配線 4 3 の組に対して、同様の配線 4 3 a - ビアプラグ 4 2 a - 配線 4 1 a - ビアプラグ 4 2 a - 配線 4 3 a の組が、平行に設けられている場合を考える。配線ピッチを  $L$ （ $\mu m$ ）、配線幅を  $L / 2$ （ $\mu m$ ）、配線間の距離を  $L / 2$ （ $\mu m$ ）とすれば、点線で囲まれた部分の配線間容量（ $C_S$  / : は異層間の絶縁層の誘電率）は、

40

（B）シングルダマシン構造の場合

$$C_S / \epsilon = [2 \times \{ (t + h) \times L / 2 \} + t \times (3L / 2)] / (L / 2)$$

$$= 5t + 2h \quad (2)$$

となる。

【0076】

50

図6は、式(1)及び式(2)を示すグラフである。縦軸は配線間容量( $C/\mu\text{m}$ )、横軸はビア密度 $n$ である。ビア密度 $n$ が増加する、すなわちビアプラグ間のピッチが狭くなると、デュアルダマシンの場合、配線容量が増加する。しかし、シングルダマシンの場合、配線容量はビア密度によらない。つまり、配線間容量がシングルダマシンの場合の値に比較して大きくなるようなビア密度 $n$ で、シングルダマシン法を採用すればよい。

#### 【0077】

図6及び式(1)及び式(2)から、 $n=1$ 以上の場合、シングルダマシン構造での配線間容量が、デュアルダマシン構造のそれを下回ることがわかる。すなわち、ビア密度 $n$ は、 $n=1$ が好ましい。この場合、ピッチは、無関係である。さらに、DRAMやSRAMのようなメモリに例示される半導体装置に平均的な値として、 $t=0.3\mu\text{m}$ 、 $h=0.4\mu\text{m}$ を用い、設計の要請から配線間容量を $0.18\text{fF}/\mu\text{m}$ 以下にする場合、 $n=2.5$ となり、ピッチは、 $0.4\mu\text{m}$ となる。

#### 【0078】

本発明により、半導体装置のローカル配線層部での配線が微細化してビア密度 $n$ が大きくなる場合でも、シングルダマシン構造を採用することにより、デュアルダマシン構造の場合に比較して配線間容量を抑えることが可能となる。

#### 【0079】

次に、本発明の半導体装置の製造方法について説明する。

まず、ローカル配線層部33の製造方法について説明する。ここでは、シングルダマシン構造を有する一配線層33-1分の配線及びビアプラグを製造する方法について説明する。図2～図4は、シングルダマシン構造を構成する配線及びビアプラグの製造方法を示す半導体装置の断面図である。ここでは、2つの層のそれぞれに設けられた配線と、それらを繋ぐビアプラグとを形成する例を示す。

#### 【0080】

図2において、複数の半導体素子を設けられた基板40上に、層間絶縁膜3上のストッパ絶縁層4及び低誘電率絶縁層5の中に、第1層の配線10が設けられる。配線10は、銅(Cu)の配線9とタンタル/窒化タンタル(Ta/TaN)のバリアメタル層8とを含み、ダマシン構造を有する。従来知られた配線製造プロセスで設けられる。そして、配線10と低誘電率絶縁層5とを覆うようにストッパ絶縁膜14aが設けられる。更に、ストッパ絶縁膜14aを覆うように層間絶縁膜15aが設けられる。この、図2(a)の状態において、フォトリソグラフィーのプロセスを用いて、ストッパ絶縁膜14aと層間絶縁膜15aとにビアホール7を形成する。ビアホール7を形成されたストッパ絶縁膜14aと層間絶縁膜15aを、それぞれ、ストッパ絶縁層14と層間絶縁層15とする。この図2(b)の状態において、層間絶縁層5の表面とビアホール7の側壁(側面)及び底部とを覆うように、Ta/TaNからなるバリアメタル膜18aをスパッタ法で設ける。このときビアホール7aとなる。この図2(c)の状態において、バリアメタル膜18aを覆うようにCuからなるシード導体膜19aを設ける。このときビアホール7bとなる。この状態が図2(d)である。

#### 【0081】

次に、図2(d)の状態において、シード導体膜19aを覆い、且つ、ビアホール7bを埋めるようにCuからなる導体膜19bを設ける。この図3(a)の状態において、層間絶縁層15表面及びビアホール7上方における不要なバリアメタル膜18a、シード導体膜19a及び導体膜19bをCMP(Chemical Mechanical Polishing)で除去する。このようにして、バリアメタル層18及び導体層19とからなるビアプラグ20(コンタクト)が形成される。この図3(b)の状態において、ビアプラグ20と層間絶縁膜15とを覆うようにストッパ絶縁膜24aが設けられる。更に、ストッパ絶縁膜24aを覆うように低誘電率絶縁膜25aが設けられる。この図3(c)の状態において、フォトリソグラフィーのプロセスを用いて、ストッパ絶縁膜24aと低誘電率絶縁膜25aとに第2層の配線溝17を形成する。このとき、配線溝17を形成されたストッパ絶縁膜24aと低誘電率絶縁膜25aを、それぞれ、ストッパ絶縁層24と

低誘電率絶縁層 25 とする。この状態が図 3 ( d ) である。

【 0 0 8 2 】

次に、図 3 ( d ) の状態において、低誘電率絶縁層 25 と配線溝 17 の側壁及び底部とを覆うように、Ta / TaN からなるバリアメタル膜 28 a をスパッタ法で設ける。このとき配線溝 17 a となる。この図 4 ( a ) の状態において、バリアメタル膜 28 a を覆うように Cu からなるシード導体膜 29 a を設ける。このとき配線溝 17 b となる。この図 4 ( b ) の状態において、シード導体膜 29 a を覆い、且つ、ビアプラグ 17 を埋めるように Cu からなる導体膜 29 b を設ける。この図 4 ( c ) の状態において、低誘電率絶縁層 25 表面及び配線溝 17 上方における不要なバリアメタル膜 28 a、シード絶縁膜 29 a 及び導体膜 29 b を CMP で除去する。このようにして、バリアメタル層 28 及び導体層 29 とからなる配線 30 が形成される。配線 30 及びビアプラグ 20 は、接合体 38 ( 図 1、シングルダマシン法で形成 ) に対応する。

10

【 0 0 8 3 】

そして、以上の図 2 ~ 図 4 の製造方法により、シングルダマシン構造を有する一配線層 33 - 1 分の配線及びビアプラグが形成される。ただし、図 4 におけるビアプラグ 20、配線 10 及び配線 30 は、それぞれ図 1 におけるビアプラグ 37 - 1、配線 37 - 2 に対応する。積層された他の配線層 33 - 1 も同様に形成できる。

【 0 0 8 4 】

ビアプラグ 36 の製造方法については、上述のシングルダマシン法又は従来のデュアルダマシン法を用いて形成できるのでその説明を省略する。また、電源配線層部 32 の製造方法については、層間絶縁層に二酸化シリコンに代表される無機系の絶縁膜を用いる他は、既述のデュアルダマシン法 ( トレンチファースト法 ) を用いて形成しているのでその説明を省略する。

20

【 0 0 8 5 】

本発明では、シングルダマシン構造を採用することにより、微細な配線の形成を安定して行うことができる。それにより、配線のピッチが短く配線が微細なローカル配線部において、バリアメタル膜を厚くつける必要がなくなり、配線の抵抗を低減することが出来る。

【 0 0 8 6 】

更に、電源配線層部では、デュアルダマシン構造を採用しているので、ビアプラグの抵抗を低く保ち、その工程数を少なく維持できる。

30

【 0 0 8 7 】

加えて、電源配線層部における層間絶縁層は、二酸化シリコンに代表される無機系の絶縁膜を用いるので、機械的な強度が強く、組み立て時の半導体装置の損傷を防止することが出来る。

【 0 0 8 8 】

【 発明の効果 】

本発明により、半導体装置のローカル配線層部での配線が微細化してビア密度 n が大きくなる場合でも、シングルダマシン構造を採用することにより、デュアルダマシン構造の場合に比較して配線間容量を抑えることが可能となる。

【 図面の簡単な説明 】

40

【 図 1 】 図 1 は、本発明の半導体装置の配線に関わる構造を示す断面図である。

【 図 2 】 図 2 は、シングルダマシン構造を構成する配線及びビアプラグの製造方法を示す半導体装置の断面図である。

【 図 3 】 図 3 は、シングルダマシン構造を構成する配線及びビアプラグの製造方法を示す半導体装置の断面図である。

【 図 4 】 図 4 は、シングルダマシン構造を構成する配線及びビアプラグの製造方法を示す半導体装置の断面図である。

【 図 5 】 図 5 は、シングルダマシン構造及びデュアルダマシン構造の配線及びビアプラグを示す半導体装置の断面図である。

【 図 6 】 図 6 は、式 ( 1 ) 及び式 ( 2 ) を示すグラフである。

50

【図 7】図 7 は、半導体装置の配線に関わる構造を示す半導体装置の断面図である。

【図 8】図 8 は、ビアファースト法のプロセスを示す半導体装置の断面図である。

【図 9】図 9 は、ビアファースト法のプロセスを示す半導体装置の断面図である。

【図 10】図 10 は、ビアファースト法のプロセスを示す半導体装置の断面図である。

【図 11】図 11 は、ビアファースト法のプロセスを示す半導体装置の断面図である。

【図 12】図 12 は、ビアホールを完全に埋めるように有機物を入れた場合の半導体装置の断面を示す図である。

【図 13】図 13 は、有機物の量をストッパ絶縁層の高さよりも低くした場合の半導体装置の断面図である。

【図 14】図 14 は、有機物の量をストッパ絶縁層の高さよりも低くした場合の半導体装置の断面図である。 10

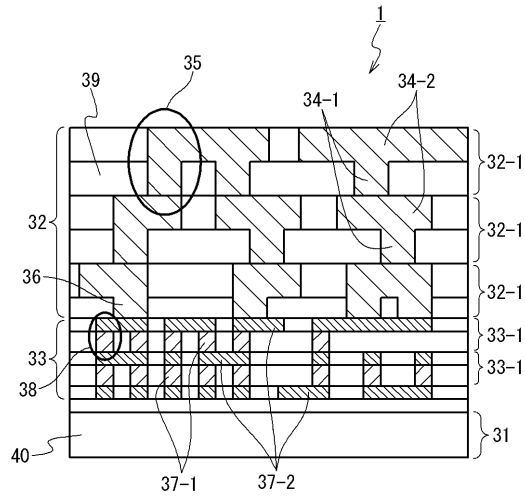
【図 15】図 15 は、図 13 及び図 14 の肩落ちを含む半導体装置の配線に関わる構造を示す断面図である。

# 【符号の説明】

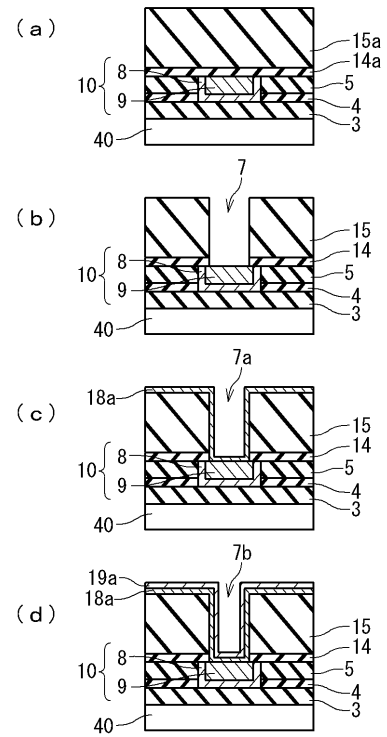
1、101、101a	半導体装置	
3、15、103、115	層間絶縁層	
15a、115a	層間絶縁膜	
4、14、24、104、114、124	ストッパ絶縁層	
14a、24a、114a、124a	ストッパ絶縁膜	
5、25、105、125	低誘電率絶縁層	20
25a、125a	低誘電率絶縁膜	
7、7a、7b、107、107a( ' )、107b、107c	ビアホール	
8、18、28、118	バリアメタル層	
18a、28a、118a	バリアメタル膜	
9、19、29、119	導体部	
19a、29a、119a	シード導体膜	
19b、29b、129a	導体膜	
10、30、41、43、51、53、110	配線	
17、17a、17b、117( ' )	配線溝	
20、42、52、120	ビアプラグ	30
30、130	ビアプラグ	
31、131、131a	素子部	
32、132、132a	電源配線層部	
32-1、132-1、132a-1	配線層	
33、133、133a	ローカル配線層部	
33-1、133-1、133a-1	配線層	
34-1、37-1、134-1、137-1、134a-1、137a-1	ビアプラグ	
34-2、37-2、134-2、137-2、134a-2、137a-2	配線	40
35、38、135、138、135a、138a	接合部	
36、136、136a	ビアプラグ	
40、140、140a	基板	
142( '、' ' )	有機物	
146、146a	肩落ち部	



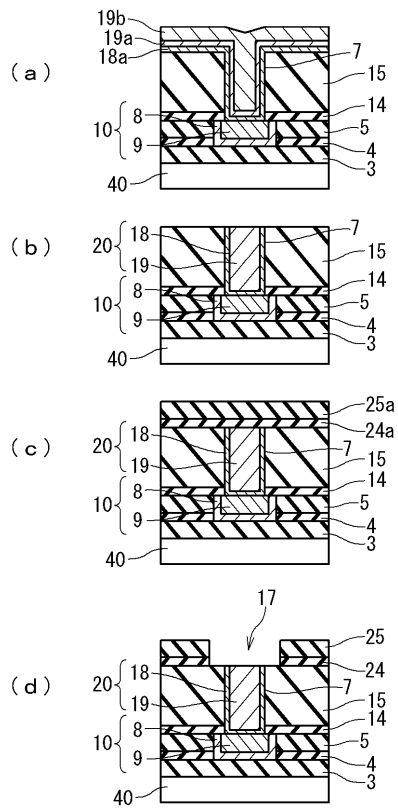
【図 1】



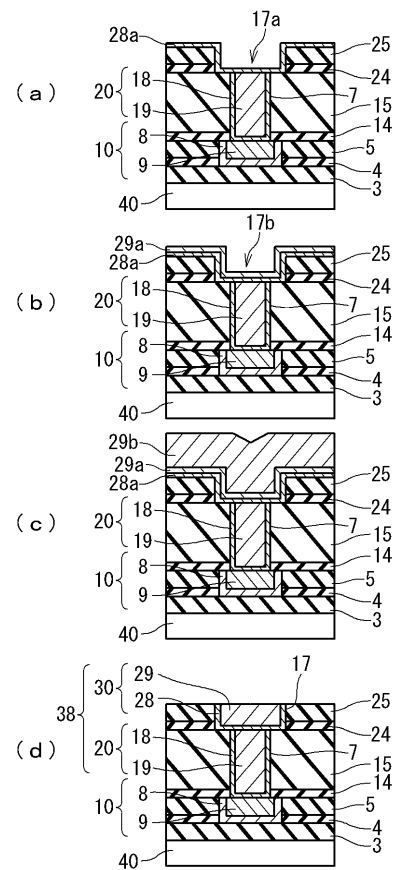
【図 2】



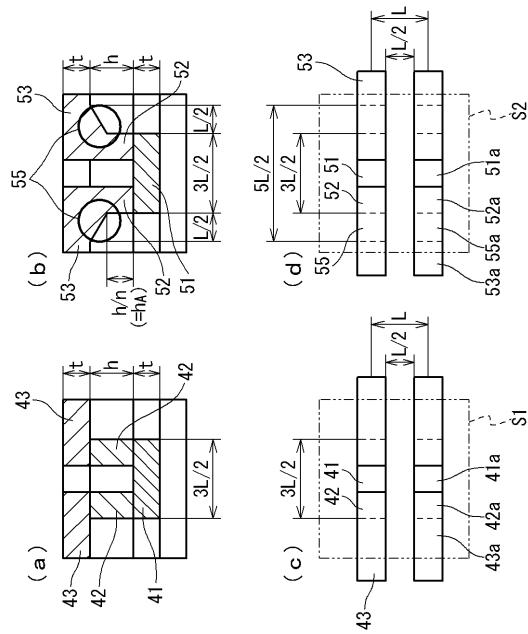
【図 3】



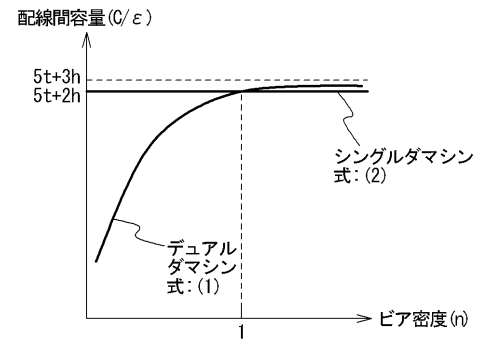
【図 4】



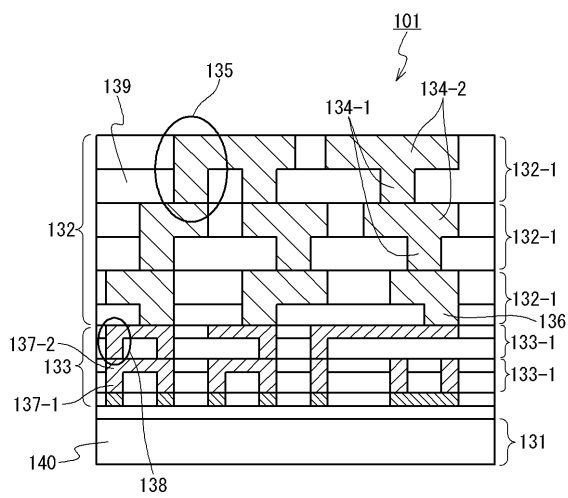
【図 5】



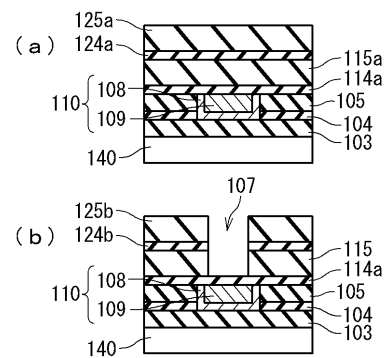
【図 6】



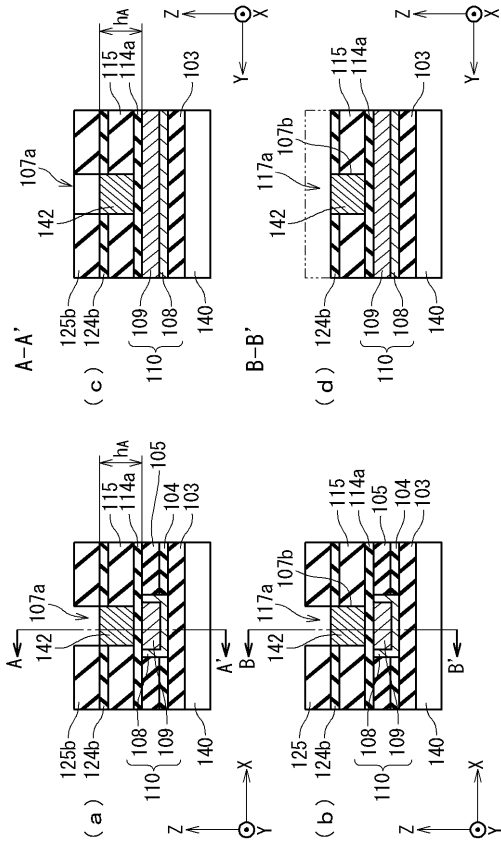
【図 7】



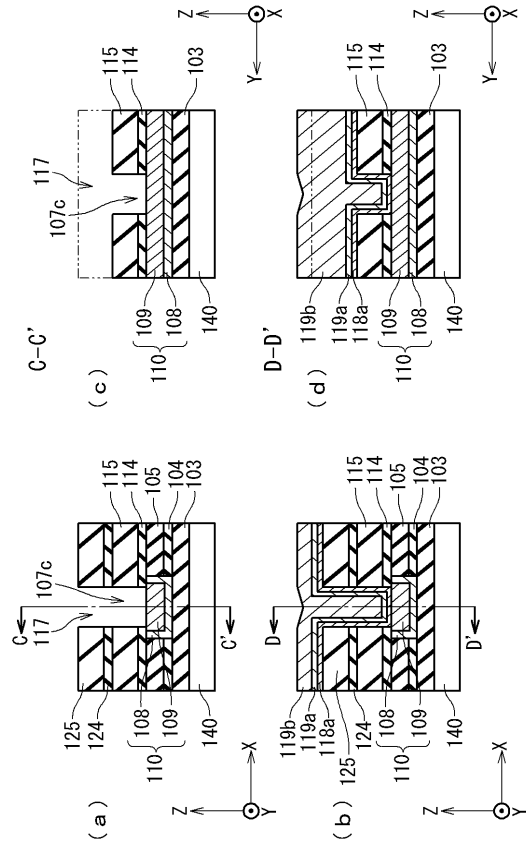
【図 8】



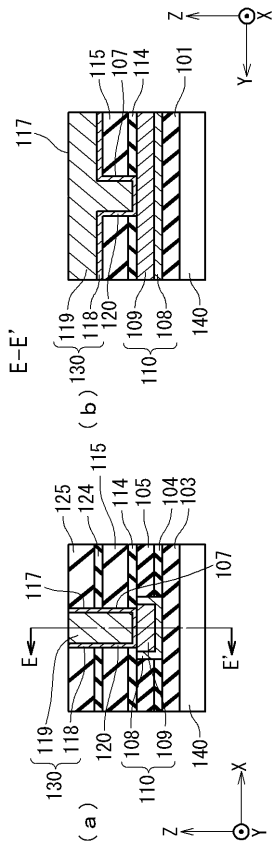
【図 9】



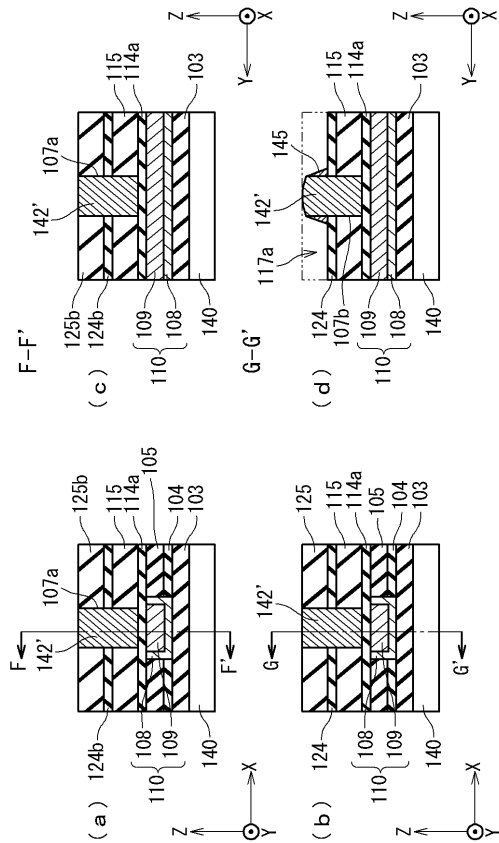
【図 10】



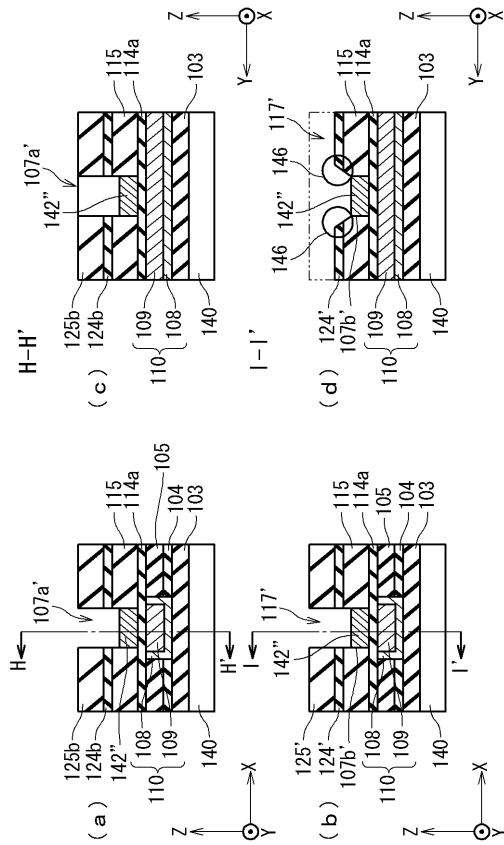
【図 11】



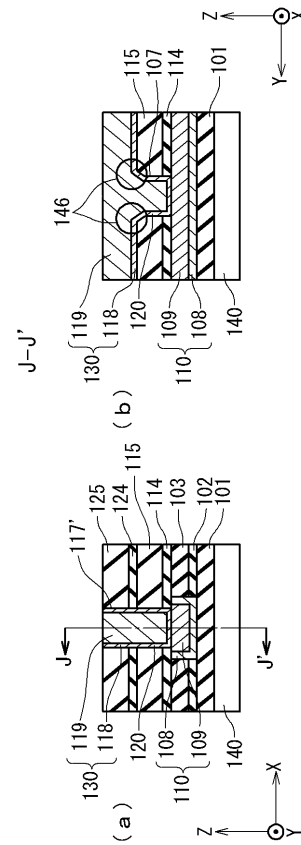
【図 12】



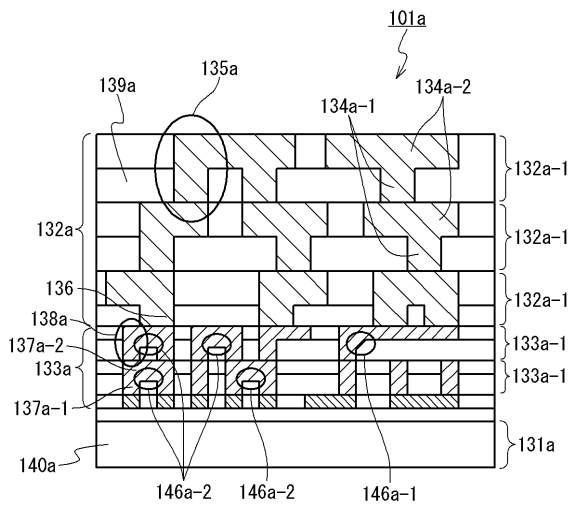
【図 13】



【図 14】



【図 15】



---

フロントページの続き

F ターム(参考) 5F033 HH11 HH12 HH21 HH32 JJ01 JJ11 JJ12 JJ21 JJ32 KK11  
KK12 KK21 KK32 MM01 MM02 MM12 MM13 NN06 NN07 PP15  
PP27 PP28 QQ09 QQ10 QQ25 QQ37 QQ48 RR04 RR05 RR21  
SS11 SS21 TT04 VV00 VV04 WW00 WW01 XX01 XX03 XX09  
XX10 XX24 XX25 XX28