

申請日期	85 年 4 月 5 日
案 號	85103979
類 別	Int. Cl <sup>6</sup> G09G 3/20

(以上各欄由本局填註)

公告本

A4  
C4

445439

## 發 明 專 利 說 明 書

一、發明 名稱	中 文	活性矩陣顯示器和影像形成系統
	英 文	Active matrix display and image forming system
二、發明 創作人	姓 名	(1) 山崎舜平 (2) 小山潤 (3) 千村秀彦
	國 籍	(1) 日本                      (2) 日本                      (3) 日本 (1) 日本國東京都世田谷區成城四--一〇--二〇
	住、居所	(2) 日本國神奈川縣相模原市西橋本--四--二三  (3) 日本國神奈川縣厚木市愛甲一〇五八-- メゾンドール二〇三號
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導體エネルギー研究所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八
	代 表 人 名 姓 名	(1) 山崎舜平

裝

訂

線

445439

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利, 申請日期: 案號: 有 無主張優先權

日本 1995年4月27日 7-129429 無主張優先權

有關微生物已寄存於: 寄存日期: 寄存號碼:

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明(1)

## 發明背景

## 1. 發明領域

本發明係關於一種顯示裝置，其可適於顯示高品質影像，使用高速，大量之影像資料，如HDTV，和，更特別而言，本發明係關於一種電光液晶裝置。

## 2. 相關技藝之說明

習知用以提供影像顯示之系統構造如圖20所示。此系統具有一影像讀取器2001，如攝像機。此影像讀取器掃描所需影像，(其可靜止影像或移動影像)，並產生輸出資料。例如電光液晶顯示器之顯示裝置2002使用由影像讀取器2001輸出之資料提供一顯示，亦即，依照掃描之結果，在連接於顯示裝置2002和影像讀取器2001間之控制單元之控制下。

電光活性矩陣液晶顯示裝置(其為前述顯示裝置之一例)乃參考圖21說明如下。習知的活性矩陣液晶顯示裝置包含一閘側驅動器2116，或一掃描線驅動電路，一源側驅動器2115，或一訊號線驅動電路，和一含有多數圖素安排在行和列中之圖素矩陣2105。

掃描線驅動電路2116含有移位暫存器2102和由互補TF T組之取樣電路2103。移位暫存器2102含有由互補TF T組成之主僕正反器。

掃描線驅動電路2116含有移位暫存器2102和由互補TF T組成之緩衝電路。移位暫存器2102含有

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(2)

由互補 T F T 所組成之主僕正反器。

每個圖素之型態如圖 2 2 所示。N 型 T F T 2 2 0 0 具有開電路 2 2 0 2，源極 2 2 0 1 和汲極 2 2 0 3。液晶元素 2 2 0 4 和連接至 N 型 T F T 2 2 0 0 之源極 2 2 0 1 之輔助電容 2 2 0 6 分別和反向電極 2 2 0 5 和地 2 2 0 7 連接。

上述習知電光活性矩陣液晶顯示器之操作如下所述。首先說明在閘側上之驅動器或掃描線驅動電路 2 1 1 6 之操作。當輸入一啓動脈衝在閘側和一移位時鐘脈衝在閘側上時，和緩衝器 2 1 0 7 連接之閘訊號線 2 1 0 8 變低 (L) 而後變高 (H) 以和在閘側上之移位時鐘脈衝同步。

以下說明在源側上之驅動器或訊號線驅動電路 2 1 1 5 之操作。當輸入啓始脈衝在源極側和一移移位時鐘脈衝在源側時，取樣訊號線 2 1 1 7 由低 (L) 低準轉移至高 (H) 位準，而後轉移至低 (L) 位準以和左源側上之移位時鐘脈衝同步。經由類比 R G B 訊號線 2 1 1 0 之影像訊號依照由取樣訊號線 2 1 1 7 而得之訊號取樣，而關於影像之資料供應至源訊號線。

整個活性矩陣顯示器之操作如下所述。爲了將資料寫入水平方向中，關於影像之資料寫至在水平線上之圖素，其閘訊號線在高 (H) 位準以和在源側上之移位時鐘脈衝同步。垂直的重覆此操作以和在閘側上之垂直移位時鐘脈衝同步。對於一圖框影像執行此操作。以此方式，可顯示一影像圖框。圖 2 3 爲顯示此系列操作之時間圖。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(3)

上述以習知技藝所提供之顯示具有一些缺點，包括：  
(1) 習知液晶顯示裝置之 T F T 具有小的移動率；和  
(2) 需要花較長的時間以將資料寫入液晶圖素中。因此，無法將水平取樣時鐘頻率設定在高值上。結果，相當難以達成高速操作。亦即，改變 T F T 和液晶之狀態需要花費相當長的時間。

由於顯示螢幕之區域增加，不需要的現象變的更為明顯，亦即，由於使用大量的資料，圖素之數目增加。

現今，和習知電視比較，一圖框影像之資料量顯著的增加，以達成在高解析度 T V ( H D T V ) 和 E D T V 中之高影像品，當顯示區域增加時，可改善可見度。再者，多數之影像可同時的顯示在一顯示裝置上。因此，現今需要一大區域顯示。為了滿足這些需求，極需一電光液晶顯示器以在高速下操作。

## 發明概要

本發明之目的乃在提供一種顯示裝置，其可避免上述之問題。

本發明之一實施例為一活性矩陣顯示器，包含：多數之圖素安排在行和列中；開關裝置在圖素中；掃描線和圖素連接且作用以開關開關裝置；和訊號線連接至圖素並作用以產生顯示訊號。該活性矩陣顯示器之特徵在於其包含兩種線驅動電路，含有至少一訊號線驅動電路和至少一掃描線驅動電路，和兩種線驅動電路之至少之一為多數個。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(4)

至少一訊號線驅動電路和至少一掃描線驅動電路製成一對以形成部份影像顯示部份，顯示裝置具有多數之部份影像顯示部份。每個部份部份影像顯示部份顯示一部份之影像圖框。所有的部份影像顯示部份配合以顯示整個影像圖框。

在本發明之一特徵中，上述之掃描線或訊號線之一或兩者假設具有多層金屬構造之形式。

在本發明之另一特徵中，上述之部份影像顯示部份具有電獨立反向電極。

在本發明之另一特徵中，上述之顯示裝置具有影像資料再安排單元用以分別將輸入影像資料轉換成相關於部份影像顯示部份之資料組。

此種新穎的顯示裝置具有兩種線驅動電路含有至少一掃描線驅動電路和至少一訊號線驅動電路。兩種線驅動器之至少之一為多數的。當顯示裝置顯示一圖框影像時，一部份影像顯示部份由至少一掃描線驅動電路和至少一訊號線驅動電路所形成。亦即，多數部份影像顯示部份一起形成一顯示裝置。因此，部份影像顯示部份之組合顯示一圖框影像。

因此，如果在低速下操作之 T F T 使用以驅動該線時，則可以相同的方式提供顯示。如此可降低成本。

如果使用和習知 T F T 相同速度之 T F T 操作時，可增加包含在整個顯示裝置中之圖素數目。

在一範例中，整個顯示裝置具有兩個掃描線驅動電路

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

## 五、發明說明(5)

和兩個訊號線驅動電路。其中每個部份影像顯示部份含有一掃描線驅動電路和一訊號線驅動電路，且其中形成四個部份影像顯示部份。

假設顯示裝置具有480掃描線，且每秒產生30個圖框。

在過去，需要供應關於一掃描線之時間需縮短為 $1 \div 30 \div 480 = 69 \mu s$ 。在本發明中，時間為 $1 \div 30 \div = 139 \mu s$ 。因此，可獲得為習知技藝時間之兩倍長之時間。在習知技藝中，一驅動電路可驅動480線。在本發明中，相同的驅動電路可驅動960線。

本發明可提供欲顯示在顯示裝置上之影像，特別是在電光活性矩陣液晶顯示器上，以一比習知技藝更高之速度，而無需改變在閘側上之驅動器或在源側上之驅動器之實質操作速度，且無需改變時鐘頻率或其它參數。結果，可以較低之成本，輕易的完成高速，且具有高資訊內容之大區域顯示。

本發明之其它目的和特點令之一的在下述之說明中呈現。

## 附圖簡述

圖1為依照本發明之例1之影像讀取和再生系統之方塊圖；

圖2為圖1之A/D轉換器和D/A轉換器之圖；

圖3為圖1之影像資料再安排單元之圖；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

裝

## 五、發明說明(6)

圖4為-R訊號之FIFO記憶之圖，FIFO記憶使用在圖1之系統中；

圖5為介於讀出之影像資料和一顯示資料間之關係圖；

圖6為顯示圖3之影像資料再安排單元之操作之時間圖；

圖7為在圖1之系統中使用之電光液晶顯示裝置之電路圖；

圖8為由圖7所示之液晶顯示器所顯示之影像之圖；

圖9(a)和9(b)為由圖7所示之液晶顯示器所製成之掃描之例之圖；

圖10為依照本發明之例2之電光液晶顯示器之電路圖；

圖11(a)和11(b)為圖10之開側驅動器之驅動效能之方塊圖；

圖12為使用在圖10之液晶顯示器之取樣電路之片段電路圖；

圖13為圖10之液晶顯示器中之許多圖素矩陣之佈局之圖；

圖14為使用在圖10中之液晶顯示器之取樣電路之佈局圖；

圖15為由圖10所示之液晶顯示器所形成之掃描例之圖；

圖16為在依照本發明之例3之液晶顯示器中之一些

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明(7)

圖素矩陣之佈局圖；

圖 1 7 為圖 1 6 之液晶顯示器之取樣電路之佈局圖；

圖 1 8 為由圖 9 之平面 1 0 1 0 所截取之橫截面圖；

圖 1 9 為由圖 9 之平面 1 0 1 1 所截取之橫截面圖；

圖 2 0 為習知顯示裝置之方塊圖；

圖 2 1 為習知電光活性矩陣液晶顯示器之電路圖；

圖 2 2 為由習知技藝所形成之一圖素之電路圖；和

圖 2 3 為習知顯示裝置之波形圖。

## 較佳實施例之說明

## 例 1

本例之構造可參考圖 1 而簡單的說明。此例為使用例如光電液晶顯示器之顯示裝置 1 0 2 之影像讀取和再生系統。如圖所示，影像由影像讀取器 1 0 1 所掃描和讀取。影像顯示或再生在顯示裝置 1 0 2 之四部份 1 0 2 a，1 0 2 b，1 0 2 c 和 1 0 2 d 上。欲讀取之影像 1 0 1 在兩方向掃描。此即為雙向掃描。

影像由例如含有  $2m \times 2n$  圖素之攝像機之影像讀取器 1 0 1 所讀取。

以下說明影像讀取和再生系統之操作。影像讀取器 1 0 1 產生類比 RGB 訊號至 A / D 轉換器，以換進入之類比資料成為數位型式。由 A / D 轉換器而來之數位資料由影像資料再安排單元再生排成四組資料。來自 A / D 轉換器之四組資料分別供應至四個 D / A 轉換器。來自四個

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(8)

D / A 轉換器之輸出資料組饋至顯示裝置 102，其中資料組是可見的。

圖 2 (a) 為圖 1 之 A / D 轉換器之一例。圖 2 (b) 為圖 1 所示之 D / A 轉換器之組之例。A / D 轉換器為 8 位元 (256 灰度位準) 類比數位轉換器。再者，每個 D / A 轉換器為 8 位元數位類比轉換器。位元數目可依照欲顯示之灰度位準之數目而增減。

如圖 1 所示之影像資料再安排單元之例特別顯示在圖 3 中。影像資料再安排單元包含 FIFO (先進先出) 記憶 301 - 303 和一時間產生器 304 用以產生時間訊號以同步寫入或由 FIFO 記憶 301 - 303 中讀出。FIFO 記憶 301 - 303 再安排三個主要顏色或 R . G . B 之數位資料在相關於四個影像顯示部份之資料組中。

相關於 R (紅) 訊號之 FIFO 訊號特別如圖 4 所示。相關於 G (綠) 和 B (藍) 訊號之 FIFO 記憶亦具有相似之構造。儲存在 FIFO 記憶 FIFO a，FIFO b，FIFO c 和 FIFO d 之資料組分別使用以顯示影像之四部份，分別在圖 1 之顯示裝置 102 之四個影像顯示部份 102 a，102 b，102 c 和 102 d。

相關於 R 訊號之影像資料再安排單元之操作將說明如下。相關於 G 和 B 訊號之影像資料再安排單元亦相似。由圖 1 之影像讀取器 101 所產生之影像資料供應至 A / D

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

像

### 五、發明說明(9)

轉換器。來自 A / D 轉換器之輸出訊號特別如圖 5 所示。圖 6 為寫入或由 F I F O 記憶讀取之時間圖。影像資料由 A / D 轉換器以和主時鐘脈衝同步的傳送，並和寫入時鐘脈衝 R C L K w a 同步的寫入記憶 F I F O a。當寫入完成達到第一列之第 m 行時，寫時鐘脈衝 R C L K w a 停止。寫時鐘脈衝 R C L K w b 產生。而後，資料由 ( M + 1 ) 行中寫入記憶 F I F O b。

這些操作重覆直到圖素 ( n , 2 m )，而後，資料由第 ( n + 1 ) 列寫入記憶 F I F O c。而後，資料由第 ( n + 1 ) 列之 ( m + 1 ) 行寫入記憶 F I F O d 中。重覆這些操作以將關於一影像圖框之資料寫入四個 F I F O 記憶中。

而後，四組影像資料由四個 F I F O 記憶中同時讀取以和讀取時鐘脈衝 R C L K 同步。讀出之資料組同時的傳送至顯示裝置 1 0 2 之四部份，其中寫入四組資料，如圖 1 所示。

以下參考圖 7 說明顯示裝置 1 0 2。部份影像顯示部份 0 0 1 a，0 0 1 b，0 0 1 c 和 0 0 1 d 在結構上和習知技藝之電光活性矩陣液晶顯示器相似。

參考圖 7，部份影像顯示部份 0 0 1 b 包含一源側移位暫存器 a 含有 P 型 T F T，N 型 T F T，或互補 T F T，一取樣電路含有 T F T，一閘側移位暫存器 a 含有 P 型 T F T，N 型 T F T，或互補 T F T，一源側啓始脈衝輸入端 7 0 1 a，一源側移位時鐘輸入端 7 0 2 a，一類比

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

像

## 五、發明說明(10)

R G B 輸入端 7 0 3 a , 一闌側啓始脈衝輸入端 7 0 4 a , 和一闌側移位時鐘輸入端 7 0 5 a 。相似的, 部份影像顯示部份 0 0 6 a 包含一源側移位暫存器 b 含有 P 型 T F T , N 型 T F T , 或互補 T F T , 一取樣電路含有 T F T , 一闌側移位暫存器 b 含有 P 型 T F T , N 型 T F T , 或互補 T F T , 一源側啓始脈衝輸入端 7 0 1 b , 一源側移位時鐘輸入端 7 0 2 b , 一類比 R G B 輸入端 7 0 3 b , 一闌側啓始脈衝輸入端 7 0 4 b , 和一闌側移位時鐘輸入端 7 0 5 b 。

部份影像顯示部份 0 0 1 c 包含一源側移位暫存器 a 含有 P 型 T F T , N 型 T F T , 或互補 T F T , 一取樣電路含有 T F T , 一闌側移位暫存器 c 含有 P 型 T F T , N 型 T F T , 或互補 T F T , 一源側啓始脈衝輸入端 7 0 1 c , 一源側移位時鐘輸入端 7 0 2 c , 一類比 R G B 輸入端 7 0 3 c , 一闌側啓始脈衝輸入端 7 0 4 c , 和一闌側

移位時鐘輸入端 7 0 5 c 。

部份影像顯示部份 0 0 1 d 包含一源側移位暫存器 d 含有 P 型 T F T , N 型 T F T , 或互補 T F T , 一取樣電路含有 T F T , 一闌側移位暫存器 c 含有 P 型 T F T , N 型 T F T , 或互補 T F T , 一源側啓始脈衝輸入端 7 0 1 d , 一源側移位時鐘輸入端 7 0 2 d , 一類比 R G B 輸入端 7 0 3 d , 一闌側啓始脈衝輸入端 7 0 4 d , 和一闌側移位時鐘輸入端 7 0 5 d 。

在每個部份影像顯示部份之垂直方向中之圖素數目為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(11)

在整個電光液晶顯示器之垂直方向中圖素數目之一半。再者，在每個部份影像顯示部份之水平方向中之圖素數目為整個電光液晶顯示器之水平方向中之圖素數目之一半。部份影像顯示部份 001a, 001b, 001c 和 001d 分別安裝反向電極 720a, 702b, 702c 和 702d。

以下說明整個電光液晶顯示之操作。部份影像顯示部份 001a, 001b, 001c 和 001d 之操作和習知之顯示裝置相同，因此，以下不說明這些部份顯示部份之操作。

當閘側移位時鐘脈衝和閘側啓始脈衝由閘側啓始脈衝輸入端 704a, 704b, 704c 和 704d 和由閘側移位時鐘輸入端 705a, 705b, 705c 和 705d 施加時，在部份影像顯示部份 001a, 001b, 001c 和 001d 之第一列之圖素上之開關電晶體啓動。此時，如果源側啓始脈衝和源側移位時鐘脈衝由源側啓始脈衝輸入端 701a, 701b, 701c 和 701d 和由源側移位時鐘輸入端 702a, 702b, 702c 和 702d 施加時，由類比 RGB 輸入端 703a, 703b, 703c 和 703d 輸入之影像資料由相關的取樣電路 1, 2, 3 和 4 取樣，因此，部份影像顯示部份 001a, 001b, 001c, 和 001d 之第一圖素 a(1,1) b(1,1), c(1,1) 和 d(1,1) 分別致動。結果，可看見影像資料。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 五、發明說明(12)

重覆這些操作。因此，部份影像顯示部份 001a，001b，001c 和 001d 之第一列致動。重覆前述之操作以致動部份影像顯示部份 007a，007b，007c 和 007d 之第二列。重覆這些操作以致動部份影像顯示部份 007a，007b，007c 和 007d 之所有列。因此，可完全顯示一圖框影像。執行此種顯示之操作如圖 8 所示。

位在四個不同位置之四個部份影像顯示部份，或四個活性矩陣板在相同時間提供顯示。四個影像顯示部份配合以畫出一全影像。

此時，四個分離的電壓分別施加至四個反向電極 720a，720b，720c 和 720d。替代的，四個部份影像顯示部份亦可內部的互相短路以形成共同反向電極，且一電壓可施加至此共同的反向電極。

在此例中，四個部份圖素矩陣 801a，801b，801c 和 801d 不需具有相同的尺寸。但是，在考量四個影像顯示部份間之平衡時，四個部份影像顯示部份最好具有相同之尺寸。如範例所示，整個裝置含有  $640 \times 480$  圖素矩陣，四個部份圖素矩陣 801a，801b，801c 和 801d 每一個含有  $320 \times 240$  圖素矩陣。

影像資料可利用任何方式顯示，如圖 9(a) 和 9(b) 所示。在此例中，源側驅動器之水平取樣頻率為習知採用之水平取樣頻率之  $1/4$ 。源側驅動器之垂直取樣頻

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

像

## 五、發明說明(13)

率為習知所採用之垂直取樣頻率之  $1/2$ 。

## 例 2

在此例中，整個顯示裝置分割成 9 個部份影像顯示部份，其可個別的提供顯示，如圖 10 所示。藉由增加例 1 中之 FIFO 記憶之數目，可輕易的完成影像資料之再安排。因此，以下僅說明顯示裝置之顯示部份。

閘訊號由閘側驅動器 1 供應至圖素矩陣 1 和 2。閘訊號由閘側驅動器 2 供應至圖素矩陣 4。閘訊號由閘側驅動器 3 供應至圖素矩陣 7 和 8。閘訊號由閘側驅動器 4 供應至圖素矩陣 3。閘訊號由閘側驅動器 5 供應至圖素矩陣 5 和 6。閘訊號由閘側驅動器 6 供應至圖素矩陣 9。因此，所必需的是驅動閘線之閘側驅動器 1, 3, 5 之容量大於閘側驅動器 2, 4, 6 之容量。較佳的，前者之容約為後者容量之兩倍。閘驅動器 1 - 6 之構造如圖 11 (a) 和 11 (b) 所示。

參考圖 10，圖素矩陣 1 - 9 之反向電極分別由數字 1071 - 1079 表示。個別電壓可施加至這些反向電極。在修飾例中，共同電壓可施加至由共同源驅動器所驅動之圖素矩陣。在進一步之修飾例中，圖素矩陣可連接以形成圖素矩陣副組件，和一電壓施加至此種副組件。在此例中，反向電極之數目等於圖素矩陣副組件之數目。

源訊號線由源側驅動器 1 延伸至圖素矩陣 1 和 4。源訊號線由源側驅動器 2 延伸至圖素矩陣 2。源訊號線由源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

象

## 五、發明說明(14)

側驅動器 3 延伸至圖素矩陣 3 和 6。源訊號線由源側驅動器 4 延伸至圖素矩陣 7。源訊號線由源側驅動器 5 延伸至圖素矩陣 5 和 8。源訊號線由源側驅動器 6 延伸至圖素矩陣 9。

在源側驅動器 1, 3 和 5 中之取樣電路如圖 1 2 所示, 且和源側驅動器 2, 4 和 6 之取樣電路(其與習知技藝之取樣電路相同)之構造不同。

圖 1 2 所示之導電互接之佈局和圖 1 3 和 1 4 相同。在圖 1 3 中, 鋁互接 1 3 0 6 和 1 3 0 7 相關互接 1 2 0 9 和 1 2 1 0 或互接 1 2 1 1 和 1 2 1 2。閘互接 1 3 0 3 和 1 3 0 9 相關於互接 1 2 1 3 和 1 2 1 4。

在圖 1 4 中, 鋁互接 1 4 0 1, 1 4 0 2, 1 4 0 3, 1 4 0 4, 1 4 0 5, 1 4 0 6, 1 4 0 7, 1 4 0 8 相當於圖 1 2 之互接 1 2 0 5, 1 2 2 9, 1 2 0 6, 1 2 3 0, 1 2 0 9, 1 2 1 0, 1 2 1 1, 1 2 1 2。

在例 2 中, 閘側驅動器 1 - 6 和源側驅動器 1 - 6 可任意的結合。再者, 顯示器亦可以任意的的方式提供。結合之例和顯示器之例如圖 1 5 所示。

## 例 3

除了多層金屬構造外, 例 3 相似於例 2。亦即, 例 2 之源側驅動器, 閘側驅動器和部份活性矩陣和例 3 之相關部份相同。

在例 2 中, 每個垂直線之源側驅動器 1, 3 和 5 之源

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明(15)

訊號線為源側驅動器 2, 4 和 6 之源訊號線之兩倍, 因此如果在圖素矩陣中之訊號線和在取樣電路中之訊號線只有如圖 1 3 和 1 4 所示之閘互接和鋁互接時, 圖素矩陣 1, 3 和 5 之鏡孔比變差。

當使用如圖 1 6 和 1 7 所示之多層金屬構造時, 可改善操作速度, 且即使使用多數之驅動電路時, 亦不會犧牲孔鏡比。

在圖 1 6 中, 重量鋁互接 1 和 2 形成兩金屬層, 即源線 1 2 0 9 和 1 2 1 0 和源線 1 2 1 1 和 1 2 1 2, 如圖 1 2 所示。在圖 1 6 中, 閘互接 1 6 0 1, 1 6 0 2, 1 6 0 3 和 1 6 0 4 相關於互接 1 2 0 5, 1 2 2 9, 1 2 0 6 和 1 2 3 0。鋁互接 1 6 0 7 和 1 6 0 8 相關於互接 1 2 0 7 和 1 2 0 8。鋁互接 1 6 0 5 和 1 6 0 6 相關於互接 1 2 0 9 和 1 2 1 0 或互接 1 2 1 1 和 1 2 1 2。圖 1 8 為由圖 1 6 之 1 6 1 0 所採取之橫截面圖。圖 1 9 為由圖 1 6 之 1 6 1 1 所採取之橫截面圖。

本發明可提供影像以比習知技藝更高之速度顯示在顯示裝置上, 特別是在電光活性矩陣液晶顯示器上, 而不會改變閘側驅動器和源側驅動器之有效操作速度, 且無需改變其它參數之時鐘頻率。如此可利用低成本輕易的完成高速且具有高資 7 訊內容之大區域顯示器。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱： 活性矩陣顯示器和影像形成系統 )

本發明提供多數部份影像顯示部份。每個部份影像顯示部份由至少一個訊號線驅動電路和至少一個掃描線驅動電路所形成。每個部份影像顯示部份顯示影像之一圖框部份。影像之一整個圖框由所有部份影像顯示部份所顯示。

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

英文發明摘要(發明之名稱： )

訂

ABSTRACT OF THE DISCLOSURE

A plurality of partial image display portions are provided. Each of the partial image display portions is formed by at least one signal line driver circuits and at least one of scanning line driver circuits. Each partial image display portion displays a part of one frame of image. The whole one frame of image is displayed by all of the partial image display portions.

錄

89年9月13日 修正  
補充

A8  
B8  
C8  
D8

## 六、申請專利範圍

445439 第 85103979 號 專利申請案

中文申請專利範圍修正本

民國 89 年 9 月 修正

1. 一種主動矩陣顯示裝置，包含：

一基底，具有至少第一段和與第一段分離之第二段；

一顯示區域，其由至少第一和第二部份構成，每個該部份具有一主動矩陣電路包含安排成矩陣形式之多數圖素電極和用以開關該圖素電極之多數開關元件，其中該第一部份形成在基底之第一段上和該第二部份形成在基底之第二段上；  
和

第一和第二訊號線驅動電路用以分別供應影像訊號至第一和第二部份之主動矩陣電路，

其中該第一和第二訊號線驅動電路位於該顯示區域之外側並受到操作以使第一和第二部份之主動矩陣電路在互相相對的方向掃描或驅動。

2. 如申請專利範圍第 1 項之主動矩陣顯示裝置，進一步包含相關於每個主動矩陣電路之第一和第二 FIFO 記憶體。

3. 一種主動矩陣顯示裝置，包含：

一基底，具有至少第一段和與第一段分離之第二段；

一顯示區域，其由界定在該基底上之至少第一和第二部份構成，每個該部份具有一主動矩陣電路包含安排成矩陣形式之多數圖素電極和用以開關該圖素電極之多數開關元件，其中該開關元件包含形成在該基底上之薄膜電晶體，其中該第一部份形成在基底之第一段上和該第二部份形成在基底之

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

第二段上；和

第一和第二訊號線驅動電路用以分別供應影像訊號至相關的主動矩陣電路，其中該第一和第二訊號線驅動電路包含形成在該基底上之薄膜電晶體，

其中該訊號線驅動電路位於該基底之週邊部份在該顯示區域之外側並受到操作以使第一和第二部份之主動矩陣電路在互相相對的方向驅動。

4. 如申請專利範圍第3項之主動矩陣顯示裝置，進一步包含相關於每個主動矩陣電路之第一和第二FIFO記憶體。

5. 如申請專利範圍第1項之主動矩陣顯示裝置，其中每個第一和第二訊號線驅動電路包含移位暫存器和一取樣電路，該取樣電路輸入影像訊號以回應該移位暫存器之輸出和供應該取樣訊號至該訊號線。

6. 如申請專利範圍第3項之主動矩陣顯示裝置，其中每個第一和第二訊號線驅動電路包含移位暫存器和一取樣電路，該取樣電路輸入影像訊號以回應該移位暫存器之輸出和供應該取樣訊號至該訊號線。

7. 一種主動矩陣顯示裝置，包含：

一基底，具有至少第一段和與第一段分離之第二段；

一顯示區域，其由至少第一和第二部份構成，每個該部份具有一主動矩陣電路包含安排成矩陣形式之多數圖素電極和用以開關該圖素電極之多數開關元件，其中該第一部份形成在基底之第一段上和該第二部份形成在基底之第二段上；  
和

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 六、申請專利範圍

第一和第二掃瞄線驅動電路用以分別掃瞄第一和第二部份之主動矩陣電路，

其中該第一和第二掃瞄線驅動電路位於該顯示區域之外側並受到操作以使第一和第二部份之主動矩陣電路在互相相對的方向掃瞄。

8. 如申請專利範圍第7項之主動矩陣顯示裝置，進一步包含相關於每個主動矩陣電路之第一和第二FIFO記憶體。

9. 一種主動矩陣顯示裝置，包含：

一基底，具有至少第一段和與第一段分離之第二段；

一顯示區域，其由界定在該基底上之至少第一和第二部份構成，每個該部份具有一主動矩陣電路包含安排成矩陣形式之多數圖素電極和用以開關該圖素電極之多數開關元件，其中該開關元件包含形成在該基底上之薄膜電晶體和其中該第一部份形成在基底之第一段上和該第二部份形成在基底之第二段上；和

第一和第二掃瞄線驅動電路用以分別掃瞄主動矩陣電路，其中該第一和第二掃瞄線驅動電路包含形成在該基底上之薄膜電晶體，

其中該掃瞄線驅動電路位於該基底之週邊部份在該顯示區域之外側並受到操作以使第一和第二部份之主動矩陣電路在互相相對的方向掃瞄。

10. 如申請專利範圍第9項之主動矩陣顯示裝置，進一步包含相關於每個主動矩陣電路之第一和第二FIFO記憶體。

11. 如申請專利範圍第7項之主動矩陣顯示裝置，其中

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

每個第一和第二掃描線驅動電路包含移位暫存器和一取樣電路，該取樣電路輸入影像訊號以回應該移位暫存器之輸出和供應該取樣訊號至該訊號線。

12. 如申請專利範圍第9項之主動矩陣顯示裝置，其中每個第一和第二掃描線驅動電路包含移位暫存器和一取樣電路，該取樣電路輸入影像訊號以回應該移位暫存器之輸出和供應該取樣訊號至該訊號線。

13. 一種主動矩陣顯示裝置，包含：

至少第一部份，第二部份，第三部份，和第四部份；

該第一部份包括：

多數第一圖素薄膜電晶體形成矩陣型式；

多數第一圖素電極，每一圖素電極連接至每一第一圖素薄膜電晶體；

多數第一源極線，每一源極線連接至第一圖素薄膜電晶體之源極區域；

多數第一閘極線，每一閘極線連接至第一圖素薄膜電晶體之閘電極；

第一源極線驅動電路連接至多數第一源極線；

第一閘極線驅動電路連接至多數第一閘極線；

其中第一源極線驅動電路操作以使多數第一源極線受驅動在第一驅動方向；

其中第一閘極線驅動電路操作以使多數第一閘極線受掃描在第一掃描方向；

該第二部份包括：

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 六、申請專利範圍

多數第二圖素薄膜電晶體形成矩陣型式；

多數第二圖素電極，每一圖素電極連接至每一第二圖素薄膜電晶體；

多數第二源極線，每一源極線連接至第二圖素薄膜電晶體之源極區域；

多數第二閘極線，每一閘極線連接至第二圖素薄膜電晶體之閘電極；

第二源極線驅動電路連接至多數第二源極線；

第二閘極線驅動電路連接至多數第二閘極線；

其中第二源極線驅動電路操作以使多數第二源極線受驅動在第二驅動方向；

其中第二閘極線驅動電路操作以使多數第二閘極線受掃瞄在第二掃瞄方向；

該第三部份包括：

多數第三圖素薄膜電晶體形成矩陣型式；

多數第三圖素電極，每一圖素電極連接至每一第三圖素薄膜電晶體；

多數第三源極線，每一源極線連接至第三圖素薄膜電晶體之源極區域；

多數第三閘極線，每一閘極線連接至第三圖素薄膜電晶體之閘電極；

第三源極線驅動電路連接至多數第三源極線；

第三閘極線驅動電路連接至多數第三閘極線；

其中第三源極線驅動電路操作以使多數第三源極線受

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

驅動在第三驅動方向；

其中第三閘極線驅動電路操作以使多數第三閘極線受掃瞄在第三掃瞄方向；

該第四部份包括：

多數第四圖素薄膜電晶體形成矩陣型式；

多數第四圖素電極，每一圖素電極連接至每一第四圖素薄膜電晶體；

多數第四源極線，每一源極線連接至第四圖素薄膜電晶體之源極區域；

多數第四閘極線，每一閘極線連接至第四圖素薄膜電晶體之閘電極；

第四源極線驅動電路連接至多數第四源極線；

第四閘極線驅動電路連接至多數第四閘極線；

其中第四源極線驅動電路操作以使多數第四源極線受驅動在第四驅動方向；

其中第四閘極線驅動電路操作以使多數第四閘極線受掃瞄在第四掃瞄方向；

其中第一，第二，第三，和第四驅動方向之至少兩者在相同時間互相相對，和

其中第一，第二，第三，和第四掃瞄方向之至少兩者在相同時間互相相對。

14. 如申請專利範圍第13項之主動矩陣顯示裝置，進一步包含相關於第一，第二，第三，和第四部份之至少一FIFO記憶體。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 六、申請專利範圍

15. 如申請專利範圍第13項之主動矩陣顯示裝置，其中第一，第二，第三，和第四源極線驅動電路包含一移位暫存器和一取樣電路，該取樣電路取樣所輸入之影像訊號以回應移位暫存器之輸出和供應取樣訊號至多數第一，第二，第三，和第四源極線。

16. 一種主動矩陣顯示裝置，包含：

一基底；

至少第一部份，第二部份，第三部份，和第四部份；

該第一部份包括：

多數第一圖素薄膜電晶體形成矩陣型式，多數第一薄膜電晶體形成在基底上；

多數第一圖素電極，每一圖素電極連接至每一第一圖素薄膜電晶體；

多數第一源極線，每一源極線連接至第一圖素薄膜電晶體之源極區域；

多數第一閘極線，每一閘極線連接至第一圖素薄膜電晶體之間電極；

第一源極線驅動電路連接至多數第一源極線；

第一閘極線驅動電路連接至多數第一閘極線；

其中第一源極線驅動電路操作以使多數第一源極線受驅動在第一驅動方向；

其中第一閘極線驅動電路操作以使多數第一閘極線受掃描在第一掃描方向；

該第二部份包括：

## 六、申請專利範圍

多數第二圖素薄膜電晶體形成矩陣型式，多數第二薄膜電晶體形成在基底上；

多數第二圖素電極，每一圖素電極連接至每一第二圖素薄膜電晶體；

多數第二源極線，每一源極線連接至第二圖素薄膜電晶體之源極區域；

多數第二閘極線，每一閘極線連接至第二圖素薄膜電晶體之閘電極；

第二源極線驅動電路連接至多數第二源極線；

第二閘極線驅動電路連接至多數第二閘極線；

其中第二源極線驅動電路操作以使多數第二源極線受驅動在第二驅動方向；

其中第二閘極線驅動電路操作以使多數第二閘極線受掃描在第二掃描方向；

該第三部份包括：

多數第三圖素薄膜電晶體形成矩陣型式，多數第三薄膜電晶體形成在基底上；

多數第三圖素電極，每一圖素電極連接至每一第三圖素薄膜電晶體；

多數第三源極線，每一源極線連接至第三圖素薄膜電晶體之源極區域；

多數第三閘極線，每一閘極線連接至第三圖素薄膜電晶體之閘電極；

第三源極線驅動電路連接至多數第三源極線；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

第三閘極線驅動電路連接至多數第三閘極線；

其中第三源極線驅動電路操作以使多數第三源極線受驅動在第三驅動方向；

其中第三閘極線驅動電路操作以使多數第三閘極線受掃描在第三掃描方向；

該第四部份包括：

多數第四圖素薄膜電晶體形成矩陣型式，多數第四薄膜電晶體形成在基底上；

多數第四圖素電極，每一圖素電極連接至每一第四圖素薄膜電晶體；

多數第四源極線，每一源極線連接至第四圖素薄膜電晶體之源極區域；

多數第四閘極線，每一閘極線連接至第四圖素薄膜電晶體之閘電極；

第四源極線驅動電路連接至多數第四源極線；

第四閘極線驅動電路連接至多數第四閘極線；

其中第四源極線驅動電路操作以使多數第四源極線受驅動在第四驅動方向；

其中第四閘極線驅動電路操作以使多數第四閘極線受掃描在第四掃描方向；

其中第一，第二，第三，和第四驅動方向之至少兩者在相同時間互相相對，和

其中第一，第二，第三，和第四掃描方向之至少兩者在相同時間互相相對。

## 六、申請專利範圍

17. 如申請專利範圍第16項之主動矩陣顯示裝置，進一步包含相關於第一，第二，第三，和第四部份之至少一FIFO記憶體。

18. 如申請專利範圍第16項之主動矩陣顯示裝置，其中第一，第二，第三，和第四源極線驅動電路包含一移位暫存器和一取樣電路，該取樣電路取樣所輸入之影像訊號以回應移位暫存器之輸出和供應取樣訊號至多數第一，第二，第三，和第四源極線。

19. 一種主動矩陣顯示裝置，包含：

至少第一部份，第二部份，第三部份，和第四部份；

該第一部份包括：

多數第一圖素薄膜電晶體形成矩陣型式；

多數第一圖素電極，每一圖素電極連接至每一第一圖素薄膜電晶體；

多數第一源極線，每一源極線連接至第一圖素薄膜電晶體之源極區域；

多數第一閘極線，每一閘極線連接至第一圖素薄膜電晶體之閘電極；

第一源極線驅動電路連接至多數第一源極線，該第一源極線驅動電路包括多數第一源極線驅動器薄膜電晶體；

第一閘極線驅動電路連接至多數第一閘極線，該第一閘極線驅動電路包括多數第一閘極線驅動器薄膜電晶體；

其中第一源極線驅動電路操作以使多數第一源極線受驅動在第一驅動方向；

## 六、申請專利範圍

其中第一閘極線驅動電路操作以使多數第一閘極線受掃瞄在第一掃瞄方向；

該第二部份包括：

多數第二圖素薄膜電晶體形成矩陣型式；

多數第二圖素電極，每一圖素電極連接至每一第二圖素薄膜電晶體；

多數第二源極線，每一源極線連接至第二圖素薄膜電晶體之源極區域；

多數第二閘極線，每一閘極線連接至第二圖素薄膜電晶體之閘電極；

第二源極線驅動電路連接至多數第二源極線，該第二源極線驅動電路包括多數第二源極線驅動器薄膜電晶體；

第二閘極線驅動電路連接至多數第二閘極線，該第二閘極線驅動電路包括多數第二閘極線驅動器薄膜電晶體；

其中第二源極線驅動電路操作以使多數第二源極線受驅動在第二驅動方向；

其中第二閘極線驅動電路操作以使多數第二閘極線受掃瞄在第二掃瞄方向；

該第三部份包括：

多數第三圖素薄膜電晶體形成矩陣型式；

多數第三圖素電極，每一圖素電極連接至每一第三圖素薄膜電晶體；

多數第三源極線，每一源極線連接至第三圖素薄膜電晶體之源極區域；

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

多數第三閘極線，每一閘極線連接至第三圖素薄膜電晶體之閘電極；

第三源極線驅動電路連接至多數第三源極線，該第三源極線驅動電路包括多數第三源極線驅動器薄膜電晶體；

第三閘極線驅動電路連接至多數第三閘極線，該第三閘極線驅動電路包括多數第三閘極線驅動薄膜電晶體；

其中第三源極線驅動電路操作以使多數第三源極線受驅動在第三驅動方向；

其中第三閘極線驅動電路操作以使多數第三閘極線受掃瞄在第三掃瞄方向；

該第四部份包括：

多數第四圖素薄膜電晶體形成矩陣型式；

多數第四圖素電極，每一圖素電極連接至每一第四圖素薄膜電晶體；

多數第四源極線，每一源極線連接至第四圖素薄膜電晶體之源極區域；

多數第四閘極線，每一閘極線連接至第四圖素薄膜電晶體之閘電極；

第四源極線驅動電路連接至多數第四源極線，該第四源極線驅動電路包括多數第四源極線驅動器薄膜電晶體；

第四閘極線驅動電路連接至多數第四閘極線，該第四閘極線驅動電路包括多數第四閘極線驅動薄膜電晶體；

其中第四源極線驅動電路操作以使多數第四源極線受驅動在第四驅動方向；

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 六、申請專利範圍

其中第四閘極線驅動電路操作以使多數第四閘極線受掃描在第四掃描方向；

其中第一，第二，第三，和第四驅動方向之至少兩者在相同時間互相相對，和

其中第一，第二，第三，和第四掃描方向之至少兩者在相同時間互相相對。

20. 如申請專利範圍第19項之主動矩陣顯示裝置，進一步包含相關於第一，第二，第三，和第四部份之至少一FIFO記憶體。

21. 如申請專利範圍第19項之主動矩陣顯示裝置，其中第一，第二，第三，和第四源極線驅動電路包含一移位暫存器和一取樣電路，該取樣電路取樣所輸入之影像訊號以回應移位暫存器之輸出和供應取樣訊號至多數第一，第二，第三，和第四源極線。

22. 如申請專利範圍第19項之主動矩陣顯示裝置，其中每一第一，第二，第三，和第四源極和閘極線驅動電路薄膜電晶體為選自由p型薄膜電晶體，n型薄膜電晶體，和互補薄膜電晶體組成之群之一。

23. 一種主動矩陣顯示裝置，包含：

一基底；

至少第一部份，第二部份，第三部份，和第四部份；

該第一部份包括：

多數第一圖素薄膜電晶體形成矩陣型式，多數第一薄膜電晶體形成在基底上；

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

多數第一圖素電極，每一圖素電極連接至每一第一圖素薄膜電晶體；

多數第一源極線，每一源極線連接至第一圖素薄膜電晶體之源極區域；

多數第一閘極線，每一閘極線連接至第一圖素薄膜電晶體之間電極；

第一源極線驅動電路連接至多數第一源極線，該第一源極線驅動電路包括多數第一源極線驅動器薄膜電晶體，其中每一第一源極線驅動器薄膜電晶體形成在基底上；

第一閘極線驅動電路連接至多數第一閘極線，該第一閘極線驅動電路包括多數第一閘極線驅動器薄膜電晶體，其中每一第一閘極線驅動器薄膜電晶體形成在基底上；

其中第一源極線驅動電路操作以使多數第一源極線受驅動在第一驅動方向；

其中第一閘極線驅動電路操作以使多數第一閘極線受掃瞄在第一掃瞄方向；

該第二部份包括：

多數第二圖素薄膜電晶體形成矩陣型式，多數第二薄膜電晶體形成在基1底上；

多數第二圖素電極，每一圖素電極連接至每一第二圖素薄膜電晶體；

多數第二源極線，每一源極線連接至第二圖素薄膜電晶體之源極區域；

多數第二閘極線，每一閘極線連接至第二圖素薄膜電

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 六、申請專利範圍

晶體之閘電極；

第二源極線驅動電路連接至多數第二源極線，該第二源極線驅動電路包括多數第二源極線驅動器薄膜電晶體，其中每一第二源極線驅動器薄膜電晶體形成在基底上；

第二閘極線驅動電路連接至多數第二閘極線，該第二閘極線驅動電路包括多數第二閘極線驅動器薄膜電晶體，其中每一第二閘極線驅動器薄膜電晶體形成在基底上；

其中第二源極線驅動電路操作以使多數第二源極線受驅動在第二驅動方向；

其中第二閘極線驅動電路操作以使多數第二閘極線受掃描在第二掃描方向；

該第三部份包括：

多數第三圖素薄膜電晶體形成矩陣型式，多數第三薄膜電晶體形成在基底上；

多數第三圖素電極，每一圖素電極連接至每一第三圖素薄膜電晶體；

多數第三源極線，每一源極線連接至第三圖素薄膜電晶體之源極區域；

多數第三閘極線，每一閘極線連接至第三圖素薄膜電晶體之閘電極；

第三源極線驅動電路連接至多數第三源極線，該第三源極線驅動電路包括多數第三源極線驅動器薄膜電晶體，其中每一第三源極線驅動器薄膜電晶體形成在基底上；

第三閘極線驅動電路連接至多數第三閘極線，該第三

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

閘極線驅動電路包括多數第三閘極線驅動器薄膜電晶體，其中每一第三閘極線驅動器薄膜電晶體形成在基底上；

其中第三源極線驅動電路操作以使多數第三源極線受驅動在第三驅動方向；

其中第三閘極線驅動電路操作以使多數第三閘極線受掃描在第三掃描方向；

該第四部份包括：

多數第四圖素薄膜電晶體形成矩陣型式，多數第四薄膜電晶體形成在基底上；

多數第四圖素電極，每一圖素電極連接至每一第四圖素薄膜電晶體；

多數第四源極線，每一源極線連接至第四圖素薄膜電晶體之源極區域；

多數第四閘極線，每一閘極線連接至第四圖素薄膜電晶體之閘電極；

第四源極線驅動電路連接至多數第四源極線，該第四源極線驅動電路包括多數第四源極線驅動器薄膜電晶體，其中每一第四源極線驅動器薄膜電晶體形成在基底上；

第四閘極線驅動電路連接至多數第四閘極線，該第四閘極線驅動電路包括多數第四閘極線驅動器薄膜電晶體，其中每一第四閘極線驅動器薄膜電晶體形成在基底上；

其中第四源極線驅動電路操作以使多數第四源極線受驅動在第四驅動方向；

其中第四閘極線驅動電路操作以使多數第四閘極線受

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

## 六、申請專利範圍

掃瞄在第四掃瞄方向；

其中第一，第二，第三，和第四驅動方向之至少兩者在相同時間互相相對，和

其中第一，第二，第三，和第四掃瞄方向之至少兩者在相同時間互相相對。

24. 如申請專利範圍第23項之主動矩陣顯示裝置，進一步包含相關於第一，第二，第三，和第四部份之至少一FIFO記憶體。

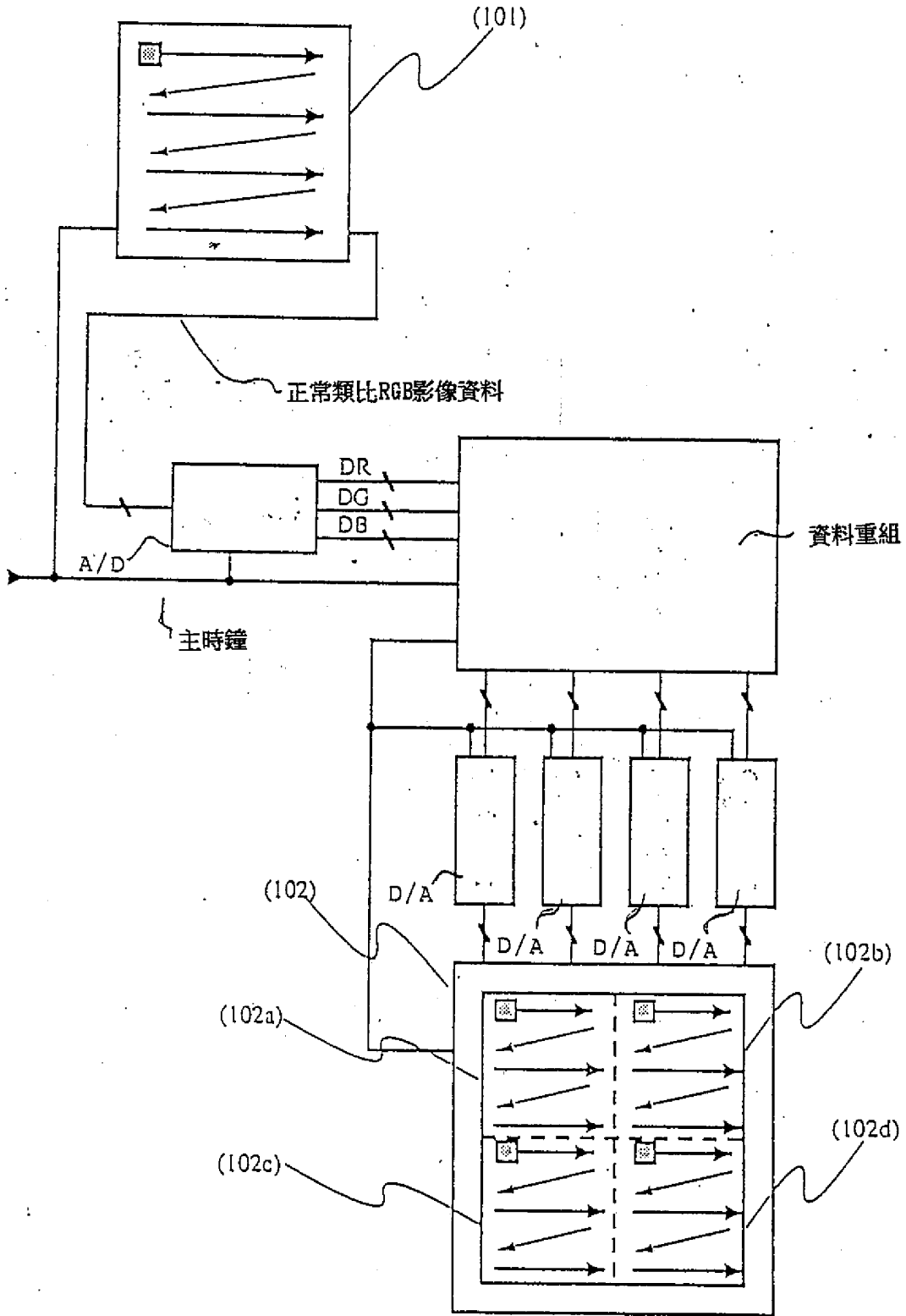
25. 如申請專利範圍第23項之主動矩陣顯示裝置，其中第一，第二，第三，和第四源極線驅動電路包含一移位暫存器和一取樣電路，該取樣電路取樣所輸入之影像訊號以回應移位暫存器之輸出和供應取樣訊號至多數第一，第二，第三，和第四源極線。

26. 如申請專利範圍第23項之主動矩陣顯示裝置，其中每一第一，第二，第三，和第四源極和閘極線驅動電路薄膜電晶體為選自由p型薄膜電晶體，n型薄膜電晶體，和互補薄膜電晶體組成之群之一。

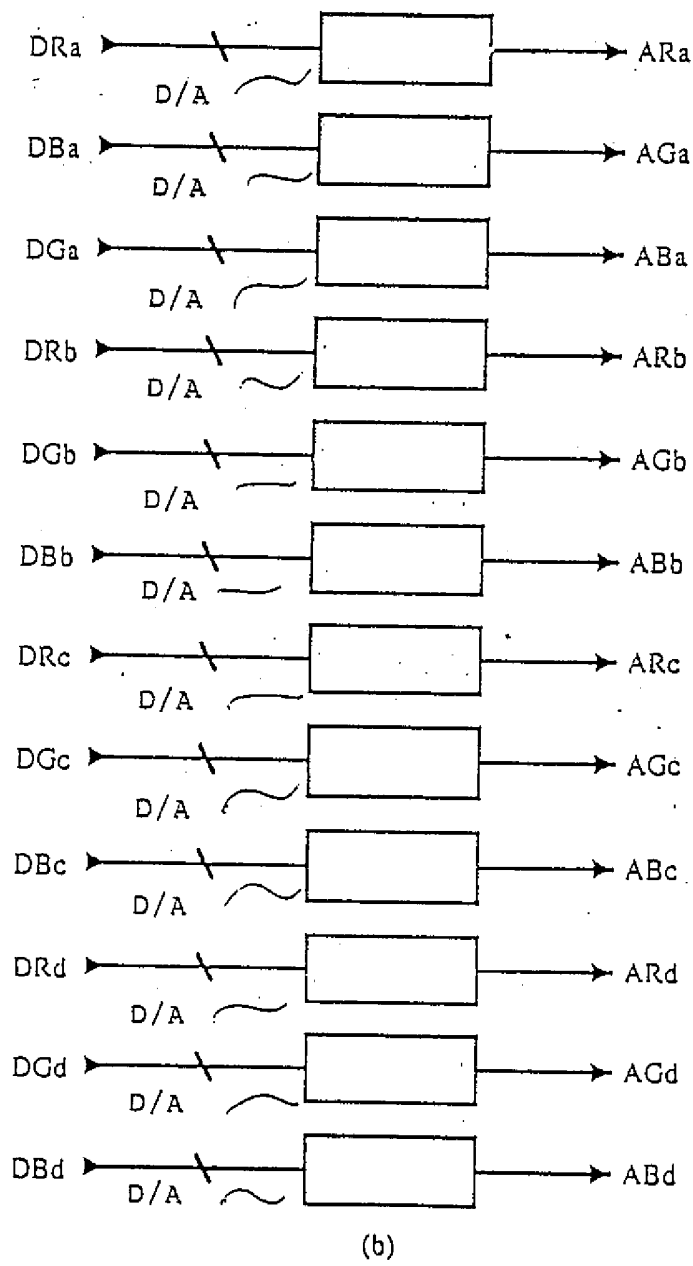
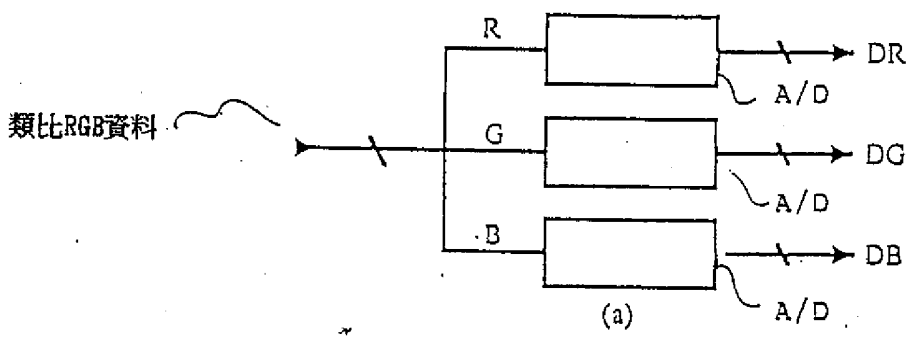
(請先閱讀背面之注意事項再填寫本頁)

訂  
線

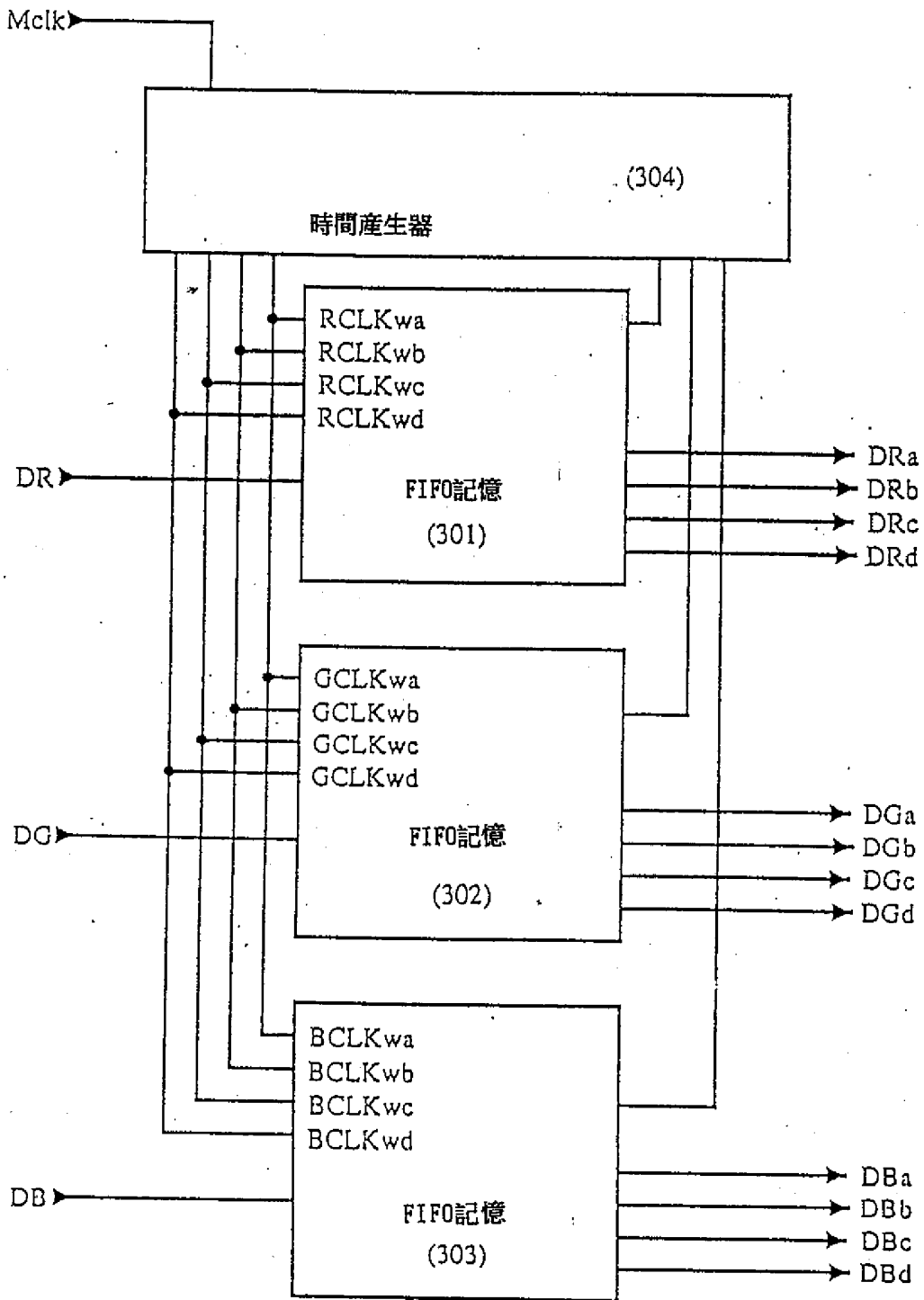
第1圖



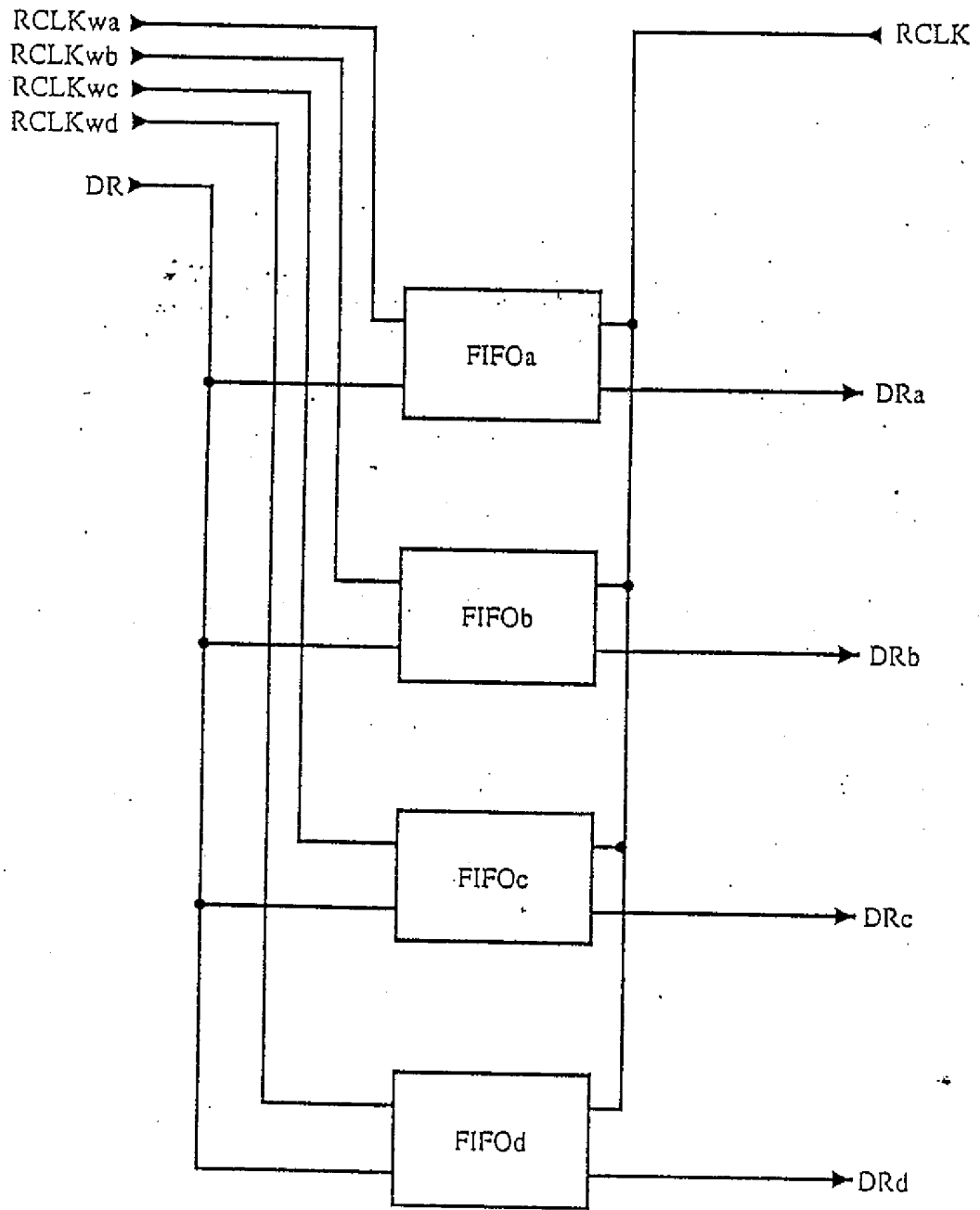
### 第 2 圖



第3圖



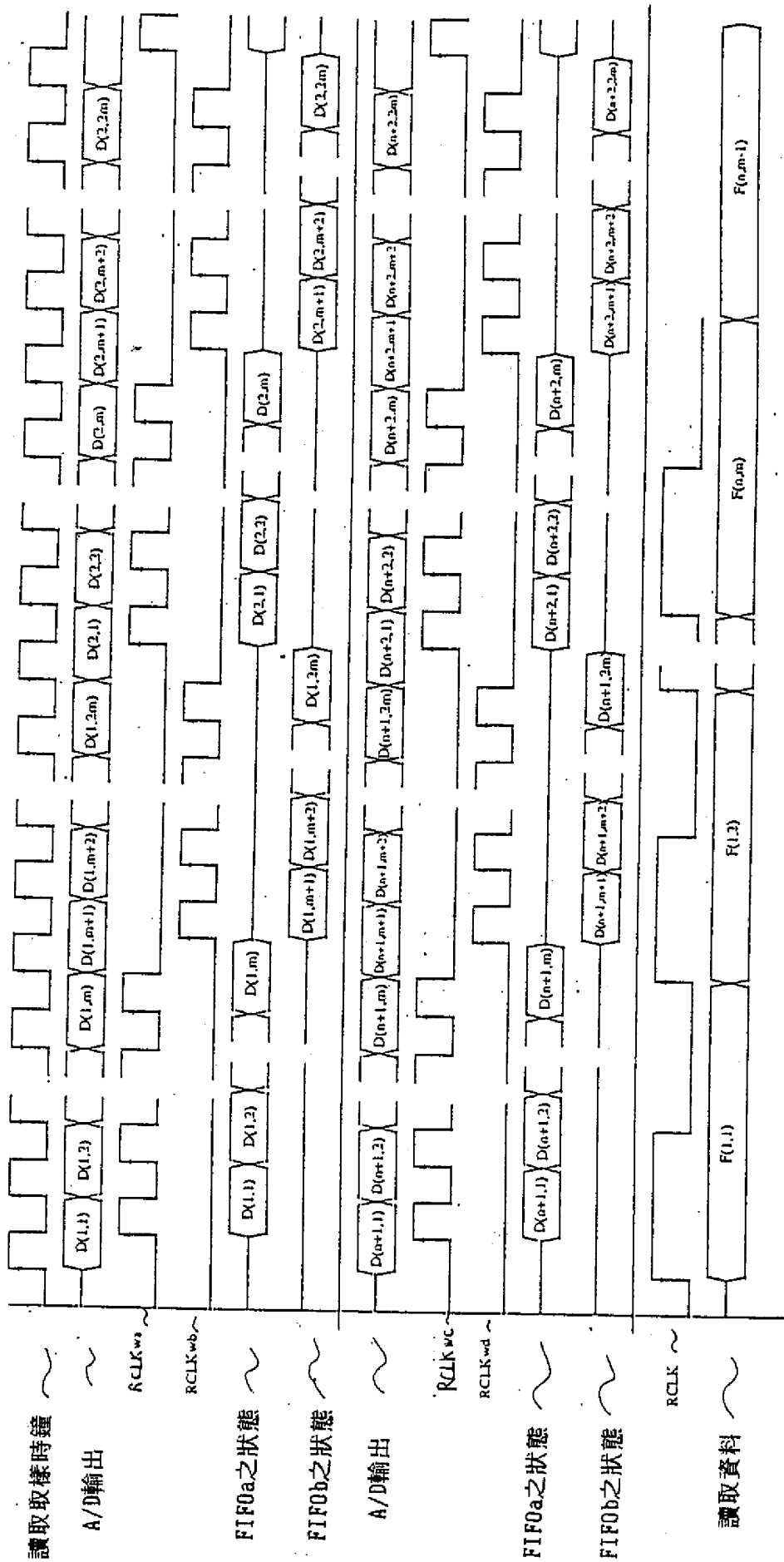
第 4 圖



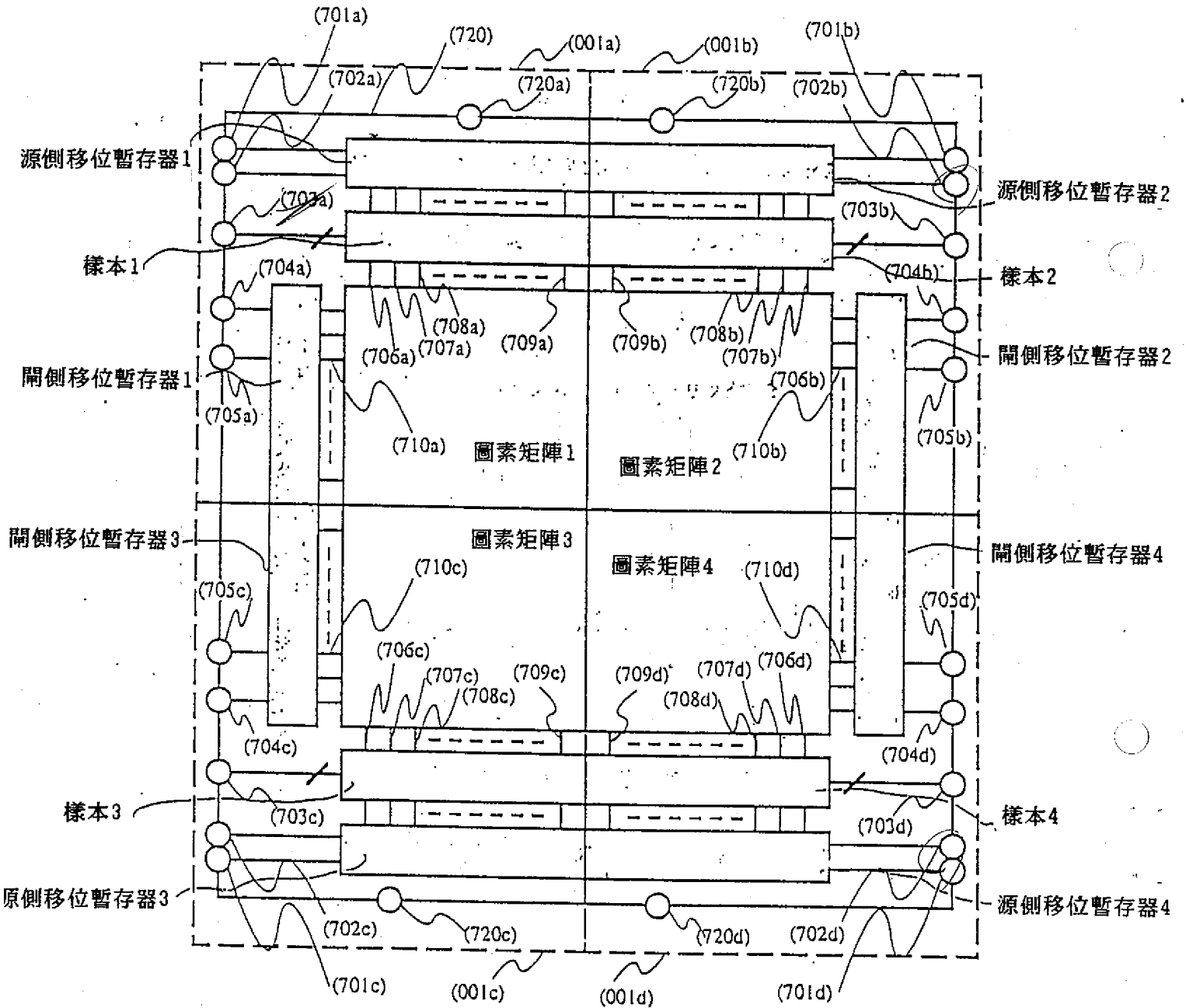
第 5 圖

$D(1,1)$	$D(1,2)$		$D(1,m)$	$D(1,m+1)$	$D(1,m+2)$		$D(1,2m)$
$D(2,1)$	$D(2,2)$		$D(2,m)$	$D(2,m+1)$	$D(2,m+2)$		$D(2,2m)$
$D(n-1,1)$	$D(n-1,2)$		$D(n-1,m)$	$D(n-1,m+1)$	$D(n-1,m+2)$		$D(n-1,2m)$
$D(n,1)$	$D(n,2)$		$D(n,m)$	$D(n,m+1)$	$D(n,m+2)$		$D(n,2m)$
$D(n+1,1)$	$D(n+1,2)$		$D(n+1,m)$	$D(n+1,m+1)$	$D(n+1,m+2)$		$D(n+1,2m)$
$D(n+2,1)$	$D(n+2,2)$		$D(n+2,m)$	$D(n+2,m+1)$	$D(n+2,m+2)$		$D(n+2,2m)$
$D(2n-1,1)$	$D(2n-1,2)$		$D(2n-1,m)$	$D(2n-1,m+1)$	$D(2n-1,m+2)$		$D(2n-1,2m)$
$D(2n,1)$	$D(2n,2)$		$D(2n,m)$	$D(2n,m+1)$	$D(2n,m+2)$		$D(2n,2m)$

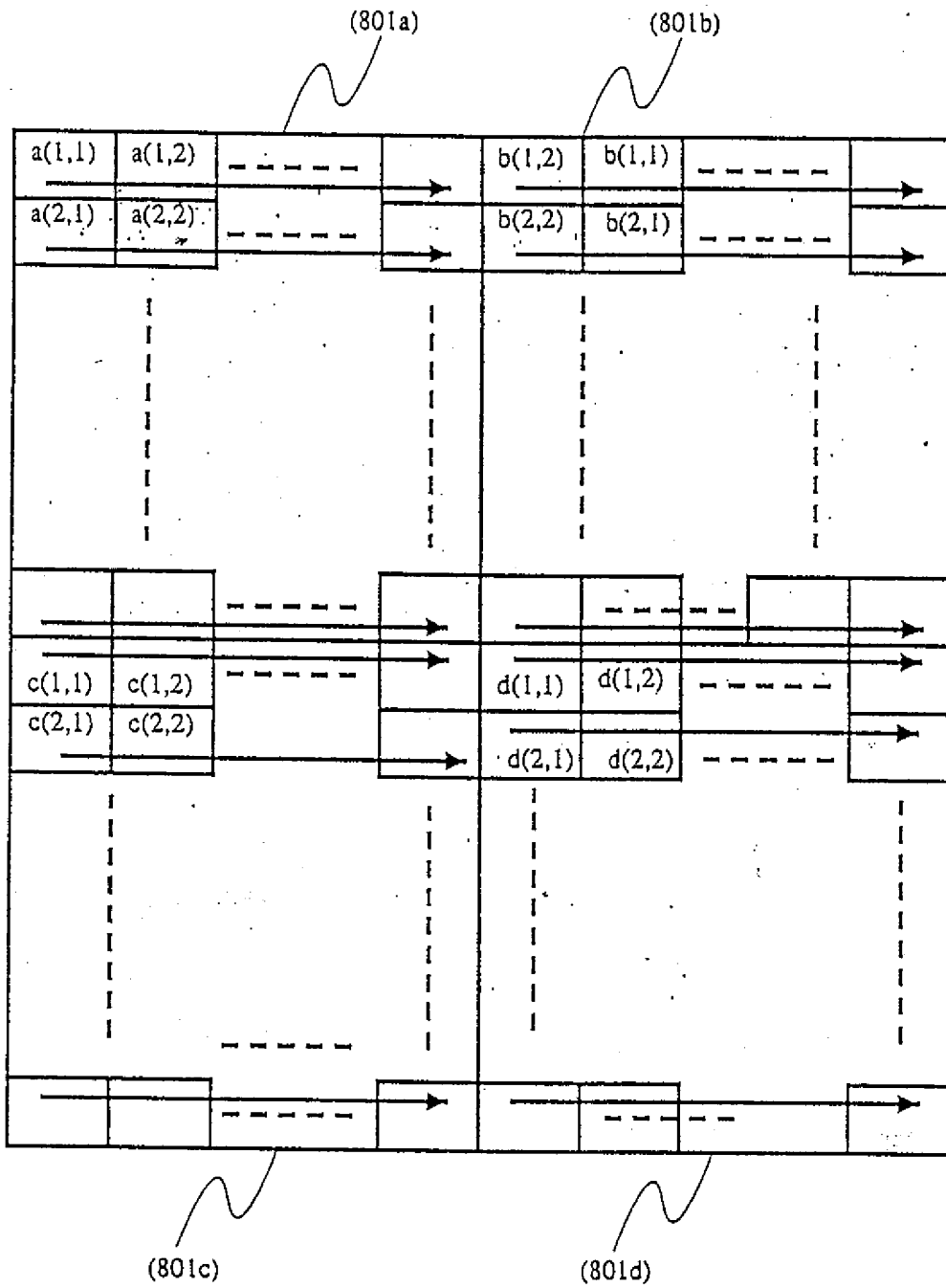




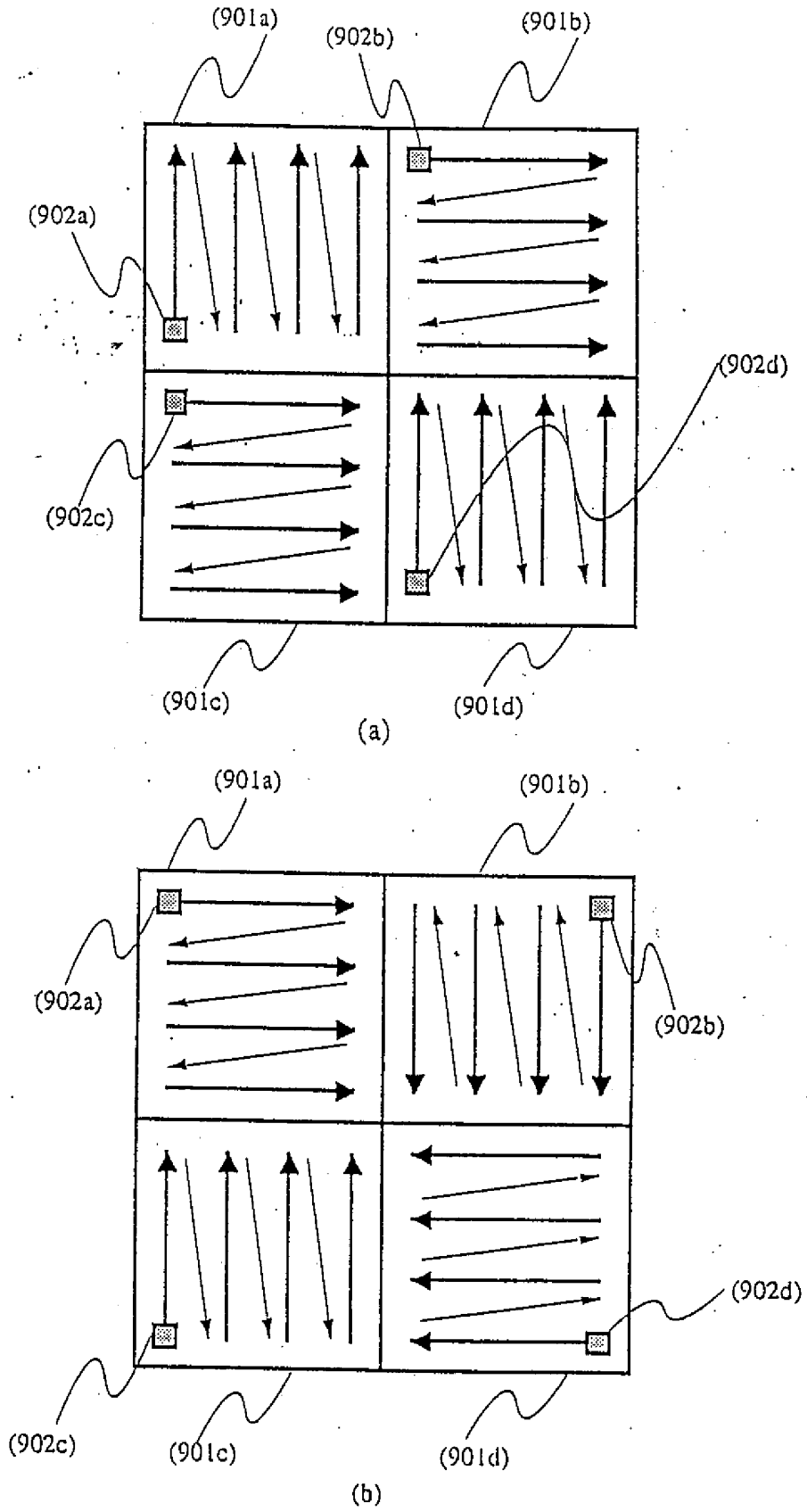
第7圖



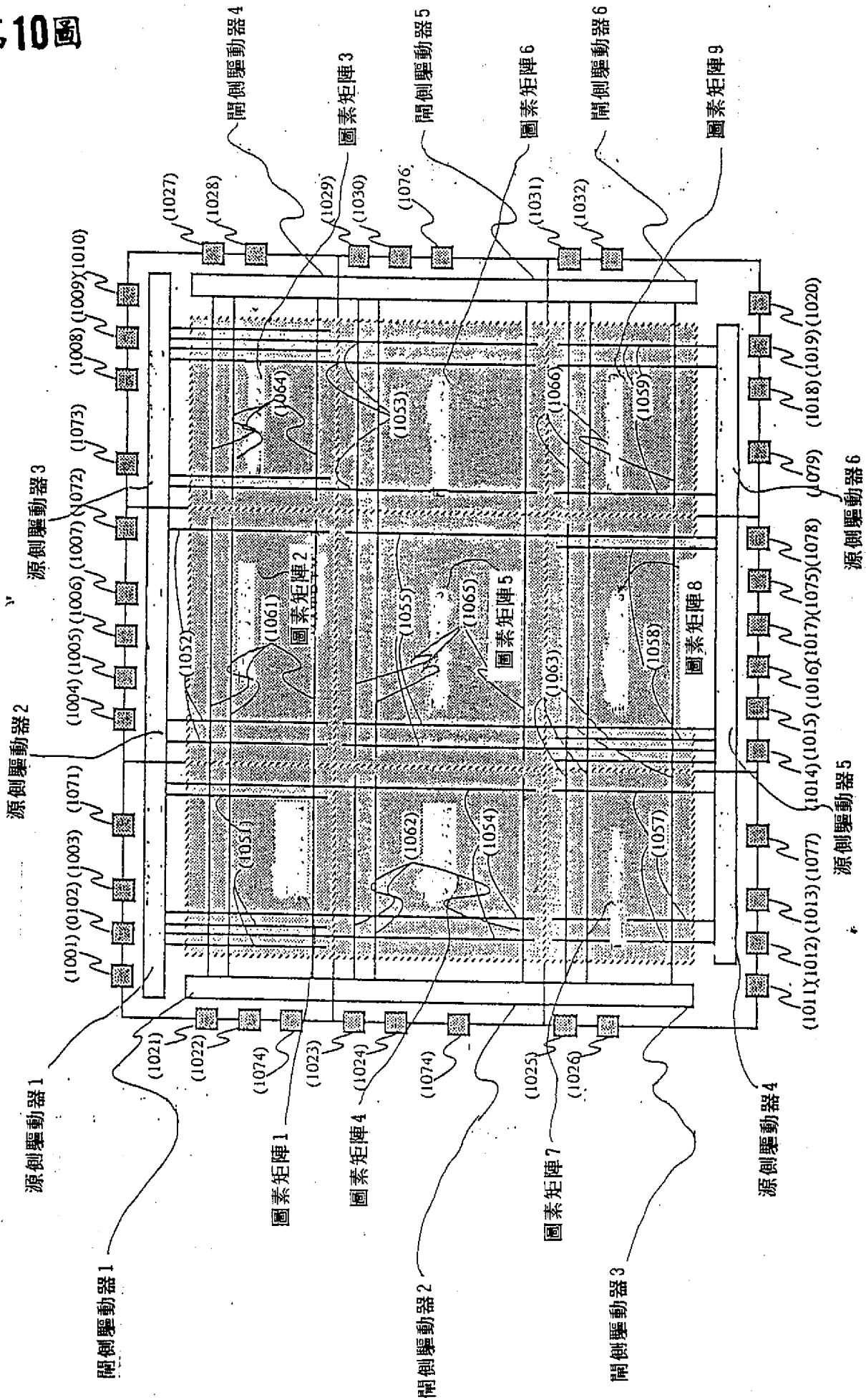
第 8 圖



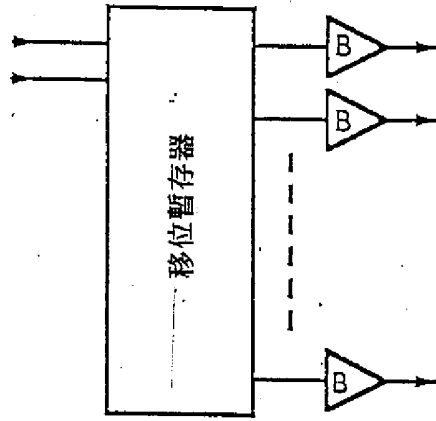
第9圖



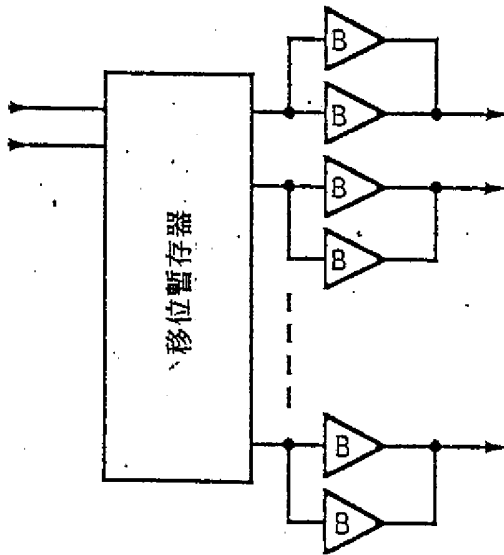
# 第10圖



第11圖

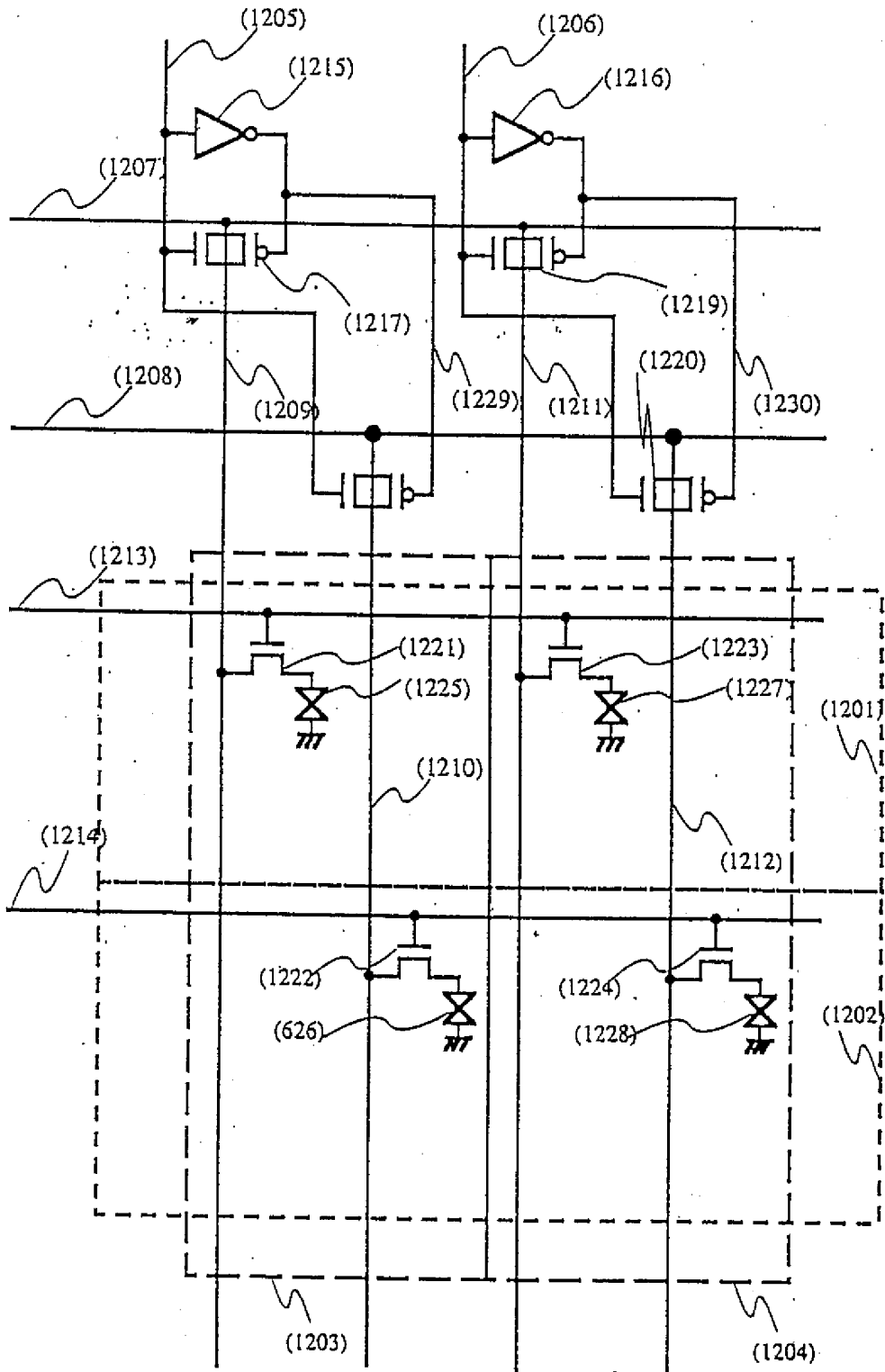


(a)

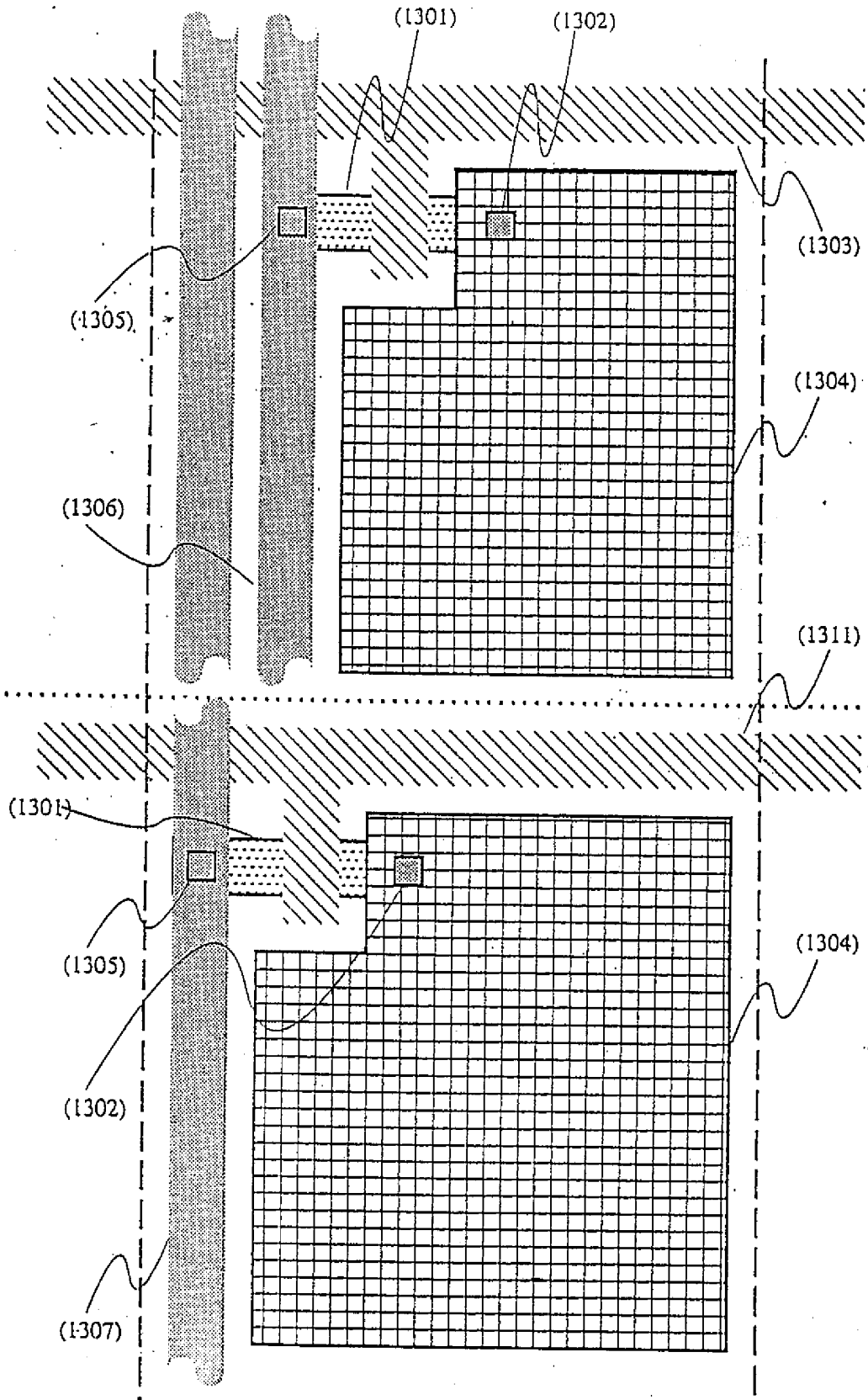


(b)

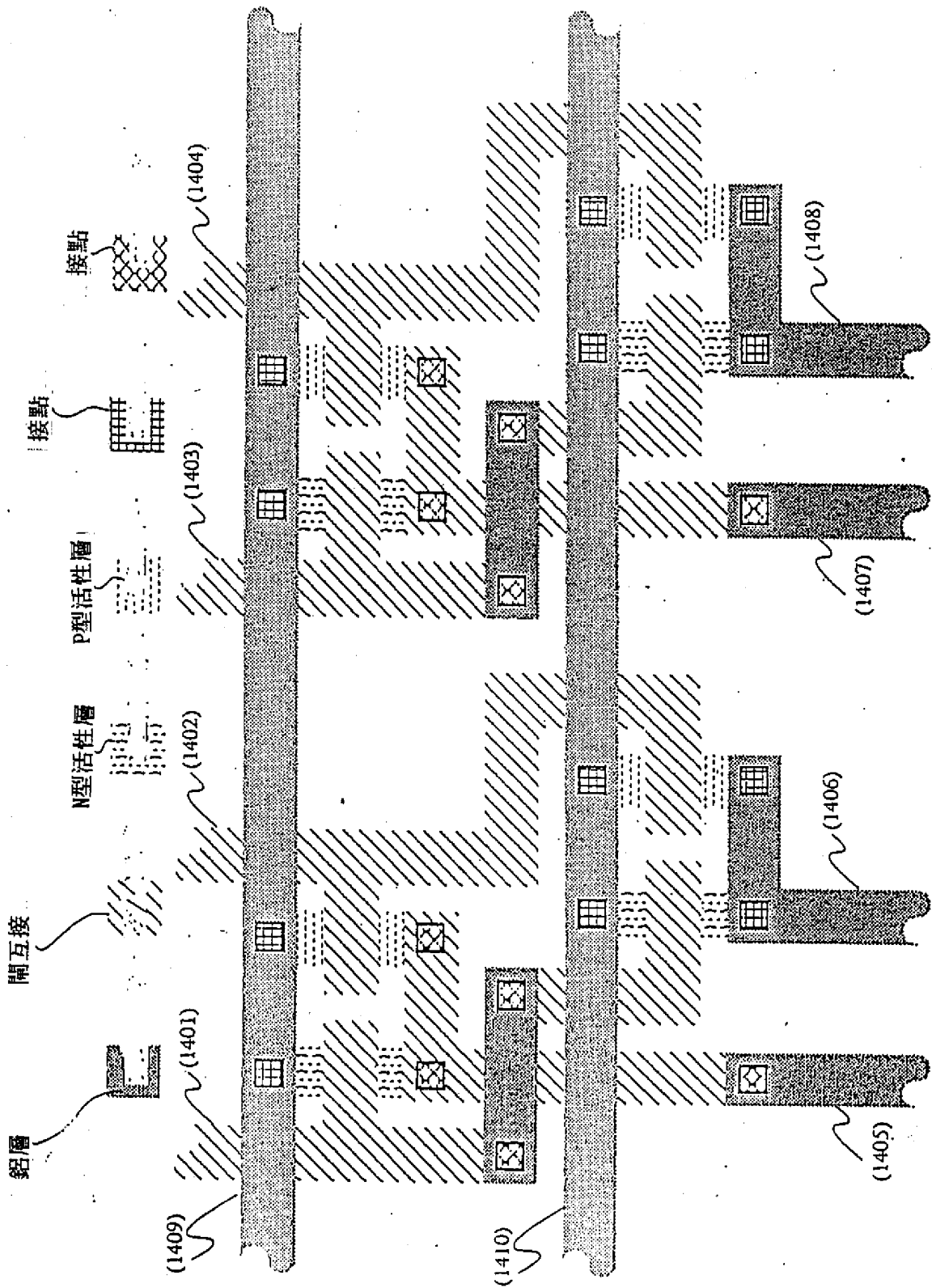
第12圖



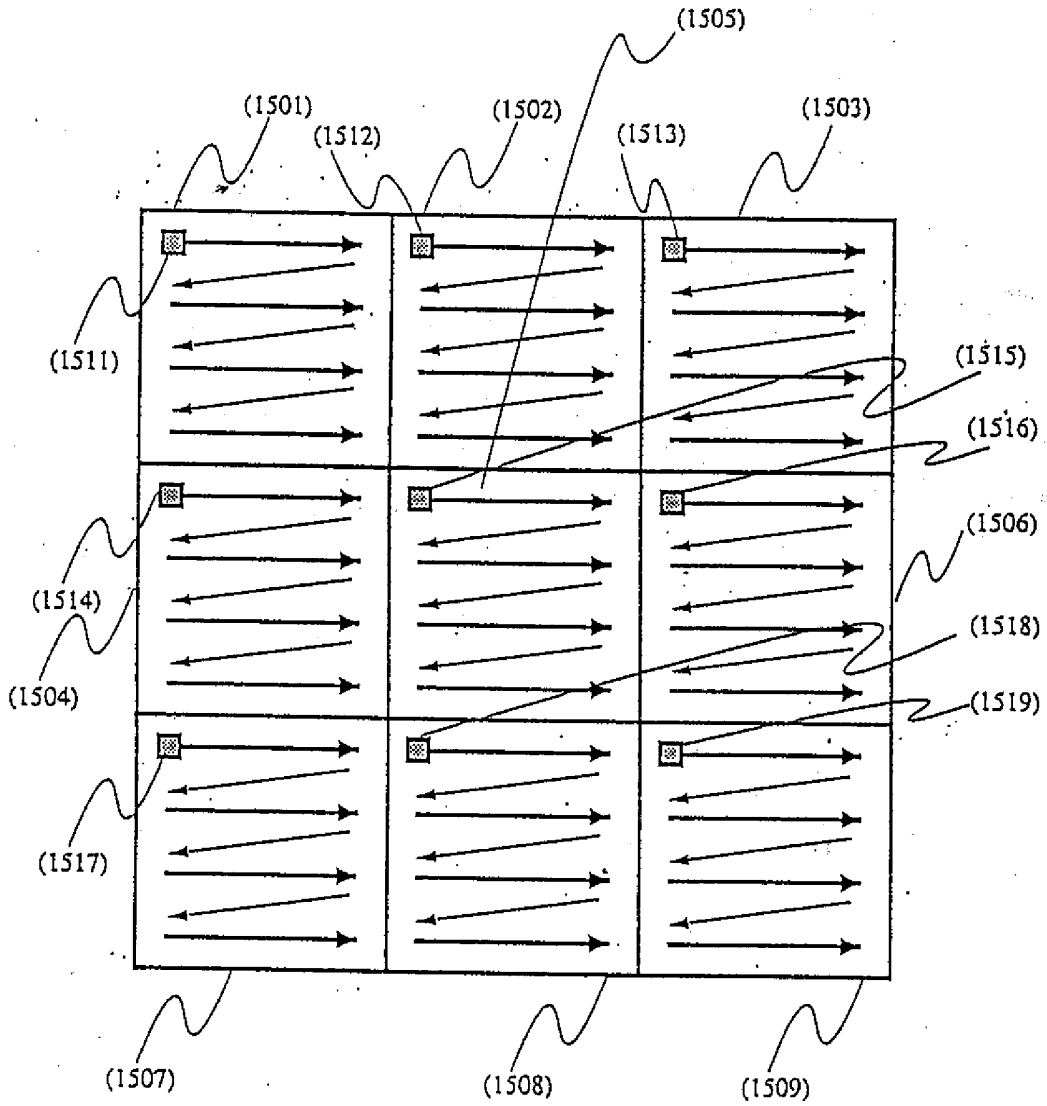
第13圖

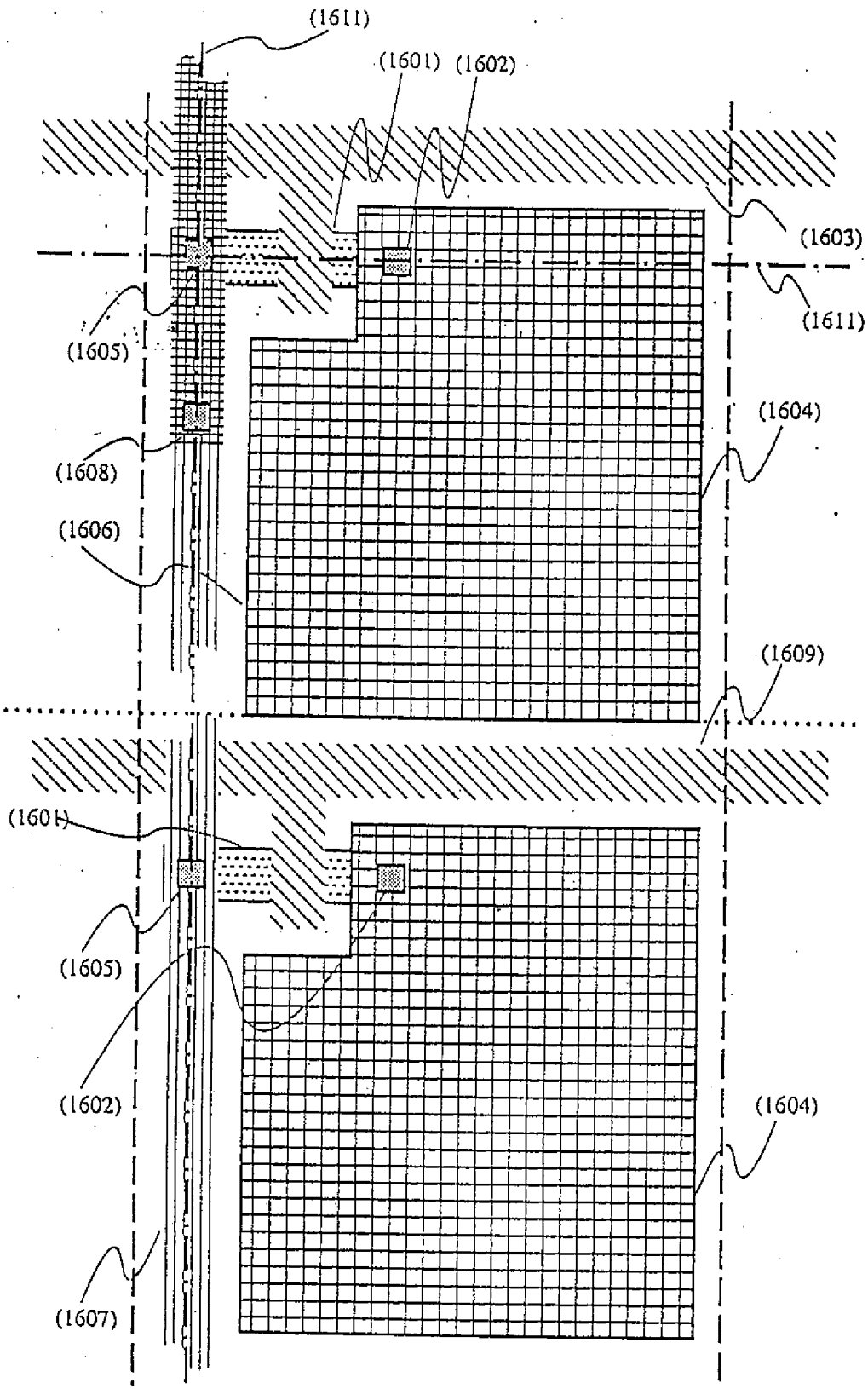




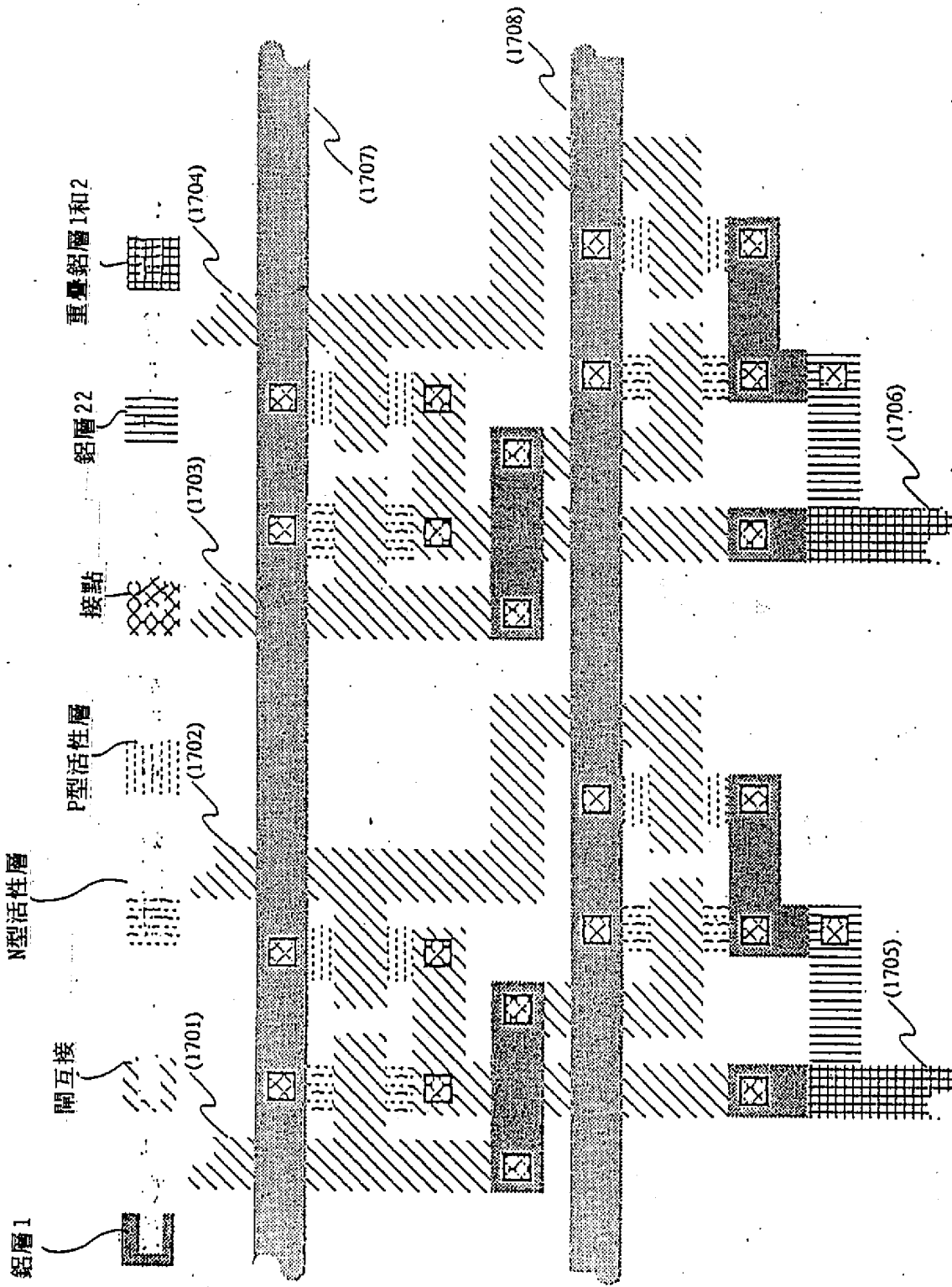


第15圖

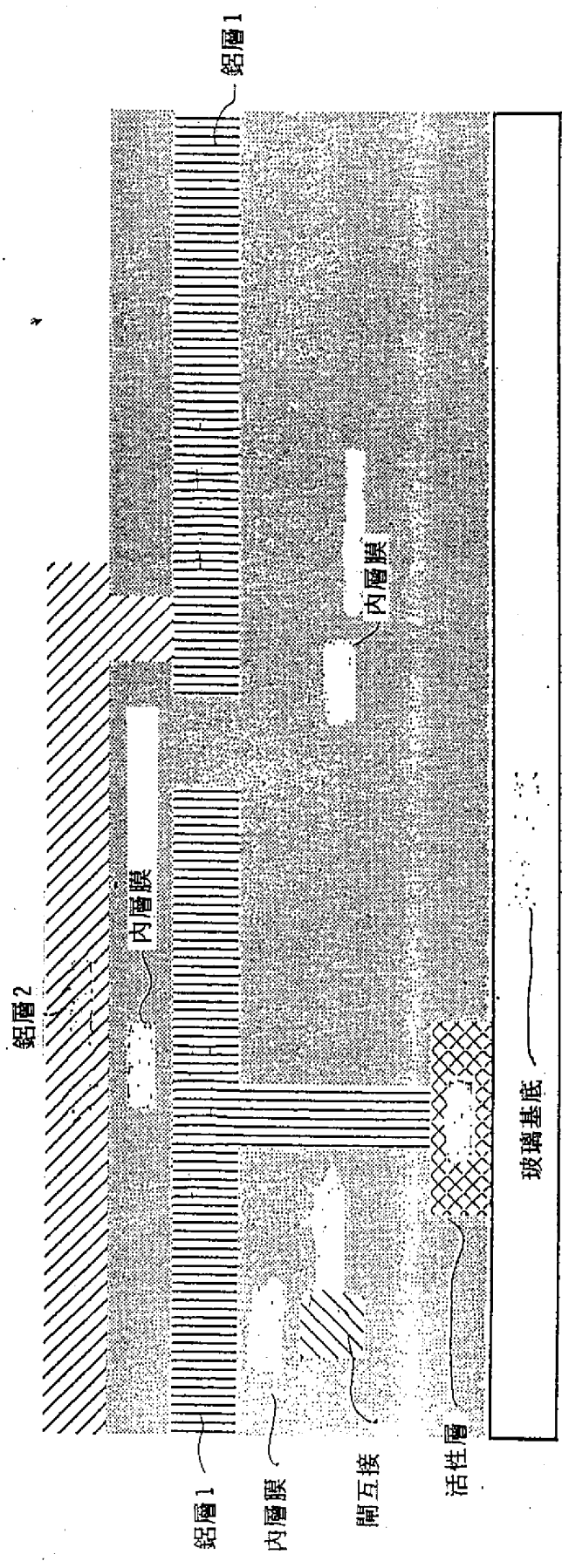




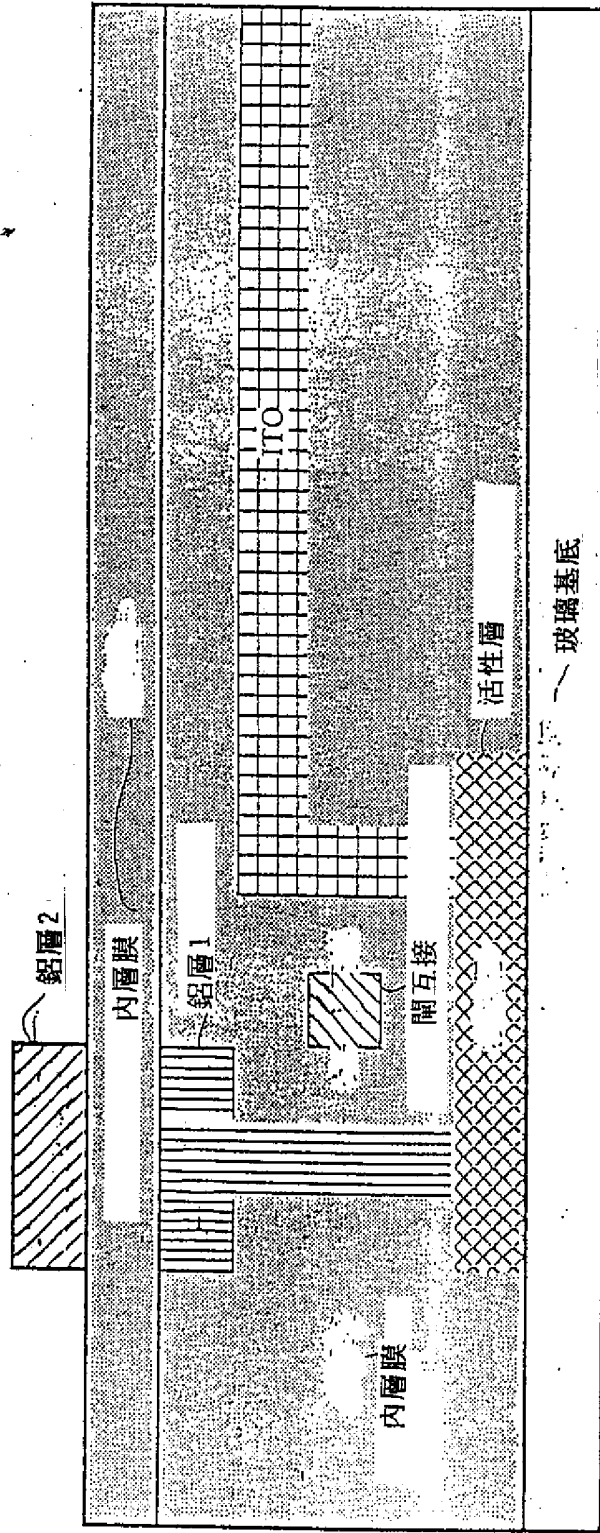
第17圖



第18圖

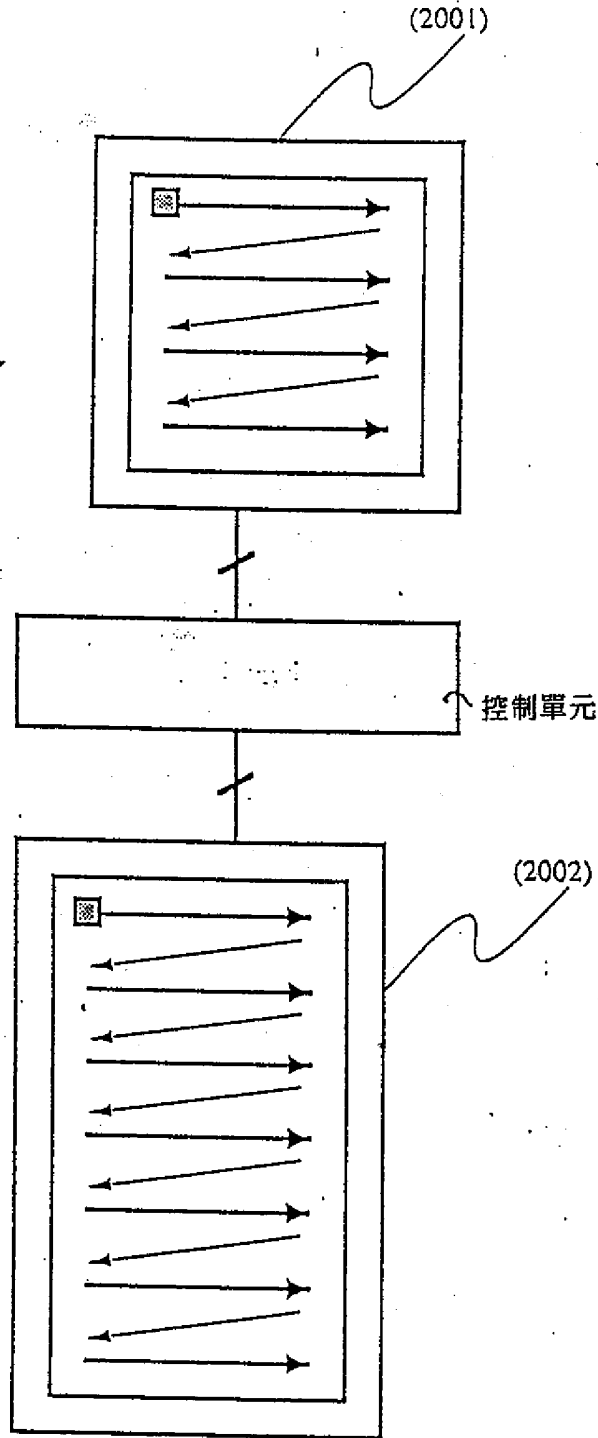


第19圖



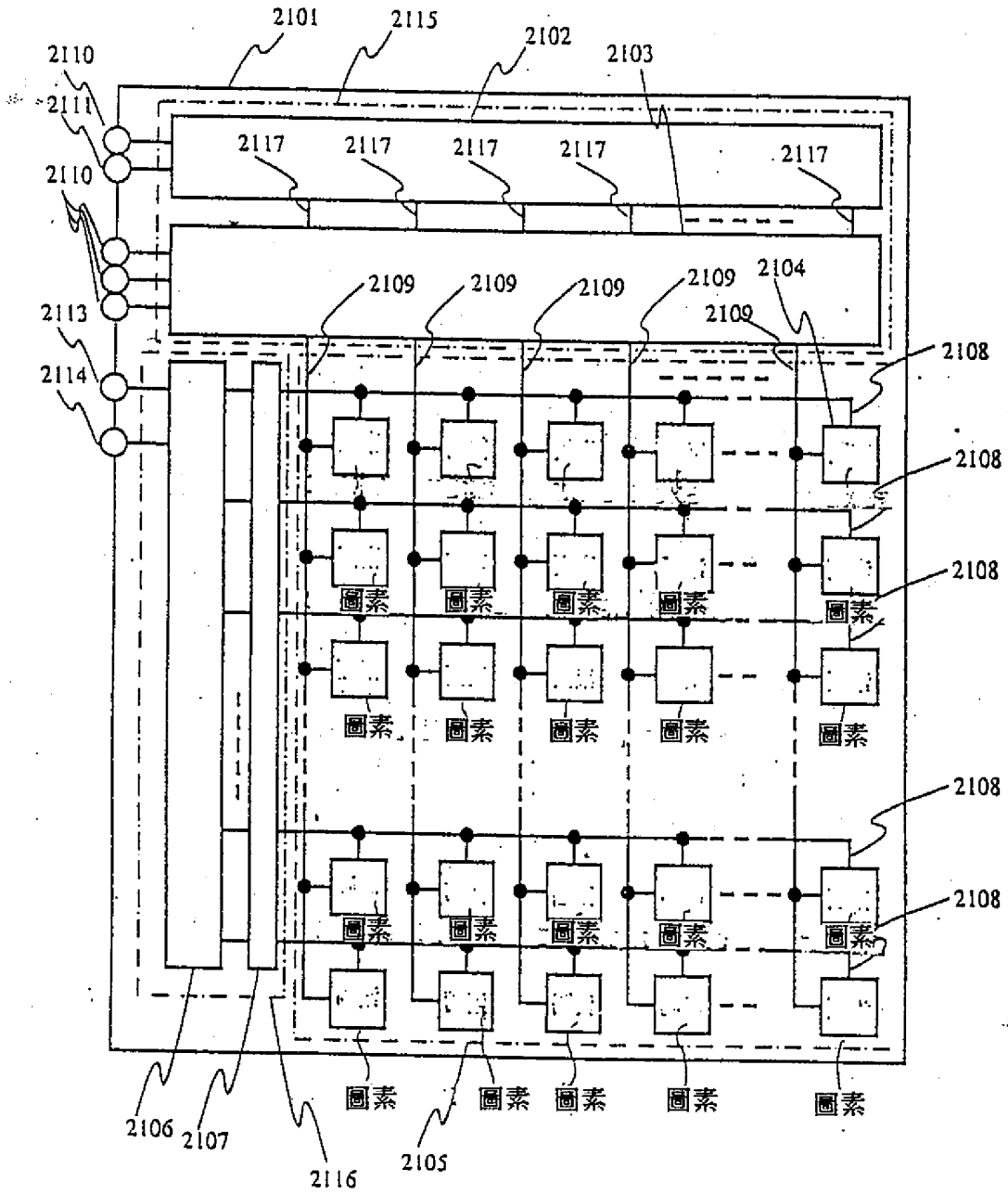
第20圖

[習知技藝]



第21圖

[習知技藝]

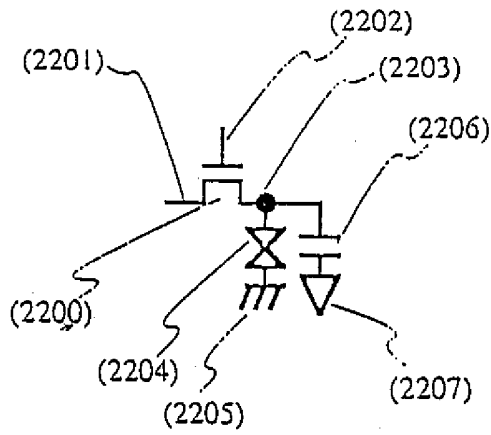




445439

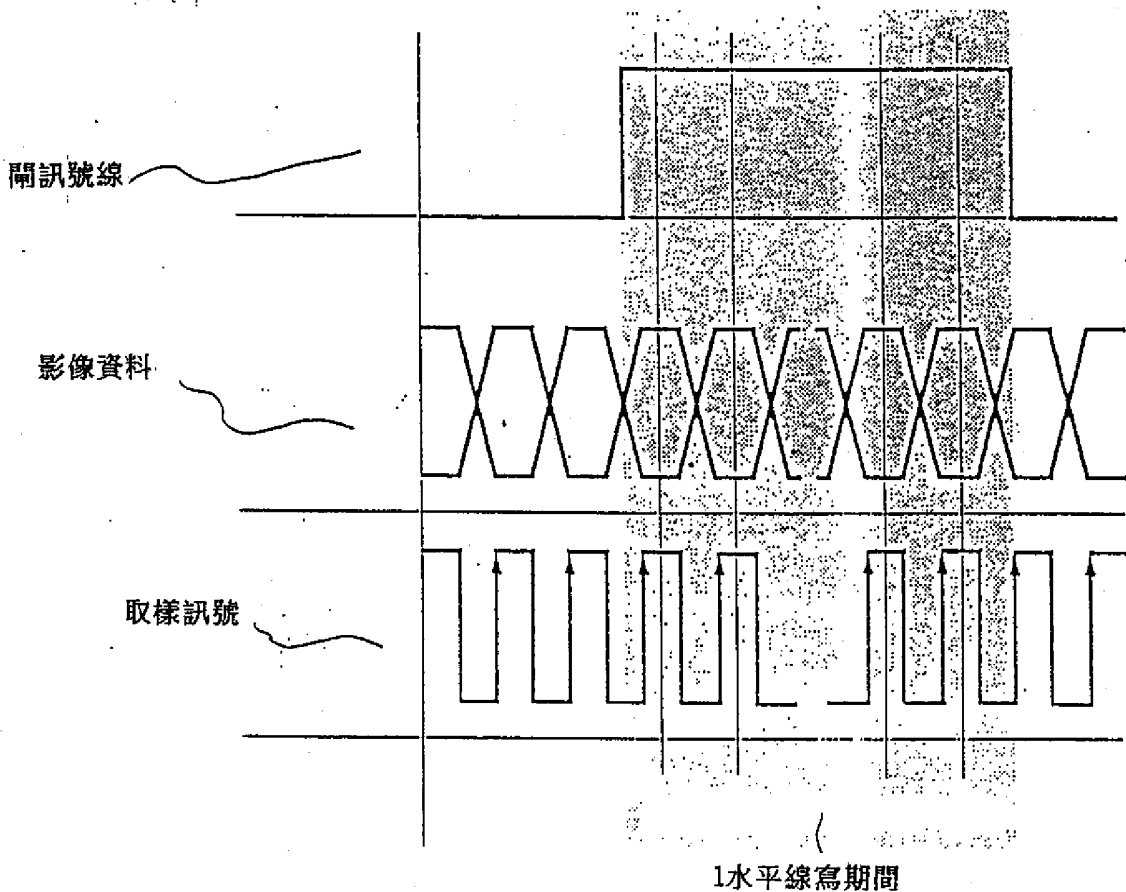
[習知技藝]

第22圖



第23圖

[習知技藝]



89年9月13日 修正  
補充

A8  
B8  
C8  
D8

## 六、申請專利範圍

445439 第 85103979 號 專利申請案

中文申請專利範圍修正本

民國 89 年 9 月 修正

1. 一種主動矩陣顯示裝置，包含：

一基底，具有至少第一段和與第一段分離之第二段；

一顯示區域，其由至少第一和第二部份構成，每個該部份具有一主動矩陣電路包含安排成矩陣形式之多數圖素電極和用以開關該圖素電極之多數開關元件，其中該第一部份形成在基底之第一段上和該第二部份形成在基底之第二段上；  
和

第一和第二訊號線驅動電路用以分別供應影像訊號至第一和第二部份之主動矩陣電路，

其中該第一和第二訊號線驅動電路位於該顯示區域之外側並受到操作以使第一和第二部份之主動矩陣電路在互相相對的方向掃描或驅動。

2. 如申請專利範圍第 1 項之主動矩陣顯示裝置，進一步包含相關於每個主動矩陣電路之第一和第二 FIFO 記憶體。

3. 一種主動矩陣顯示裝置，包含：

一基底，具有至少第一段和與第一段分離之第二段；

一顯示區域，其由界定在該基底上之至少第一和第二部份構成，每個該部份具有一主動矩陣電路包含安排成矩陣形式之多數圖素電極和用以開關該圖素電極之多數開關元件，其中該開關元件包含形成在該基底上之薄膜電晶體，其中該第一部份形成在基底之第一段上和該第二部份形成在基底之

(請先閱讀背面之注意事項再填寫本頁)

訂  
線