



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2009년06월04일
 (11) 등록번호 10-0900832
 (24) 등록일자 2009년05월27일

- (51) Int. Cl.
H05K 3/40 (2006.01)
- (21) 출원번호 10-2007-7007418
- (22) 출원일자 2007년03월30일
 심사청구일자 2007년03월30일
 번역문제출일자 2007년03월30일
- (65) 공개번호 10-2007-0049240
- (43) 공개일자 2007년05월10일
- (86) 국제출원번호 PCT/US2005/039316
 국제출원일자 2005년10월27일
- (87) 국제공개번호 WO 2006/050286
 국제공개일자 2006년05월11일
- (30) 우선권주장
 10/976,423 2004년10월29일 미국(US)
- (56) 선행기술조사문헌
 KR20040084780 A*
 US2004/0136169 A*
 JP13313448 A
 *는 심사관에 의하여 인용된 문헌

- (73) 특허권자
인텔 코퍼레이션
 미국 캘리포니아주 95052-8119 산타클라라
 피.오.박스 58119 미션 칼리지 불바드 2200
- (72) 발명자
위그 티모시
 미국 메사츄세츠주 01532 노스보로우 발렌타인 로
 드 23
리양 타오
 미국 메사츄세츠주 01886 웨스트포드 스티플 체이
 스 서클 19
- (74) 대리인
김원준, 김창세

전체 청구항 수 : 총 17 항

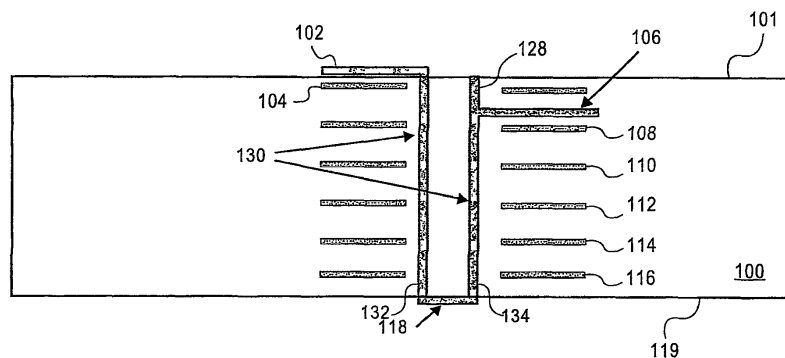
심사관 : 김종희

(54) 회로 보드 및 전자 시스템

(57) 요약

인쇄 회로 모드 신호 층 전이부를 개선하는 방법 및 장치가 개시된다. 일 실시예에서, 이 방법은 회로 보드(PCB) 내에 제 1 비아를 형성하는 단계를 포함한다. 제 2 비아가 PCB 내에 동시에 형성된다. 일 실시예에서, 제 2 비아는 제 1 비아에 가깝게 위치하여 제 1 비아와 제 2 비아 사이에 전자기 결합이 가능하도록 한다. 제 2 비아의 형성 이후, 제 1 및 제 2 비아는 연결되어 제 1 및 제 2 비아 사이에 직렬 연결부를 제공한다. 일 실시예에서, 제 1 및 제 2 비아 사이의 직렬 연결부는 제 1 비아에 대하여 스텔브 길이를 감소시켜 예를 들어 짧은 신호 층 전이부에 대한 스텔브 공진을 줄이고 잠재적으로는 제거한다. 다른 실시예가 기술되고 청구된다.

대표도



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

회로 보드로서,

하나 이상의 회로 보드 층들 간에 신호 층 전이부를 제공하도록 직렬로 연결된 적어도 하나의 복수 신호 비아 (at least one plurality of signal vias)를 포함하되,

상기 적어도 하나의 복수 신호 비아는,

제 1 안티-패드를 갖는 제 1 비아와,

제 2 안티-패드를 갖는 제 2 비아—상기 제 2 비아는 상기 제 1 비아에 인접하게 배치되어 상기 제 1 비아와 상기 제 2 비아 사이에 전자기 결합을 가능하게 하며 상기 제 1 안티-패드와 상기 제 2 안티-패드는 상이한 크기를 가짐—와,

상기 제 1 비아와 상기 제 2 비아를 직렬로 결합하는 마이크로 스트립 층과,

제 3 층과,

제 4 층을 포함하되,

상기 제 4 층은 상기 제 3 비아에 인접하게 배치되어 상기 제 3 비아와 상기 제 4 비아 간에 전자기 결합을 가능하게 하며, 상기 제 3 비아와 상기 제 4 비아는 직렬로 연결되는

회로 보드.

청구항 12

삭제

청구항 13

제 11 항에 있어서,

상기 제 1 비아의 직경은 상기 제 2 비아의 직경보다 큰 회로 보드.

청구항 14

제 11 항에 있어서,

상기 제 1 안티-패드의 크기는 상기 제 2 안티-패드의 크기보다 작은 회로 보드.

청구항 15

삭제

청구항 16

제 11 항에 있어서,

상기 제 1 비아에 결합된 제 1 커넥터 핀과,

상기 제 2 비아에 결합된 제 1 트레이스와,

상기 제 3 비아에 결합된 제 2 커넥터 핀과,

상기 제 4 비아에 결합된 제 2 트레이스를 더 포함하되,

상기 제 1 트레이스와 상기 제 2 트레이스는 차분 신호 쌍(differential signal pair)을 제공하는 회로 보드.

청구항 17

제 11 항에 있어서,

상기 제 2 비아와 상기 제 4 비아 사이에 형성된 접지 비아를 더 포함하는 회로 보드.

청구항 18

제 11 항에 있어서,

상기 제 4 비아는 상기 제 2 비아에 인접하게 배치되어 상기 제 2 비아와 상기 제 4 비아 사이에 전자기 결합이 가능하도록 하는 회로 보드.

청구항 19

제 11 항에 있어서,

상기 제 2 안티-패드의 형상은 상기 제 1 안티-패드의 형상과 다른 회로 보드.

청구항 20

제 11 항에 있어서,

상기 제 2 안티-패드는 상기 제 1 안티-패드와 교차하는 회로 보드.

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

삭제

청구항 27

삭제

청구항 28

삭제

청구항 29

삭제

청구항 30

삭제

청구항 31

전자 시스템으로서,

버스와,

상기 버스에 결합된 메모리와,

상기 버스에 전기적으로 연결된 회로 보드—상기 회로 보드는 제 1 비아와 제 2 비아를 포함하되, 상기 제 2 비아는 상기 제 1 비아에 인접하게 배치되어 상기 제 1 비아와 상기 제 2 비아 사이에 전자기 결합이 가능하도록 하며, 상기 제 1 비아 및 상기 제 2 비아는 직렬로 연결되어 하나 이상의 회로 보드 층들 사이에 신호 층 전이부를 제공하며, 상기 제 1 비아는 제 1 안티-패드를 가지며, 상기 제 2 비아는 제 2 안티-패드를 가지며, 상기 제 1 안티-패드와 상기 제 2 안티-패드는 상이한 크기를 가짐—와,

제 3 비아와,

제 4 비아를 포함하며,

상기 제 4 비아는 상기 제 3 비아에 인접하게 배치되어 상기 제 3 비아와 상기 제 4 비아 사이에 전자기 결합이 가능하도록 하고, 상기 제 3 비아와 상기 제 4 비아는 직렬로 연결되는

전자 시스템.

청구항 32

제 31 항에 있어서,

상기 제 1 비아의 직경은 상기 제 2 비아의 직경보다 큰 전자 시스템.

청구항 33

삭제

청구항 34

제 31 항에 있어서,

상기 제 1 비아에 결합된 제 1 커넥터 핀과,

상기 제 2 비아에 결합된 제 1 트레이스와,

상기 제 3 비아에 결합된 제 2 커넥터 핀과,

상기 제 4 비아에 결합된 제 2 트레이스를 더 포함하되,

상기 제 1 트레이스와 상기 제 2 트레이스는 차분 신호 쌍을 제공하는 전자 시스템.

청구항 35

제 31 항에 있어서,

상기 제 2 안티-패드는 상기 제 1 안티-패드와 교차하는 전자 시스템.

청구항 36

제 31 항에 있어서,

상기 제 1 비아는 블라인드 비아를 포함하고 상기 제 2 비아는 도금형 쓰루 홀 비아를 포함하는 전자 시스템.

청구항 37

제 31 항에 있어서,

상기 제 1 비아는 매립형 비아를 포함하고 상기 제 2 비아는 도금형 쓰루 홀 비아를 포함하는 전자 시스템.

청구항 38

제 31 항에 있어서,

상기 제 1 비아는 백-드릴링된 비아를 포함하고 상기 제 2 비아는 도금형 쓰루 홀 비아를 포함하는 전자 시스템.

청구항 39

제 31 항에 있어서,

상기 제 2 비아와 상기 제 4 비아 사이에 형성된 접지 비아를 더 포함하는 전자 시스템.

청구항 40

제 31 항에 있어서,

상기 제 4 비아는 상기 제 2 비아에 인접하게 배치되어 상기 제 2 비아와 상기 제 4 비아 사이에 전자기 결합이 가능하도록 하는 전자 시스템.

명세서

기술분야

<1> 본 발명의 하나 이상의 실시예는 일반적으로 집적 회로 및 컴퓨터 시스템 설계 분야에 관한 것으로, 보다 구체적으로는 인쇄 회로 보드 신호 층 전이부(printed circuit board signal layer transitions)를 개선하는 방법

및 장치에 관한 것이다.

배경 기술

- <2> 비아(via)는 전형적으로 인쇄 회로 보드(PCB) 상의 두 개의 층 간에 신호를 라우팅하는데 사용되며, 본 명세서에는 이러한 것을 "신호 층 전이부"로 지칭한다. 비아를 포함하는 PCB는 통상적으로 4개 이상의 금속 층을 구비하며 FR4(flame retardant 4) 물질로 구성될 수 있다. 예를 들어 전형적인 4-층 보드에 있어서, 두 개의 층은 라우팅용으로 사용되고 두 개의 층은 전력 및 접지용으로 사용된다. 복합 보드는 40개 층을 초과할 수 있으며, 몇 개의 전력 평면과 다수의 접지 및 라우팅 층을 갖는다. PCB의 두께는 달라질 수 있으나, 전형적으로는 0.060 인치 내지 0.250 인치 사이이다. 보드의 두께는 일반적으로 적절한 전력 전달을 제공하는데 필요한 층의 수, 평면 캐패시턴스, 접지 기준, 차폐, 필요로 하는 트레이스 임피던스 및 편리한 라우팅에 따라 정해진다.
- <3> 도 1에 도시되어 있는 바와 같이, 회로 보드(10)는 12개의 층(12-26)을 포함한다. 대표적으로, 비아(30)는 예를 들어 회로 보드(10)의 마이크로 스트립 층(12)과 스트립 라인 금속 층(16) 사이에 신호 층 전이부를 제공한다. 비아를 구현하는 일반적인 수단인 도금형 쓰루 홀(plated-through hole)(PTH)은 PCB 제조 동안 먼저 보드를 통과하여 홀(hole)을 기계적으로 완벽히 뚫은 다음 라미네이션(lamination)을 수행하고, 그런 다음 이 홀의 벽을 구리 또는 다른 도전체로 도금함으로써 형성된다. 이것은 보드의 전체 두께에 걸쳐 연속적인 전기적 경로로서 역할을 하는 관형 또는 고체 도전성의 원통부를 형성하며, 이 원통부에 인접하는 임의의 금속 층 또는 트레이스는 연결된다.
- <4> PTH 비아의 단점은, 그의 전기적인 작용이 어느 신호 층들이 그의 원통부를 거쳐 통과하느냐에 따라 달라진다는 것이다. 보드를 통과하여 신호를 보드 반대측에 전달하는 쓰루-보드 비아, 즉 PTH는 전형적으로 임의의 뚜렷한 공진이 없도록 설계되지만, 이러한 설계는 소량의 손실 및 매우 넓은 범위의 주파수 반사를 야기할 것이다. 도 1에 도시되어 있는 바와 같이, PTH 비아(30)는 보드의 두께보다 적은 신호 층 전이부를 제공하며, 이는 본 명세서에서 "짧은 층 전이부(short layer transition)"로 지칭된다. 예를 들어, 도 1에 도시되어 있는 바와 같이, 짧은 층 전이부, 가령 0.092 인치 두께 보드의 단지 0.010 인치에 대해 사용되는 PTH의 길이(28)중 상당 부분은 층 사이에서 직접적인 신호를 전달하지 않으며, 본 명세서에서 "비아 스템(via stub)"로 지칭된다. 도 1에 예시되어 있는 바와 같이, PTH 비아(30)의 사용되지 않는 길이는 신호가 그의 스템 공진 주파수에 근접함에 따라 강한 주파수 의존 동작을 나타내는 비아 스템(28)로 구성된다.
- <5> PCB에서 비아 스템에 의해 나타나는 고주파 공진은 일반적인 문제이다. 스템 공진은 스템을 포함하는 비아를 통해 회로 보드의 층을 통과하는 임의의 신호가 비아 스템에 의해 나타나는 고유의 수동 공진에 영향을 받는 잘 알려져 있는 현상이다. 공진은 PCB의 국부적인 기하학적 구조 및 조성에 의해 규정되는 주파수에서 하강한다. 이러한 결과는 의도한 수신기로 도달하는 에너지의 일부분을 상당히 줄일 수 있으며, 송신기 쪽으로의 반사를 증가시킬 수 있다. 비아 스템은 또한 보드 공진 및 비아-비아 혼선을 야기하는 병렬-평판 모드 변환 효과(parallel-plate mode conversion effect)를 증가시킬 수 있다.
- <6> 더 나아가, 회로 보드에서 사용되는 데이터 레이트가 수 기가비트/초(gb/s) 범위까지 증가하고, 신호 주파수 스펙트럼의 상당한 콘텐츠가 그들의 스템의 공진 주파수에 근접함에 따라 비아 스템 영향은 점진적으로 문제가 된다. 스템을 포함하는 비아를 통한 높은 반사 및 낮은 전송은 회로 보드 상에서의 데이터 전송 속도를 더 증가시키는데 어려움을 주는 주된 요인이다. 현재, 통상적인 개방 필드 층 전이부를 포함할 수 있는 다수의 일반적인 비아 구성, 또는 집적 회로 패키지, 칩셋 소켓 또는 커넥터를 부착하기 위해 사용되는 비아에서의 비아 스템을 완화하기 위한 경제적이고 수월한 방법은 없다.
- <7> 스템을 처리하는 현재의 기술은 다수의 HVM(high volume manufacturing) 회로 보드 생산 설비에서 현재 이용 가능한 프로세싱 기술을 사용하여 적용될 수 없다. 비아 공진 영향을 완화하고 또한 그렇지 않으면 비아의 와류의 영향을 최소화하는 몇몇 방법이 개발되었다. 이들 방법은 비아의 패드 및 안티-패드의 크기 및 형상 또는 드릴링된 홀의 크기를 조절하는 것을 포함할 수 있다. 이들 방법은 또한 백-드릴링, 블라인드 및 매립형 비아를 포함할 수 있다. 그러나, 이들 방법 중 다수는 HVM 프로세스에서 이용가능하지 않은 부가적인 프로세싱 동작을 필요로 한다.
- <8> 본 발명의 다양한 실시예가 첨부한 도면을 통해 제한이 아닌 예시적으로 기술되어 있다.

실시 예

- <21> 후속하는 상세한 설명에 있어서, 다수의 특정 세부 사항, 예를 들어 논리 구현, 신호 및 버스의 크기 및 명칭,

시스템 부품의 유형 및 상호관계, 및 논리 구획/집적 선택이 설명되어 보다 완전한 이해를 제공한다. 그러나, 기술되어 있는 실시예들은 그러한 특정 세부사항없이도 실행될 수 있음을 당업자라면 이해할 것이다. 다른 예로서, 제어 구조체 및 게이트 레벨 회로는 개시되어 있는 실시예의 명료성을 위해 자세히 도시되지 않는다. 당업자라면, 포함되어 있는 상세한 설명을 통해 과도한 실험없이 적절한 회로를 구현할 수 있을 것이다.

<22> 후속하는 상세한 설명에 있어서, 소정의 용어가 사용되어 본 발명의 특징을 기술한다. 예를 들어, "로직"이라는 용어는 하나 이상의 기능을 수행하도록 구성된 하드웨어 및/또는 소프트웨어를 나타낸다. 예를 들어, "하드웨어"의 예는 집적 회로, 유한 상태 머신 또는 조합 로직을 포함하나, 여기에 제한되는 것은 아니다. 집적 회로는 마이크로프로세서, ASIC, 디지털 신호 프로세서, 마이크로-제어기 등과 같이 프로세서의 형태를 취할 수 있다.

<23> 도 2는 본 발명의 일 실시예에 따라 하나 이상의 회로 보드 층 사이에 신호 층 전이부를 제공하도록 직렬 연결된 한 쌍의 비아(132,134)를 포함하는 회로 보드(100)를 나타낸다. 본 명세서에서 개시되어 있는 바와 같이, 하나 이상의 회로 보드 층 사이에 신호 층 전이부를 제공하기 위해 직렬로 연결된 한 쌍의 비아는 본 명세서에서 "부메랑 비아(boomerang vias)"로 지칭된다. 일 실시예에서, 부메랑 비아는 직렬로 연결된 비아의 결합물로부터 형성된 구조체를 포함하여 회로 보드 내의 신호 전송을 개선함과 동시에 병렬 평판 공진 모드(parallel plate resonance modes)에 대한 반사, 혼선 및 커플링을 감소시킨다.

<24> 일 실시예에서, 도 2는 새로운 보드 라우팅 수단을 제공하는 부메랑 비아(130)를 도시하며, 이것에 의해 보드를 통과하는 둘 이상의 직렬 비아 전이부의 성능은 예를 들어 도 1에 도시되어 있는 단일 비아 전이부보다 현저하게 우수한 보드 신호 층 전이부를 가능하게 한다. 대표적으로, 부메랑 비아(130)는 금속 마이크로-스트립 층(102)과 회로 보드, 즉 PCB(100)의 금속 스트립 라인 층(106) 사이에 신호 층 전이부를 제공한다. 도 1에 도시되어 있는 종래의 PTH 비아(30)와는 달리, 부메랑 비아(130)는 금속 마이크로 스트립 층(102)을 포함하는 PCB(100)의 상부로부터 떨어져 있는 PCB(100)의 후부(119) 상에서 직렬로 연결된 제 1 비아(132) 및 제 2 비아(134)를 포함한다. 일 실시예에서, 제 1 비아(132) 및 제 2 비아(134)는 PCB(100) 내에서 동시에 형성된다. 대표적으로, 제 1 비아(132) 및 제 2 비아(134)는 금속 마이크로-스트립 층(118)에서 결합되어 제 1 비아(132)와 제 2 비아(134) 사이에 직렬 연결부를 제공함으로써 부메랑 비아(130)를 형성한다. 대표적으로, 부메랑 비아(130)의 비아 스템(128)는 상당히 감소되어 도 1에 도시되어 있는 비아 스템(28)와 비교할 때 회로 보드(100)의 층(102)과 층(106) 간에 개선된 신호 층 전이부를 제공한다.

<25> 도 3a는 도 2를 참조하여 개시된 실시예에 따른 부메랑 비아(130)를 포함하는 회로 보드(100)를 나타내는 블록도이다. 대표적으로, 부메랑 비아(130)는 회로 보드(100)의 제 1 층(102)과 제 2 층(106) 사이에 신호 층 전이부를 제공한다. 또한, 제 1 비아(132)와 제 2 비아(134) 간의 직렬 연결부는 금속 마이크로-스트립 층(102)으로부터 떨어져 있는 회로 보드(100)의 후부(119) 상에 제공된다. 일 실시예에서, 부메랑 비아(130)의 제 1 비아(132)와 제 2 비아(134) 간의 간격과, 또한 드릴링 크기 및 다른 파라미터를 변경하여 비아(132,134)의 결합을 제어함으로써 부메랑 비아(130)의 성능을 "조정(tune)"하여 전송을 더 개선할 수 있다. 일 실시예에서, 병렬 평판 모드 결합 및 다른 혼선 메카니즘은 개시되어 있는 실시예에 따라 부메랑 비아의 구조에 대한 다양한 파라미터를 조정함으로써 더 감소될 수 있다.

<26> 도 3b는 회로 보드(100)의 후부에서 직렬로 결합된 제 1 비아(132) 및 제 2 비아(134)를 갖는 부메랑 비아(130)를 포함하는 회로 보드(100)를 나타내는 블록도이다. 그러나, 도 3a와 비교할 때, 제 1 비아(132)와 제 2 비아(134) 간의 간격은 증가되어 도 3a를 참조하여 기술한 바와 같이 제 1 비아(132)와 제 2 비아(134)의 근접한 간격에 의해 제공되는 밀접한 결합과는 달리 제 1 비아(132)와 제 2 비아(134) 간의 결합은 느슨해진다.

<27> 도 3c는 일 실시예에 따라 안티-패드(anti-pad)가 증가한 부메랑 비아(130)를 더 나타낸다. 대표적으로, 제 1 비아(132)는 안티-패드(136)를 포함하고 제 2 비아(134)는 안티-패드(138)를 포함한다. 개시되어 있는 실시예에서, 안티-패드(136)는 안티-패드(138)보다 크다. 일 실시예에서, 부메랑 비아(130)는 안티-패드(136)와 안티-패드(138) 간의 크기 차이로 형성되어 부메랑 비아 구조체의 자기-인덕턴스(self-inductance) 및 캐패시턴스를 최적화한다. 또 다른 실시예에서, 안티-패드(136)의 크기는 안티-패드(138)의 크기보다 작거나 동일하여 제 1 비아(132)와 제 2 비아(134) 간의 원하는 유도성 및 용량성 결합을 달성할 수 있다. 일 실시예에서, 안티-패드의 형상은 (도시되어 있는) 원형 이외의 형상, 예컨대, 직사각형 또는 이들의 조합일 수 있으며 마이크로 스트립이 접지 층과 연결되어 단락 회로를 방지하도록 충분한 간격을 제공하도록 하는 형상이다.

<28> 도 3d는 일 실시예에 따라 제 2 비아(134)가 제 1 비아(132)보다 큰 직경을 갖는 부메랑 비아(130)를 나타내는 블록도이다. 일 실시예에서, 부메랑 비아(130)의 제 1 비아(132) 또는 제 2 비아(134)의 직경 조절은 종래의

단일 종단형 또는 차분형 비아 구조체(singled-ended or differential via structure)에서의 특정 스택의 층형 전이부에 대해 자기-인덕턴스 및 커패시턴스를 최적화하도록 수행된다. 몇몇 실시예에서, 제 1 비아(132)는 제 2 비아(134)보다 큰 직경을 가질 수 있다.

- <29> 도 3e는 회로 보드(100)의 내부 층(114) 내에 제 1 비아(132) 및 제 2 비아(134) 간의 직렬 연결부를 제공하는 부메랑 비아(130)를 나타낸다. 일 실시예에서, 이러한 구성은 제 1 비아(132)와 제 2 비아(134) 간의 상호 인덕턴스를 감소시킨다. 도 3f에 예시되어 있는 바와 같이, 일 실시예에서, 부메랑 비아(130)는 다중 회로 보드 층(114,118)에서 제 1 비아(132)와 제 2 비아(134) 사이에 직렬 연결부를 제공함으로써 형성될 수 있다. 대표적으로, 제 1 비아(132)는 도 3e에 도시되어 있는 내부 층(114)에서 또한 도 3a-3d에 도시되어 있는 회로 보드(100)의 후부 상에서 제 2 비아(134)에 결합된다.
- <30> 도 3g 및 도 3h는 회로 보드(100)의 제 5 층(109)과 제 7 층(112) 간의 신호 층 전이부를 제공하는 부메랑 비아(130)를 나타낸다. 도 3g에 도시되어 있는 바와 같이, 제 1 비아(132)와 제 2 비아(134) 간의 직렬 연결부는 회로 보드(100)의 후부 상에 제공된다. 대표적으로, 도 3g에 도시되어 있는 직렬 연결부로부터 기인하는 나머지 스테르브는 보다 큰 두께를 갖는 보드에 대해서는 상당할 수 있다. 따라서, 일 실시예에서, 도 3h에 도시되어 있는 바와 같이, 부메랑 비아(130)에는 회로 보드(100)의 제 1 층(102) 및 바닥 층(118)에서 병렬 접속부가 제공되어 도 3g에 도시되어 있는 스테르브를 제거한다.
- <31> 도 4a는 일 실시예에 따라 생산 커넥터 핀 필드(200)에서의 차분 부메랑 비아(230,260)를 나타내는 블록도이다. 몇몇 실시예에서, 하나 이상의 비아는 직렬로 결합될 수 있다. 대표적으로, 부메랑 비아(230) 및 부메랑 비아(260)는 부메랑 비아를 형성하는데 사용되는 제각기의 비아 간의 결합 및 차분 신호 비아(234, 264) 간의 결합을 느슨하게 하도록 형성된다. 따라서, 도시되어 있는 바와 같이, 제 1 부메랑 비아(230)는 제 1 비아(232) 및 제 2 비아(234)를 포함한다. 마찬가지로, 제 2 부메랑 비아(260)는 제 3 비아(262) 및 제 4 비아(264)를 포함한다. 도시되어 있는 바와 같이, 제 1 부메랑 비아(230)의 제 1 및 제 2 비아(232,234) 및 제 2 부메랑 비아(260)의 제 1 및 제 2 비아(262,264)는 떨어져 위치하여 제각기의 비아 간의 결합을 느슨하게 한다. 마찬가지로, 도시되어 있는 바와 같이, 제 2 비아(234)는 제 4 비아(264)로부터 떨어져 위치하여 제 2 비아(234)와 제 4 비아(264) 간의 결합을 제한한다. 일 실시예에서, 예를 들어 전자기 결합을 증가시키기 위해 환형 링을 형성하도록 제 1 비아 및 제 2 비아 중 적어도 하나에 대해 도전성 물질이 부가될 수 있다.
- <32> 도 4b에 도시되어 있는 바와 같이, 제 1 비아(232)와 제 2 비아(234), 및 제 3 비아(262)와 제 4 비아(264) 간의 간격은 도 3a에 도시되어 있는 바와 동일하다. 그러나, 일 실시예에 따르면 제 2 비아(234) 및 제 4 비아(264)는 서로 근접하게 위치하여 제 2 비아(234)와 제 4 비아(264) 간의 결합을 밀접하게 한다. 일 실시예에서, 제 1 차분 신호 핀이 제 1 비아(232)에 결합되고 제 2 차분 신호 핀은 제 3 비아(262)에 결합된다. 대표적으로, 제 2 비아(234)에 결합된 제 1 신호 트레이스(240)와 제 4 비아에 결합된 제 2 신호 트레이스(270)는 차분 신호 쌍을 제공한다.
- <33> 도 4c는 도 4a 및 도 4b에 도시되어 있는 바와 같이 제 1 부메랑 비아(230) 및 제 2 부메랑 비아(260)의 일 실시예를 더 예시하며, 제 1 비아(232)와 제 2 비아(234), 및 제 3 비아(262)와 제 4 비아(264) 간의 간격은 감소되어 제 1 부메랑 비아(230) 및 제 2 부메랑 비아(260)의 제각기의 비아 간의 결합을 밀접하게 한다. 도 4a에 도시되어 있는 실시예와 유사하게, 제 2 비아(234) 및 제 4 비아(264)는 떨어져 위치하여 제 2 비아(234)와 제 4 비아(264) 간의 결합을 느슨하게 한다.
- <34> 도 4d는 도 4a에 도시되어 있는 제 1 부메랑 비아(230) 및 제 2 부메랑 비아(260)가 제 1 부메랑 비아와 제 2 부메랑 비아의 제각기의 비아 간의 결합을 느슨하게 한 일 실시예를 나타낸다. 그러나, 도 4a를 참조하여 기술한 실시예와 비교할 때, 도 4d에 도시되어 있는 바와 같이, 일 실시예에 따라 제 2 비아(234)와 제 4 비아(264) 사이에 접지 비아(282)가 제공되어 차분 트레이스(202,204)에 대해 차폐 및 개선된 공통 모드 성능을 제공한다. 일 실시예에서, 부가적인 접지 비아(282)는 루프 인덕턴스를 보다 잘 제어하는 부가적인 접지 복귀 경로, 및 인접한 신호 비아로부터의 부가적인 차폐를 제공하는데, 그 이유는 핀필드 내의 부가된 비아는 혼선의 잠재적인 근원지 또는 수신지 쪽으로 보다 가깝게 신호를 위치시킬 수 있기 때문이다.
- <35> 도 5a 및 도 5b는 예를 들어 도 2에 도시된 비교적 얇은 0.062 인치 두께의 12 층 보드 상에서 동일한 기하학적 구조를 갖는 실제적인 쓰루 보드 연결 비아(realistic through board connected vias)(304)와 스테르브 연결 비아(302) 사이에서, 도 5a에 도시되어 있는 전송(삽입 손실)(300)과 도 5b에 도시되어 있는 반사(반환 손실)(320)를 비교함으로써 비아 스테르브의 영향을 도시한다. 상술한 바와 같이, 쓰루 보드 비아는 보드를 통과하여 전형적으로 임의의 뚜렷한 공간이 없도록 설계될 수 있는, 반대측에 신호를 완전히 전달하는 PTH를 기술하지

만, 이것은 넓은 범위의 주파수에 걸쳐 소량의 손실 및 반사를 야기할 것이다.

- <36> 비교적 얇은, 층의 수가 적은 보드에 있어서, 사용하지 않는 비아 스테르브의 제 1 공진 주파수는 15 기가헤르쯔 (GHz) 범위 내에 들어갈 수 있다. 통상적으로 고속 후면 및 컴퓨터 서버에 사용되는 보다 큰 회로 보드는 10 GHz 아래에 속하는 보다 낮은 스테르브 공진 주파수를 가질 것이다. 스테르브 공진 영향은 전형적으로 신호 반사의 증가 및 신호 전송의 감소를 나타낸다. 보드 내에서 사용되는 시그널링이 공진 주파수 근처의 상당한 주파수량을 점유하는 경우, 신호는 저하 및 왜곡을 겪을 것이다.
- <37> 도 5a 및 도 5b를 참조하면, 차분 시그널링은 빠른 데이터 레이트에서는 점진적으로 일반적으로 되기 때문에, 도 5a 및 도 5b에 도시되어 있는 모든 플롯은 차분 라우팅 기법용으로 생성되었지만, 단일 종단형 및 차분 신호 라우팅 모두에서 유사한 현상이 발생한다. 대표적으로, 비아 스테르브 공진 주파수가 10 GHz 이하로 떨어지는 경우, 그 영향은 GHz 영역에서도 뚜렷해진다. 15 데시벨(dB) 반환 손실 임계값은 흔히 커넥터에 대한 수용능력의 측정치를 사용하며, 2.2 GHz에 놓인다. 보다 두꺼운, 0.250 인치 두께의 보드는 보다 나쁜 성능을 나타내며, 그에 따라 현재의 데이터 레이트에서도 데이터 전송을 불가능하게 할 수도 있는 보다 낮은 공진 주파수를 가질 수 있다.
- <38> 도 6a 및 도 6b는 도 5a 및 도 5b를 생성하는데 사용되는 동일한 스택 및 비아 구성에 대한 플롯을 나타내며, 일 실시예에 따라 이들 동일한 결합 비아의 쌍은 직렬로 연결되어 각 신호마다 부메랑 비아(354)를 형성한다. 대표적으로, 도 6a 및 도 6b에 도시되어 있는 바와 같이, 성능은 바람직하게 12 GHz를 초과할 때까지는 단일 쓰루 보드 전이부의 성능(352)과 유사하다. 대표적으로, 1 dB 전송 주파수는 5 GHz에서 13 GHz까지 연장된다. 유사하게, 15 dB 반사 주파수는 2.2 GHz에서 12 GHz까지 연장된다. 이러한 개선은 최적화의 시도없이 달성되었다.
- <39> 그러나, 도 3a 내지 도 3h 및 도 4a 내지 도 4d를 참조하여 기술한 바와 같이, 기술되어 있는 실시예에 따라 예를 들어 부메랑 비아와 같은 비아 구조체의 성능을 더 개선하는 유사한 파라미터들이 이용가능하다. 일 실시예에서, 몇몇 파라미터 변경을 통한 전자기 시뮬레이터 인에이블 최적화의 사용은 예를 들어 부메랑 비아를 사용하는 특정 스택 및 층 전이부에 대한 자기-인덕턴스 및 캐패시턴스를 최적화하도록 홀 직경, 패드 크기, 안티-패드 크기 및 형상을 조절하는 것을 포함한다. 차분 라우팅에 사용되는 종래의 비아는 전형적으로 간격 조절을 통해 떨어져 있는 컨덕터 간의 상호 인덕턴스 및 캐패시턴스를 최적화한다. 일 실시예에 따라, 이들 모든 요소들은 단일 종단형 및 차분 라우팅되는 부메랑 비아에 대해 유사하게 조절될 수 있다.
- <40> 부메랑 비아의 소개부분을 참조하면, 차분 라우팅(도 4a 내지 도 4d 참조)용으로 사용되는 네 개의 드릴(drill) 중 임의의 드릴 간의 간격은 더 최적화하기 위해 사용될 수 있는 몇몇 추가적인 파라미터를 제공할 수 있다. 일 실시예에서, 부메랑 연결 비아는 동일한 직경일 필요는 없으며, 이는 라우팅 공간을 보존하는데 또는 보다 최적의 결합을 달성하는데 유용할 수 있다. 또한, 일 실시예에서, 두 개 이상의 비아가 직렬로 연결되어 실시예 및 첨부한 청구항의 범주 내에서 추가적인 이점을 제공할 수 있다. 일 실시예에서, 부메랑 비아는 부품측 마이크로-스트립 라인이 제공되는 쓰루 홀 또는 압착기 구조체(press fit structures)를 제공하는데 사용되며, 통상적으로 상당한 부-공진(sub-resonance) 문제를 겪게 된다. 예를 들어, 도 4a-4b를 참조하여 개시되어 있는 바와 같이, 커넥터 핀은 제 1 비아(232) 내에 삽입될 수 있으며, 트레이스는 도 4a에 도시되어 있는 제 2 비아(234)에 결합된다.
- <41> 도 7은 도 1a에 도시된 비아 공진 영향을 완화하기 위한 방법을 예시하는 회로 보드(400)를 나타낸다. 대표적으로, 도 4는 당업계에서 알려져 있는 백-드릴링된 비아(410), 매립형 비아(430) 및 블라인드 비아(450)를 나타낸다. 도 7에 도시되어 있는 비아 구성은 비아 스테르브의 길이를 감소시킨다. 대표적으로, 백-드릴링된 비아는 일반적으로 보드 제조의 도금 이전에 형성된다. 이러한 도금 이후에, PTH 원통부의 사용되지 않는 부분은 잠재적인 공진 단계를 감소 또는 제거하도록 매우 큰 드릴을 사용하여 드릴링되어 원통형의 공기 공간(412)을 남겨둔다.
- <42> 통상적으로, 이러한 백-드릴링, 또는 깊이가 제어되는 드릴링 공정은 각 보드가 개별적으로 처리되고 추가적인 드릴링 절차를 거칠 것을 요구하는 반면, 종래의 PTH 드릴링은 보드의 스택 상에서 단일 절차로 동시에 수행될 수 있다. 또한, 정확한 깊이 제어 및 조절이 각 백-드릴링된 홀마다 필요하지만, 쓰루-홀 드릴링은 정확한 깊이 제어를 필요로 하지 않으며, 또한 전체적으로 보다 덜 엄격한 드릴 조절을 허용할 수 있다. 백-드릴링된 비아에 대해 필요로 하는 추가적인 처리 및 프로세싱은 보드의 비용을 증가시키고 또한 수율에 부정적인 영향을 끼칠 수 있다.

- <43> 도 7에 도시되어 있는 바와 같이, 매립형 비아(430) 및 블라인드 비아(450)는 도금형 쓰루 홀을 생성하는데 사용될 수 있으며 상기 도금형 쓰루 홀은 스테브 및 드릴 홀이 없는 특정 층 전이부에 걸쳐 있으며 그 넘어서는 바람직한 전이부를 위한 소정의 것이 필요하다. 통상적으로, 블라인드 및 매립형 비아는 완전한 보드 내로의 최종 라미네이션 및 후속하는 최종 쓰루 홀 드릴링 및 도금 절차 전에 PCB 층의 개별 층 또는 그룹 내에 생성된다. 매립형 비아(430) 및 블라인드 비아(450)를 생성하는 프로세스는 각각의 전이부 세트마다 별도의 드릴링 및 도금 단계를 필요로 함으로써 종래의 도금형 쓰루 홀 기법과는 다르다. 백-드릴링과 같은 이것은 회로 보드의 비용을 상승시키고 수율을 감소시키는 프로세스-집약 방법이다. 또한, 블라인드 및 매립형 비아는 일반적으로 쓰루 홀이 통과하는 압착기 소자와는 호환되지 않는다.
- <44> 도 8은 일 실시예에 따라 결합된 백-드릴링된 비아 쌍을 예시하는 회로 보드(500)를 나타낸다. 대표적으로, 회로 보드(500)는 종래의 백-드릴링된 비아(510) 및 결합된 백-드릴링된 비아(530) 및 결합된 백-드릴링된 비아(550)를 포함한다. 예시되어 있는 바와 같이, 결합된 백-드릴링된 비아(530)는 내부 회로 보드 층 내에서 직렬로 결합된 제 1 백-드릴링된 비아(532) 및 제 2 백-드릴링된 비아(534)를 포함한다. 예시되어 있는 바와 같이, 보어(bore)(536,538)는 제 1 비아(532) 및 제 2 비아(534)의 직렬 연결부 아래의 임의의 부가적인 비아 스테브를 제거한다. 더 개선되어 있는 바와 같이, 결합된 백-드릴링된 비아(530)는 보어(556)를 포함하는 백-드릴링된 비아(554)에 직렬로 결합된 비아(552)에 도금형 쓰루-홀을 포함한다. 예시되어 있는 바와 같이, 백-드릴링된 결합된 신호 비아(530,550)의 구성은 단일 백-드릴링된 비아에 대해 성능 개선을 제공하면서 회로 보드의 한 측면에 대한 액세스를 필요로 하고 또한 단일 홀 깊이를 필요로 한다.
- <45> 도 9는 일 실시예에 따라 매립된 결합형 신호 비아를 예시하는 회로 보드(600)를 나타낸다. 대표적으로, 매립형 비아(610)는 직렬 연결된 비아를 포함함으로써 개선될 수 없다. 그러나, 매립된 결합형 신호 비아(630,650,670)는 부가적인 결합된 신호 비아가 없는 비아와 비교할 때 개선을 제공한다. 대표적으로, 매립된 결합형 신호 비아(630)는 회로 보드 층 내에서 직렬로 결합된 매립형 비아(632) 및 도금형 쓰루 홀 비아(634)를 포함한다. 마찬가지로, 매립된 결합형 신호 비아(650)는 일 실시예에 따라 회로 보드 층 내에 직렬로 결합된 매립형 비아(652) 및 도금형 쓰루 홀 비아(654)를 포함한다. 매립된 결합형 신호 비아(670)는 일 실시예에서 내부 회로 보드 층 내에서 직렬로 결합된 제 1 매립형 비아(672) 및 제 2 매립형 비아(674)를 포함한다.
- <46> 도 10은 일 실시예에 따라 블라인드 결합된 신호 비아 쌍을 포함하는 회로 보드(700)를 나타낸다. 대표적으로, 블라인드 비아(710)는 직렬 연결된 비아의 부가를 통해 개선될 수 없다. 대표적으로, 블라인드 결합된 신호 비아(730)는 일 실시예에 따라 내부 회로 보드 층 내에서 직렬로 연결된 제 1 블라인드 비아(732) 및 제 2 블라인드 비아(734)를 포함한다. 블라인드 결합된 신호 비아(750)는 일 실시예에 따라 직렬로 결합된 도금형 쓰루 홀 비아(752) 및 블라인드 비아(754)를 포함한다. 블라인드 결합된 신호 비아(770)는 제 1 블라인드 비아(774-1) 및 제 2 블라인드 비아(774-2)에 직렬로 연결된 도금형 쓰루 홀 비아(772)를 포함한다. 따라서, 도 8 내지 도 10을 참조하여 예시한 바와 같이, 직렬 연결된 결합된 신호 비아의 사용은 백-드릴링된 비아, 블라인드 비아 및 매립형 비아와 같은 기법에 대해 사용되지 않은 스테브를 제거함으로써 스텝 길이(step length)를 줄이는데 사용되어 스테브 공진을 더 줄일 수 있다.
- <47> 도 11은 도 2에 예시되어 있는 회로 보드(100)와 같은 적어도 하나의 전자 어셈블리를 포함하는 전자 시스템(800)의 블록도이다. 전자 시스템(800)은 이 전자 시스템(800)의 다양한 부품들을 서로 전기적으로 결합하는 시스템 버스(810)를 포함하는 컴퓨터 시스템일 수 있다. 시스템 버스(810)는 단일 버스 또는 임의의 버스들의 조합일 수 있다. 회로 보드(100)는 시스템 버스(810)에 전기적으로 결합되고 임의의 회로 또는 회로들의 조합을 포함할 수 있다. 일 실시예에서, 회로 보드(100)는 임의의 유형일 수 있는 프로세서(140)를 포함한다.
- <48> 본 명세서에서 사용되는 바와 같이, 프로세서는 임의의 유형의 회로, 예를 들어 마이크로프로세서, 그래픽 프로세서 또는 디지털 신호 프로세서를 의미하나, 이들에 제한되는 것은 아니다. 회로 보드(100)에 포함될 수 있는 그 밖의 다른 유형의 회로는 주문 회로 즉 ASIC이며, 예를 들어 무선 전화기, 페이지, 휴대용 컴퓨터, 쌍방향 라디오 및 유사한 전자 시스템과 같은 무선 장치에 사용되는 통신 회로(150)이다. 전자 시스템(800)은 특정 애플리케이션에 적절한 하나 이상의 메모리 소자, 예를 들어 랜덤 액세스 메모리(RAM) 형태의 메인 메모리(842), 하나 이상의 하드 드라이브(844), 및/또는 디스켓, CD 및 DVD와 같은 착탈가능한 매체(846)를 취급하는 하나 이상의 드라이브를 포함하는 외부 메모리(840)를 또한 포함할 수 있다.
- <49> 전자 시스템(800)은 또한 디스플레이 장치(820), 스피커(830), 및 키보드, 마우스, 트랙볼, 게임 제어기, 마이크로폰, 음성 인식 장치, 또는 전자 시스템에 정보를 입력하는 임의의 다른 장치와 같은 제어기(860)를 포함할 수 있다. 도시되어 있는 바와 같이, 회로 보드(100)는 전자 패키지, 전자 시스템 및 컴퓨터 시스템을 포함하는

다수의 상이한 실시예로 구현될 수 있다. 소자, 재료, 기하학적 구조 및 크기는 모두 특정 요건에 부합하도록 변경될 수 있다.

<50> 도 12는 개시되어 있는 기법을 사용하는 설계의 시뮬레이션, 예시레이션 및 제조(930)에 대한 다양한 표현 또는 구성을 나타내는 블록도이다. 설계를 나타내는 데이터는 여러 방식으로 설계를 나타낼 수 있다. 첫째, 시뮬레이션에 유용하도록, 하드웨어는 하드웨어 설명 언어, 또는 다른 기능적 설명 언어를 사용하여 표현될 수 있으며, 이 언어는 설계된 하드웨어가 어떻게 수행될 것인지에 대한 컴퓨터화된 모델을 제공한다. 하드웨어 모델(910)은 컴퓨터 메모리와 같은 저장 매체(900)에 저장될 수 있으며, 그에 따라 상기 모델은 의도한 대로 기능을 하는지를 판정하기 위해 하드웨어 모델에 특정 테스트 모음(930)을 적용하는 시뮬레이션 소프트웨어(920)를 사용하여 시뮬레이션될 수 있다. 몇몇 실시예에서, 시뮬레이션 소프트웨어는 저장 매체에 기록, 포착 또는 포함되지 않는다.

<51> 또한, 로직 및/또는 트랜지스터 게이트를 갖는 회로 레벨 모델은 설계 프로세스의 몇몇 단계에서 생산될 수 있다. 이 모델은 때로는 프로그램가능 로직을 사용하여 모델을 형성하는 전용 하드웨어 시뮬레이터에 의해 유사하게 시뮬레이션될 수 있다. 이러한 유형의 시뮬레이션을 한 단계 더 높은 것이 예시레이션 기법일 수 있다. 임의의 경우에 있어서, 재구성가능 하드웨어는 개시되어 있는 기법을 채용하는 모델을 저장하는 머신 판독가능 매체를 포함할 수 있는 또 다른 실시예이다.

<52> 더 나아가, 소정의 스테이지에서의 대부분의 설계는 하드웨어 모델에서 다양한 장치의 물리적 변위를 나타내는 데이터 레벨에 도달한다. 종래의 반도체 제조 기법이 사용되는 경우, 하드웨어 모델을 나타내는 데이터는 집적 회로를 생산하는데 사용되는 상이한 마스크 층 또는 마스크 상의 다양한 피처의 존재 또는 부재를 나타내는 데이터일 수 있다. 또 다시, 집적 회로를 나타내는 이러한 데이터는 회로 로직 및 데이터가 시뮬레이션 또는 처리되어 개시되어 있는 기법을 수행한다는 점에서 개시되어 있는 기법을 구현한다.

<53> 임의의 설계 표현에 있어서, 데이터는 임의의 형태의 머신 판독가능 매체에 저장될 수 있다. 정보를 전달하도록 변조 또는 그와 달리 생성되는 광학적 또는 전기적 파동(960), 메모리(950) 또는 디스크와 같은 자기적 또는 광학적 저장소(940)는 머신 판독가능 매체일 수 있다. 임의의 이들 매체는 설계 정보를 전달할 수 있다. "전달"(예를 들어, 정보를 전달하는 머신 판독가능 매체)이라는 용어는 저장 장치에 저장된 정보 또는 반송파 내로 또는 그 상으로 인코딩 또는 변조된 정보를 커버한다. 설계 또는 특정 설계를 설명하는 비트 세트는 (캐리어 또는 저장 매체와 같은 머신 판독가능 매체에 구현되는 경우) 또 다른 설계 또는 제조를 위해 그 자체가 봉인될 수 있거나 또는 다른 것에 의해 사용될 수 있는 조항이다.

<54> 또 다른 실시예

<55> 다른 실시예에 대해, 다른 시스템 구성이 사용될 수 있음을 이해될 것이다. 예를 들어, 시스템(800)이 단일 CPU(140)를 포함하는 반면, 다른 실시예에 대해, 마이크로프로세서 시스템(하나 이상의 프로세서가 상술한 CPU(140)과 구성 및 동작이 유사할 수 있음)은 다양한 실시예의 직렬 연결된 결합된 비아의 이점을 취할 수 있다. 또 다른 유형의 시스템 또는 다른 유형의 컴퓨터 시스템, 예를 들어 서버, 워크스테이션, 데스크탑 컴퓨터 시스템, 게임 시스템, 내장형 컴퓨터 시스템, 블레이드 서버 등이 다른 실시예에 대해 사용될 수 있다.

<56> 실시예 및 최선의 방식을 기술하였지만, 후속하는 청구항에 의해 정해지는 본 발명의 실시예에 대한 범주 내에서 개시되어 있는 실시예에 대해 수정 및 변형이 이루어질 수 있다.

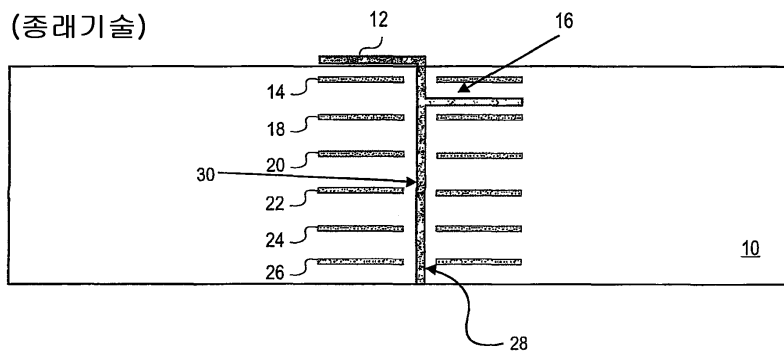
도면의 간단한 설명

- <9> 도 1은 종래의 도금형 쓰루 홀 비아를 갖는 회로 보드를 나타내는 블록도,
- <10> 도 2는 일 실시예에 따라 직렬로 연결된 한 쌍의 직렬 연결 비아를 나타내는 블록도,
- <11> 도 3a 내지 도 3h는 하나 이상의 실시예에 따라 도 2의 직렬 결합된 비아의 다양한 구현을 예시하는 블록도,
- <12> 도 4a 내지 도 4d는 하나 이상의 실시예에 따라 생산 커넥터 핀 필드 내의 차분의 직렬 결합된 비아를 나타내는 도면,
- <13> 도 5a 및 도 5b는 쓰루 보드 비아와 스티브 접속에 있어서 차분 전송 및 반사 간의 비교를 나타내는 그래프,
- <14> 도 6a 및 도 6b는 일 실시예에 따라 쓰루 보드 비아와 직렬 연결된 비아에 있어서 차분 전송 및 반사를 나타내는 도면,

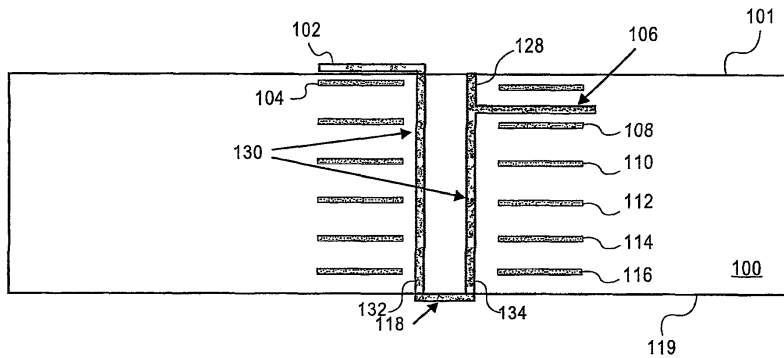
- <15> 도 7은 종래의 백-드릴링된 비아, 종래의 매립형 비아 및 종래의 블라인드 비아를 포함하는 회로 보드를 나타내는 도면,
- <16> 도 8은 일 실시예에 따른, 직렬 결합된 백-드릴링된 비아를 나타내는 회로 보드의 도면,
- <17> 도 9는 일 실시예에 따른, 직렬 결합된 매립형 비아를 나타내는 회로 보드의 도면,
- <18> 도 10은 일 실시예에 따른, 직렬 결합된 블라인드 비아를 포함하는 회로 보드를 나타내는 도면,
- <19> 도 11은 일 실시예에 따른, 직렬 결합된 비아를 포함하는 회로 보드를 포함하는 전자 시스템을 나타내는 도면,
- <20> 도 12는 개시되어 있는 기법을 사용하는 설계의 예시, 시뮬레이션 및 제조에 대한 다양한 설계 표현 또는 포맷을 나타내는 도면.

도면

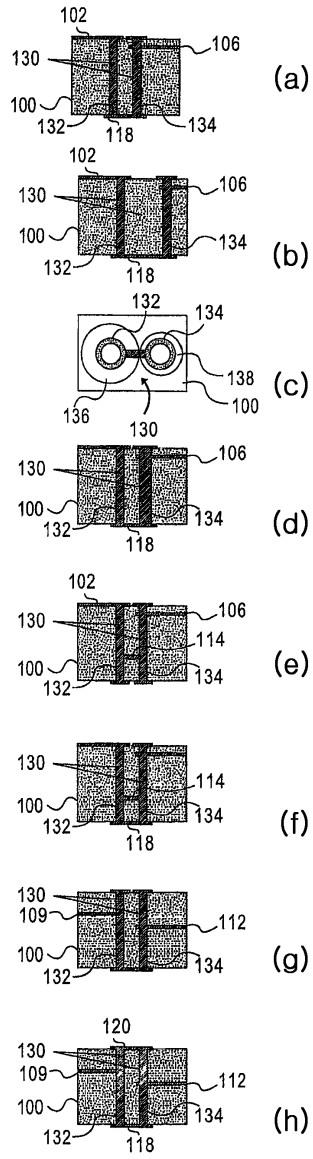
도면1



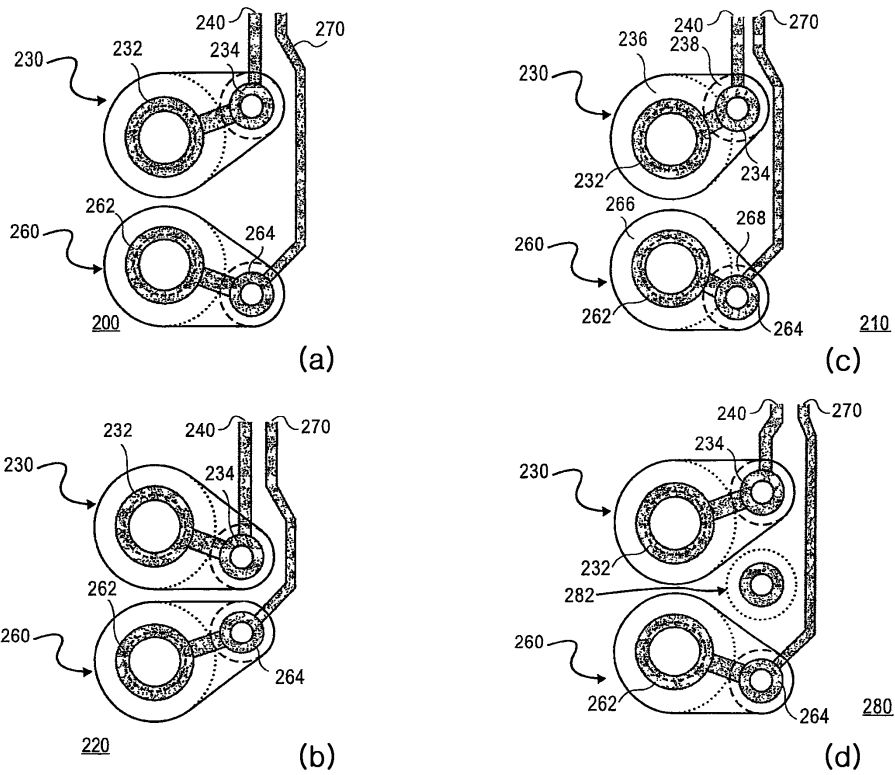
도면2



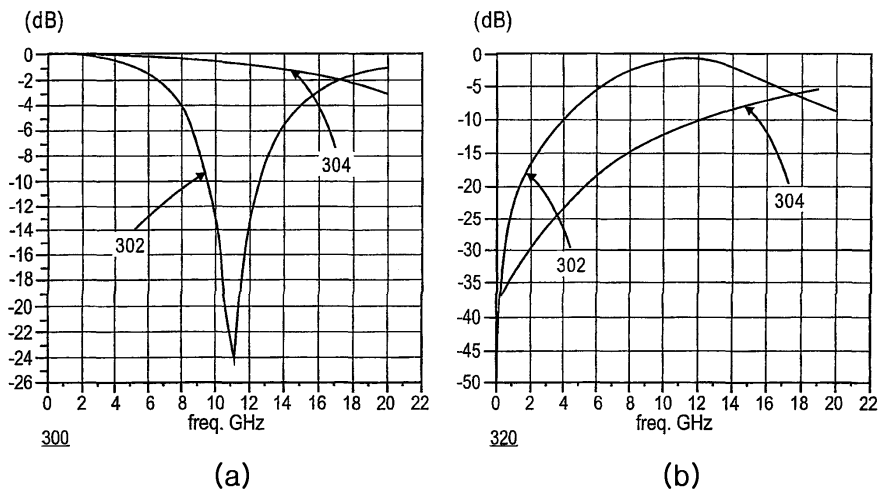
도면3



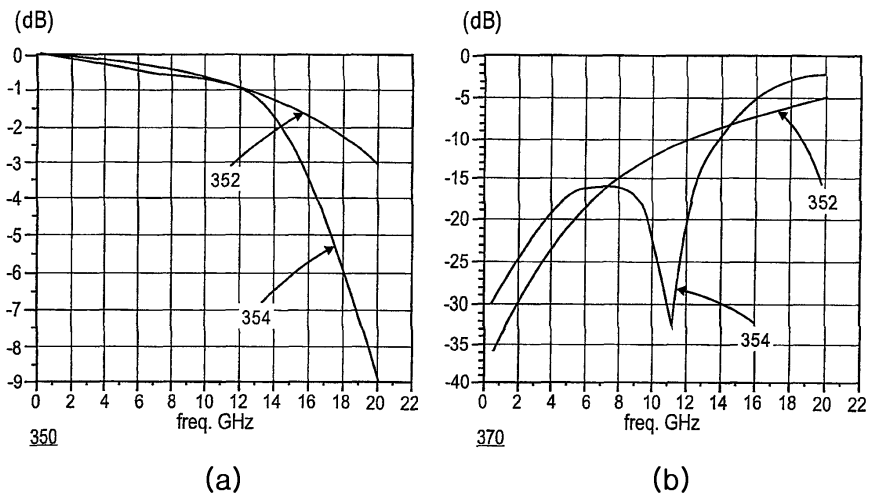
도면4



도면5

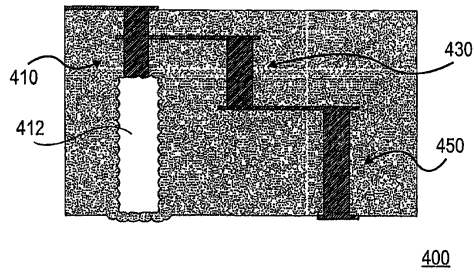


도면6

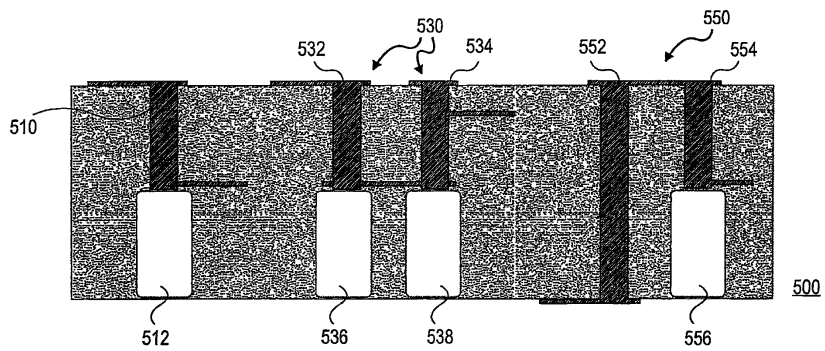


도면7

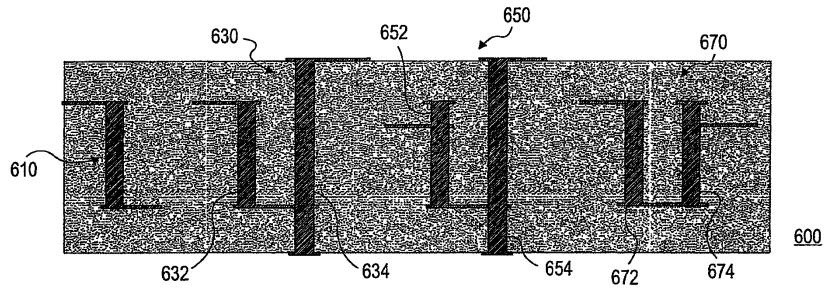
(종래기술)



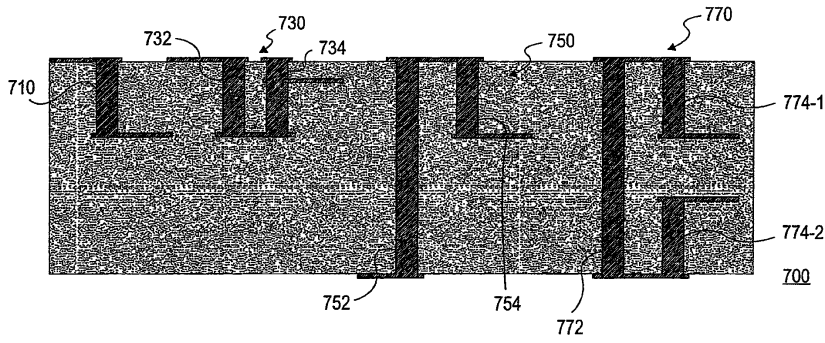
도면8



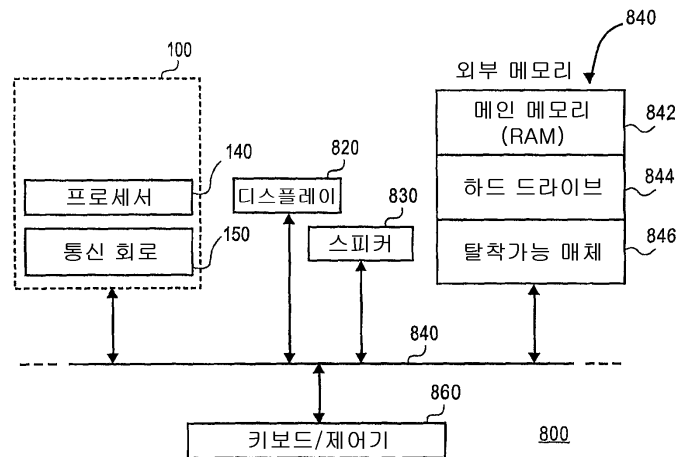
도면9



도면10



도면11



도면12

