

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2023年11月2日(02.11.2023)



(10) 国際公開番号

WO 2023/210329 A1

(51) 国際特許分類:

H01L 21/66 (2006.01) *H01L 21/822* (2006.01)
G01R 31/28 (2006.01) *H01L 23/522* (2006.01)
H01L 21/02 (2006.01) *H01L 27/04* (2006.01)
H01L 21/3205 (2006.01) *H04N 25/70* (2023.01)
H01L 21/768 (2006.01)

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(21) 国際出願番号: PCT/JP2023/014587

(22) 国際出願日: 2023年4月10日(10.04.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:

特願 2022-072195 2022年4月26日(26.04.2022) JP

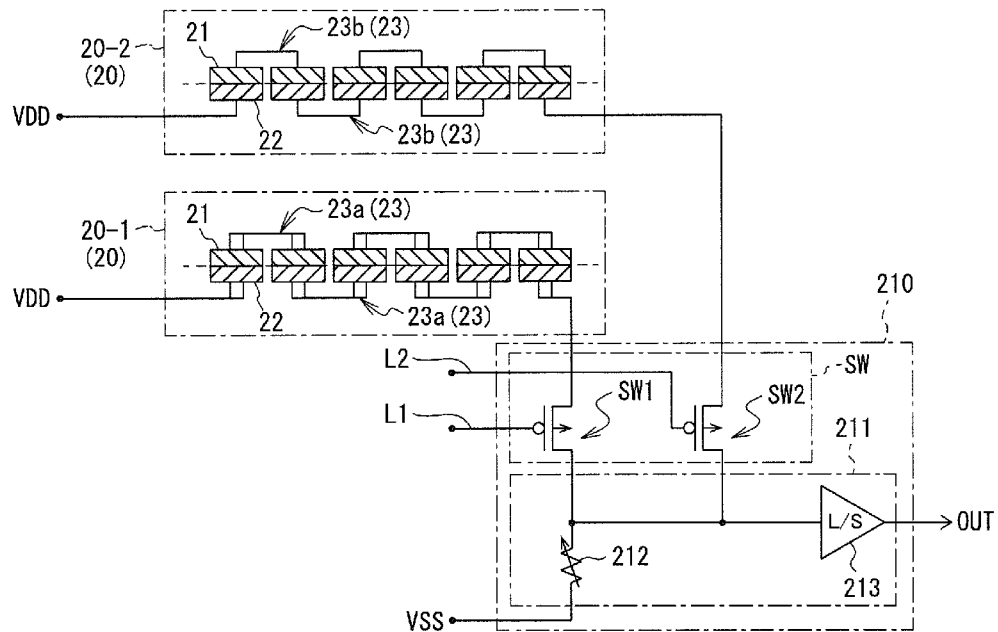
(72) 発明者: 竹内 啓太 (TAKEUCHI Keita); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 山本 悟司(YAMAMOTO Satoshi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 田中 秀 ▲ て つ ▼, 外 (TANAKA Hidetetsu et al.); 〒1056032 東京都港区虎ノ門四

(54) Title: SEMICONDUCTOR DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 半導体装置及び電子機器

【図6】



(57) Abstract: Provided is a semiconductor device capable of detecting failure of a bonding portion between semiconductor substrates. This semiconductor device comprises: first and second semiconductor substrates stacked and bonded together; a connection wire that has a plurality of pairs of connection pads connected to each other with an interface of the substrates therebetween, and that is routed from one of the first and second semiconductor substrates to the other alternately a plurality of times via the pairs of connection pads; and a detection circuit capable of detecting the presence



WO 2023/210329 A1

丁目3番1号 城山トラストタワー32階 弁理
士法人日栄国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

or absence of failure in the connection wire. The connection wire includes a wiring member connecting the connection pads that are adjacent to each other on each of the first and second semiconductor substrate sides. The wiring member includes a horizontal wiring part extending in the horizontal direction, and a vertical wiring part extending in a stacking direction and connecting the connection pads to the horizontal wiring part. The connection wire comprises a plurality of lines of connection wires, including a first connection wire and a second connection wire electrically separated from the first connection wire. The first connection wire includes M vertical wiring parts for each connection pad, and the second connection wire includes N vertical wiring parts for each connection pad, where $M > N$.

(57) 要約: 半導体基板同士の接合部分の故障を検出可能な半導体装置を提供する。半導体装置は、重ねて接合された第1及び第2半導体基板と、基板同士の接合面を挟んで互いに接続された接続パッドの対を複数対有し、接続パッドの対を介して第1及び第2半導体基板のうち的一方から他方へと交互に複数回引き回された接続線と、接続線の故障の有無を検出可能な検出回路とを備え、接続線は、第1及び第2半導体基板側のそれぞれにおいて隣接する接続パッド同士を接続する配線部材を有し、配線部材は、水平方向に延びた水平配線部分と積層方向に延び且つ接続パッドを水平配線部分に接続する垂直配線部分とを有し、接続線としては、第1接続線と第1接続線とは電氣的に分離された第2接続線とを含む複数系統の接続線を有し、第1接続線は接続パッド毎にM個の垂直配線部分を有し、第2接続線は接続パッド毎にN個の垂直配線部分を有し、且つ $M > N$ である。

明 細 書

発明の名称：半導体装置及び電子機器

技術分野

[0001] 本技術（本開示に係る技術）は、半導体装置及び電子機器に関し、特に、重ね合わせて接合された複数の半導体基板を含む半導体装置及び電子機器に関する。

背景技術

[0002] 半導体基板同士の接合部分の故障を検出する方法として、特許文献 1 及び特許文献 2 に記載の方法がある。特許文献 1 では、クラックテスト配線を TSV（Through-Silicon Via）近傍に配置し、その配線の断線の有無を検出することにより、TSV 近傍にクラックが生じているかどうかを検出するテストを行っていた。また、特許文献 2 では、TSV を大きい容量と捉えて、検査を行っていた。

先行技術文献

特許文献

[0003] 特許文献 1：特開 2013-131688 号公報

特許文献 2：特開 2012-235114 号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の特許文献 1 及び特許文献 2 に記載の方法は、いずれも、基板同士を接続する接続パッドの故障を検出可能ではなかった。

[0005] 本技術は、半導体基板同士の接合部分の故障を検出可能な構成を有する半導体装置及び電子機器を提供することを目的とする。

課題を解決するための手段

[0006] 本技術の一態様に係る半導体装置は、第 1 半導体基板と、第 1 半導体基板に重ね合わされて接合された第 2 半導体基板と、第 1 半導体基板と第 2 半導体基板との接合面を挟んで互いに接続された接続パッドの対を複数対有し、

接続パッドの対を介して第1半導体基板及び第2半導体基板のうちの一方から他方へと交互に複数回引き回された接続線と、接続線の故障の有無を検出可能な検出回路と、を備え、接続線は、第1半導体基板側及び第2半導体基板側のそれぞれにおいて、隣接する接続パッド同士を接続する配線部材を有し、配線部材は、水平方向に延びた水平配線部分と、積層方向に延び且つ接続パッドを水平配線部分に接続する垂直配線部分とを有し、接続線としては、第1接続線と、第1接続線とは電氣的に分離された第2接続線とを含む複数系統の接続線を有し、第1接続線は接続パッド毎にM（Mは1以上の整数）個の垂直配線部分を有し、第2接続線は接続パッド毎にN（Nは1以上の整数）個の垂直配線部分を有し、且つ $M > N$ である。

[0007] 本技術の一態様に係る電子機器は、上記半導体装置と、上記半導体装置に被写体からの像光を結像させる光学系と、を備える。

図面の簡単な説明

[0008] [図1]本技術の第1実施形態に係るテストシステムの一構成例を示すブロック図である。

[図2]本技術の第1実施形態に係る光検出装置の画素の等価回路図である。

[図3A]本技術の第1実施形態に係る光検出装置において、第1半導体基板に構成された第1回路及び第2半導体基板に構成された第2回路の一部の断面構成を示す縦断面図である。

[図3B]本技術の第1実施形態に係る光検出装置が有する接続線の構成の一部を示す縦断面図である。

[図3C]本技術の第1実施形態に係る光検出装置が有する接続線の構成の一部を示す縦断面図である。

[図4A]本技術の第1実施形態に係る光検出装置が有する接続線の構成の一部を示す縦断面図である。

[図4B]図4Aに示す接続線において、接続パッドと垂直配線部分との位置関係を示す平面図である。

[図5A]本技術の第1実施形態に係る光検出装置が有する接続線の構成の一部

を示す縦断面図である。

[図5B]図5Aに示す接続線において、接続パッドと垂直配線部分との位置関係を示す平面図である。

[図6]本技術の第1実施形態に係る光検出装置が有する検出回路と接続線との接続関係を示す説明図である。

[図7]本技術の第1実施形態に係る接続線の平面配置を模式的に示す平面図である。

[図8]本技術の第1実施形態の変形例1に係る光検出装置が有する検出回路と接続線との接続関係を示す説明図である。

[図9]本技術の第1実施形態の変形例2に係る光検出装置が有する検出回路と接続線との接続関係を示す説明図である。

[図10]本技術の第1実施形態の変形例2に係る3系統目の接続線において、接続パッドと垂直配線部分との位置関係を示す平面図である。

[図11A]3系統目の接続線の他の構成の一部を示す縦断面図である。

[図11B]図11Aに示す接続線において、接続パッドと垂直配線部分との位置関係を示す平面図である。

[図12]本技術の第1実施形態の変形例3に係る光検出装置が有する検出回路と接続線との接続関係を示す説明図である。

[図13]本技術の第2実施形態に係る光検出装置が有する検出回路と接続線との接続関係を示す説明図である。

[図14]図13に示すセレクトの具体的な構成を示す説明図である。

[図15]図14に示す検出回路の入出力に関する真理値表を示す図である。

[図16]本技術の第2実施形態の変形例1に係る光検出装置が有する検出回路と接続線との接続関係を示す説明図である。

[図17]図16に示すセレクトの具体的な構成を示す説明図である。

[図18]図17に示す検出回路の入出力に関する真理値表を示す図である。

[図19]電子機器の概略的な構成の一例を示すブロック図である。

[図20]車両制御システムの概略的な構成の一例を示すブロック図である。

[図21]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0009] 以下、本技術を実施するための好適な形態について図面を参照しながら説明する。なお、以下に説明する実施形態は、本技術の代表的な実施形態の一例を示したものであり、これにより本技術の範囲が狭く解釈されることはない。

[0010] 以下の図面の記載において、同一又は類似の部分には同一又は類似の符号を付している。ただし、図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は現実のものとは異なることに留意すべきである。したがって、具体的な厚みや寸法は以下の説明を参酌して判断すべきものである。又、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれていることはもちろんである。

[0011] また、以下に示す実施形態は、本技術の技術的思想を具体化するための装置や方法を例示するものであって、本技術の技術的思想は、構成部品の材質、形状、構造、配置等を下記のものに特定するものでない。本技術の技術的思想は、特許請求の範囲に記載された請求項が規定する技術的範囲内において、種々の変更を加えることができる。

[0012] 説明は以下の順序で行う。

1. 第1実施形態
2. 第2実施形態
3. 応用例

電子機器への応用例

移動体への応用例

[0013] [第1実施形態]

この実施形態では、裏面照射型のCMOS (Complementary Metal Oxide Semiconductor) イメージセンサである光検出装置に本技術を適用した一例について説明する。なお、光検出装置は、半導体装置の一例である。

[0014] 《テストシステムの構成例》

図1は、本技術の実施形態におけるテストシステムの一構成例を示すブロック図である。このテストシステムは、光検出装置などの半導体装置の故障の有無を検出するためのものであり、光検出装置100と、中央演算部または試験装置300とを備える。また、光検出装置100は、画素アレイ部110、走査制御部120、読出し制御部130、信号処理部140、出力部150および共通制御部180を備える。

[0015] ‹光検出装置の構成例›

光検出装置100は、半導体チップ2に搭載されている。半導体チップ2は、互いに重ね合わせて接合された第1半導体基板101と、第2半導体基板102とを有する。また、光検出装置100は、複数の検出回路210と、複数の検出回路210に電氣的に接続された検出回路制御部160とを備える。複数の検出回路210は、それぞれ平面視で光検出装置100の異なる位置に設けられている。また、複数の検出回路210のそれぞれに対して、後述の複数系統の接続線が設けられている。なお、検出回路210は、重ね合わせて接合された第1半導体基板101と、第2半導体基板102との一方の基板に設けられていればよく、両方の基板に設ける必要はない。本実施形態では、検出回路210は、第1半導体基板101と第2半導体基板102とのうちの第2半導体基板102に設けられているとして、説明する。

[0016] また、光検出装置100内の回路は、積層された第1半導体基板101と第2半導体基板102とに分散して配置される。例えば、画素アレイ部110が第1半導体基板101に配置され、残りの回路が第2半導体基板102に配置される。なお、第1半導体基板101および第2半導体基板102のそれぞれに配置される回路は、同図に例示した構成に限定されない。例えば、画素アレイ部110および読出し制御部130と、信号処理部140内のコンパレータとを第1半導体基板101に配置し、残りの回路を第2半導体基板102に配置することもできる。また、2つの半導体基板（101および102）を積層しているが、3つ以上の半導体基板を積層し、それらに光検出装置100内の回路を配置することもできる。

[0017] 画素アレイ部 110 には、少なくとも画素 3 のうち光電変換が行われる部分が二次元格子状に複数配列されている。画素アレイ部 110 は、例えば図 19 に示す光学系 402 により集光される光を受光する受光面である。走査制御部 120 は、共通制御部 180 の制御に従って、画素アレイ部 110 の行を順に駆動し、画素信号を出力させるものである。読出し制御部 130 は、画素アレイ部の列のそれぞれから画素信号を読み出して、信号処理部 140 に供給するものである。読出し制御部 130 は、読出し回路 15 を有する。

[0018] 図 2 は、画素 3 の一構成例を示す等価回路図である。画素 3 は、光電変換素子 PD と、この光電変換素子 PD で光電変換された信号電荷を蓄積（保持）する電荷蓄積領域（フローティングディフュージョン：Floating Diffusion）FD と、この光電変換素子 PD で光電変換された信号電荷を電荷蓄積領域 FD に転送する転送トランジスタ TR と、を備えている。また、画素 3 は、読出し制御部 130 が有する読出し回路 15 を含む。読出し回路 15 は、電荷蓄積領域 FD に電氣的に接続されている。

[0019] 光電変換素子 PD は、受光量に応じた信号電荷を生成する。光電変換素子 PD はまた、生成された信号電荷を一時的に蓄積（保持）する。光電変換素子 PD は、カソード側が転送トランジスタ TR のソース領域と電氣的に接続され、アノード側が基準電位線（例えばグラウンド）と電氣的に接続されている。光電変換素子 PD としては、例えばフォトダイオードが用いられている。

[0020] 転送トランジスタ TR のドレイン領域は、電荷蓄積領域 FD と電氣的に接続されている。転送トランジスタ TR のゲート電極は、画素駆動線のうちの転送トランジスタ駆動線と電氣的に接続されている。

[0021] 電荷蓄積領域 FD は、光電変換素子 PD から転送トランジスタ TR を介して転送された信号電荷を一時的に蓄積して保持する。

[0022] 読出し回路 15 は、電荷蓄積領域 FD に蓄積された信号電荷を読み出し、信号電荷に基づく画素信号を出力する。読出し回路 15 は、これに限定され

ないが、画素トランジスタとして、例えば、増幅トランジスタAMPと、選択トランジスタSELと、リセットトランジスタRSTと、を備えている。これらのトランジスタ（AMP，SEL，RST）は、例えば、酸化シリコン膜（SiO₂膜）からなるゲート絶縁膜と、ゲート電極と、ソース領域及びドレイン領域として機能する一対の主電極領域と、を有するMOSFETで構成されている。また、これらのトランジスタとしては、ゲート絶縁膜が窒化シリコン膜（Si₃N₄膜）、或いは窒化シリコン膜及び酸化シリコン膜などの積層膜からなるMISFET（Metal Insulator Semiconductor FET）でも構わない。

[0023] 増幅トランジスタAMPは、ソース領域が選択トランジスタSELのドレイン領域と電氣的に接続され、ドレイン領域が電源線V_{dd}及びリセットトランジスタのドレイン領域と電氣的に接続されている。そして、増幅トランジスタAMPのゲート電極は、電荷蓄積領域FD及びリセットトランジスタRSTのソース領域と電氣的に接続されている。

[0024] 選択トランジスタSELは、ソース領域が垂直信号線11（VSL）と電氣的に接続され、ドレインが増幅トランジスタAMPのソース領域と電氣的に接続されている。そして、選択トランジスタSELのゲート電極は、画素駆動線のうちの選択トランジスタ駆動線と電氣的に接続されている。

[0025] リセットトランジスタRSTは、ソース領域が電荷蓄積領域FD及び増幅トランジスタAMPのゲート電極と電氣的に接続され、ドレイン領域が電源線V_{dd}及び増幅トランジスタAMPのドレイン領域と電氣的に接続されている。リセットトランジスタRSTのゲート電極は、画素駆動線のうちのリセットトランジスタ駆動線と電氣的に接続されている。

[0026] 図1に示す信号処理部140は、画素信号に対して、AD（Analog to Digital）変換処理やCDS（Correlated Double Sampling）処理などの信号処理を行うものである。この信号処理部140は、処理後の画素信号を出力部150へ供給する。

[0027] 出力部150は、画素信号を配列した画像データを中央演算部または試験

装置 300 に出力するものである。

[0028] 検出回路 210、検出回路制御部 160、共通制御部 180 について説明する前に、図 3A から図 3C までを参照し、第 1 半導体基板 101 と第 2 半導体基板 102 との貼り合わせの構成について、説明する。

[0029] 図 3A は、第 1 半導体基板 101 に構成された第 1 回路 C1 及び第 2 半導体基板 102 に構成された第 2 回路 C2 の一部の断面構成を示す縦断面図である。ここでは、接合面 199 において、第 1 半導体基板 101 と第 2 半導体基板 102 とを貼り合わせた例を示している。第 1 半導体基板 101 および第 2 半導体基板 102 のそれぞれにおいて、一例として 6 層のメタル配線層を想定し、シリコン (Si) 層から順に、M1 乃至 M6 として表記している。

[0030] 第 1 半導体基板 101 は、半導体層 101a と、半導体層 101a に積層された配線層 101b とを有する。半導体層 101a には、画素アレイ部 110 及び光電変換素子 PD 等が構成されている。配線層 101b は、絶縁膜と、メタル配線層と、接合面 199 に臨む接続パッド 21 と、積層方向に延び且つ接続パッド 21 を第 1 回路 C1 のメタル配線層 M6 に電氣的に接続するビアである垂直配線部分 25 と、を有する多層配線層である。第 2 半導体基板 102 は、半導体層 102a と、半導体層 102a に積層された配線層 102b とを有する。半導体層 102a には、トランジスタ等の素子が構成されている。配線層 102b は、絶縁膜と、メタル配線層と、接合面 199 に臨む接続パッド 22 と、積層方向に延び且つ接続パッド 22 を第 2 回路 C2 のメタル配線層 M6 に電氣的に接続するビアである垂直配線部分 25 と、を有する多層配線層である。

[0031] 接続パッド 21 と接続パッド 22 とは、ハイブリッド接合されている。すなわち、接続パッド 21 の接合面 199 に臨む面と接続パッド 22 の接合面 199 に臨む面とが重ね合わされて接合されている。そして、接続パッド 21 と接続パッド 22 を接合することにより、第 1 半導体基板 101 に搭載された第 1 回路 C1 と、第 2 半導体基板 102 に搭載された第 2 回路 C2 と、

を電氣的に接続している。なお、図 3 A に示す接続パッド 2 1、2 2 と、後述の図 3 B 及び図 3 C に示す接続パッド 2 1、2 2 と、を区別するために、図 3 A に示す接続パッド 2 1、2 2 を回路接続パッド 2 1、2 2 と呼び、図 3 B 及び図 3 C に示す接続パッド 2 1、2 2 をテスト接続パッド 2 1、2 2 とぶ場合がある。なお、両者を区別しない場合には、単に接続パッド 2 1、2 2 と呼ぶ。また、図 3 A に示す垂直配線部分 2 5 と、後述の図 3 B 及び図 3 C に示す垂直配線部分 2 5 と、を区別するために、図 3 A に示す垂直配線部分 2 5 を回路垂直配線部分 2 5 と呼び、図 3 B 及び図 3 C に示す垂直配線部分 2 5 をテスト垂直配線部分 2 5 と呼ぶ場合がある。なお、両者を区別しない場合には、単に垂直配線部分 2 5 と呼ぶ。そして、回路垂直配線部分 2 5 は、回路接続パッド毎に設けられている。

[0032] 図 3 B 及び図 3 C は、接続線 2 0 の構成の一部を示している。接続線 2 0 は、第 1 半導体基板 1 0 1 と第 2 半導体基板 1 0 2 との接合の故障を検知するために設けられたテストパターンであり、検出回路 2 1 0 毎に設けられている。接続線 2 0 は、第 1 半導体基板 1 0 1 と第 2 半導体基板 1 0 2 との接合面 1 9 9 を挟んで互いに接続された接続パッド 2 1、2 2 の対を複数対有し、接続パッド 2 1、2 2 の対を介して第 1 半導体基板 1 0 1 及び第 2 半導体基板 1 0 2 のうちの一方から他方へと交互に複数回引き回されている。なお、接続線 2 0 が有する接続パッド 2 1、2 2 の対は、図 3 A に示す、第 1 回路 C 1 と第 2 回路 C 2 とを電氣的に接続する接続パッド（回路接続パッド）2 1、2 2 以外に別途設けられた接続パッドの対であり、第 1 回路 C 1 と第 2 回路 C 2 とを接続するのには用いられていない。接続パッド 2 1、2 2 は、金属製である。接続パッド 2 1、2 2 は、これには限定されないが、例えば、銅（Cu）で構成されている。なお、接続線が有する接続パッド 2 1、2 2 の対の数は、図 3 B、図 3 C 及びそれ以降の図に示す数には限定されない。

[0033] 接続線 2 0 は、第 1 半導体基板 1 0 1 側及び第 2 半導体基板 1 0 2 側のそれぞれにおいて、隣接する接続パッド同士を接続する配線部材 2 3 を有して

いる。配線部材 23 は、水平方向に延びた水平配線部分 24 と、積層方向に延び且つ接続パッド 21 又は接続パッド 22 を前記水平配線部分 24 に接続する垂直配線部分 25 とを有している。なお、水平配線部分 24 は、これには限定されないが、例えば、メタル配線層 M6 に属する配線である。また、垂直配線部分 25 は、これには限定されないが、例えば、ビアである。水平配線部分 24 及び垂直配線部分 25 は、公知の金属を用いて構成されていれば良い。

[0034] このような構成により、接続線 20 は、第 1 半導体基板 101 から第 2 半導体基板 102 へ、配線部材 23、接続パッド 21、接続パッド 22、の順で引き回され、その後、配線部材 23、接続パッド 22、接続パッド 21 の順で第 2 半導体基板 102 から第 1 半導体基板 101 へ引き回される。そして、接続線 20 は、このように、第 1 半導体基板 101 及び第 2 半導体基板 102 のうちの一方から他方へと交互に複数回引き回されている。このように、複数の接続パッド 21、22 の対を数珠つなぎ即ちひとつなぎにする接続線 20 は、デージーチェーン (daisy chain) と呼ばれている。

[0035] ここで、図 3A に示す第 1 半導体基板 101 と第 2 半導体基板 102 との接合に生じ得る故障について、説明する。第 1 半導体基板 101 と第 2 半導体基板 102 との接合に生じ得る故障としては、これには限定されないが、例えば、対をなす接続パッド 21 と接続パッド 22 に関連した故障を挙げることができる。対をなす接続パッド 21 と接続パッド 22 に関連した故障としては、例えば、接続パッド同士の接合不良、接合後に生じた剥がれ、及び、基板貼り合わせ時の位置ずれによる接合不良等を挙げることができる。また、対をなす接続パッド 21 と接続パッド 22 に関連した故障として、接続パッド 21、22 とビアである垂直配線部分 25 との接合不良及び剥がれ、垂直配線部分 25 とメタル配線層 M6 に属する配線との接合不良及び剥がれ等が挙げられる。本実施形態では、上述のような故障の検査を、テストパターンである接続線 20 を用いて行っている。接続線 20 に上述の故障と同様な故障が発生すると、接続線 20 の抵抗値が大きくなる。また、接続線 20

内に断線が生じると、接続線 20 の電氣的導通が遮断される。そして、検出回路 210 を用いて、接続線 20 の故障の有無を検査している。

[0036] 光検出装置 100 は、互いに電氣的に分離された複数系統の接続線 20 を有している。本実施形態では、光検出装置 100 は、図 3 B に示す接続線 20 と、図 3 C に示す接続線 20 との 2 系統の接続線 20 を有している。そして、接続線 20-2 は、接続線 20-1 とは電氣的に分離されている。なお、図 3 B に示す接続線 20 と、図 3 C に示す接続線 20 とを区別するために、図 3 B に示す接続線 20 を接続線 20-1 と呼び、図 3 C に示す接続線 20 を接続線 20-2 と呼ぶ。接続線 20-1 と接続線 20-2 とを区別しない場合には、両者を区別せず、単に接続線 20 と呼ぶ。

[0037] 複数系統の接続線 20 のそれぞれは、検出回路 210 によりその故障の有無が検査される。より具体的には、複数系統の接続線 20 のうちの一の接続線 20 を選択し、選択した接続線 20 に対する故障の検査を行っている。本実施形態では、接続線 20-1 及び接続線 20-2 のそれぞれが、検出回路 210 によりその故障の有無が検査される。

[0038] また、複数系統の接続線 20 のそれぞれは、接続パッド毎に設けられた垂直配線部分 25 の個数が異なる。換言すると、一の接続線 20 は、設けられた垂直配線部分 25 が同数の接続パッドの組同士を、デージーチェーン接続して得られた接続線であると言える。光検出装置 100 は、接続線 20 として、第 1 接続線と、第 1 接続線とは電氣的に分離された第 2 接続線とを含む複数系統の接続線を有し、第 1 接続線は接続パッド毎に M (M は 1 以上の整数) 個の垂直配線部分 25 を有し、第 2 接続線は接続パッド毎に N (N は 1 以上の整数) 個の垂直配線部分 25 を有し、且つ $M > N$ である。本実施形態では、図 3 B、図 4 A、図 4 B に示すように、接続線 20-1 は、接続パッド毎に 2 個 ($M = 2$ の第 1 接続線に相当) の垂直配線部分 25 を有している。より具体的には、接続線 20-1 は、接続パッド毎に 2 個の垂直配線部分 25 が設けられた接続パッドの組を、複数組デージーチェーン接続して得られた接続線である。そして、接続線 20-1 が有する配線部材である配線部

材 2 3 a は、1 つの水平配線部分 2 4 と、接続パッド毎に 2 個ずつ設けられた垂直配線部分 2 5 とを有している。また、図 3 C、図 5 A、図 5 B に示すように、接続線 2 0 - 2 は、接続パッド毎に 1 個（ $N = 1$ の第 2 接続線に相当）の垂直配線部分 2 5 を有している。より具体的には、接続線 2 0 - 2 は、接続パッド毎に 1 個の垂直配線部分 2 5 が設けられた接続パッドの組を、複数組デジチェーン接続して得られた接続線である。そして、接続線 2 0 - 2 が有する配線部材である配線部材 2 3 b は、1 つの水平配線部分 2 4 と、接続パッド毎に 1 個ずつ設けられた垂直配線部分 2 5 とを有している。なお、配線部材 2 3 a と配線部材 2 3 b とを区別しない場合には、単に配線部材 2 3 と呼ぶ。

[0039] また、接続線 2 0 - 1 が接続パッド毎に有する垂直配線部分 2 5 の個数を、図 3 A に示す回路接続パッド 2 1、2 2 毎に設けられた回路垂直配線部分 2 5 の個数と同じ個数（本実施形態では 2 個）にしている。接続線 2 0 - 1 の垂直配線部分 2 5 の個数をこのような構成にすることにより、第 1 回路 C 1 と第 2 回路 C 2 とを電氣的に接続する構成と同じ構成について、故障の有無をテストすることができる。

[0040] また、接続線 2 0 - 2 が接続パッド毎に有する垂直配線部分 2 5 の個数は、接続線 2 0 - 1 が接続パッド毎に有する垂直配線部分 2 5 の個数より少なく設けてある。本実施形態では、接続線 2 0 - 2 が接続パッド毎に有する垂直配線部分 2 5 の個数は、1 個である。

[0041] 接続線 2 0 - 1 では、接続パッド毎に垂直配線部分 2 5 を 2 個有しているので、例えば、接続パッド 2 1 と 1 個の垂直配線部分 2 5 との間に剥がれが生じた場合であっても、接続線 2 0 - 1 が断線する可能性が低い。すなわち、接続線 2 0 - 1 は、ロバスト性が高い。これに対して、接続線 2 0 - 2 では、接続パッド毎に有する垂直配線部分 2 5 の個数がたった 1 個であるため、接続パッド 2 1 と 1 個の垂直配線部分 2 5 との間に剥がれが生じた場合には、接続線 2 0 - 2 が高抵抗になる可能性及び断線する可能性は、接続線 2 0 - 1 が高抵抗になる可能性及び断線する可能性より高い。つまり、接続線

20-2のロバスト性は接続線20-1より低く、接続線20-1より故障し易い。接続線20-2は、接続線20-2より故障し易いため、故障検出用のテストパターンとしては、接続線20-1より故障検出感度が高いパターンであるとも言える。

[0042] 図6に示すように、検出回路210毎に、複数系統の接続線20が設けられている。検出回路210は、検出回路制御部160の制御に従って、接続線20の故障の有無を検出する。そして、検出回路210は、検出結果を示す出力信号OUTを検出回路制御部160に供給する。なお、接続線20は、模式的に描いていて、以降、同様の図面においても模式的に描いている。

[0043] 検出回路210は、故障検出回路211と、複数系統の接続線20のうちの一の接続線20を故障検出回路211に選択的に接続する選択回路SWとを有し、故障検出回路211に接続された接続線20について、故障の有無を検出する構成である。本実施形態では、接続線20-1と接続線20-2との2系統の接続線20が、選択回路SWにより選択的に故障検出回路211に接続される構成である。そのため、検出回路210は、故障検出回路211に接続された接続線20について、故障の有無を直接検出可能である。

[0044] 故障検出回路211は、抵抗素子212と、判定回路213とを有している。抵抗素子212の一端の電位である第1電位は基準電位VSS（例えば、グラウンド）である。そして、接続線20の一端の電位である第2電位は電源電位VDDであり、第1電位とは異なる電位である。本実施形態では、第2電位は第1電位より高い。接続線20の他端は、選択回路SWを介して抵抗素子212の他端に電氣的に接続可能である。選択回路SWは、接続線20毎に設けられたスイッチを有している。より具体的には、選択回路SWは、接続線20-1と故障検出回路211の抵抗素子212との間に設けられたスイッチSW1と、接続線20-2と故障検出回路211の抵抗素子212との間に設けられたスイッチSW2と、を有している。スイッチSW1、SW2は、これには限定されないが、例えば、pMOSトランジスタにより構成されている。pMOSトランジスタは、そのゲート電極に、ゲート制

御信号SEL SWとして“0”が入力された場合にオンして、接続線20を故障検出回路211の抵抗素子212に電氣的に接続し、ゲート制御信号SEL SWとして“1”が入力された場合にオフして、接続線20と故障検出回路211の抵抗素子212との間を電氣的に遮断する。選択回路SWが所有する複数のスイッチのそれぞれは、検出回路制御部160の制御により、オン、オフされる。より具体的には、検出回路制御部160の制御により複数のスイッチのうちの一のスイッチのみがオンされることにより、選択回路SWは、複数系統の接続線20のうちの一の接続線20を故障検出回路211に選択的に接続している。スイッチSW1のゲート電極には駆動線L1が電氣的に接続されていて、スイッチSW2のゲート電極には駆動線L2が電氣的に接続されている。ゲート制御信号SEL SWは、検出回路制御部160の制御により、駆動線L1、L2を介して、スイッチのゲート電極に入力される。また、検査を行っていない時には、選択回路SWが有する全てのスイッチをオフとすることにより接続線20に電氣が流れることを抑制できるので、消費電力を節約できる。

- [0045] 判定回路213は、故障検出回路211に接続された接続線20と抵抗素子212との間に接続されたバッファである。判定回路213は、故障検出回路211に接続された接続線20と抵抗素子212との間の位置の電位である第3電位を検出し、第3電位に基づいて、故障検出回路211に接続された接続線20について故障の有無を検出し、その結果を出力信号OUTとして出力する。より具体的には、判定回路213は、例えばレベルシフタ回路であり、第3電位と故障閾値とを比較し、第3電位が故障閾値より高い場合に、故障検出回路211に接続された接続線20に故障が無いことを示す“H”を出力信号OUTとして出力し、第3電位が故障閾値以下である場合に、故障検出回路211に接続された接続線20に故障があることを示す“L”を出力信号OUTとして出力する。故障検出回路211に接続された接続線20に剥がれ等の故障があると、接続線20に電氣が流れ難くなり、接続線20の抵抗値が上がる。そして、第3電位は故障がない場合より低くな

る。故障検出回路 211 に接続された接続線 20 に断線がある場合においても、第 3 電位は故障がない場合より低くなる。そのため、第 3 電位と故障閾値とを比較することにより、故障検出回路 211 に接続された接続線 20 の故障の有無を検出できる。なお、故障閾値の値は、抵抗素子 212 の抵抗値を変えることにより、変えることができる。抵抗素子 212 は、これには限定されないが、例えば、図示するように可変抵抗である。

[0046] 図 7 は、接続線 20-1、20-2 の平面配置を模式的に示す平面図である。接続線 20-1、20-2 は、例えば、図 7 に示すように、複数回方向を変えながら引き回されている。また、電源電圧 VDD を供給する端子には、第 1 回路 C1 及び第 2 回路 C2 に電圧を供給している端子と、接続線 20 に電圧を供給している端子とがある。このように引き回された接続線 20-1、20-2 は、図 1 に複数示す検出回路 210 毎に設けられ且つ検出回路 210 の近傍に配置されている。

[0047] 図 1 に示す共通制御部 180 は、光検出装置 100 内の回路のそれぞれを制御するものである。また、共通制御部 180 は、中央演算部または試験装置 300 からの各種指示信号を受け取り、受け取った各種指示信号に基づいて光検出装置 100 内の回路のそれぞれを制御する。例えば、共通制御部 180 は、中央演算部または試験装置 300 からの垂直同期信号に同期して、走査制御部 120 や信号処理部 140 の動作タイミングを制御する。また、例えば、共通制御部 180 は、中央演算部または試験装置 300 から受け取った接続線選択信号を、検出回路制御部 160 に供給する。接続線選択信号とは、複数系統の接続線 20 のうちのどの接続線に対して検査を行うかを示す信号である。

[0048] 検出回路制御部 160 は、共通制御部 180 から受け取った各種指示信号に基づいて、検出回路 210 の動作を制御する回路である。例えば、検出回路制御部 160 は、共通制御部 180 から受け取った接続線選択信号に基づき、選択回路 SW を制御する。また、検出回路制御部 160 は、検出回路 210 から出力信号 OUT を受け取り、受け取った出力信号 OUT、又は出力

信号OUTを示す信号を中央演算部または試験装置300に供給する。

[0049] 《中央演算部または試験装置の構成例》

図1に示すように、中央演算部または試験装置300は、例えば、光検出装置100の各種故障の検査を行う外部装置である。中央演算部または試験装置300は、例えば、光検出装置100から受け取った画像データを用いて、画素アレイ部110内の画素など、検出回路210以外の回路の故障の有無を検出する。また、中央演算部または試験装置300は、例えば、接続線20の検査を行う。その場合、中央演算部または試験装置300は、接続線選択信号を共通制御部180に供給し、検出回路制御部160から、出力信号OUT、又は出力信号OUTを示す信号を受け取る。

[0050] また、検出回路210等の検出回路と検出回路制御部160とを光検出装置100に設けているが、これらの回路を光検出装置100以外の半導体装置に配置することもできる。

[0051] 《第1実施形態の主な効果》

以下、第1実施形態の主な効果を説明するが、その前に、従来の技術について、説明する。上述の特許文献1及び特許文献2に記載の技術は、半導体基板同士を貼り合わせるにより互いに接合される接続パッドの対に関する故障を、直接検出していなかった。特許文献1では、クラックテスト配線をTSV近傍に配置し、その配線の断線の有無を検出することにより、TSV近傍にクラックが生じているかどうかを検出するテストを行っていた。また、特許文献2では、TSVを大きい容量と捉えて、検査を行っていた。そのため、特許文献2の技術を、接続パッドに適用することができなかった。

[0052] これに対して、本技術の第1実施形態に係る光検出装置100では、接続パッド21、22の対を含む接続線20と、接続線20に直接接続され、接続線20の故障の有無を直接検出可能な検出回路210と、を有している。そのため、接合面199を介して互いに貼り合わされた接続パッド21、22の対を含む接続線20の故障を、直接検出することができる。これにより、第1半導体基板101と第2半導体基板102との接合部分の故障検出の

精度を改善できる。

[0053] また、上述の特許文献2に記載の技術は、充放電させたときの応答で故障の有無を判定する技術であり、故障検出回路の最適化が難しく、また、時定数をもとにテストを行うので、テストに時間がかかっていた。これに対して、本技術の第1実施形態に係る光検出装置100では、第3電位と故障閾値とを比較するという簡便な構成を有し、第3電位と故障閾値とを比較した結果を“H”、“L”の2値でデジタル的に出力する。そのため、故障のテストが容易であり、また、時定数を用いる必要が無いため、テストに要する時間が長くなることを抑制できる。

[0054] また、上述の特許文献1に記載の技術は、接合された複数のチップの各チップに対して故障検出回路を設けていた。これに対して、本技術の第1実施形態に係る光検出装置100では、重ね合わせて接合された第1半導体基板101と、第2半導体基板102との一方の基板に設けられていればよい。これにより、チップサイズが大きくなることを抑制できる。

[0055] また、本技術の第1実施形態に係る光検出装置100では、接続線20-1と、接続線20-1とは電氣的に分離された接続線20-2とを含む複数系統の接続線20と、接続線20の故障の有無を検出可能な検出回路と、を有し、接続線20-1は接続パッド毎にM（Mは1以上の整数）個の垂直配線部分25を有し、接続線20-2は接続パッド毎にN（Nは1以上の整数）個の垂直配線部分25を有し、且つ $M > N$ である。このように、接続線20-2と比べて、ロバスト性が高いがテストパターンとしての故障検出感度が低い接続線20-1と、接続線20-1と比べて、ロバスト性が低いがテストパターンとしての故障検出感度が高い接続線20-1との両方の接続線を有している。そのため、接続線20の故障の状態を多角的に評価することができる。例えば、接続線20-1と接続線20-2との両方の試験を行った結果として、両方において故障が検出されなかった場合には、接続線20-1が部分的な剥がれ等の検出し難い故障を有している可能性が低いことが分かる。このように、接続線20の抵抗値が高いか低いかのみだけではなく

、接続線 20 における部材同士の接合状況など、その状態をより深く知ることができる。このように、複数系統の接続線 20 を備えることにより、例えば、接続線 20 にどのような故障が生じるのか、接続線 20 のどの部分から故障が生じるのか、故障の経時的な進行具合がどのようなになっているのか等、様々な知見を得ることができる。また、接続線 20-2 は、接続パッド毎に 1 個（N = 1 の第 2 接続線に相当）の垂直配線部分 25 を有している。N = 1 の場合に、接続パッド毎に設けられる垂直配線部分 25 の数が最も少なくなる。そのため、複数系統の接続線 20 のうち、N = 1 の接続線 20 が、最も故障検出感度が高い接続線になる。そして、N = 1 の接続線 20 に故障が生じていない場合、それよりロバスト性が高い接続線に部分的な剥がれ等の検出し難い故障を有している可能性が低いことが分かる。

[0056] また、本技術の第 1 実施形態に係る光検出装置 100 では、検出回路 210 は、故障検出回路 211 と、複数系統の接続線 20 のうちの一の接続線 20 を故障検出回路 211 に選択的に接続する選択回路 SW とを有し、故障検出回路 211 に接続された接続線 20 について、故障の有無を検出する構成である。このように、選択回路 SW を用いることにより、複数系統の接続線 20 で一の検出回路 210 を共有できるので、チップサイズが大きくなることを抑制できる。

[0057] また、本技術の第 1 実施形態に係る光検出装置 100 では、接続線 20-1 が接続パッド毎に有する垂直配線部分 25 の個数を、回路接続パッド毎に設けられた回路垂直配線部分 25 の個数と同じにしている。接続線 20-1 の垂直配線部分 25 の個数をこのような構成にすることにより、第 1 回路 C1 と第 2 回路 C2 とを電氣的に接続する構成と同じ構成について、故障の有無をテストすることができる。これにより、第 1 回路 C1 と第 2 回路 C2 との電氣的接続について、知見を得ることができる。

[0058] また、本技術の第 1 実施形態に係る光検出装置 100 では、検査を行っていない時には、選択回路 SW が有する全てのスイッチをオフとすることにより接続線 20 に電気が流れることを抑制できるので、消費電力を節約できる

。

[0059] なお、本実施形態では、中央演算部または試験装置 300 からの接続線選択信号に基づき、選択回路 SW が制御されていたが、本技術は、これには限定されない。検出回路制御部 160 は、例えば中央演算部または試験装置 300 からの検査の実行指示を受け取った場合に、選択回路 SW を制御して、複数系統の接続線 20 を 1 つずつ順番に検査しても良い。

[0060] なお、本実施形態では、第 1 回路 C1 と第 2 回路 C2 とを接続する構成において、回路接続パッド毎に設けられた回路垂直配線部分 25 の数は 2 個であったが、これには限定されない。例えば、回路接続パッド毎に設けられた回路垂直配線部分 25 の数は 1 個でも良いし、3 個以上であっても良い。3 個以上の場合、接続線 20-1 においても、回路垂直配線部分 25 の数に応じて、接続パッド毎に設けられた垂直配線部分 25 の数を増やせばよい。

[0061] また、本実施形態では、複数系統の接続線 20 で一の検出回路 210 を共有していたが、接続線毎に検出回路 210 が設けられていても良い。

[0062] ≪第 1 実施形態の変形例≫

以下、第 1 実施形態の変形例について、説明する。

[0063] <変形例 1>

第 1 実施形態の変形例 1 に係る光検出装置 100 では、図 8 に示すように、検出回路 210 に代えて検出回路 210A を有している。検出回路 210A が有する抵抗素子 212 の一端の電位である第 1 電位は、電源電位 VDD である。そして、接続線 20 の一端の電位である第 2 電位が基準電位 VSS（例えば、グラウンド）である。すなわち、本変形例では、第 1 電位は第 2 電位より高い構成である。また、本変形例では、スイッチ SW1、SW2 が、nMOS トランジスタにより構成されている。nMOS トランジスタは、そのゲート電極に、ゲート制御信号 SEL SW として “1” が入力された場合にオンして、接続線 20 を故障検出回路 211 の抵抗素子 212 に電氣的に接続し、ゲート制御信号 SEL SW として “0” が入力された場合にオフして、接続線 20 と故障検出回路 211 の抵抗素子 212 との間を電氣的に

遮断する。

[0064] この第1実施形態の変形例1に係る光検出装置100であっても、上述の第1実施形態に係る光検出装置100と同様の効果が得られる。

[0065] <変形例2>

第1実施形態の変形例2に係る光検出装置100は、図9に示すように、検出回路210に代えて検出回路210Bを有している。また、接続線20は、接続線20-1と、接続線20-2と、接続線20-3との3系統の接続線を有する構成である。すなわち、接続線20-3が3系統目の接続線である。そして、検出回路210Bは、上述の3系統の接続線20を用いて、故障の検査を行っている。

[0066] 検出回路210Bの選択回路SWは、スイッチSW1、SW2に加えて、接続線20-3と故障検出回路211の抵抗素子212との間に設けられたスイッチSW3を有している。このように、選択回路SWは、接続線20の数に応じた数のスイッチを有する構成である。

[0067] 接続線20-3が接続パッド毎に有する垂直配線部分25の個数は、接続線20-1及び20-2と異なる構成である。本変形例では、接続線20-3は、接続パッド毎に4個の垂直配線部分25を有している。そして、接続線20-3が有する配線部材である配線部材23cは、1つの水平配線部分24と、接続パッド毎に4個ずつ設けられた垂直配線部分25とを有している。接続線20-3の接続パッド21、22と垂直配線部分25との位置関係は、これには限定されないが、例えば、図10に示すようになっている。接続線20-3を縦断面視した場合の断面構造は、図4Aと同様である。

[0068] 接続線20-3が接続パッド毎に有する垂直配線部分25の個数は、図3Aに示す回路接続パッド21、22毎に設けられた回路垂直配線部分25の個数より多い。このような構成により、第1回路C1と第2回路C2とを電氣的に接続する部分の構成より、ロバスト性が高い接続線20-3について、故障の有無を検査することができる。

[0069] この第1実施形態の変形例2に係る光検出装置100であっても、上述の

第1実施形態に係る光検出装置100と同様の効果が得られる。

[0070] また、第1実施形態の変形例2に係る光検出装置100は、ロバスト性及び故障検出感度が異なる3系統の接続線20を有している。そのため、接続線20の故障の状態をより多角的に評価することができる。

[0071] 例えば、第1回路C1と第2回路C2とを電氣的に接続する部分の構成より、ロバスト性が高い接続線20-3について、故障の有無を検査することができる。これにより、より多様な接続線20について故障の有無を検査することができ、将来第1回路C1と第2回路C2とを電氣的に接続する部分に採用され得る構成として、知見を得ることができる。

[0072] なお、本変形例において、3系統の接続線20を有していたが、4系統以上の接続線20を有していても良い。

[0073] また、本変形例において、接続線20-3が接続パッド毎に有する垂直配線部分25の個数は4個であったが、図11A及び図11Bに示すように、3個であっても良い。さらには、5個以上であっても良い。

[0074] また、本変形例において、第1回路C1と第2回路C2とを電氣的に接続する構成において、回路接続パッド毎に設けられた回路垂直配線部分25の個数は2個であったが、3個以上であっても良い。例えば、回路接続パッド毎に設けられた回路垂直配線部分25の個数が、接続線20-3の場合と同じ4個であるとする。すなわち、第1回路C1と第2回路C2とを電氣的に接続する構成と同じ構成を有する接続線20は、接続線20-3である。そして、接続線20-3よりロバスト性が低く且つ故障検出感度が高い接続線として、複数の接続線、より具体的には接続線20-1、20-2を設けた構成である。このように、接続線20-3よりロバスト性が低く且つ故障検出感度が高い接続線として複数系統の接続線20を備えることにより、例えば、接続線20にどのような故障が生じるのか、接続線20のどの部分から故障が生じるのか、故障の経時的な進行具合がどのようなになっているのか等、より多くの知見を得ることができる。

[0075] <変形例3>

第1実施形態の変形例3に係る光検出装置100は、図12に示すように、検出回路210に代えて検出回路210Cを有している。また、接続線20は、その一端の電位である第2電位が、複数系統の接続線20の各接続線において異なる構成である。

[0076] 接続線20-1は第2電位が電源電位VDD1であり、接続線20-2は第2電位が電源電位VDD2であり、接続線20-3は第2電位が電源電位VDD3である。そして、電源電位VDD1、VDD2、VDD3は、互いに異なる電位である。また、検出回路210Cでは、スイッチSW1、SW2、SW3を構成するトランジスタとして、電源電位VDD1、VDD2、VDD3に対応した耐圧のトランジスタを設けている。

[0077] この第1実施形態の変形例3に係る光検出装置100であっても、上述の第1実施形態に係る光検出装置100と同様の効果が得られる。

[0078] [第2実施形態]

図13から図15までに示す本技術の第2実施形態について、以下に説明する。本第2実施形態に係る光検出装置100が上述の第1実施形態に係る光検出装置100と相違するのは、検出回路210に代えて検出回路210Dを有する点であり、それ以外の光検出装置100の構成は、基本的に上述の第1実施形態の光検出装置100と基本的には同様の構成になっている。検出回路210Dは、接続線20に故障があるか否かを検査するイネーブルモード及び検出回路210自体に故障があるか否かを検査するディセーブルモードの一方のモードに切り替え可能な構成を有する。なお、すでに説明した構成要素については、同じ符号を付してその説明を省略する。また、図13においては、他の図面と比べて接続線20をより模式的に描いている。

[0079] 図1に示す中央演算部または試験装置300が行う光検出装置100の各種故障の検査は、検出回路210自体の検査を含む。中央演算部または試験装置300は、モード信号を共通制御部180に供給する。モード信号とは、検出回路210Dのモードを切り替える指示を示す信号である。より具体的には、モード信号とは、検出回路210Dのモードを、イネーブルモード

及びディセーブルモードの一方のモードへ切り替える指示を示す信号である。

[0080] 共通制御部 180 は、中央演算部または試験装置 300 からのモード信号を検出回路制御部 160 に供給する。そして、検出回路制御部 160 は、モード信号に基づいて、検出回路 210 などの動作を制御する。

[0081] 図 13 に示すように、接続線 20 は、接続線 20-1 から接続線 20-n までの複数系統の接続線 20 を有している。そして、検出回路 210D は、選択回路 SW を介して故障検出回路 211 に接続された接続線 20 について、故障の有無を検出する。選択回路 SW は、スイッチ SW1 からスイッチ SWn までのスイッチを有している。そして、選択回路 SW の各スイッチは、pMOS トランジスタにより構成されている。また、検出回路 210D は、ゲート制御信号 SEL SW が入力される駆動線 L1 から Ln までを有している。選択回路 SW は、セレクタ 214 を有している。セレクタ 214 は、駆動線 L1 から Ln までと、各スイッチのゲート電極と、後述の駆動線 La とに電氣的に接続されている。

[0082] また、本実施形態では、故障検出回路 211 が有する判定回路 213 は、インバータ回路である。そのため、判定回路 213 は、故障検出回路 211 に接続された接続線 20 に故障が無い場合には“L”を出力信号 OUT とし出力し、故障検出回路 211 に接続された接続線 20 に故障がある場合には“H”を出力信号 OUT とし出力する。

[0083] 検出回路 210D は、制御信号 DETEN が入力される駆動線 La と、テスト信号 TESTIN が入力される駆動線 Lb とを有する。制御信号 DETEN 及びテスト信号 TESTIN は、検出回路制御部 160 の制御により、駆動線 La、Lb に入力される。モード信号が検出回路 210D のモードをイネーブルモードへ切り替えることを指示している場合、駆動線 La には、制御信号 DETEN として“1”が入力される。これに対して、モード信号が検出回路 210D のモードをディセーブルモードへ切り替えることを指示している場合、駆動線 La には、制御信号 DETEN として“0”が入力さ

れる。

[0084] 以下、検出回路210Dがイネーブルモードに切り替えられた場合の検出回路210Dの動作について、説明する。検出回路210Dがイネーブルモードに切り替えられると、接続線20に故障があるか否かを検査可能になる。駆動線Laに制御信号DETENとして“1”が入力されると、検出回路210DのnMOSトランジスタ217がオンされ、抵抗素子212の一端が基準電位VSSに接続される。ここで、図14は、接続線20が接続線20-1と接続線20-2との2系統の場合のセクタ214を示す図であり、図15は、接続線20が2系統の場合の真理値表を表す。説明を簡便にするために、接続線20が2系統の場合を例に、検出回路210Dの動作を説明する。

[0085] セクタ214は、スイッチ毎にNAND回路を有している。スイッチSW1のゲート電極には、NAND回路215aの出力Z1が入力され、スイッチSW2のゲート電極には、NAND回路215bの出力Z2が入力される。NAND回路215a、215bの両方には、制御信号DETENとして“1”が入力される。また、NAND回路215aには、インバータ回路216を介してゲート制御信号SEL SWが入力され、NAND回路215bには、ゲート制御信号SEL SWがそのまま入力される。すなわち、インバータ回路216の有無により、複数のスイッチのうち1つのスイッチを選択する構成である。セクタ214には、制御線Lを介して、ゲート制御信号SEL SWとして、“0”又は“1”が入力される。そして、図15に示す真理値表に示すように、出力信号OUTに基づいて、接続線20について故障の有無を検出できる。なお、真理値表は、制御信号DETEN、テスト信号TESTIN、ゲート制御信号SEL SWの入力“0”、“1”に対して、出力Z1、Z2の出力“0”、“1”と、出力信号OUTの期待値“L”、“H”とを示している。

[0086] 以下、検出回路210Dがディセーブルモードに切り替えられた場合の検出回路210Dの動作について、説明する。検出回路210Dがディセーブ

ルモードに切り替えられると、検出回路210自体に故障があるか否かを検査可能になる。駆動線Laに制御信号DETENとして“0”が入力されると、nMOSトランジスタ217がオフされ、抵抗素子212の一端と基準電位VSSとの間が電氣的に遮断される。そして、検出回路210Dが有するインバータ回路218は、制御信号DETENを反転して“1”とし、この信号“1”をインバータ回路219に供給する。すると、インバータ回路219は、駆動線Lbに入力されたテスト信号TESTINを反転させ、反転されたテスト信号TESTINが判定回路213に供給される。そして、図15の真理値表は、検出回路210Dに故障が無い場合の出力信号OUTを示している。検出回路210Dに故障が無い場合、テスト信号TESTINの“0”に対して出力信号OUTは“L”になり、テスト信号TESTINの“1”に対して出力信号OUTは“H”になる。これに対して、図示は省略するが、検出回路210Dに故障がある場合、テスト信号TESTINの“0”に対して出力信号OUTは“H”になり、テスト信号TESTINの“1”に対して出力信号OUTは“L”になる。

[0087] 《第2実施形態の主な効果》

この第2実施形態に係る光検出装置100であっても、上述の第1実施形態に係る光検出装置100と同様の効果が得られる。

[0088] 《第2実施形態の変形例》

以下、第2実施形態の変形例について、説明する。

[0089] ＜変形例1＞

第2実施形態の変形例1に係る光検出装置100では、図16から図18までに示すように、検出回路210Dに代えて検出回路210Eを有している。検出回路210Eが有する抵抗素子212の一端の電位である第1電位は、電源電位VDDである。そして、接続線20の一端の電位である第2電位が基準電位VSS（例えば、グラウンド）である。すなわち、本変形例では、第1電位は第2電位より高い構成である。このような構成の違いがあるので、本変形例の検出回路210Eの構成は、第2実施形態で説明した検出

回路210Dの構成と異なる部分がある。以下、異なる部分について、説明する。

[0090] 本変形例では、選択回路SWが有する各スイッチが、pMOSトランジスタに代えてnMOSトランジスタにより構成されている。また、検出回路210Eは、nMOSトランジスタ217に代えてpMOSトランジスタ217を有し、判定回路213として、インバータ回路に代えてバッファを有している。また、検出回路210Eは、インバータ回路220を有している。インバータ回路220の入力側は駆動線Lbに接続されていて、出力側はインバータ回路219の入力側に接続されている。インバータ回路220は、駆動線Lbを介して入力されたテスト信号TESTINを反転させる。そして、反転されたテスト信号TESTINがインバータ回路219に入力される。

[0091] また、図17に示す本変形例のセクタ214と図14に示す第2実施形態のセクタ214とを比較すると、以下の点で異なる構成を有している。なお、図17は、接続線20が接続線20-1と接続線20-2との2系統の場合のセクタ214を示す図である。本変形例のセクタ214は、NAND回路215aに代えてAND回路215cを有し、NAND回路215bに代えてAND回路215dを有している。AND回路215c、215dの両方には、制御信号DETENが入力される。また、AND回路215cには、インバータ回路216を介してゲート制御信号SEL SWが入力され、AND回路215dには、ゲート制御信号SEL SWがそのまま入力される。すなわち、インバータ回路216の有無により、複数のスイッチのうち1つのスイッチを選択する構成である。また、スイッチSW1のゲート電極には、AND回路215cの出力Z1が入力され、スイッチSW2のゲート電極には、AND回路215dの出力Z2が入力される。

[0092] 以下、検出回路210Eがイネーブルモードに切り替えられた場合の動作について、説明する。駆動線Laに制御信号DETENとして“1”が入力されると、インバータ回路216により制御信号DETENが反転され、反

転された制御信号DETEN、すなわち“0”が検出回路210EのpMOSトランジスタ217のゲート電極に入力され、pMOSトランジスタ217がオンする。これにより、抵抗素子212の一端が電源電位VDDに接続される。そして、AND回路215c、215dの両方には、制御信号DETENとして“1”が入力される。さらに、AND回路215cには、インバータ回路216を介してゲート制御信号SEL SWが入力され、AND回路215dには、ゲート制御信号SEL SWがそのまま入力される。その結果、図18に示す真理値表に示すように、出力信号OUTに基づいて、接続線20について故障の有無を検出できる。

[0093] 以下、検出回路210Eがディセーブルモードに切り替えられた場合の検出回路210Eの動作について、説明する。駆動線Laに制御信号DETENとして“0”が入力されると、インバータ回路216により制御信号DETENが反転され、反転された制御信号DETEN、すなわち“1”が検出回路210EのpMOSトランジスタ217のゲート電極に入力され、pMOSトランジスタ217がオフする。これにより、抵抗素子212の一端と電源電位VDDとの間が電氣的に遮断される。駆動線Lbに入力されたテスト信号TESTINは、インバータ回路220により反転されてインバータ回路219に供給される。これ以外の検出回路210Eの動作は、検出回路210Dの場合と同じであるので、ここではその説明を省略する。

[0094] この第2実施形態の変形例1に係る光検出装置100であっても、上述の第2実施形態に係る光検出装置100と同様の効果が得られる。

[0095] [応用例]

<1. 電子機器への応用例>

次に、図19に示す本技術の応用例に係る電子機器400について説明する。電子機器400は、固体撮像装置401と、光学レンズ402と、シャッタ装置403と、駆動回路404と、信号処理回路405とを備えている。電子機器400は、これに限定されないが、例えば、カメラ等の電子機器である。また、電子機器400は、固体撮像装置401として、上述の光検

出装置 100 を備えている。

[0096] 光学レンズ（光学系）402は、被写体からの像光（入射光406）を固体撮像装置401の撮像面上に結像させる。これにより、固体撮像装置401内に一定期間にわたって信号電荷が蓄積される。シャッタ装置403は、固体撮像装置401への光照射期間及び遮光期間を制御する。駆動回路404は、固体撮像装置401の転送動作及びシャッタ装置403のシャッタ動作を制御する駆動信号を供給する。駆動回路404から供給される駆動信号（タイミング信号）により、固体撮像装置401の信号転送を行う。信号処理回路405は、固体撮像装置401から出力される信号（画素信号）に各種信号処理を行う。信号処理が行われた映像信号は、メモリ等の記憶媒体に記憶され、或いはモニタに出力される。

[0097] このような構成により、電子機器400では、固体撮像装置401において半導体基板同士の接合に関する故障の有無が検出可能であるため、信頼性を向上させることができる。

[0098] なお、電子機器400は、カメラに限られるものではなく、他の電子機器であっても良い。例えば、携帯電話機等のモバイル機器向けカメラモジュール等の撮像装置であっても良い。

[0099] また、電子機器400は、固体撮像装置401として、第1実施形態から第2実施形態まで、及びそれら実施形態の変形例のいずれかに係る光検出装置100、又は第1実施形態から第2実施形態まで、及びそれら実施形態の変形例のうちの少なくとも2つの組み合わせに係る光検出装置100を備えることができる。

[0100] <2. 移動体への応用例>

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0101] 図20は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0102] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図20に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F (interface) 12053が図示されている。

[0103] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0104] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0105] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030

は、撮像部１２０３１に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット１２０３０は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0106] 撮像部１２０３１は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部１２０３１は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部１２０３１が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0107] 車内情報検出ユニット１２０４０は、車内の情報を検出する。車内情報検出ユニット１２０４０には、例えば、運転者の状態を検出する運転者状態検出部１２０４１が接続される。運転者状態検出部１２０４１は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット１２０４０は、運転者状態検出部１２０４１から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0108] マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット１２０１０に対して制御指令を出力することができる。例えば、マイクロコンピュータ１２０５１は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0109] また、マイクロコンピュータ１２０５１は、車外情報検出ユニット１２０３０又は車内情報検出ユニット１２０４０で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御すること

により、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0110] また、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で取得される車外の情報に基づいて、ボディ系制御ユニット 12020 に対して制御指令を出力することができる。例えば、マイクロコンピュータ 12051 は、車外情報検出ユニット 12030 で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0111] 音声画像出力部 12052 は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図 20 の例では、出力装置として、オーディオスピーカ 12061、表示部 12062 及びインストルメントパネル 12063 が例示されている。表示部 12062 は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0112] 図 21 は、撮像部 12031 の設置位置の例を示す図である。

[0113] 図 21 では、車両 12100 は、撮像部 12031 として、撮像部 12101、12102、12103、12104、12105 を有する。

[0114] 撮像部 12101、12102、12103、12104、12105 は、例えば、車両 12100 のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部 12101 及び車室内のフロントガラスの上部に備えられる撮像部 12105 は、主として車両 12100 の前方の画像を取得する。サイドミラーに備えられる撮像部 12102、12103 は、主として車両 12100 の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部 12104 は、主として車両 12100 の後方の画像を取得する。撮像部 12101 及び 12105 で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検

出に用いられる。

[0115] なお、図21には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0116] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0117] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0118] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュー

タ１２０５１は、車両１２１００の周辺の障害物を、車両１２１００のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ１２０５１は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ１２０６１や表示部１２０６２を介してドライバに警報を出力することや、駆動系制御ユニット１２０１０を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0119] 撮像部１２１０１ないし１２１０４の少なくとも１つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ１２０５１は、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部１２１０１ないし１２１０４の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ１２０５１が、撮像部１２１０１ないし１２１０４の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部１２０５２は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部１２０６２を制御する。また、音声画像出力部１２０５２は、歩行者を示すアイコン等を所望の位置に表示するように表示部１２０６２を制御してもよい。

[0120] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部１２０３１に適用され得る。具体的には、上述の光検出装置１００は、撮像部１２０３１に適用することができる。撮像部１２０３１に本開示に係る技術を適用することにより、撮像部１２０３１において半導体基板同士の接合に関する故障の有無が検出可能であるため、信頼性を向上させることができる。

[0121] [その他の実施形態]

上記のように、本技術は第1実施形態から第2実施形態までによって記載したが、この開示の一部をなす論述及び図面は本技術を限定するものであると理解すべきではない。この開示から当業者には様々な代替の実施形態、実施例及び運用技術が明らかとなろう。

[0122] 例えば、第1実施形態から第2実施形態までにおいて説明したそれぞれの技術的思想を互いに組み合わせることも可能である。

[0123] また、本技術は、上述したイメージセンサとしての固体撮像装置の他、ToF (Time of Flight) センサともよばれる距離を測定する測距センサなども含む光検出装置全般に適用することができる。測距センサは、物体に向かって照射光を発光し、その照射光が物体の表面で反射され返ってくる反射光を検出し、照射光が発光されてから反射光が受光されるまでの飛行時間に基づいて物体までの距離を算出するセンサである。この測距センサの構造として、上述した接続線及び検出回路の構造を採用することができる。

[0124] また、本技術は、光検出装置100以外の半導体装置にも適用可能である。例えば、DRAM等のメモリ、ロジック回路、またはその組み合わせなど、様々な半導体装置に適用可能である。

[0125] また、例えば、上述の構成要素を構成するとして挙げられた材料は、添加物や不純物等を含んでいても良い。

[0126] このように、本技術はここでは記載していない様々な実施形態等を含むことは勿論である。したがって、本技術の技術的範囲は上記の説明から妥当な特許請求の範囲に記載された発明特定事項によってのみ定められるものである。

[0127] また、本明細書に記載された効果はあくまでも例示であって限定されるものではなく、また他の効果があっても良い。

[0128] なお、本技術は、以下のような構成としてもよい。

(1)

第1半導体基板と、

前記第1半導体基板に重ね合わされて接合された第2半導体基板と、

前記第 1 半導体基板と前記第 2 半導体基板との接合面を挟んで互いに接続された接続パッドの対を複数対有し、前記接続パッドの前記対を介して前記第 1 半導体基板及び前記第 2 半導体基板のうちの一方から他方へと交互に複数回引き回された接続線と、

前記接続線の故障の有無を検出可能な検出回路と、

を備え、

前記接続線は、前記第 1 半導体基板側及び前記第 2 半導体基板側のそれぞれにおいて、隣接する前記接続パッド同士を接続する配線部材を有し、

前記配線部材は、水平方向に延びた水平配線部分と、積層方向に延び且つ前記接続パッドを前記水平配線部分に接続する垂直配線部分とを有し、

前記接続線としては、第 1 接続線と、前記第 1 接続線とは電氣的に分離された第 2 接続線とを含む複数系統の接続線を有し、

前記第 1 接続線は前記接続パッド毎に M (M は 1 以上の整数) 個の前記垂直配線部分を有し、前記第 2 接続線は前記接続パッド毎に N (N は 1 以上の整数) 個の前記垂直配線部分を有し、且つ $M > N$ である、

半導体装置。

(2)

前記検出回路は、故障検出回路と、前記複数系統の前記接続線のうちの一の接続線を前記故障検出回路に選択的に接続する選択回路とを有し、前記故障検出回路に接続された前記接続線について、故障の有無を検出可能である、(1) に記載の半導体装置。

(3)

前記故障検出回路は、抵抗素子と、判定回路とを有し、

前記抵抗素子の一端の電位は第 1 電位であり、

前記接続線の一端の電位は前記第 1 電位とは異なる第 2 電位であり、

前記接続線他端は、前記選択回路を介して前記抵抗素子他端に電氣的に接続可能であり、

前記判定回路は、前記故障検出回路に接続された前記接続線と前記抵抗素

子との間の位置の電位である第3電位を検出可能であり、前記第3電位に基づいて、前記故障検出回路に接続された前記接続線について故障の有無を検出可能である、(2)に記載の半導体装置。

(4)

前記判定回路は、前記第3電位が故障閾値より大きいか否かを判定するレベルシフト回路である、(3)に記載の半導体装置。

(5)

前記第1半導体基板に構成された第1回路と、
前記第2半導体基板に構成された第2回路と、
前記接続線が有する前記接続パッド以外に別途設けられた前記接続パッドである回路接続パッドの対と、

前記回路接続パッド毎に設けられ且つ積層方向に延びた回路垂直配線部分と、を有し、

前記第1半導体基板において、前記第1回路と前記回路接続パッドとの間は前記回路垂直配線部分により電氣的に接続されていて、

前記第2半導体基板において、前記第2回路と前記回路接続パッドとの間は前記回路垂直配線部分により電氣的に接続されていて、

前記第1接続線が前記接続パッド毎に有する前記垂直配線部分の個数を、前記回路接続パッド毎に設けられた前記回路垂直配線部分の個数と同じに設けている、(1)から(4)のいずれかに記載の半導体装置。

(6)

$N = 1$ である、(1)から(5)のいずれかに記載の半導体装置。

(7)

3系統以上の前記接続線を有し、

前記接続パッド毎に設けられた前記垂直配線部分の個数は、前記複数系統の前記接続線毎に異なる、(1)から(6)のいずれかに記載の半導体装置。

(8)

前記接続線の一端の電位である前記第 2 電位は、前記複数系統の前記接続線毎に異なる、(3) 又は (4) に記載の半導体装置。

(9)

前記第 1 半導体基板及び前記第 2 半導体基板の一方の基板が有する半導体層には、光電変換素子が構成されている、(1) から (8) のいずれかに記載の半導体装置。

(10)

光検出装置である半導体装置と、前記半導体装置に被写体からの像光を結像させる光学系と、を備え、

前記半導体装置は、

第 1 半導体基板と、

前記第 1 半導体基板に重ね合わされて接合された第 2 半導体基板と、

前記第 1 半導体基板と前記第 2 半導体基板との接合面を挟んで互いに接続された接続パッドの対を複数対有し、前記接続パッドの前記対を介して前記第 1 半導体基板及び前記第 2 半導体基板のうちの一方から他方へと交互に複数回引き回された接続線と、

前記接続線の故障の有無を検出可能な検出回路と、

を備え、

前記接続線は、前記第 1 半導体基板側及び前記第 2 半導体基板側のそれぞれにおいて、隣接する前記接続パッド同士を接続する配線部材を有し、

前記配線部材は、水平方向に延びた水平配線部分と、積層方向に延び且つ前記接続パッドを前記水平配線部分に接続する垂直配線部分とを有し、

前記接続線としては、第 1 接続線と、前記第 1 接続線とは電氣的に分離された第 2 接続線とを含む複数系統の接続線を有し、

前記第 1 接続線は前記接続パッド毎に M (M は 1 以上の整数) 個の前記垂直配線部分を有し、前記第 2 接続線は前記接続パッド毎に N (N は 1 以上の整数) 個の前記垂直配線部分を有し、且つ $M > N$ である、

電子機器。

[0129] 本技術の範囲は、図示され記載された例示的な実施形態に限定されるものではなく、本技術が目的とするものと均等な効果をもたらす全ての実施形態をも含む。さらに、本技術の範囲は、請求項により画される発明の特徴の組み合わせに限定されるものではなく、全ての開示されたそれぞれの特徴のうち特定の特徴のあらゆる所望する組み合わせによって画されうる。

符号の説明

- [0130] 2 半導体チップ
- 3 画素
- 20、20-1、20-2、20-3 接続線
- 21、22 接続パッド
- 21、22 回路接続パッド
- 21、22 テスト接続パッド
- 23、23a、23b、23c 配線部材
- 24 水平配線部分
- 25 垂直配線部分
- 25 回路垂直配線部分
- 25 テスト垂直配線部分
- 100 光検出装置
- 101 第1半導体基板
- 102 第2半導体基板
- 110 画素アレイ部
- 120 走査制御部
- 130 制御部
- 140 信号処理部
- 150 出力部
- 160 検出回路制御部
- 180 共通制御部
- 199 接合面

210、210A、210B、210C、210D、210E 検出回路

211 故障検出回路

212 抵抗素子

213 判定回路

214 セレクタ

300 試験装置

C1 第1回路

C2 第2回路

DETEN 制御信号

OUT 出力信号

SEL SW ゲート制御信号

SW 選択回路

SW1、SW2、SW3、 スイッチ

請求の範囲

[請求項1]

第1半導体基板と、

前記第1半導体基板に重ね合わされて接合された第2半導体基板と

、

前記第1半導体基板と前記第2半導体基板との接合面を挟んで互いに接続された接続パッドの対を複数対有し、前記接続パッドの前記対を介して前記第1半導体基板及び前記第2半導体基板のうちの一方から他方へと交互に複数回引き回された接続線と、

前記接続線の故障の有無を検出可能な検出回路と、

を備え、

前記接続線は、前記第1半導体基板側及び前記第2半導体基板側のそれぞれにおいて、隣接する前記接続パッド同士を接続する配線部材を有し、

前記配線部材は、水平方向に延びた水平配線部分と、積層方向に延び且つ前記接続パッドを前記水平配線部分に接続する垂直配線部分とを有し、

前記接続線としては、第1接続線と、前記第1接続線とは電氣的に分離された第2接続線とを含む複数系統の接続線を有し、

前記第1接続線は前記接続パッド毎に M (M は1以上の整数)個の前記垂直配線部分を有し、前記第2接続線は前記接続パッド毎に N (N は1以上の整数)個の前記垂直配線部分を有し、且つ $M > N$ である

、

半導体装置。

[請求項2]

前記検出回路は、故障検出回路と、前記複数系統の前記接続線のうちの一の接続線を前記故障検出回路に選択的に接続する選択回路とを有し、前記故障検出回路に接続された前記接続線について、故障の有無を検出可能である、請求項1に記載の半導体装置。

[請求項3]

前記故障検出回路は、抵抗素子と、判定回路とを有し、

前記抵抗素子の一端の電位は第 1 電位であり、
前記接続線の一端の電位は前記第 1 電位とは異なる第 2 電位であり、
前記接続線他端は、前記選択回路を介して前記抵抗素子他端に電氣的に接続可能であり、
前記判定回路は、前記故障検出回路に接続された前記接続線と前記抵抗素子との間の位置の電位である第 3 電位を検出可能であり、前記第 3 電位に基づいて、前記故障検出回路に接続された前記接続線について故障の有無を検出可能である、請求項 2 に記載の半導体装置。

[請求項 4] 前記判定回路は、前記第 3 電位が故障閾値より大きいかな否かを判定するレベルシフト回路である、請求項 3 に記載の半導体装置。

[請求項 5] 前記第 1 半導体基板に構成された第 1 回路と、
前記第 2 半導体基板に構成された第 2 回路と、
前記接続線が有する前記接続パッド以外に別途設けられた前記接続パッドである回路接続パッドの対と、
前記回路接続パッド毎に設けられ且つ積層方向に延びた回路垂直配線部分と、を有し、

前記第 1 半導体基板において、前記第 1 回路と前記回路接続パッドとの間は前記回路垂直配線部分により電氣的に接続されていて、

前記第 2 半導体基板において、前記第 2 回路と前記回路接続パッドとの間は前記回路垂直配線部分により電氣的に接続されていて、

前記第 1 接続線が前記接続パッド毎に有する前記垂直配線部分の個数を、前記回路接続パッド毎に設けられた前記回路垂直配線部分の個数と同じに設けている、請求項 1 に記載の半導体装置。

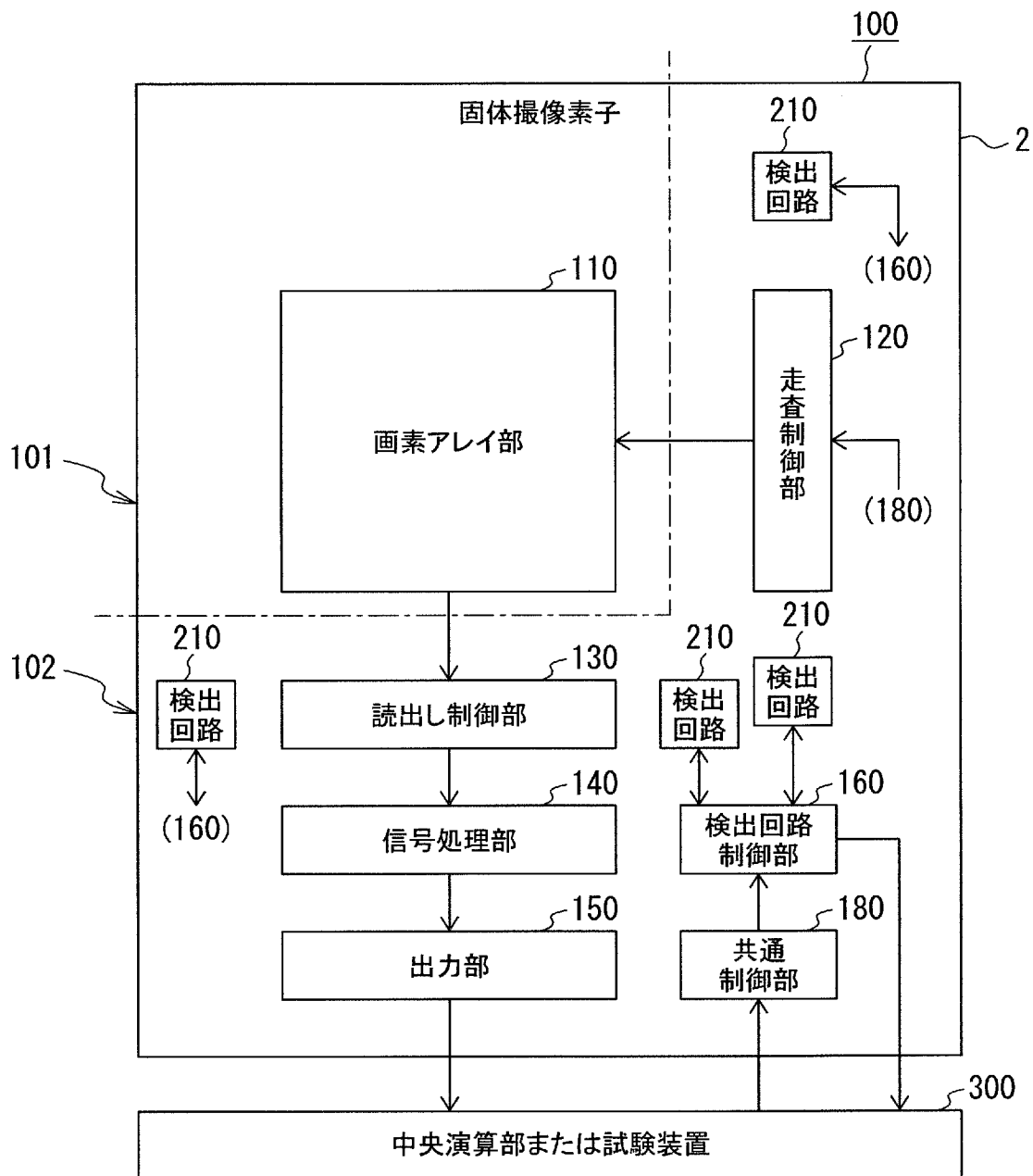
[請求項 6] $N = 1$ である、請求項 1 に記載の半導体装置。

[請求項 7] 3 系統以上の前記接続線を有し、
前記接続パッド毎に設けられた前記垂直配線部分の個数は、前記複数系統の前記接続線毎に異なる、請求項 1 に記載の半導体装置。

- [請求項8] 前記接続線の一端の電位である前記第2電位は、前記複数系統の前記接続線毎に異なる、請求項3に記載の半導体装置。
- [請求項9] 前記第1半導体基板及び前記第2半導体基板の一方の基板が有する半導体層には、光電変換素子が構成されている、請求項1に記載の半導体装置。
- [請求項10] 光検出装置である半導体装置と、前記半導体装置に被写体からの像光を結像させる光学系と、を備え、
前記半導体装置は、
第1半導体基板と、
前記第1半導体基板に重ね合わされて接合された第2半導体基板と、
、
前記第1半導体基板と前記第2半導体基板との接合面を挟んで互いに接続された接続パッドの対を複数対有し、前記接続パッドの前記対を介して前記第1半導体基板及び前記第2半導体基板のうちの一方から他方へと交互に複数回引き回された接続線と、
前記接続線の故障の有無を検出可能な検出回路と、
を備え、
前記接続線は、前記第1半導体基板側及び前記第2半導体基板側のそれぞれにおいて、隣接する前記接続パッド同士を接続する配線部材を有し、
前記配線部材は、水平方向に延びた水平配線部分と、積層方向に延び且つ前記接続パッドを前記水平配線部分に接続する垂直配線部分とを有し、
前記接続線としては、第1接続線と、前記第1接続線とは電氣的に分離された第2接続線とを含む複数系統の接続線を有し、
前記第1接続線は前記接続パッド毎にM（Mは1以上の整数）個の前記垂直配線部分を有し、前記第2接続線は前記接続パッド毎にN（Nは1以上の整数）個の前記垂直配線部分を有し、且つ $M > N$ である

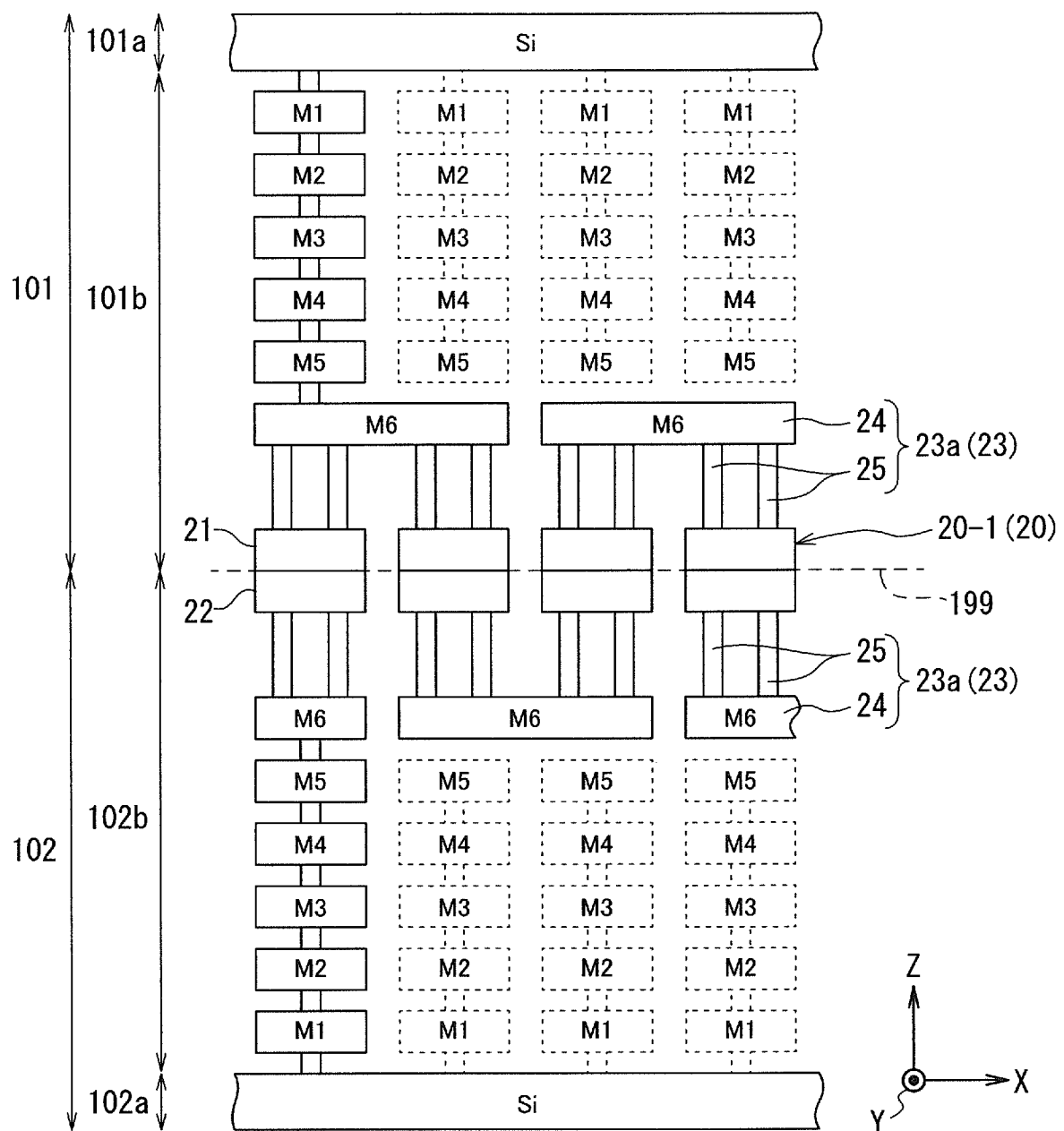
、
電子機器。

[図1]



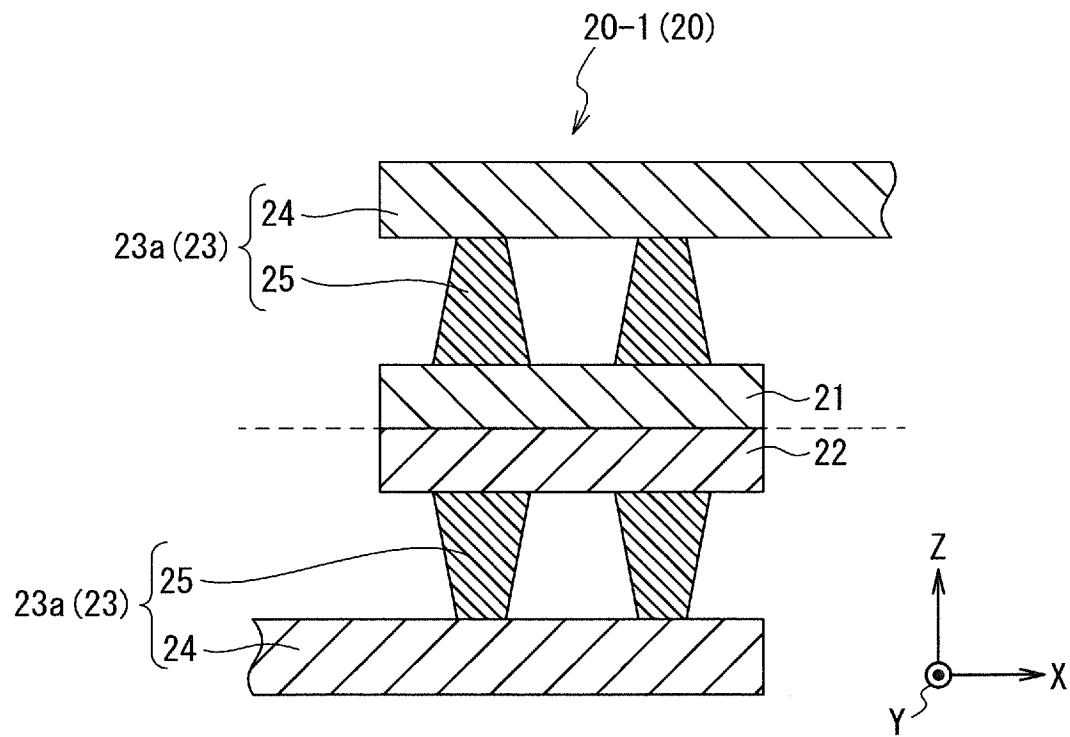
The circuit diagram shows a first-stage amplifier circuit 11(VSL) enclosed in a dashed box. The input signal is applied to a photodiode (PD) connected to ground. The output of the PD is connected to the gate of a transistor (TR). The drain of TR is connected to a node labeled FD. This node FD is also connected to the gates of two other transistors, RST and SEL. The source of RST is connected to Vdd, and the source of SEL is connected to ground. The drains of RST and SEL are connected to a common output node, which is also connected to Vdd. The output of the amplifier is taken from this common output node.

[図3B]

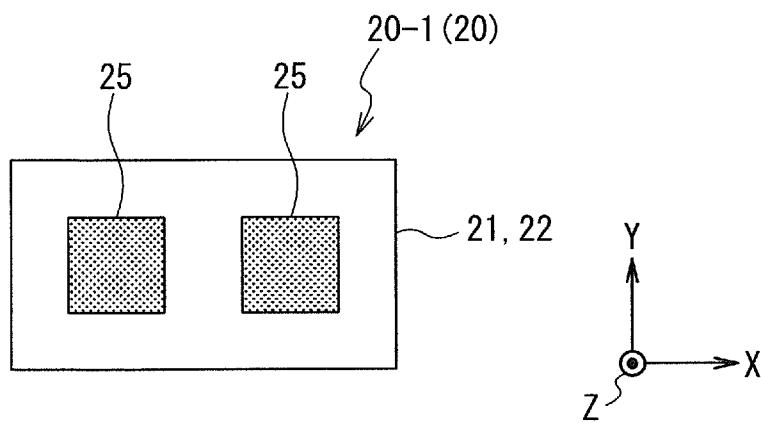


The diagram illustrates a plan view of a semiconductor device. It features a central array of memory cells (M1-M6) and access transistors (20-2) on a Si substrate. The device is divided into four main regions by dimensions 101a, 101b, 102a, and 102b. The access transistors are labeled 20-2 (20) and 23b (23). The memory cells are labeled M1, M2, M3, M4, M5, and M6. A coordinate system (X, Y, Z) is shown at the bottom right.

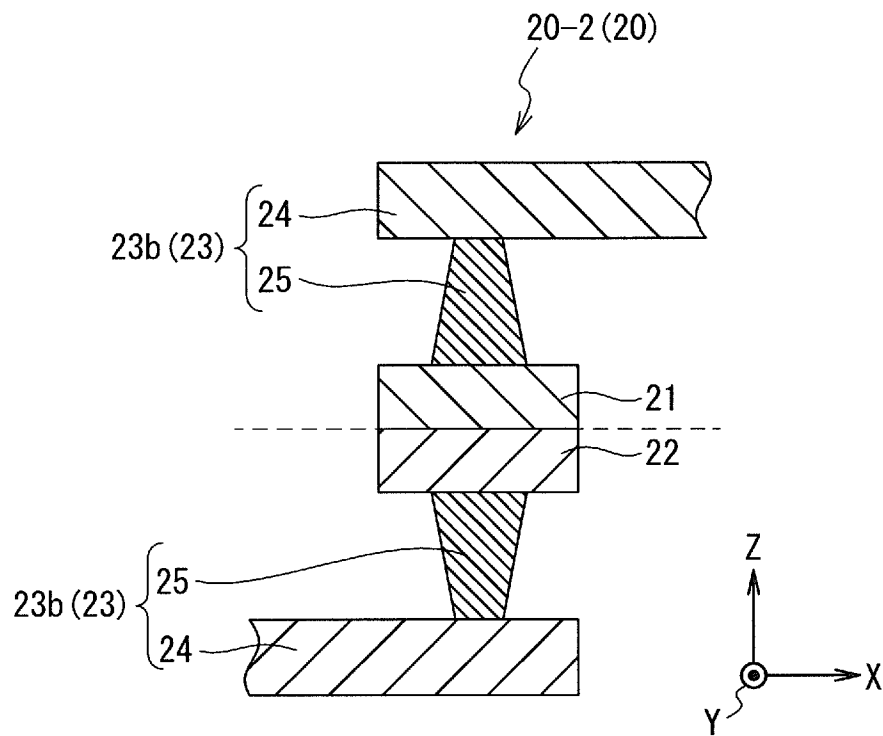
[図4A]



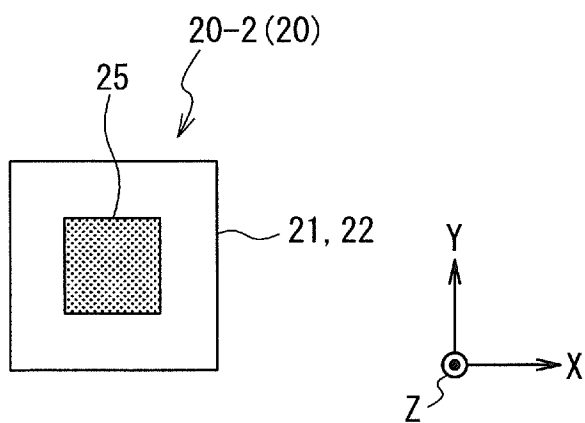
[図4B]



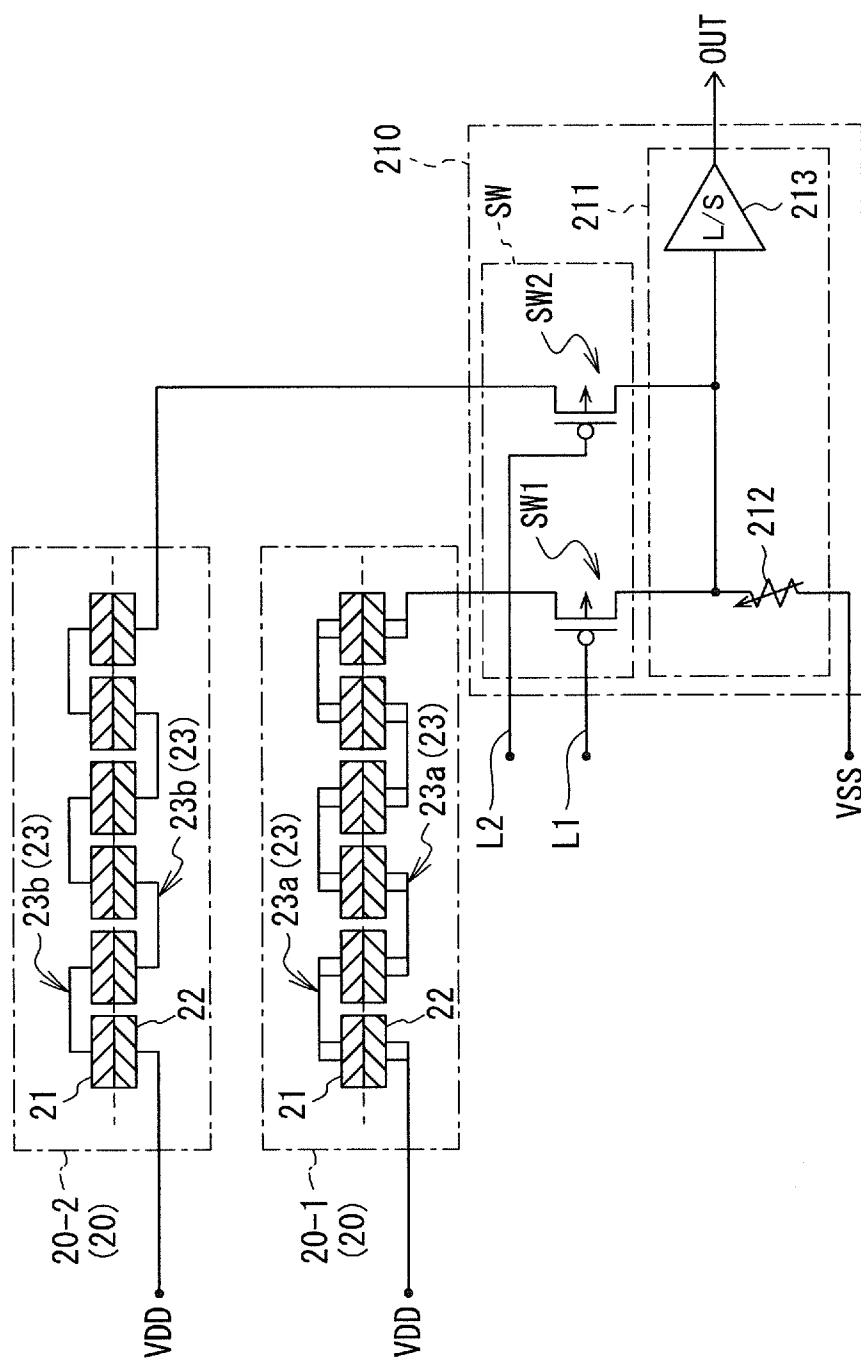
[図5A]



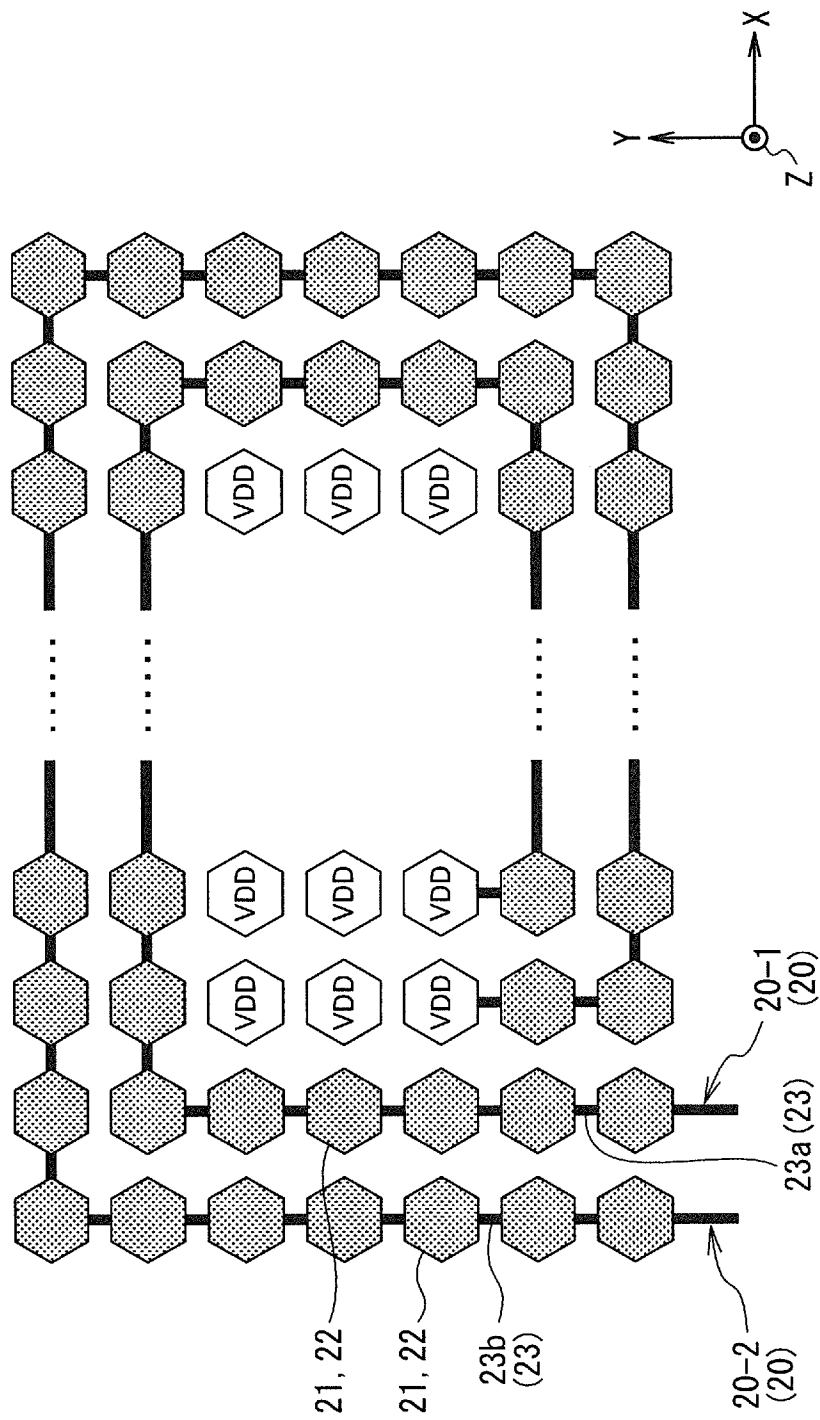
[図5B]



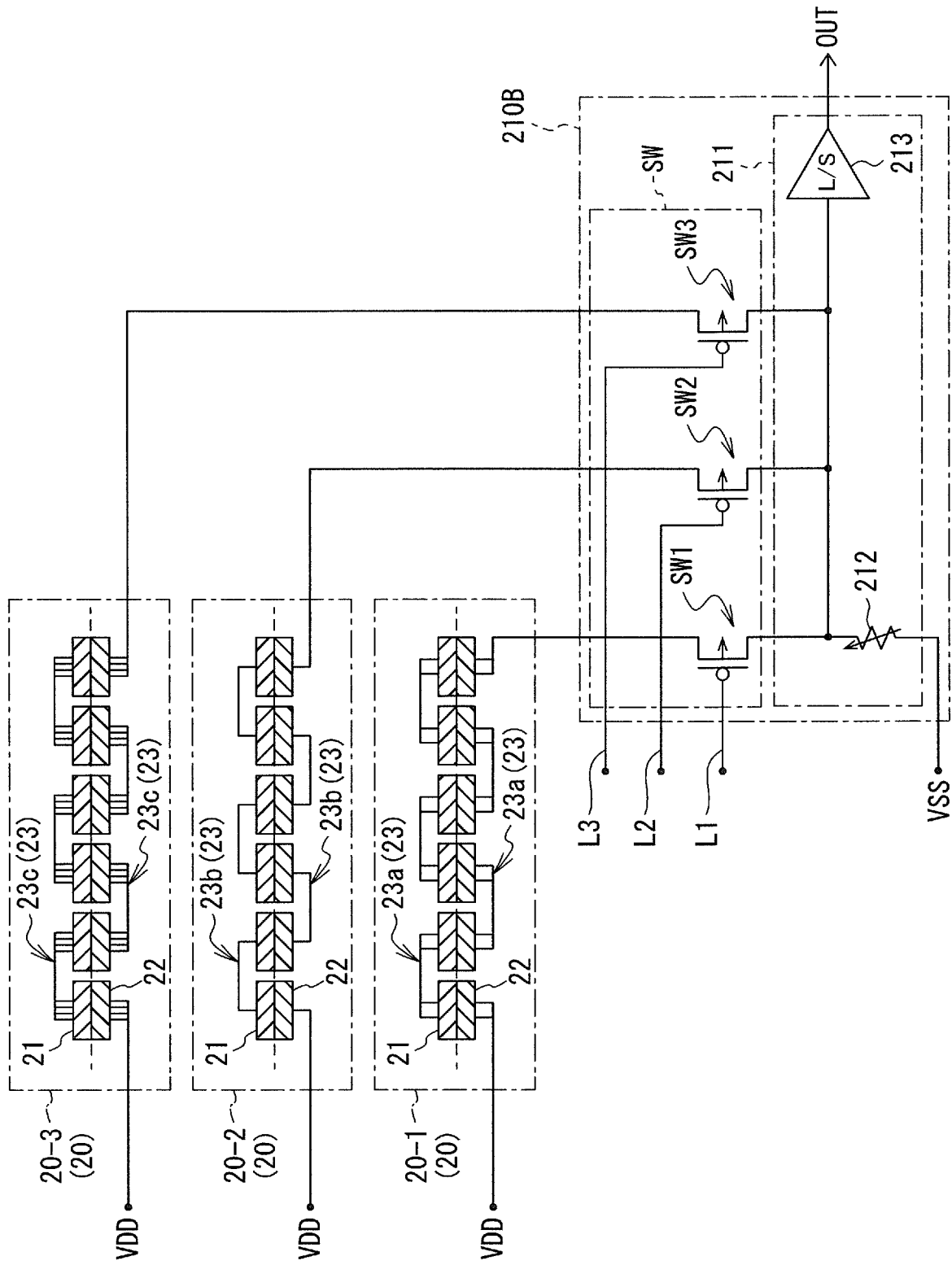
[図6]



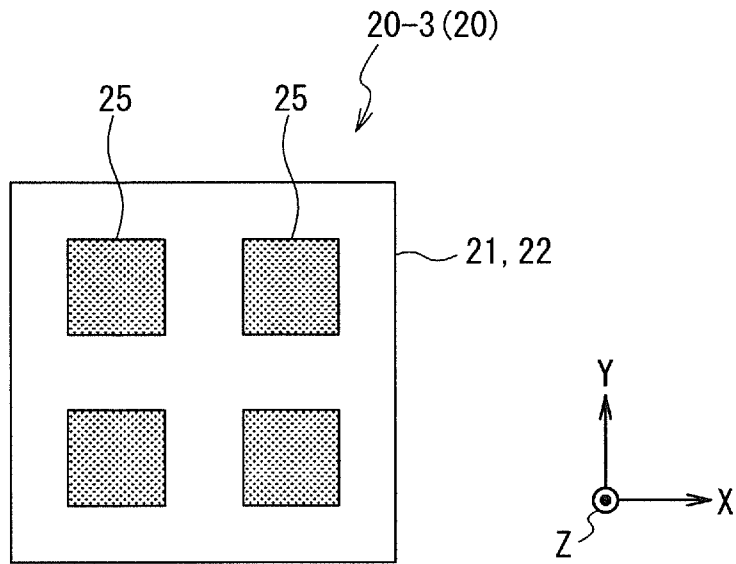
[図7]



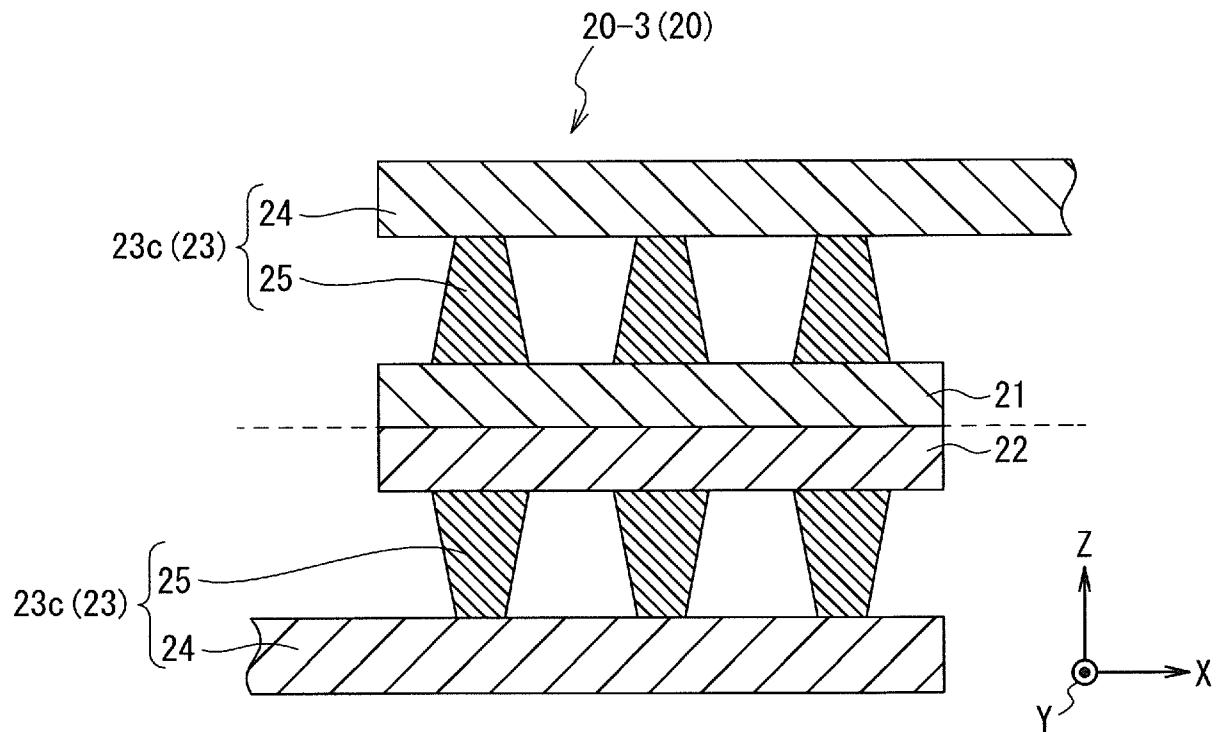
[図9]



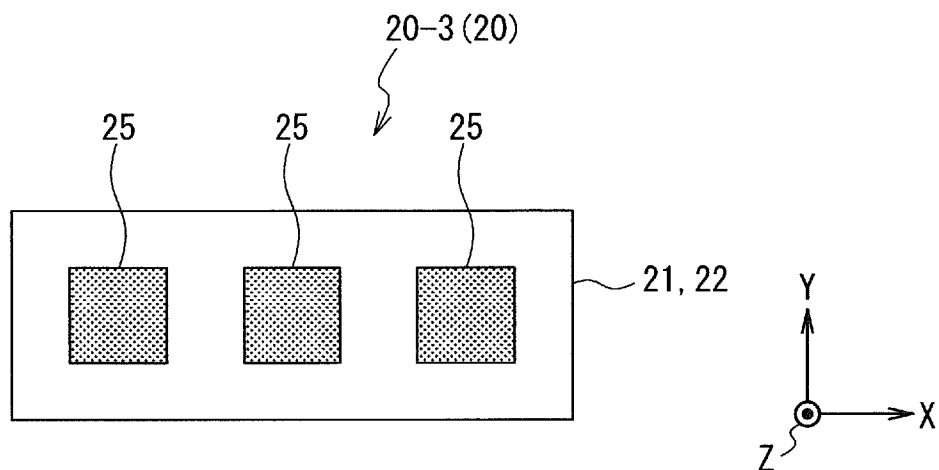
[図10]



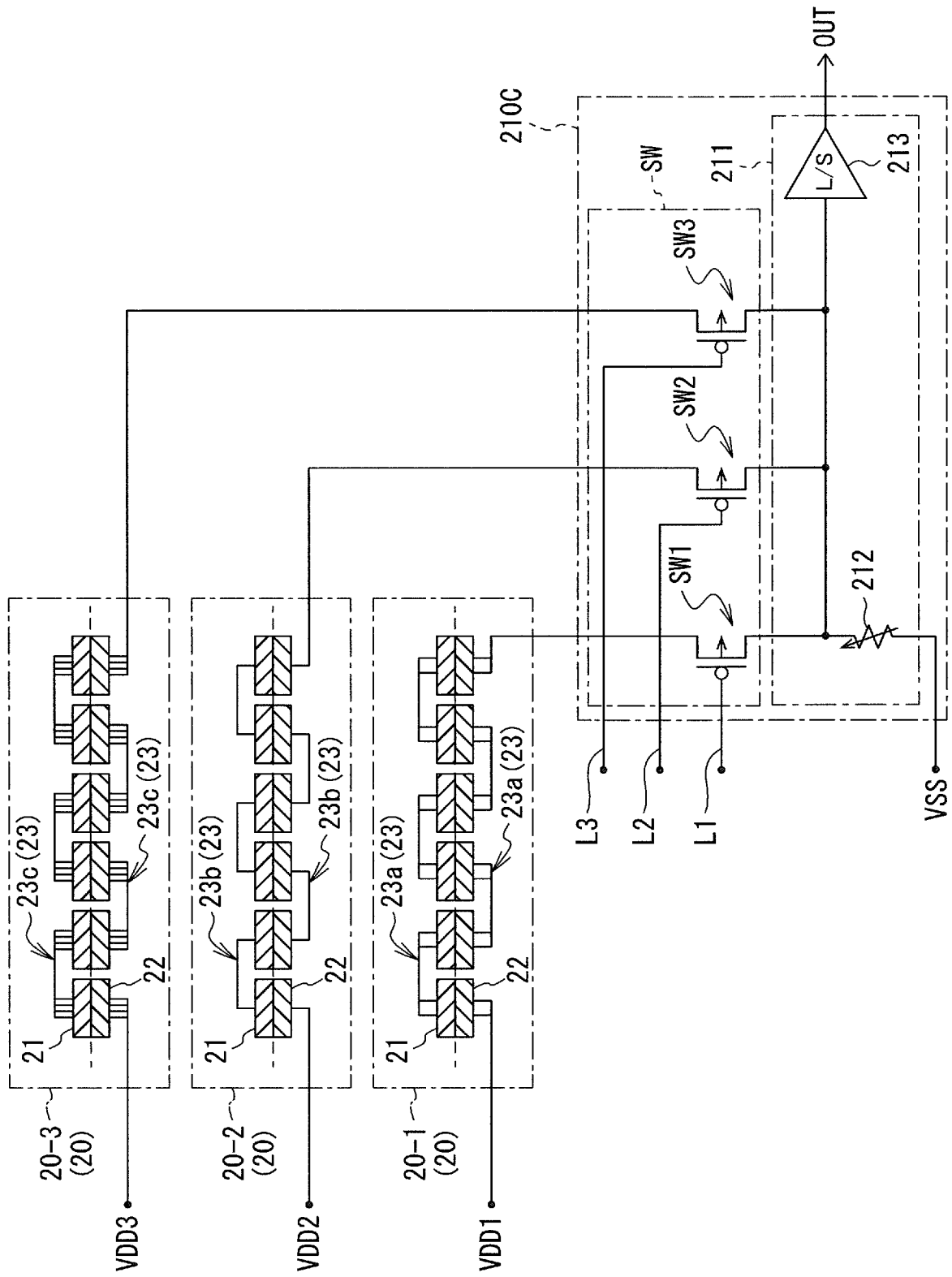
[図11A]



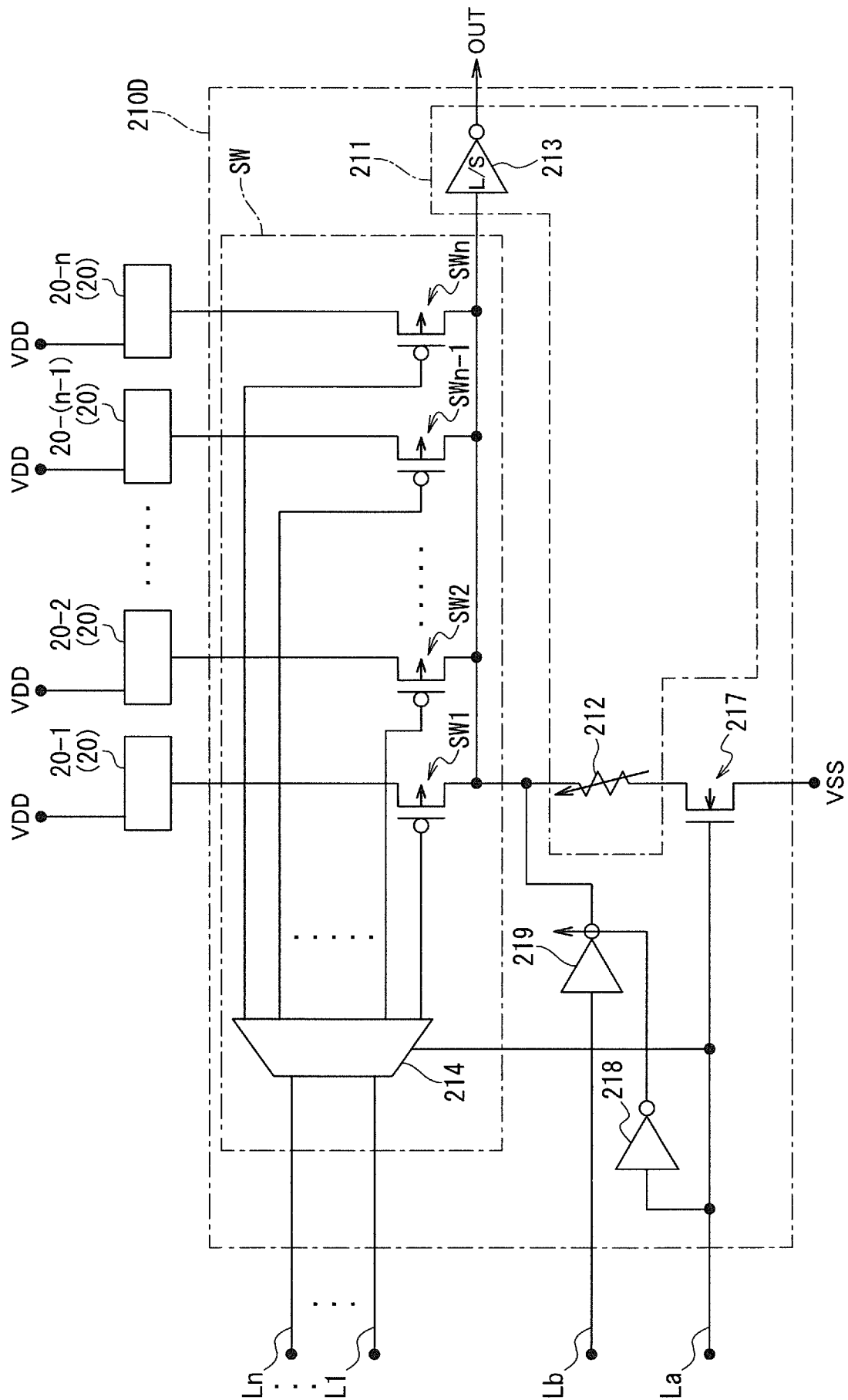
[図11B]



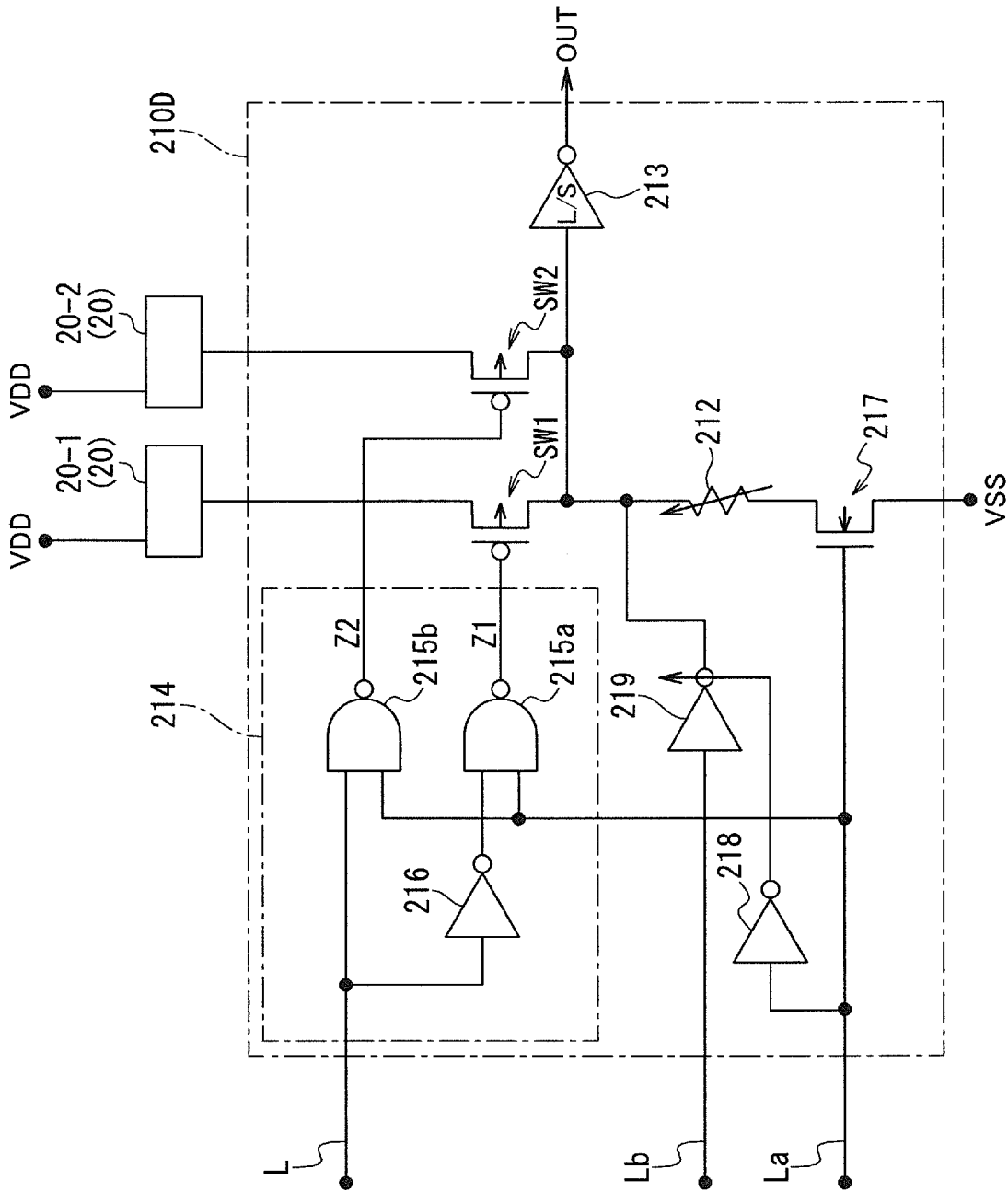
[図12]



[図13]



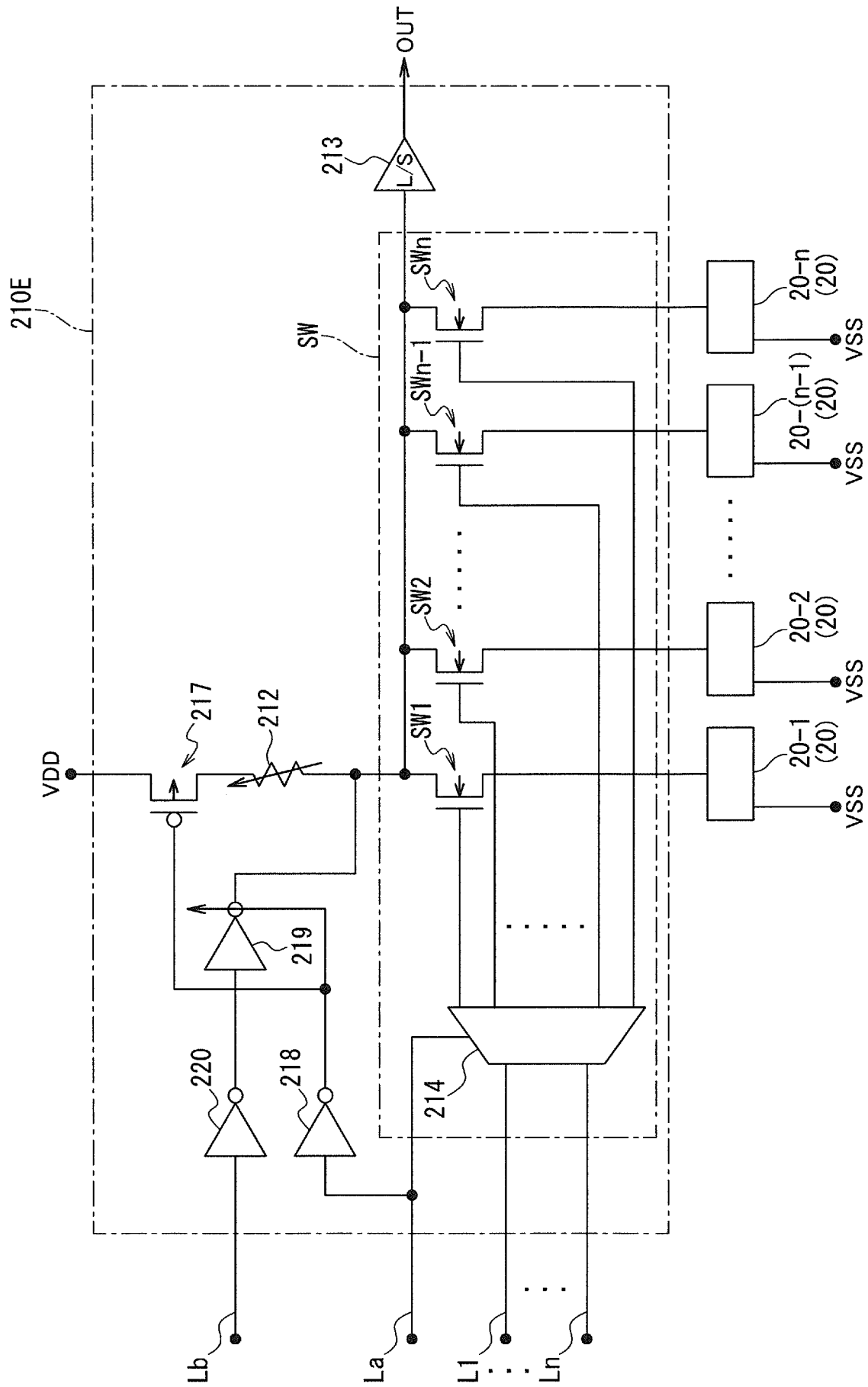
[図14]



[図15]

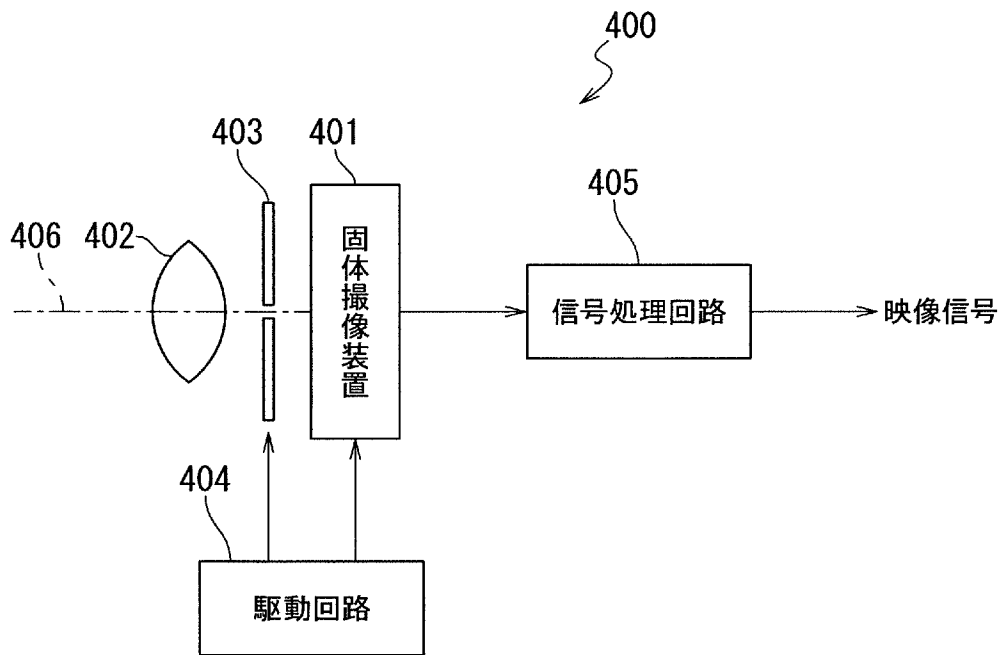
DETEN	TESTIN	SELSW	Z1	Z2	OUT（期待値）		
					接続線正常	接続線 20-1 故障	接続線 20-2 故障
1	X	0	0	1	L	H	-
		1	1	0	L	-	H
0	0	X	X	X	L		
	1				H		

[図16]

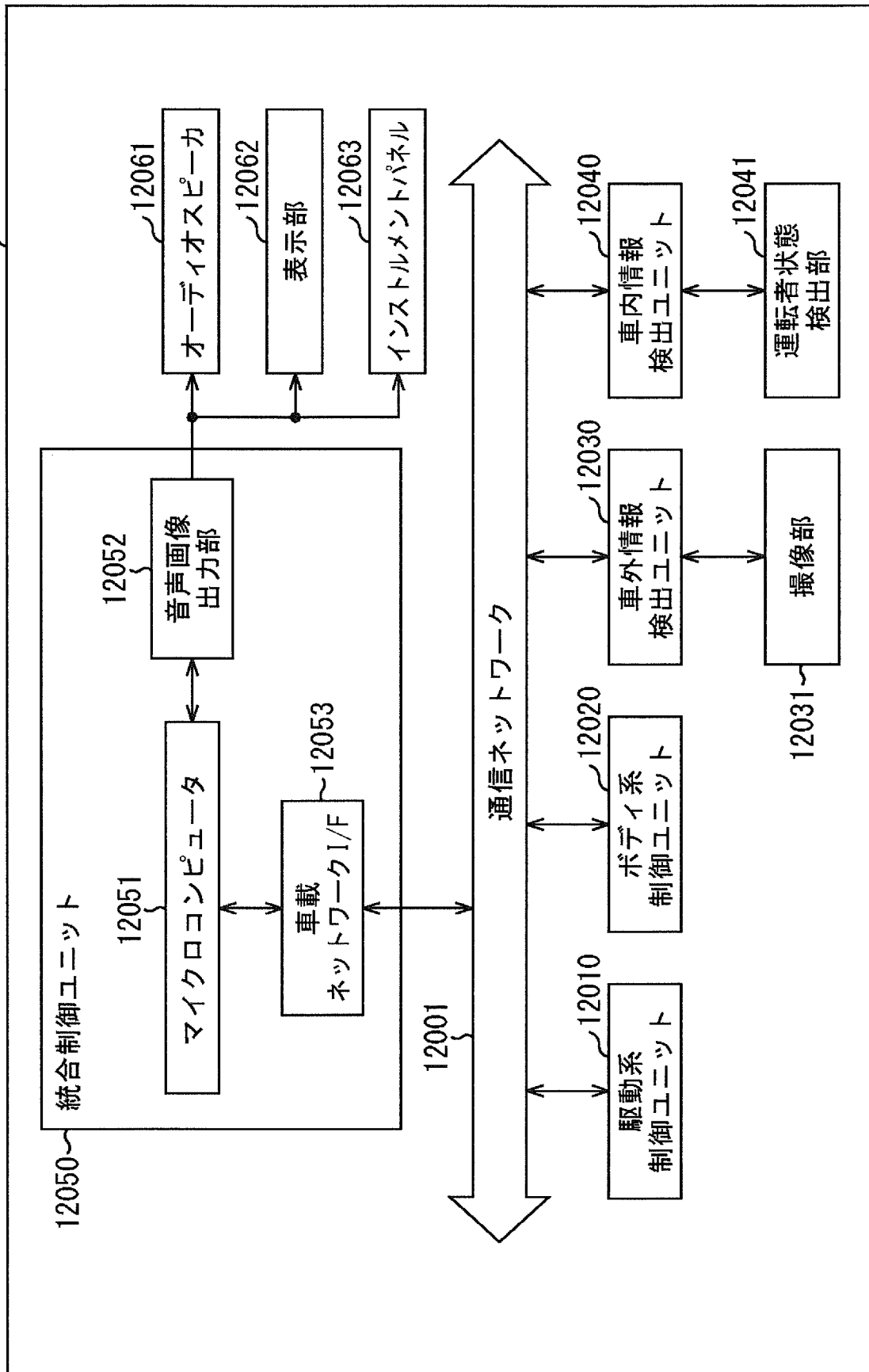


DETEN	TESTIN	SELSW	Z1	Z2	OUT (期待値)		
					接続線正常	接続線 20-1 故障	接続線 20-2 故障
1	X	0	1	0	L	H	-
		1	0	1	L	-	H
0	0	X	X	X	L		
	1				H		

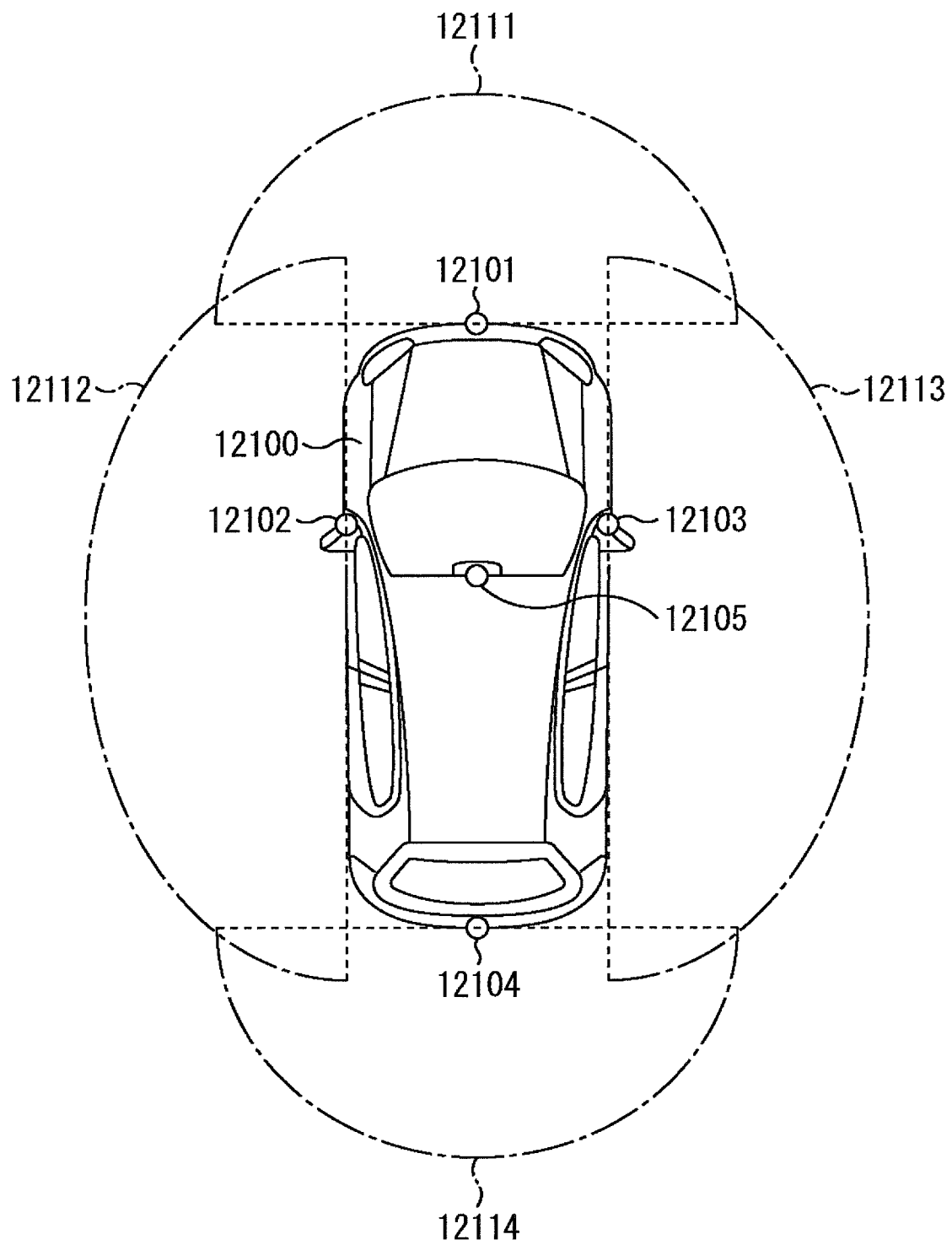
[図19]



[図20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/014587

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/66(2006.01)i; **G01R 31/28**(2006.01)i; **H01L 21/02**(2006.01)i; **H01L 21/3205**(2006.01)i; **H01L 21/768**(2006.01)i; **H01L 21/822**(2006.01)i; **H01L 23/522**(2006.01)i; **H01L 27/04**(2006.01)i; **H04N 25/70**(2023.01)i
 FI: H01L21/66 F; H04N25/70; G01R31/28 V; H01L21/02 B; H01L21/88 S; H01L21/90 A; H01L21/66 E; H01L27/04 T; H01L27/04 D

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/66; G01R31/28; H01L21/02; H01L21/3205; H01L21/768; H01L21/822; H01L23/522; H01L27/04; H04N25/70

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
 Published unexamined utility model applications of Japan 1971-2023
 Registered utility model specifications of Japan 1996-2023
 Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2021/171785 A1 (SONY SEMICONDUCTOR SOLUTIONS CORP) 02 September 2021 (2021-09-02) paragraphs [0036]-[0056], [0063]-[0073], fig. 2-3, 5	1-10
A	JP 2022-50238 A (KIOXIA CORP) 30 March 2022 (2022-03-30) paragraphs [0020]-[0032], fig. 3-5	1-10

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
 “E” earlier application or patent but published on or after the international filing date
 “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 “O” document referring to an oral disclosure, use, exhibition or other means
 “P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 “&” document member of the same patent family

Date of the actual completion of the international search

09 June 2023

Date of mailing of the international search report

20 June 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
 Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2023/014587

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
WO	2021/171785	A1	02 September 2021	CN	115087876	A	
JP	2022-50238	A	30 March 2022	US	2022/0085003	A1	
				paragraphs [0031]-[0043], fig. 3-5			
				CN	114203657	A	
				TW	202213669	A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/66(2006.01)i; G01R 31/28(2006.01)i; H01L 21/02(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 21/822(2006.01)i; H01L 23/522(2006.01)i; H01L 27/04(2006.01)i; H04N 25/70(2023.01)i FI: H01L21/66 F; H04N25/70; G01R31/28 V; H01L21/02 B; H01L21/88 S; H01L21/90 A; H01L21/66 E; H01L27/04 T; H01L27/04 D											
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/66; G01R31/28; H01L21/02; H01L21/3205; H01L21/768; H01L21/822; H01L23/522; H01L27/04; H04N25/70 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922-1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971-2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996-2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994-2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922-1996年	日本国公開実用新案公報	1971-2023年	日本国実用新案登録公報	1996-2023年	日本国登録実用新案公報	1994-2023年	
日本国実用新案公報	1922-1996年										
日本国公開実用新案公報	1971-2023年										
日本国実用新案登録公報	1996-2023年										
日本国登録実用新案公報	1994-2023年										
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>WO 2021/171785 A1（ソニーセミコンダクタソリューションズ株式会社）02.09.2021 (2021-09-02) 段落0036-0056、0063-0073、図2-3、5</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>JP 2022-50238 A（キオクシア株式会社）30.03.2022（2022-03-30） 段落0020-0032、図3-5</td> <td>1-10</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	A	WO 2021/171785 A1（ソニーセミコンダクタソリューションズ株式会社）02.09.2021 (2021-09-02) 段落0036-0056、0063-0073、図2-3、5	1-10	A	JP 2022-50238 A（キオクシア株式会社）30.03.2022（2022-03-30） 段落0020-0032、図3-5	1-10
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号									
A	WO 2021/171785 A1（ソニーセミコンダクタソリューションズ株式会社）02.09.2021 (2021-09-02) 段落0036-0056、0063-0073、図2-3、5	1-10									
A	JP 2022-50238 A（キオクシア株式会社）30.03.2022（2022-03-30） 段落0020-0032、図3-5	1-10									
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。											
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献											
国際調査を完了した日 09.06.2023		国際調査報告の発送日 20.06.2023									
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 堀江 義隆 5F 9172 電話番号 03-3581-1101 内線 3516									

国際調査報告
パテントファミリーに関する情報

国際出願番号

PCT/JP2023/014587

引用文献			公表日	パテントファミリー文献			公表日
WO	2021/171785	A1	02.09.2021	CN	115087876	A	
JP	2022-50238	A	30.03.2022	US	2022/0085003	A1	
				段落 0 0 3 1 - 0 0 4 3、 図 3 - 5			
				CN	114203657	A	
				TW	202213669	A	