



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년09월09일
(11) 등록번호 10-1654135
(24) 등록일자 2016년08월30일

(51) 국제특허분류(Int. Cl.)

G11C 13/00 (2006.01)

(52) CPC특허분류

G11C 13/0038 (2013.01)

G11C 13/0026 (2013.01)

(21) 출원번호 10-2015-0148220

(22) 출원일자 2015년10월23일

심사청구일자 2015년10월23일

(56) 선행기술조사문헌

Yi-Chou Chen et al., 'An Access-Transistor-Free Non-Volatile Resistance Random Access Memory Using an Novel Threshold Switching, Self-Rectifying Chalcogenide Device', IEDM 2003, 8-10 Dec. 2003.

KR1020140049108 A

An Chen, 'Analysis of partial bias schemes for the writing of crossbar memory arrays', IEEE Trans. Electron Devices, Vol. 62, No. 9, pages 2845-2849, Sep. 2015.

(73) 특허권자

이화여자대학교 산학협력단

서울특별시 서대문구 이화여대길 52 (대현동, 이화여자대학교)

(72) 발명자

신형순

서울특별시 서초구 반포대로5길 65, 102동 301호 (서초동, 아이파크빌)

전우경

서울특별시 서대문구 북아현로4마길 18-6 (북아현동)

(74) 대리인

특허법인엠에이피에스

전체 청구항 수 : 총 8 항

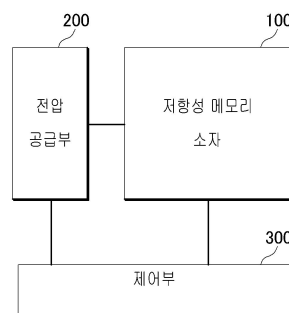
심사관 : 손윤식

(54) 발명의 명칭 저항성 메모리 장치 및 그 구동 방법

(57) 요약

본 발명에 따른 저항성 메모리 장치는 크로스바 어레이 구조를 갖는 메모리 소자, 메모리 소자의 워드라인 및 비트라인에 전압을 공급하는 전압 공급부 및 전압 공급부의 공급 전압을 설정하는 제어부를 포함한다. 이때, 제어부는 메모리 소자의 선택된 셀의 워드라인에 0V의 전압이 인가되도록 설정하고, 나머지 워드라인에 제 1 전압이 인가되도록 설정하고, 선택된 셀의 비트라인에 전원전압이 인가되도록 설정하고, 나머지 비트라인에 제 2 전압이 인가되도록 설정하며, 제 1 전압과 제 2 전압의 합은 전원전압의 합과 동일하고, 그 값이 서로 상이하도록 설정한다.

대표도



(52) CPC특허분류

G11C 13/0028 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711023955

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 기초연구사업(학술진흥)-중견연구자지원사업-핵심연구지원사업(개인)

발 연구과제명 기가비트급 STT-MRAM architecture설계를 위한 물리기반의 고충실도STT-MTJ 매크로 모델개

기 여 율 1/1

주관기관 이화여자대학교 산학협력단

연구기간 2014.05.01 ~ 2017.04.30

명세서

청구범위

청구항 1

저항성 메모리 장치의 구동 방법에 있어서,

선택된 셀의 제 1 데이터 라인에 0V의 전압이 인가되도록 설정하고, 나머지 제 1 데이터 라인에 제 1 전압이 인가되도록 설정하는 단계;

선택된 셀의 제 2 데이터 라인에 전원전압이 인가되도록 설정하고, 나머지 제 2 데이터 라인에 제 2 전압이 인가되도록 설정하는 단계; 및

상기 설정에 따라 각 제 1 데이터 라인과 제 2 데이터 라인에 전압을 인가하는 단계를 포함하되,

상기 제 1 전압과 제 2 전압의 합은 상기 전원전압의 합과 동일하되 그 값이 서로 상이한 것이고, 상기 제 1 데이터 라인과 제 2 데이터 라인은 각각 워드라인 및 비트라인 중 어느 하나이며,

상기 저항성 메모리 장치의 메모리 소자의 기설정된 동작 모드에 따라 상기 제 1 전압 및 상기 제 2 전압을 가변하되,

상기 동작 모드 중 저전력 모드인 경우 상기 제 1 전압은 상기 전원전압에 7/12를 곱한 값으로 설정되고, 상기 동작 모드 중 안전 동작 모드인 경우 상기 제 1 전압은 상기 전원전압에 2/3를 곱한 값으로 설정되는 저항성 메모리 장치의 구동 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 데이터 라인은 워드라인이고, 상기 제 2 데이터 라인은 비트라인이며,

상기 제 1 전압이 상기 전원전압에 7/12를 곱한 값으로 설정된 경우, 상기 제 2 전압은 상기 전원전압에 5/12를 곱한 값으로 설정되고,

상기 제 1 전압이 상기 전원전압에 2/3를 곱한 값으로 설정된 경우, 상기 제 2 전압은 상기 전원전압에 1/3을 곱한 값으로 설정된 저항성 메모리 장치의 구동 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 데이터 라인은 비트라인이고, 상기 제 2 데이터 라인은 워드라인이며,

상기 제 1 전압이 상기 전원전압에 7/12를 곱한 값으로 설정된 경우, 상기 제 2 전압은 상기 전원전압에 5/12를 곱한 값으로 설정되고,

상기 제 1 전압이 상기 전원전압에 2/3를 곱한 값으로 설정된 경우, 상기 제 2 전압은 상기 전원전압에 1/3을 곱한 값으로 설정된 저항성 메모리 장치의 구동 방법.

청구항 4

저항성 메모리 장치에 있어서,

크로스바 어레이 구조를 갖는 메모리 소자,

상기 메모리 소자의 제 1 데이터 라인 및 제 2 데이터 라인에 전압을 공급하는 전압 공급부, 및

상기 전압 공급부의 공급 전압을 설정하는 제어부를 포함하되,

상기 제 1 데이터 라인과 제 2 데이터 라인은 각각 워드라인 및 비트라인 중 어느 하나이고,

상기 제어부는,

상기 메모리 소자의 선택된 셀의 제 1 데이터 라인에 0V의 전압이 인가되도록 설정하고, 나머지 제 1 데이터 라인에 제 1 전압이 인가되도록 설정하고, 상기 메모리 소자의 선택된 셀의 제 2 데이터 라인에 전원전압이 인가되도록 설정하고, 나머지 제 2 데이터 라인에 제 2 전압이 인가되도록 설정하며, 상기 메모리 소자의 기설정된 동작 모드에 따라 상기 제 1 전압 및 상기 제 2 전압을 가변하여 설정하되,

상기 제 1 전압과 제 2 전압의 합은 상기 전원전압의 합과 동일하되 그 값이 서로 상이한 것이고,

상기 동작 모드 중 저전력 모드인 경우 상기 제 1 전압은 상기 전원전압에 7/12을 곱한 값으로 설정되고, 상기 동작 모드 중 안전 동작 모드인 경우 상기 제 1 전압은 상기 전원전압에 2/3를 곱한 값으로 설정되는 저항성 메모리 장치.

청구항 5

제 4 항에 있어서,

상기 제 1 데이터 라인은 워드라인이고, 상기 제 2 데이터 라인은 비트라인이며,

상기 제 1 전압이 상기 전원전압에 7/12을 곱한 값으로 설정된 경우 상기 제 2 전압은 상기 전원전압에 5/12를 곱한 값으로 설정되고,

상기 제 1 전압이 상기 전원전압에 2/3를 곱한 값으로 설정된 경우, 상기 제 2 전압은 상기 전원전압에 1/3을 곱한 값으로 설정된 저항성 메모리 장치.

청구항 6

제 4 항에 있어서,

상기 제 1 데이터 라인은 비트라인이고, 상기 제 2 데이터 라인은 워드라인이며,

상기 제 1 전압이 상기 전원전압에 7/12을 곱한 값으로 설정된 경우 상기 제 2 전압은 상기 전원전압에 5/12를 곱한 값으로 설정되고,

상기 제 1 전압이 상기 전원전압에 2/3를 곱한 값으로 설정된 경우, 상기 제 2 전압은 상기 전원전압에 1/3을 곱한 값으로 설정된 저항성 메모리 장치.

청구항 7

삭제

청구항 8

삭제

청구항 9

제 4 항에 있어서,

상기 제 1 데이터 라인은 워드라인이고, 상기 제 2 데이터 라인은 비트라인이며,

상기 제어부는,

상기 동작 모드 중 독출 모드인 경우 상기 제 1 전압을 상기 전원전압에 2/3 를 곱한 값으로 설정하고,

상기 동작 모드 중 기입 모드인 경우 상기 제 1 전압을 상기 전원전압에 1/2을 곱한 값 또는 상기 전원전압에 7/12을 곱한 값 중 어느 하나로 설정하는 저항성 메모리 장치.

청구항 10

제 4 항에 있어서,

상기 제 1 데이터 라인은 비트라인이고, 상기 제 2 데이터 라인은 워드라인이며,

상기 제어부는,

상기 동작 모드 중 독출 모드인 경우 상기 제 1 전압을 상기 전원전압에 $2/3$ 를 곱한 값으로 설정하고,

상기 동작 모드가 기입 모드인 경우 상기 제 1 전압을 상기 전원전압에 $1/2$ 을 곱한 값 또는 상기 전원전압에 $7/12$ 을 곱한 값 중 어느 하나로 설정하는 저항성 메모리 장치.

발명의 설명

기술 분야

[0001] 본 발명은 저항성 메모리 장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 최근 다양한 형태의 저항성 메모리에 대한 연구가 활발하게 진행되고 있다.

[0003] 저항성 메모리는 두 개의 안정된 상태 사이를 외부의 인가 전압에 의하여 스위칭되는 현상을 이용한다. 특히, 비트라인과 워드라인들이 서로 수직 상태로 배열되고, 비트라인과 워드라인의 교차점에 저항성 소자를 배치한 크로스바 구조의 메모리에 대한 연구가 진행되고 있다.

[0004] 이러한 메모리 구조에서는 선택된 셀의 비트라인에 전원전압(Vdd)을 인가하고 선택된 셀의 워드라인에는 0V의 전압을 인가하며, 나머지 셀의 워드라인과 비트라인에는 각각 $1/2$ 전원전압을 인가하는 구동 방법이 알려져 있다.

[0005] 이와 같은 구동 방법에 따르면, 선택된 셀의 워드라인과 비트라인 사이에는 전원전압이 인가되고, 나머지 셀의 워드라인과 비트라인 사이에는 $1/2$ 전원전압 혹은 0V의 전압이 인가되므로, 선택된 셀에 대해서만 고전압이 인가되도록 제어할 수 있다.

[0006] 그러나 이러한 방법에 의할 경우, 비선택된 셀에 대해서도 전체적으로 $1/2$ 전원전압이 인가되는 만큼, 비선택된 셀에 의한 전력 소모가 높아질 수 있다. 특히, 메모리 소자의 어레이가 커질수록 이러한 전력 소모는 더욱 증가한다는 문제점이 있다..

[0007] 이와 관련하여 대한민국 공개특허 제10-2013-0139217 호(발명의 명칭: 저항성 메모리 디바이스에 대한 기입 및 소거 방식)는 2단자 저항성 메모리 디바이스 프로그래밍 방법을 개시하고 있고, 해당 방법은 디바이스의 저항성 메모리 셀의 제 1 전극에 바이어스 전압을 인가하는 단계; 셀을 통해 흐르는 전류를 측정하는 단계; 및 측정된 전류가 미리 결정된 값 이상인 경우 바이어스 전압의 인가를 중단하는 단계를 포함한다.

발명의 내용

해결하려는 과제

[0008] 본 발명은 전술한 종래 기술의 문제점을 해결하기 위한 것으로서, 본 발명의 일부 실시예는 저항성 메모리 장치의 구동 모드에 따라 저항성 메모리 소자에 인가되는 전압을 가변할 수 있는 저항성 메모리 장치 및 그 구동 방법을 제공하는 것을 그 목적으로 한다.

과제의 해결 수단

[0009] 상술한 기술적 과제를 달성하기 위한 기술적 수단으로서, 본 발명의 제 1 측면에 따른 저항성 메모리 장치의 구동 방법은 (a) 선택된 셀의 제 1 데이터 라인에 0V의 전압이 인가되도록 설정하고, 나머지 제 1 데이터 라인에 제 1 전압이 인가되도록 설정하는 단계; (b) 선택된 셀의 제 2 데이터 라인에 전원전압이 인가되도록 설정하고, 나머지 제 2 데이터 라인에 제 2 전압이 인가되도록 설정하는 단계; 및 (c) 상기 설정된 전압에 따라 각 제 1 데이터 라인과 제 2 데이터 라인에 전압을 인가하는 단계를 포함한다. 이때, 제 1 전압과 제 2 전압의 합은 전원전압의 합과 동일하되, 그 값이 서로 상이한 것이고, 제 1 데이터 라인과 제 2 데이터 라인은 각각 워드라인 및 비트라인 중 어느 하나인 것이다.

[0010] 또한, 본 발명의 제 2 측면에 따른 저항성 메모리 장치는 크로스바 어레이 구조를 갖는 메모리 소자, 메모리 소자의 제 1 데이터 라인 및 제 2 데이터 라인에 전압을 공급하는 전압 공급부 및 전압 공급부의 공급 전압을 설정하는 제어부를 포함한다. 이때, 제어부는 상기 메모리 소자의 선택된 셀의 제 1 데이터 라인에 0V의 전압이

인가되도록 설정하고, 나머지 제 1 데이터 라인에 제 1 전압이 인가되도록 설정하고, 선택된 셀의 제 2 데이터 라인에 전원전압이 인가되도록 설정하고, 나머지 제 2 데이터 라인에 제 2 전압이 인가되도록 설정하되, 제 1 전압과 제 2 전압의 합은 전원전압의 합과 동일하고, 그 값이 서로 상이한 것이고, 제 1 데이터 라인과 제 2 데이터 라인은 각각 워드라인 및 비트라인 중 어느 하나인 것이다.

발명의 효과

[0011] 전술한 본 발명의 과제 해결 수단에 의하면, 저항성 메모리 장치의 구동 모드에 맞게 최적의 구동 전압을 인가함으로써, 저항성 메모리 장치에서 소모되는 전력을 최소화 하거나, 동작의 안정성을 향상시킬 수 있다.

도면의 간단한 설명

[0012] 도 1a 및 도 1b는 본 발명에 적용되는 저항성 메모리의 구조 및 통상적인 저항성 메모리의 구동 방법을 설명하기 위한 도면이다.

도 2 는 본 발명의 일 실시예에 따른 저항성 메모리 장치를 도시한 도면이다.

도 3은 본 발명의 일 실시예에 따른 저항성 메모리 소자에 대한 전압 공급 방법을 설명하기 위한 도면이다.

도 4는 본 발명의 일 실시예에 따른 저항성 메모리 소자에 대한 전압 공급 방법을 설명하기 위한 도면이다.

도 5는 본 발명의 일 실시예에 따른 저항성 메모리 장치의 구동 방법을 도시한 순서도이다.

도 6은 본 발명의 일 실시예에 따른 저항성 메모리 장치의 구동 방법에 대한 실험 결과를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

[0013] 아래에서는 첨부한 도면을 참조하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 본 발명의 실시예를 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다. 그리고 도면에서 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 유사한 부분에 대해서는 유사한 도면 부호를 붙였다.

[0014] 명세서 전체에서, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 소자를 사이에 두고 "전기적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0015] 도 1a 및 도 1b는 본 발명에 적용되는 저항성 메모리의 구조 및 통상적인 저항성 메모리의 구동 방법을 설명하기 위한 도면이다.

[0016] 도 1a에 도시된 바와 같이, 복수의 비트라인(BL_0 , BL_1)와 워드라인(WL_0 , WL_1)이 서로 교차하는 구조를 가지며, 비트라인과 워드라인의 교차점에 저항성 소자가 배치된다. 비트라인과 워드라인을 통해 인가되는 전압에 따라 저항성 소자의 저항 상태가 고저항 또는 저저항 상태를 갖게되며, 이러한 특성을 이용하여 데이터를 기록한다. 저장된 데이터를 독출할시에는 저항성 소자에 전압을 공급하고, 저항성 소자의 상태에 따라 저항성 소자에 흐르는 전류가 상이해짐을 센싱하여 저항성 소자의 상태를 확인한다.

[0017] 한편, 이와 같은 저항성 메모리의 구조는 크로스바 메모리 구조로 지칭된다.

[0018] 이와 같은 구조의 저항성 메모리가 어레이 형태로 배치된 경우, 그 구동방법에 대하여 살펴보기로 한다.

[0019] 도 1b에 도시된 바와 같이, 선택된 셀(10)의 비트라인에 전원전압(V_{dd})을 인가하고 선택된 셀(10)의 워드라인에는 0V의 전압을 인가하며, 나머지 셀의 워드라인과 비트라인에는 각각 1/2 전원전압을 인가하는 구동 방법이 알려져 있다. 이하에서는 이를 1/2 전원전압 바이어싱 방법이라고 정의한다.

[0020] 이와 같은 구동 방법에 따르면, 선택된 셀(10)의 워드라인과 비트라인 사이에는 전원전압이 인가되고, 나머지 셀의 워드라인과 비트라인 사이에는 1/2 전원전압이 인가되므로, 선택된 셀에 대해서만 고전압이 인가되도록 제어할 수 있다. 이를 통해, 선택된 셀의 프로그램 상태를 변경할 수 있다.

[0021] 그러나, 이와 같은 방법에 따른 경우, 비선택된 셀(12, 14)에 대해서 1/2 전원전압 이 인가되는 만큼, 해당 셀의 비트라인 또는 워드라인을 경유하는 전류에 의하여 전압 강하를 통한 전압 손실이 발생할 가능성이

높아진다.

[0022] 도 2 는 본 발명의 일 실시예에 따른 저항성 메모리 장치를 도시한 도면이다.

[0023] 저항성 메모리 장치(20)는 저항성 메모리 소자(100), 전압 공급부(200) 및 제어부(300)를 포함한다.

[0024] 저항성 메모리 소자(100)는 앞서 설명한 저항성 메모리가 어레이 형태로 배열된 것이다.

[0025] 전압 공급부(200)는 저항성 메모리 소자(100)의 비트라인과 워드라인에 각각 설정된 전압을 공급한다. 전압 공급부(200)는 비트라인과 워드라인에 각각 전원전압(Vdd)과 0V의 전압을 공급하거나, 그 사이에 위치하는 값을 가진 전압을 공급한다. 이때, 각 비트라인과 워드라인에 공급할 전압은 제어부(300)에 의하여 설정된다. 전압 공급부(200)의 구체적인 구성은 종래 메모리 소자의 구성을 사용하므로, 이에 대한 상세한 설명은 생략하도록 한다.

[0026] 제어부(300)는 전압 공급부(200)에 대하여 저항성 메모리 소자(100)의 구동을 위한 전압 공급의 설정에 대한 제어 신호를 전송한다. 제어부(300)는 선택된 셀의 워드라인과 비트라인 사이에 전원전압이 인가되도록 설정하고, 나머지 셀의 워드라인과 비트라인 사이에는 그보다 작은 전압이 인가되도록 설정한다.

[0027] 예를 들면, 제어부(300)는 선택된 셀의 워드라인에 0V의 전압이 인가되도록 설정하고, 나머지 워드라인에 제 1 전압이 인가되도록 설정한다. 또한, 선택된 셀의 비트라인에 전원전압이 인가되도록 설정하고, 나머지 비트라인에 제 2 전압이 인가되도록 설정한다. 이때, 제 1 전압과 제 2 전압의 합은 전원전압의 합과 동일하되, 그 값은 상이하도록 설정한다.

[0028] 예를 들면, 제어부(300)는 제 1 전압을 전원전압에 7/12을 곱한 것으로 설정하거나, 전원전압에 2/3를 곱한 것으로 설정할 수 있다. 그에 따른 제 2 전압의 설정은 아래 표 1과 같이 결정될 수 있다.

표 1

구분	제 1 전압	제 2 전압
예시 1	7/12 Vdd	5/12 Vdd
예시 2	2/3 Vdd	1/3 Vdd

[0030] 다른 실시예로서, 제어부(300)는 선택된 셀의 비트라인에 0V의 전압이 인가되도록 설정하고, 나머지 비트라인에 제 1 전압이 인가되도록 설정한다. 또한, 선택된 셀의 워드라인에 전원전압이 인가되도록 설정하고, 나머지 워드라인에 제 2 전압이 인가되도록 설정한다. 이때, 제 1 전압과 제 2 전압의 합은 전원전압의 합과 동일하되, 그 값은 상이하도록 설정한다.

[0031] 예를 들면, 제어부(300)는 제 1 전압을 전원전압에 7/12를 곱한 것으로 설정하거나, 전원전압에 2/3를 곱한 것으로 설정할 수 있다. 그에 따른 제 2 전압의 설정은 아래 표 2와 같이 결정될 수 있다.

표 2

구분	제 1 전압	제 2 전압
예시 1	7/12 Vdd	5/12 Vdd
예시 2	2/3 Vdd	1/3 Vdd

[0033] 또한, 제어부(300)는 저항성 메모리 소자의 동작 모드에 따라 제 1 전압과 제 2 전압을 가변하여 설정한다. 예를 들어, 전력 소모를 최소화하기 위한 저전력 모드의 경우에는 제 1 전압을 전원전압에 7/12을 곱한 것으로 설정한다. 또한, 전력 소모를 줄이기 보다는 데이터 기록의 안정성을 중시하는 안전 모드의 경우에는 제 1 전압을 전원전압에 2/3를 곱한 것으로 설정한다.

[0034] 또한, 제어부(300)는 저항성 메모리 소자에 대하여 데이터를 독출하는 독출 모드인 경우에는 제 1 전압을 전원전압에 2/3를 곱한 것으로 설정하고, 데이터를 기록하는 기입 모드인 경우에는 제 1 전압을 전원전압에 7/12을 곱한 것으로 설정한다. 제 1 전압의 설정과 관련한 배경에 대해서는 추후 상세히 설명하기로 한다.

[0035] 도 3은 본 발명의 일 실시예에 따른 저항성 메모리 소자에 대한 전압 공급 방법을 설명하기 위한 도면이다.

[0036] 도 3에 도시된 바와 같이, 선택된 셀의 워드라인에는 0V를 인가하고, 선택된 셀의 비트라인에는 전원전압(Vdd)

을 인가하여, 선택된 셀의 워드라인과 비트라인의 전압 차이가 전원전압이 되도록 한다.

- [0037] 그리고, 나머지 워드라인에는 $2/3$ 전원전압을 인가하고, 나머지 비트라인에는 $1/3$ 전원전압을 인가하여, 비선택된 셀의 워드라인과 비트라인 사이에는 $1/3$ 전원전압이 인가되도록 한다. 이하에서는 이를 $1/3$ 전원전압 바이어싱 방법이라고 정의한다.
- [0038] 이러한 구성에 따르면, 비선택된 셀들(32, 34)에 인가되는 전압이 각각 $1/3$ 전원전압으로 감소하므로, 도 1b의 구성에 비하여 비선택된 셀(32, 34)에 연결된 워드라인과 비트라인에서의 전압 강하를 최소화할 수 있다. 다만, 비선택된 셀들(36)에도 $1/3$ 전원전압이 인가되므로, 이에 의한 전력 소모가 발생할 수 있다.
- [0039] 한편, 도면과는 달리, 선택된 셀의 워드라인에는 전원전압을 인가하고, 선택된 셀의 비트라인에는 0V를 인가하여, 선택된 셀의 워드라인과 비트라인의 전압 차이가 전원전압이 되도록 실시예를 변경할 수 있다.
- [0040] 마찬가지로, 나머지 워드라인에는 $1/3$ 전원전압을 인가하고, 나머지 비트라인에는 $2/3$ 전원전압을 인가하여, 비선택된 셀의 워드라인과 비트라인 사이에는 $1/3$ 전원전압이 인가되도록 되도록 실시예를 변경할 수 있다.
- [0041] 도 4는 본 발명의 일 실시예에 따른 저항성 메모리 소자에 대한 전압 공급 방법을 설명하기 위한 도면이다.
- [0042] 도 4에 도시된 바와 같이, 선택된 셀의 워드라인에는 0V를 인가하고, 선택된 셀의 비트라인에는 전원전압(Vdd)을 인가하여, 선택된 셀의 워드라인과 비트라인의 전압 차이가 전원전압이 되도록 한다.
- [0043] 그리고, 나머지 워드라인에는 $7/12$ 전원전압을 인가하고, 나머지 비트라인에는 $5/12$ 전원전압을 인가하여, 비선택된 셀들(42, 44)의 워드라인과 비트라인 사이에는 $5/12$ 전원전압이 인가되도록 하고, 비선택된 셀들(46)의 워드라인과 비트라인 사이에는 $2/12$ 전원전압이 인가되도록 한다. 이하에서는 이를 $5/12$ 전원전압 바이어싱 방법이라고 정의한다.
- [0044] 이러한 구성에 따라, 도 3의 구성에 비하여, 비선택된 셀들(46)에 인가되는 전압이 $1/3$ 전원전압에서 $2/12$ 전원전압으로 감소하므로, 전력 소모를 최소화할 수 있다. 또한, 비선택된 셀들(42, 44)에 인가되는 전압이 각각 $5/12$ 전원전압으로 감소하므로, 도 1b의 구성에 비하여 비선택된 셀(42, 44)에 연결된 워드라인과 비트라인에서의 전압 강하를 최소화할 수 있다.
- [0045] 즉, 도 1b의 구성에 비하면, 선택된 셀의 워드라인과 비트라인을 통해 발생하는 전압 강하를 최소화할 수 있고, 도 3의 구성에 비하면, 비선택된 셀에 의하여 발생하는 전력 소모를 최소화할 수 있다.
- [0046] 한편, 도면과는 달리, 선택된 셀의 워드라인에는 전원전압을 인가하고, 선택된 셀의 비트라인에는 0V를 인가하여, 선택된 셀의 워드라인과 비트라인의 전압 차이가 전원전압이 되도록 실시예를 변경할 수 있다.
- [0047] 마찬가지로, 나머지 워드라인에는 $5/12$ 전원전압을 인가하고, 나머지 비트라인에는 $7/12$ 전원전압을 인가하는 형태로 실시예를 변경할 수 있다.
- [0048] 도 5는 본 발명의 일 실시예에 따른 저항성 메모리 장치의 구동 방법을 도시한 순서도이다.
- [0049] 먼저, 선택된 셀의 워드라인 및 나머지 워드라인에 인가될 전압을 설정하고(S510), 선택된 셀의 비트라인 및 나머지 비트라인에 인가될 전압을 설정한다(S520).
- [0050] 이때, 도면에서는 워드라인 전압을 먼저 설정하고 비트라인 전압을 먼저 설정하는 것으로 도시되어 있으나, 이는 설명의 간단을 위한 것으로, 그 순서는 변경될 수 있으며, 비트라인 전압과 워드라인 전압을 동시에 설정할 수 있다.
- [0051] 본 발명에서는 앞서 설명한 바와 같이, 선택된 셀의 워드라인과 비트라인 사이에 최대 전압인 전원전압이 인가되도록 설정하고, 나머지 셀에는 그 보다 작은 전압이 인가되도록 설정한다.
- [0052] 예를 들면, 선택된 셀의 비트라인에는 전원전압이 인가되도록 설정하고, 선택된 셀의 워드라인에는 0V 전압이 인가되도록 설정한다. 그리고, 나머지 비트라인에는 $1/3$ 전원전압이 인가되도록 설정하고, 나머지 워드라인에는 $2/3$ 전원전압이 인가되도록 설정한다. 이와 같은 구성에 따라, 나머지 셀의 비트라인과 워드라인 사이에는 $1/3$ 전원전압이 인가된다.
- [0053] 다른 실시예로는, 나머지 비트라인에는 $5/12$ 전원전압이 인가되도록 설정하고, 나머지 워드라인에는 $7/12$ 전원전압이 인가되도록 설정한다. 이와 같은 구성에 따라, 나머지 셀에는 비트라인과 워드라인 사이에는 $2/12$ 전원전압 또는 $5/12$ 전원전압이 인가된다.

- [0054] 앞선 단계(S510, S520)에서 설정된 전압에 따라 저항성 메모리 소자에 대하여 구동 전압을 각각 공급한다(S530).
- [0055] 이와 같은 구동 방법은 저항성 메모리 소자에 대한 데이터 기록 동작 또는 독출 동작시에도 활용될 수 있다.
- [0056] 도 6은 본 발명의 일 실시예에 따른 저항성 메모리 장치의 구동 방법에 대한 실험 결과를 도시한 것이다.
- [0057] 도 6의 (a)은, 선택된 셀에 연결된 비트라인 또는 워드라인을 따라 전압강하(IR Drop)가 발생하는 비율을 도시한 것이다.
- [0058] 도시된 바와 같이, 제1전압이 작아질수록, 전압 강하가 증가함을 확인할 수 있고, 특히, 1/2 전원전압 바이어싱 방법에 비하여, 5/12 전원전압 바이어싱 방법 또는 1/3 전원전압 바이어싱 방법의 전압 강하가 더 작아짐을 확인할 수 있다.
- [0059] 도 6의 (b)는, 저항성 메모리 소자에서 발생하는 전력 소모를 도시한 것이다.
- [0060] 도시된 바와 같이, 제1전압과 전력소모와는 일정한 비례관계가 존재하지 않음을 확인할 수 있다. 여러 바이어싱 방법 중 5/12 전원전압 바이어싱 방법의 전력 소모가 가장 작음을 확인할 수 있다.
- [0061] 이러한 실험 결과에 비추어, 전압 강하와 전력 소모를 모두 고려한다면, 5/12 전원전압 바이어싱 방법이 가장 최적의 조건인 것으로 확인할 수 있다.
- [0062] 이와 같은 특성에 비추어, 저항성 메모리 소자의 구동 상태에 따라 적절한 구동 전압을 가변하여 인가하도록 한다.
- [0063] 즉, 저전력 구동이 필요한 경우, 제어부(300)는 5/12 전원전압 바이어싱 방법을 선택한다.
- [0064] 또한, 안전 모드인 경우에는 독출 과정에서 각 셀을 통해 센싱된 전압 상태와 기준 전압 간의 마진을 여유있게 확보하는 것이 중요하며, 이를 위해 비트라인 또는 워드라인을 따라 발생하는 전압 강하를 최소화시키는 것이 필요하다. 따라서, 안전 모드가 필요한 경우, 제어부(300)는 1/3 전원전압 바이어싱 방법을 선택한다.
- [0065] 한편, 독출 동작시와 기입 동작시에 소모되는 전력을 살펴보면, 기입 동작시에 사용되는 전압이 더 크기 때문에, 기입 동작시에 소모되는 전력이 더 많다. 따라서, 독출 동작시에는 1/3 전원전압 바이어싱 방법을 선택하고, 기입 동작시에는 5/12 전원전압 바이어싱 방법 또는 1/2 전원전압 바이어싱 방법을 선택하도록 한다.
- [0066] 전술한 본 발명의 설명은 예시를 위한 것이며, 본 발명이 속하는 기술분야의 통상의 지식을 가진 자는 본 발명의 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 쉽게 변형이 가능하다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 예를 들어, 단일형으로 설명되어 있는 각 구성 요소는 분산되어 실시될 수도 있으며, 마찬가지로 분산된 것으로 설명되어 있는 구성 요소들도 결합된 형태로 실시될 수 있다.
- [0067] 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 균등 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

- [0068] 10, 20, 30, 40, 50: 단위 셀
- 410: 게이트 라인
- 411: 제 1 그룹 게이트 라인
- 413: 제 2 그룹 게이트 라인
- 420: 소스 라인
- 430: 비트 라인
- 431: 제 1 그룹 비트 라인
- 433: 제 2 그룹 비트 라인

440, 445: 자기 저항 메모리 셀

441, 446: 자기터널 접합 소자

443, 448: 스위칭 소자

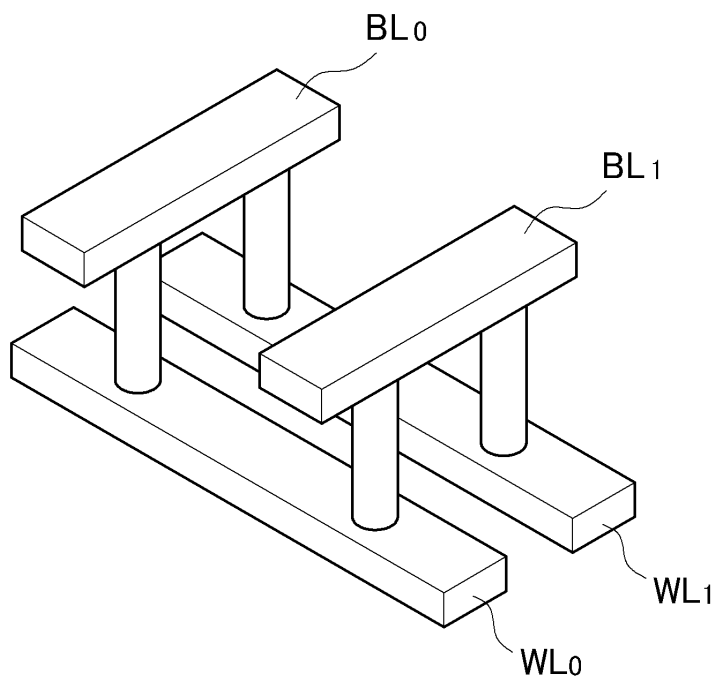
510: 게이트 라인

511: 제 1 그룹 게이트 라인

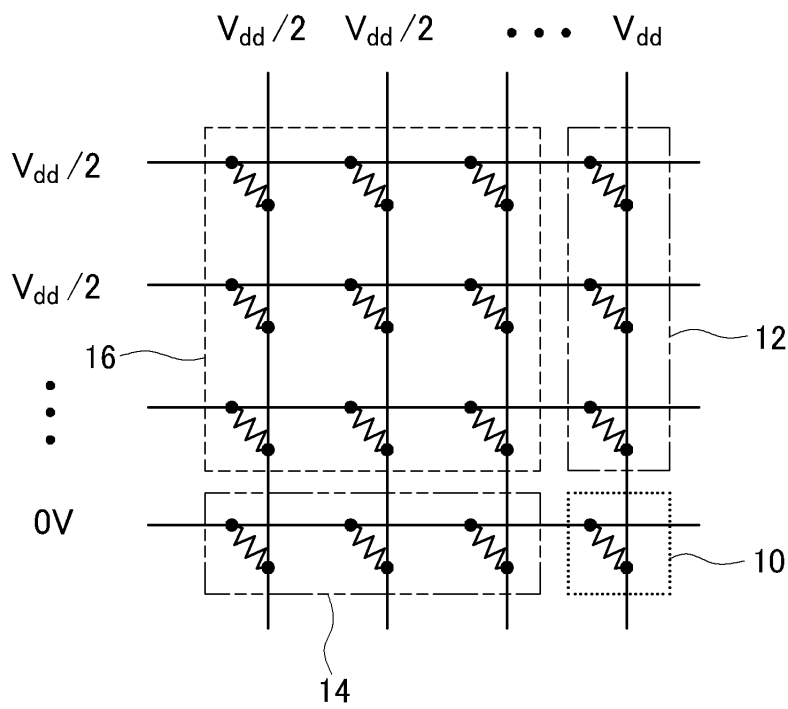
513: 제 2 그룹 게이트 라인

도면

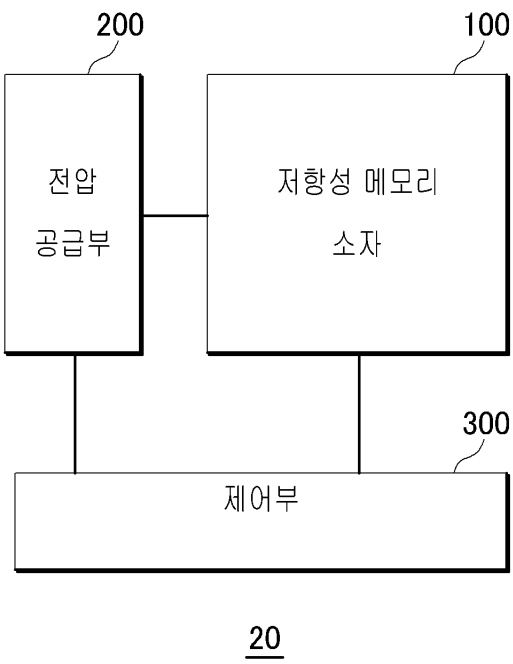
도면1a



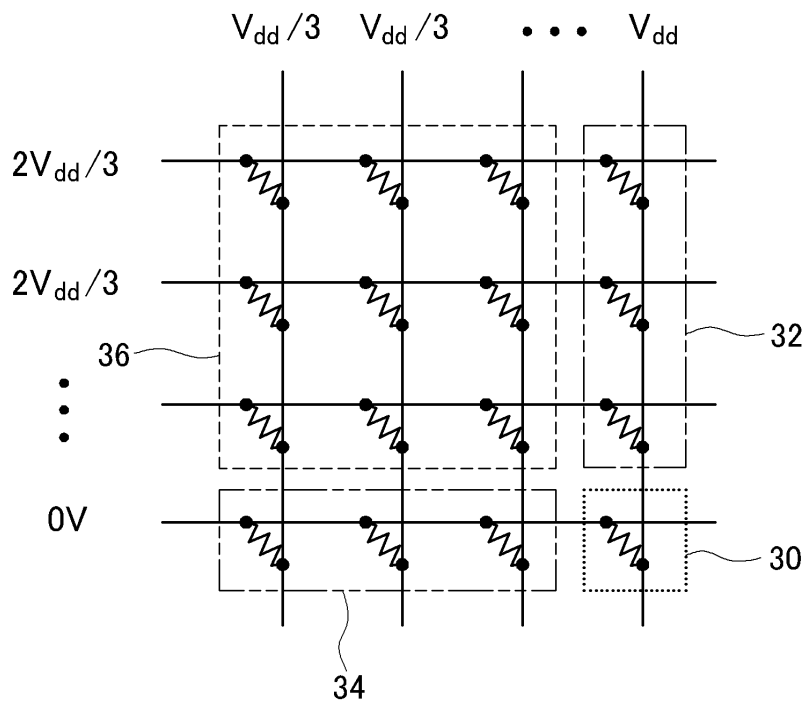
도면1b



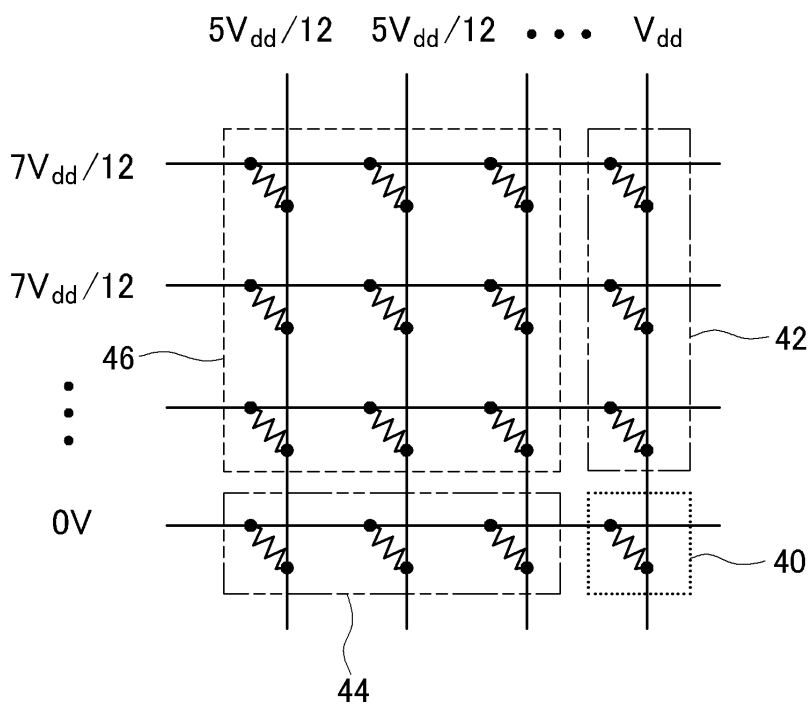
도면2



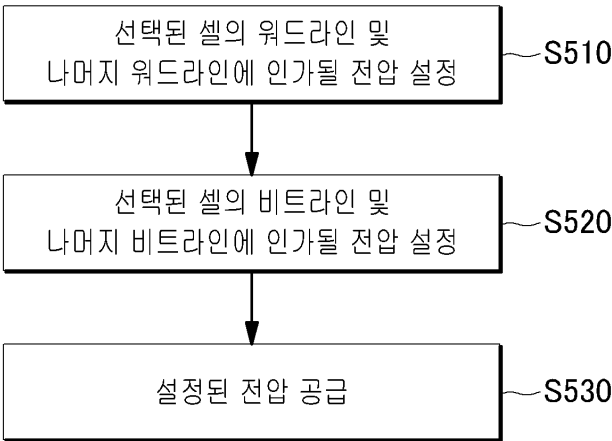
도면3



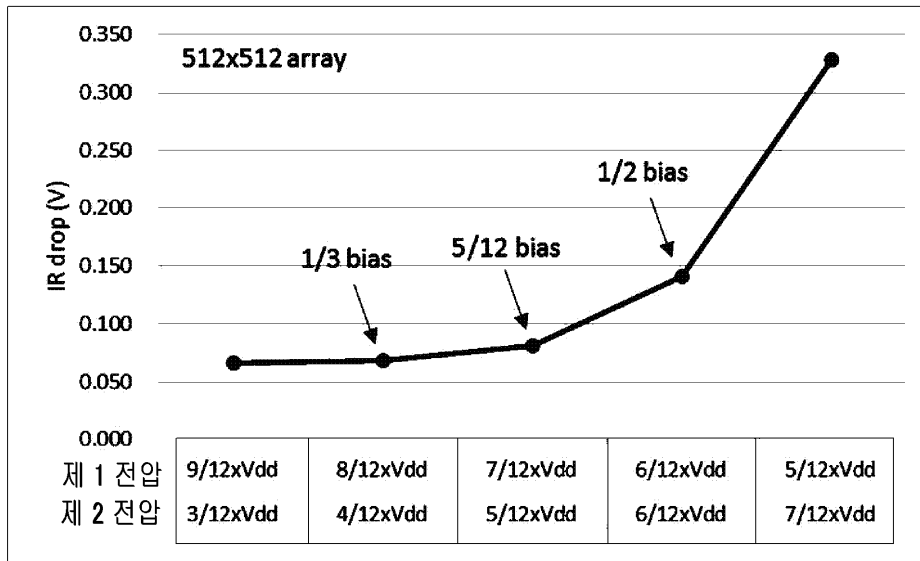
도면4



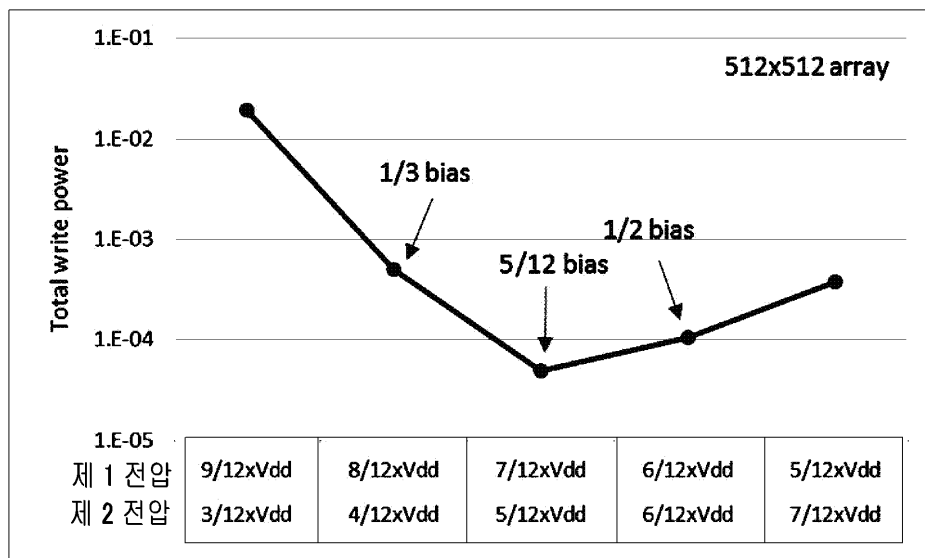
도면5



도면6



(a)



(b)

【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 제2항, 여덟 번째 줄

【변경전】

방법. 저항성 메모리 장치의 구동 방법.

【변경후】

방법.