

【公報種別】 特許法第 17 条の 2 の規定による補正の掲載
【部門区分】 第 7 部門第 3 区分
【発行日】 平成 17 年 11 月 10 日 (2005.11.10)

【公表番号】 特表 2001-515673 (P2001-515673A)

【公表日】 平成 13 年 9 月 18 日 (2001.9.18)

【出願番号】 特願 平 10-540443

【国際特許分類第 7 版】

H 0 4 B 1/04

H 0 3 F 3/20

H 0 3 F 3/72

【F I】

H 0 4 B 1/04 P

H 0 3 F 3/20

H 0 3 F 3/72

【手続補正書】

【提出日】 平成 17 年 3 月 14 日 (2005.3.14)

【手続補正 1】

【補正対象書類名】 明細書

【補正対象項目名】 補正の内容のとおり

【補正方法】 変更

【補正の内容】

手 続 補 正 書



平成17年 3月14日

特 許 庁 長 官 殿

1. 事 件 の 表 示

特願平10-540443号

2. 補正をする者

テレフオンアクチーボラゲット エル エム
エリクソン (パブル)

3. 代 理 人

〒102-0094

東京都千代田区紀尾井町3番6号

秀 和 紀 尾 井 町 パ ー ク ビ ル 7 F

TEL 03 (5276) 3241 (代表)

FAX 03 (5276) 3242 (代表)

(7642) 弁理士 大塚 康德
連絡先 担当 大塚 康德

4. 補 正 の 対 象

明細書、請求の範囲の欄及び図4



5. 補正の内容

- (1) 特許請求の範囲の補正については、別紙の通り。
- (2) 図4の補正については、別紙の通り。
- (3) 明細書第11頁第20行の「F E T 7 6」を、「F E T 6 6」と補正する。

特願平 10-540443 号

特許請求の範囲の補正

1. 電力増幅器のための電源インターフェース回路であって、
前記電力増幅器に電源電圧を供給する電源と、
前記電源と前記電力増幅器との間に結合されて、前記電源を前記電力増幅器に選択的に接続する n チャンネル MOSFET と、
供給制御信号に応答して前記 n チャンネル MOSFET を制御するスイッチ制御回路であって、前記供給制御信号が前記 n チャンネル MOSFET をオフにする第 1 バイナリ状態と前記 n チャンネル MOSFET をオンにする第 2 バイナリ状態とを有し、前記供給制御信号が前記 n チャンネル MOSFET をオフにする第 1 ゲート電圧と前記 n チャンネル MOSFET をオンにする第 2 ゲート電圧とを生成する前記スイッチ制御回路と、
前記電源電圧とは独立に前記第 2 ゲート電圧を調整するために、前記 n チャンネル MOSFET に接続されるツェナー・ダイオードとを有することを特徴とする電源インターフェース回路。
2. 前記供給制御信号は、前記第 1 バイナリ状態の間は第 1 電圧レベルを、前記第 2 バイナリ状態の間は第 2 電圧レベルを有し、前記 n チャンネル MOSFET は、前記第 1 電圧レベルに応答してオフにされ、前記第 2 電圧レベルに応答してオンにされることを特徴とする請求項 1 に記載の電源インターフェース回路。
3. 前記 n チャンネル MOSFET はゲート・ソース間接合部を有し、前記第 1 電圧レベルは、前記 n チャンネル MOSFET のゲート・ソース間接合部に第 1 ゲート電圧を生じさせ、前記第 2 電圧レベルは、前記 n チャンネル MOSFET の前記ゲート・ソース間接合部に第 2 ゲート電圧を生じさせることを特徴とする請求項 2 に記載の電源インターフェース回路。
4. 前記スイッチ制御回路は、前記第 2 ゲート電圧を提供するコンデ

ンサを含むことを特徴とする請求項 3 に記載の電源インターフェース回路。

5. 前記第 1 ゲート電圧はスレシヨルド・レベルより小さいことを特徴とする請求項 3 に記載の電源インターフェース回路。

6. 前記第 2 ゲート電圧は、スレシヨルド・レベルより大きい又はそれに等しいことを特徴とする請求項 3 に記載の電源インターフェース回路。

7. 基準電圧を発生させる基準電圧発生器を更に含み、前記第 1 バイナリ状態の間は、前記コンデンサは前記基準電圧レベルに充電され、前記第 2 バイナリ状態の間は、前記供給制御信号は前記コンデンサを介して前記 n チャンネル MOS F E T に結合されることを特徴とする請求項 4 に記載の電源インターフェース回路。

8. 前記第 1 バイナリ状態及び前記第 2 バイナリ状態の間、前記コンデンサの接続を制御するために、前記供給制御信号に応答するコンデンサ・スイッチ回路を更に含むことを特徴とする請求項 7 に記載の電源インターフェース回路。

9. 前記コンデンサ・スイッチ回路は MOS F E T を含むことを特徴とする請求項 8 に記載の電源インターフェース回路。

10. 前記コンデンサ・スイッチ回路はバイポーラ・トランジスタを含むことを特徴とする請求項 8 に記載の電源インターフェース回路。

11. 前記基準電圧は前記電源により供給され、前記スレシヨルド・レベルより大きい第 2 ゲート電圧を供給するために、ツェナー・ダイオードが前記 n チャンネル MOS F E T のゲートに結合されることを特徴とする請求項 7 に記載の電源インターフェース回路。

12. 前記 n チャンネル MOS F E T は、前記電源電圧に結合されたドレインと、前記電力増幅器に結合されたソースとを有することを特徴とする請求項 7 に記載の電源インターフェース回路。

13. 電力増幅器のための電源インターフェース回路であって、
前記電力増幅器に電源電圧を供給する電源と、

前記電源と前記電力増幅器との間に結合されて、オン状態にバイアスされたときには前記電源電圧を前記電力増幅器に接続し、オフ状態にバイアスされたときには前記電源電圧を前記電力増幅器から切り離すnチャネルMOSFETと、

第1バイナリ状態の間は前記nチャネルMOSFETをオフ状態にバイアスする第1ゲート電圧レベルを有し、第2バイナリ状態の間は前記nチャネルMOSFETをオン状態にバイアスする第2ゲート電圧レベルを有する供給制御信号に応答して、前記nチャネルMOSFETを制御するスイッチ制御回路と、

前記電源電圧とは独立に前記第2ゲート電圧レベルを調整するために、前記nチャネルMOSFETに接続されるツェナー・ダイオードとを有することを特徴とする電源インターフェース回路。

14. 前記第1電圧レベルはnチャネルMOSFETのゲート・ソース間接合部に第1ゲート電圧を生じさせ、前記第2電圧レベルは第2ゲート電圧を生じさせることを特徴とする請求項13に記載の電源インターフェース回路。

15. 前記スイッチ制御回路は、前記第2ゲート電圧を印加するコンデンサを包むことを特徴とする請求項14に記載の電源インターフェース回路。

16. 前記第1ゲート電圧はスレシヨルドレベルより小さいことを特徴とする請求項14に記載の電源インターフェース回路。

17. 前記第2ゲート電圧は前記スレシヨルドレベルより大きい又はそれと等しいことを特徴とする請求項14に記載の電源インターフェース回路。

18. 前記スレシヨルドレベルより大きい第2ゲート電圧を供給するために、前記nチャネルMOSFETのゲートにツェナー・ダイオードが結合されていることを特徴とする請求項14に記載の電源インターフェース回路。

19. 前記nチャネルMOSFETは、前記電源電圧に結合されたドレ

インと、前記電力増幅器に結合されたソースとを有することを特徴とする請求項 13 に記載の電源インターフェース回路。

20. 電力増幅器と、

前記電力増幅器へ電源電圧を供給する電源と、

前記電源と前記電力増幅器との間に結合されて、オンにされたときには前記電源電圧を前記電力増幅器に接続し、オフにされたときには前記電源電圧を前記電力増幅器から切り離す n チャンネル MOS FET と、

供給制御信号に応答して前記 n チャンネル MOS FET を制御するスイッチ制御回路であって、前記供給制御信号が、前記 n チャンネル MOS FET がオフにされる第 1 バイナリ状態と、前記 n チャンネル MOS FET がオンにされる第 2 バイナリ状態とを有する前記スイッチ制御回路と、

前記 n チャンネル MOS FET をオンにするゲート電圧を前記電源とは独立に調整するために、前記 n チャンネル MOS FET に接続されるツェナー・ダイオードとを有することを特徴とする時分割多元接続送信装置。

21. 前記供給制御信号は、前記第 1 バイナリ状態の間は前記 n チャンネル MOS FET をオフにする第 1 電圧レベルと、前記第 2 バイナリ状態の間は前記 n チャンネル MOS FET をオンにする第 2 電圧レベルとを有することを特徴とする請求項 20 に記載の時分割多元接続送信装置。

22. 前記第 1 電圧レベルは前記 n チャンネル MOS FET のゲート・ソース間接合部に第 1 ゲート電圧を生じさせ、前記第 2 電圧レベルは第 2 ゲート電圧を生じさせることを特徴とする請求項 21 に記載の時分割多元接続送信装置。

23. 前記スイッチ制御回路は前記第 2 バイナリ状態の間に前記第 2 ゲート電圧を提供するコンデンサを含むことを特徴とする請求項 22 に記載の時分割多元接続送信装置。

24. 前記第 1 ゲート電圧はスレショルド・レベルより小さいことを特徴とする請求項 22 に記載の時分割多元接続送信装置。

25. 前記第2ゲート電圧は前記スレシヨルド・レベルより大きいか又はそれに等しいことを特徴とする請求項22に記載の時分割多元接続送信装置。

26. 基準電圧を発生させる基準電圧発生器を更に含み、前記第1バイナリ状態の間、前記コンデンサは前記基準電圧レベルに充電され、前記第2バイナリ状態の間、前記供給制御信号は前記コンデンサを介して前記nチャネルMOSFETに結合されることを特徴とする請求項23に記載の時分割多元接続送信装置。

27. 前記供給制御信号に応答して、前記第1及び第2のバイナリ状態の間で前記コンデンサの接続を制御するコンデンサ・スイッチ回路を更に含むことを特徴とする請求項26に記載の時分割多元接続送信装置。

28. 前記コンデンサ・スイッチ回路はMOSFETを含むことを特徴とする請求項27に記載の時分割多元接続送信装置。

29. 前記コンデンサ・スイッチ回路はバイポーラ・トランジスタを含むことを特徴とする請求項27に記載の時分割多元接続送信装置。

30. 前記基準電圧は前記電源により供給され、前記スレシヨルド・レベルより大きな第2ゲート電圧を供給するために、ツェナー・ダイオードが前記nチャネルMOSFETのゲートに結合されることを特徴とする請求項26に記載の電源インターフェース回路。

31. 前記nチャネルMOSFETは、前記電源電圧に結合されたドレインと、前記電力増幅器に結合されたソースとを有することを特徴とする請求項20に記載の時分割多元接続送信装置。

32. 電力増幅器に電源電圧を選択的に供給する方法であって、

第1バイナリ状態と第2バイナリ状態とを有するスイッチ制御信号を供給する工程と、

前記第1バイナリ状態の間、前記電源電圧を前記電力増幅器から切り離すためにnチャネルMOSFETをオフにする工程と、

前記第2バイナリ状態の間、前記電源電圧を前記電力増幅器に接続するために前記nチャネルMOSFETをオンにする工程と、

前記 n チャンネル MOS FET をオンにするゲート電圧を前記電源電圧と独立に調整する工程とを有することを特徴とする方法。

33. 前記スイッチ制御信号は、前記第 1 バイナリ状態の間、前記 n チャンネル MOS FET をオフにする第 1 電圧レベルと、前記第 2 バイナリ状態の間、前記 n チャンネル MOS FET をオンにする第 2 電圧レベルとを有することを特徴とする請求項 32 に記載の方法。

34. 前記第 1 電圧レベルは、前記 n チャンネル MOS FET のゲート・ソース間接合部にスレシヨルド・レベルより小さい第 1 ゲート電圧を生じさせ、前記第 2 電圧レベルは、前記スレシヨルド・レベルより大きい第 2 ゲート電圧を生じさせることを特徴とする請求項 32 に記載の方法。

FIG. 4

