

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成20年1月10日(2008.1.10)

【公表番号】特表2007-514225(P2007-514225A)
 【公表日】平成19年5月31日(2007.5.31)
 【年通号数】公開・登録公報2007-020
 【出願番号】特願2006-543541(P2006-543541)
 【国際特許分類】

G 0 5 F 3/30 (2006.01)

【F I】

G 0 5 F 3/30

【手続補正書】

【提出日】平成19年11月13日(2007.11.13)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1および第2の入力端を有しその出力端に基準電圧を与える第1の増幅器を含むバンドギャップ基準電圧回路であって、前記増幅器は前記第1の入力端において第1のトランジスタに接続され、前記第2の入力端において第2のトランジスタに接続され、前記第2のトランジスタは前記第1のトランジスタより大きなエミッタ面積を有しており、

前記第2のトランジスタはそのエミッタにおいて負荷抵抗に接続され、使用時に前記負荷抵抗は、バンドギャップ基準電圧を生成するのに用いるための前記第1および前記第2のトランジスタのベースエミッタ間電圧の差 V_{be} の測定値を与え、

各トランジスタのベースは共通接続され、前記第1および前記第2のトランジスタのベースが同電位となり、

前記第1および前記第2のトランジスタの一方は、ダイオード接続構成で設けられ、

前記第1および前記第2のトランジスタの他方のベースコレクタ間電圧は、帰還ループの中でそれぞれの前記トランジスタのコレクタに接続された前記増幅器によって0に保たれ、これによってアーリー効果を低減させることと、

前記回路は、第3および第4のトランジスタをさらに含み、前記第3のトランジスタは前記第1のトランジスタのエミッタに接続され、前記第4のトランジスタは前記負荷抵抗を介して前記第2のトランジスタのエミッタに接続され、前記第4のトランジスタのエミッタ面積は前記第1または前記第3のトランジスタのエミッタ面積より大きく、前記第1および前記第3のトランジスタは前記第2および前記第4のトランジスタより高い電流密度で動作するようになり、前記帰還ループ中で抵抗を介して前記第2の入力端においてP T A T電圧が前記増幅器に供給され、前記増幅器の出力端において得られる電圧は前記第1および前記第3のトランジスタのベースエミッタ間電圧に前記P T A T電圧を加えた組合せとなることと

を特徴とするバンドギャップ基準電圧回路。

【請求項2】

前記第3および前記第4のトランジスタのそれぞれがダイオード接続構成で設けられることを特徴とする請求項1に記載の回路。

【請求項3】

前記第3のトランジスタのエミッタは第2の抵抗を介して接地され、前記抵抗の値は固

有バンドギャップ電圧の2倍の電圧から所望の電圧への基準電圧のシフトを生じさせ、これによって前記回路のオフセット調整が可能になることを特徴とする請求項1に記載の回路。

【請求項4】

前記増幅器の出力端と、前記第1および前記第2のトランジスタのそれぞれのコレクタとの間の、それぞれの帰還ループ経路中に設けられた第3および第4の抵抗をさらに含むことを特徴とする請求項2に記載の回路。

【請求項5】

前記それぞれの帰還ループ中に設けられた前記抵抗はほぼ同じ値であることを特徴とする請求項4に記載の回路。

【請求項6】

前記それぞれの帰還ループ中に設けられた前記抵抗は異なる値であることを特徴とする請求項4に記載の回路。

【請求項7】

非ダイオード接続トランジスタにベース電流を供給し、同じ電流を同じトランジスタのコレクタから抜き取り、それによって前記第1および第2のトランジスタのそれぞれのコレクタ電流を同じ値に保つように適合された回路をさらに含むことを特徴とする請求項4に記載の回路。

【請求項8】

前記非ダイオード接続トランジスタにベース電流を供給し、同じ電流を同じトランジスタのコレクタから抜き取り、前記回路は、前記非ダイオード接続トランジスタと他方のトランジスタとの間のベース電流の変動を補償し、それによってベース電流による回路中の誤差を低減させるように適合されていることを特徴とする請求項4に記載の回路。

【請求項9】

前記非ダイオード接続トランジスタは前記第1のトランジスタであり、前記第1のトランジスタのコレクタから電流を抜き取るように適合された回路は、前記第1および前記第3のトランジスタにより定義される回路の支脈(leg)の複製を含み、複製された前記支脈は回路の第5および第6のトランジスタを含み、前記第5のトランジスタのベースは前記第1のトランジスタのコレクタに接続され、前記第5のトランジスタのエミッタは前記第6のトランジスタのコレクタに接続され、前記第6のトランジスタのベースは前記第3のトランジスタのダイオード接続されたベースに接続され、これによってカレントミラーを形成し、前記第5のトランジスタによって前記第1のトランジスタのコレクタからベース電流が抜き取られることを特徴とする請求項7に記載の回路。

【請求項10】

第7および第8のトランジスタ並びにバイポーラミラーを介して、前記第1および前記第2のトランジスタのベース電流がさらにミラーリングされ、前記第6および前記第8のトランジスタのベース電流が前記増幅器の出力端から2倍カレントミラーによって供給され、前記第3、前記第6、および前記第8のトランジスタのそれぞれのコレクタ電流が同じになることを特徴とする請求項9に記載の回路。

【請求項11】

前記第5のトランジスタのコレクタは抵抗を介して前記増幅器の出力端に接続され、前記抵抗の値は前記第4の抵抗の値とほぼ等価であり、前記第5のトランジスタのベース電流が前記第1のトランジスタのベース電流に追従することを特徴とする請求項10に記載の回路。

【請求項12】

前記第5および前記第7のトランジスタに接続された一連のミラーによって、前記第1および前記第2のトランジスタのベース電流はさらにミラーリングされ、ミラーリングされた電流を前記第5および前記第7のトランジスタのエミッタから抜き取ることができ、それによって前記第5および前記第7のトランジスタのコレクタ電流がほぼ同じ値になることを確実にし、この電流が前記第7のトランジスタのコレクタと前記増幅器の出力端の

間に接続されたカレントミラーを介してさらにミラーリングされ、それによって P T A T 電流をもたらすことを特徴とする請求項 10 に記載の回路。

【請求項 13】

前記第 1 および前記第 3 のトランジスタの電圧の湾曲を補償するように適合された補正電圧を供給するように適合された回路をさらに含み、前記補正電圧を組み込むことによって湾曲を打ち消させることを特徴とする請求項 2 に記載の回路。

【請求項 14】

補正電圧を供給するように適合された前記回路は、前記負荷抵抗に P T A T 電圧および C T A T 電圧を混合したものを供給するように適合されていることを特徴とする請求項 13 に記載の回路。

【請求項 15】

前記補正電圧は、前記第 4 のトランジスタのベースエミッタ間電圧を抵抗の両端間にミラーリングし、M O S F E T デバイスおよび増幅器を用いて絶対温度に対して相補的な (C T A T) 電流を発生させることによって供給され、前記 C T A T 電流は少なくとも 1 つのカレントミラーを介して前記第 4 のトランジスタに戻され、それによって前記負荷抵抗の両端間に逆の湾曲を有する電圧を複製し、この複製された電圧と前から存在する電圧 (V b e) を組み合わせることによって湾曲を打ち消させることを特徴とする請求項 13 に記載の回路。

【請求項 16】

前記カレントミラーおよび前記第 4 のトランジスタによって得られる電流の勾配を変えることにより、逆の湾曲を有する前記電圧の大きさを変更することができることを特徴とする請求項 14 に記載の回路。

【請求項 17】

前記第 3 および前記第 4 のトランジスタに接続された複数の追加のトランジスタをさらに含み、前記複数の追加のトランジスタはスタック構成で備えられ、これによってより高い基準電圧を有する基準回路の使用が可能であること特徴とする請求項 1 に記載の回路。

【請求項 18】

第 1 および第 2 の入力端を有しその出力端に基準電圧を与える第 1 の増幅器を含むバンドギャップ基準電圧回路であって、前記増幅器は前記第 1 の入力端において第 1 のトランジスタに接続され、前記第 2 の入力端において第 2 のトランジスタに接続され、帰還ループ中において前記増幅器は前記トランジスタのそれぞれのコレクタに接続され、前記第 2 のトランジスタは前記第 1 のトランジスタより大きなエミッタ面積を有し、それぞれがダイオード接続構成を備えた第 3 および第 4 のトランジスタをさらに含み、

前記第 2 のトランジスタはそのエミッタにおいて負荷抵抗に接続され、使用時に前記負荷抵抗は、バンドギャップ基準電圧を生成するのに用いるための前記第 1 および前記第 2 のトランジスタのベースエミッタ間電圧の差 V b e の測定値を与え、

各トランジスタのベースは共通接続され、前記第 1 および前記第 2 のトランジスタのベースは同電位となり、

前記第 1 および前記第 2 のトランジスタの一方は、ダイオード接続構成を備え、

前記第 3 のトランジスタは前記第 1 のトランジスタのエミッタに接続され、前記第 4 のトランジスタは前記負荷抵抗を介して前記第 2 のトランジスタに接続され、前記第 4 のトランジスタのエミッタ面積は前記第 1 または前記第 3 のトランジスタのエミッタ面積より大きく、前記第 1 および前記第 3 のトランジスタは前記第 2 および前記第 4 のトランジスタより高い電流密度で動作し、P T A T 電圧が前記増幅器の帰還ループ中で抵抗を介して前記増幅器への前記第 2 の入力端において供給され、前記増幅器の前記出力端において得られる電圧は前記第 1 および前記第 3 のトランジスタのベースエミッタ間電圧に前記 P T A T 電圧を加えた組合せとなり、

前記第 1 および前記第 2 のトランジスタの他方のベースコレクタ間電圧は、帰還ループ中でそれぞれのトランジスタのコレクタに接続された前記増幅器によって最小にされ、これによってアーリー効果を低減させること

を特徴とするバンドギャップ基準電圧回路。

【請求項 19】

アーリー効果を補償するように適合されたバンドギャップ基準電圧回路を与える方法であって、

第1および第2のトランジスタを設けるステップであって、各トランジスタは異なる電流密度で動作するように適合され、前記第1のトランジスタはダイオード接続構成で設けられ、前記トランジスタはさらに増幅器の入力端に接続されることと、

第3および第4のトランジスタを設けるステップであって、前記第3のトランジスタは前記第1のトランジスタのエミッタに接続され、前記第4のトランジスタは負荷抵抗を介して前記第2のトランジスタのエミッタに接続され、前記第1および前記第3のトランジスタが前記第2および前記第4のトランジスタよりも大電流密度で動作するように、前記第4のトランジスタのエミッタ面積は前記第1または前記第3のトランジスタのエミッタ面積よりも大きいことと、

前記増幅器の出力端において基準電圧を得るために、異なる電流密度で動作する前記2つのトランジスタ間の電位差をスケールリングするステップと、

帰還ループを設けるステップであって、前記増幅器の前記出力端において基準電圧を得るために、前記帰還ループは前記第1および前記第2のトランジスタのそれぞれを前記増幅器の出力端に接続し、前記第1および前記第2のトランジスタ各々のベースコレクタ間電圧が0となり、前記帰還ループ中の前記増幅器への前記第2の入力において、抵抗を介してP T A T電圧が供給されて、前記増幅器の前記出力端に供給される電圧が前記第1および前記第3のトランジスタのベースエミッタ電圧に前記P T A T電圧を加えた組み合わせとなることと

を備えることを特徴とする方法。