



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2011년08월29일
(11) 등록번호 10-1060034
(24) 등록일자 2011년08월22일

(51) Int. Cl.

G11C 16/12 (2006.01) G11C 11/34 (2006.01)

(21) 출원번호 10-2005-7020573

(22) 출원일자(국제출원일자) 2004년04월16일

심사청구일자 2009년04월16일

(85) 번역문제출일자 2005년10월28일

(65) 공개번호 10-2006-0008942

(43) 공개일자 2006년01월27일

(86) 국제출원번호 PCT/US2004/011870

(87) 국제공개번호 WO 2004/100216

국제공개일자 2004년11월18일

(30) 우선권주장

10/426,282 2003년04월30일 미국(US)

(56) 선행기술조사문헌

US05798966 A1*

US05467309 A1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

프리스케일 세미컨덕터, 인크.

미국 텍사스 오스틴 워리암 캐논 드라이브 웨스트
6501

(72) 발명자

초이, 존, 에스.

미국 78748 텍사스주 오스틴 브랜틀리 밴드 10003
친달로레, 고우리산카

미국 78749 텍사스주 오스틴 사우텔리 레인 9101

(74) 대리인

주성민, 이중희, 백만기

전체 청구항 수 : 총 11 항

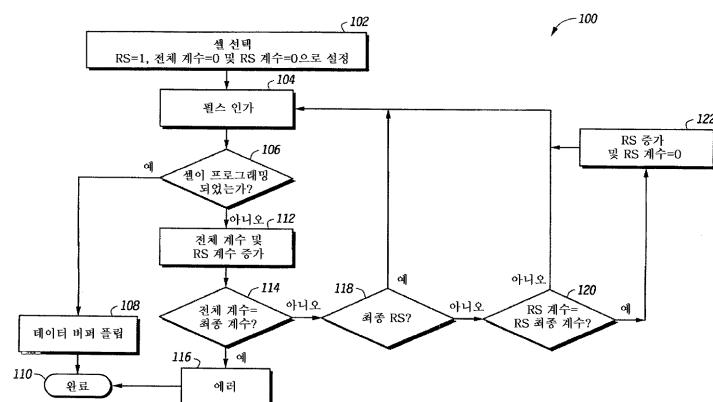
심사관 : 손윤식

(54) H C I 프로그래밍을 위하여 소스 전극 상에 바이어스를 가지는 비휘발성 메모리

(57) 요 약

메모리(10)의 각각의 셀(60, 62, 64, 66)은 먼저 전형적으로 셀들(60-66)을 프로그래밍하는 데에 효과적인 소스 바이어스를 이용함으로써 프로그래밍된다. 1차 시도에서 셀(60-66)이 성공적으로 프로그래밍되지 않는 경우에는, 이는 전형적으로 동일한 열(74, 78)상의 성공적으로 프로그래밍되지 않은 셀들(60-66)이 이를 메모리 셀들(60-66)이 접지된 게이트에서 조차도 도전하도록 바이어스되지 않을 정도의 비교적 낮은 임계 전압을 가지기 때문이다. 대다수의 셀들(60-66)은 이러한 문제점을 가지지 않지만, 이러한 낮은 임계 전압 특성을 가지는 몇몇 메모리 셀들에게는 이러한 문제점은 공통적이다. 이를 극복하기 위하여, 후속하는 프로그래밍 시도동안에 상이한 소스 바이어스가 인가된다. 따라서 대다수의 셀들(60-66)은 보다 빠른 프로그래밍 조건에서 프로그래밍되며, 몇몇 셀들만이 보다 느린 접근 방식을 이용하여 프로그래밍된다.

대 표 도



특허청구의 범위

청구항 1

삭제

청구항 2

삭제

청구항 3

삭제

청구항 4

삭제

청구항 5

삭제

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

청구항 12

삭제

청구항 13

비휘발성 메모리 셀을 프로그래밍하는 방법으로서,

다수의 메모리 셀들 중 하나의 메모리 셀의 상태가 원하는 프로그래밍 레벨에 있지 않은 것으로 결정되는 경우에, 상기 메모리 셀의 소스가 제1 전압 레벨에 있는 상태에서 제1 프로그래밍 펄스를 상기 메모리 셀의 드레인에 인가하는 단계와,

상기 제1 프로그래밍 펄스를 인가한 후에, 상기 메모리 셀의 소스가 제2 전압 레벨에 있는 상태에서 프로그래밍 펄스를 상기 메모리 셀의 드레인에 인가할지 여부를 판정하는 단계와,

상기 제1 프로그래밍 펄스를 인가한 후에, 상기 판정 단계에서 상기 메모리 셀의 소스가 제2 전압 레벨에 있는

상태에서 프로그래밍 펄스를 상기 메모리 셀의 드레인에 인가할 것으로 판정된 경우, 상기 메모리 셀의 소스가 제2 전압 레벨에 있는 상태에서 제2 프로그래밍 펄스를 상기 메모리 셀의 드레인에 인가하는 단계 - 상기 제2 전압 레벨은 상기 제1 전압 레벨과는 상이함 -

를 포함하고,

상기 메모리 셀의 소스가 제1 전압 레벨에 있는 상태에서 상기 제1 프로그래밍 펄스를 상기 메모리의 드레인에 인가하는 단계는, 상기 소스를 제1 저항 레벨을 가지는 회로에 결합하는 단계를 더 포함하고,

상기 메모리 셀의 소스가 제2 전압 레벨에 있는 상태에서 상기 제2 프로그래밍 펄스를 상기 메모리의 드레인에 인가하는 단계는, 상기 소스를 제2 저항 레벨을 가지는 회로에 결합하는 단계 - 상기 제2 저항 레벨은 상기 제1 저항 레벨과는 상이함 -

를 포함하는 방법.

청구항 14

삭제

청구항 15

제13항에 있어서,

상기 제1 저항 레벨을 가지는 회로는 제1 저항 회로를 포함하고, 상기 제2 저항 레벨을 가지는 회로는 제2 저항 회로와 직렬로 접속되는 상기 제1 저항 회로를 포함하는 방법.

청구항 16

제13항에 있어서,

상기 제1 저항 레벨은 상기 제2 저항 레벨보다 낮은 방법.

청구항 17

제13항에 있어서,

상기 제2 저항 레벨은 상기 제1 저항 레벨보다 낮은 방법.

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

청구항 21

삭제

청구항 22

삭제

청구항 23

삭제

청구항 24

삭제

청구항 25

삭제

청구항 26

메모리로서,

다수의 메모리 셀들을 포함하는 메모리 어레이와,

상기 다수의 메모리 셀들의 소스들에 결합되는 소스 바이어스 회로를 포함하고,

상기 소스 바이어스 회로는, 프로그래밍 펄스가, 프로그래밍되는 상기 다수의 메모리 셀들 중 하나의 메모리 셀의 드레인에 인가되는 동안에, 다수의 소스 바이어스 전압들 중 하나를 상기 다수의 메모리 셀들의 소스들에 제공하도록 구성되며, 상기 소스 바이어스 회로는, 적어도 하나의 전압 제어 신호에 응답하여, 프로그래밍 펄스가 상기 다수의 메모리 셀들 중 하나의 메모리 셀의 드레인에 인가되는 동안에 상기 적어도 하나의 전압 제어 신호에 의해 지시되는 바에 따라 상기 다수의 소스 바이어스 전압들 중 원하는 소스 바이어스 전압을 상기 다수의 메모리 셀들의 소스들에 제공하고,

상기 소스 바이어스 회로는, 프로그래밍 펄스가, 프로그래밍되는 상기 다수의 메모리 셀들 중 하나의 메모리 셀의 드레인에 인가되는 동안에 다수의 저항 레벨들 중 하나를 가지는 전류 경로를 제공하도록 구성되며, 상기 소스 바이어스 회로는, 상기 적어도 하나의 전압 제어 신호에 응답하여, 프로그래밍 펄스가 상기 다수의 메모리 셀들 중 하나의 메모리 셀의 드레인에 인가되는 동안에 상기 적어도 하나의 전압 제어 신호에 의해 지시되는 바에 따라 원하는 저항 레벨을 가지는 전류 경로를 제공하는, 메모리.

청구항 27

제26항에 있어서,

제1 저항 회로와, 제2 저항 회로를 더 포함하고,

상기 소스 바이어스 회로가 상기 다수의 저항 레벨들 중 제1 저항 레벨을 가지는 전류 경로를 제공할 때에, 상기 제1 저항 회로와 상기 제2 저항 회로는 상기 전류 경로의 일부이며, 상기 소스 바이어스 회로가 상기 다수의 저항 레벨들 중 제2 저항 레벨을 가지는 전류 경로를 제공할 때에, 상기 제1 저항 회로는 상기 전류 경로의 일부지만, 상기 제2 저항 회로는 상기 전류 경로의 일부는 아닌 메모리.

청구항 28

제27항에 있어서,

상기 제1 저항 회로는 상기 다수의 메모리 셀들의 소스들에 결합되고, 상기 제1 저항 회로는, 상기 소스 바이어스 회로가 상기 제1 저항 레벨을 가지는 전류 경로를 제공할 때에 상기 다수의 메모리 셀들 중 하나의 메모리 셀의 드레인에 프로그래밍 펄스가 인가되는 동안 상기 제2 저항 회로와 직렬로 접속되는 메모리.

청구항 29

제26항에 있어서,

상기 소스 바이어스 회로는,

상기 다수의 메모리 셀들의 소스들에 결합되는 제1 전류 단자를 구비하는 제1 스위치 - 상기 제1 스위치는 제어 단자와 제2 전류 단자를 가지며, 상기 제어 단자는, 프로그래밍 펄스가 상기 다수의 메모리 셀들 중 하나의 메모리 셀의 드레인에 인가되는 동안 프로그래밍 펄스로부터의 전류를 도전하도록 상기 스위치를 도전 상태가 되도록 만드는 신호에 응답함 -, 및

상기 제2 전류 단자에 결합되는 적어도 하나의 저항 회로

를 포함하는 메모리.

청구항 30

제26항에 있어서,

상기 메모리 어레이는 제2의 다수의 메모리 셀들을 포함하고,

상기 소스 바이어스 회로는, 프로그래밍 펄스가, 프로그래밍되는 상기 제2의 다수의 메모리 셀들 중 하나의 메모리 셀의 드레인에 인가되는 동안에 다수의 저항 레벨들 중 하나를 가지는 제2 전류 경로를 제공하도록 구성되고, 상기 소스 바이어스 회로는, 프로그래밍 펄스가 상기 제2의 다수의 메모리 셀들 중 하나의 메모리 셀의 드레인에 인가되는 동안에 적어도 하나의 전압 제어 신호에 의해서 지시되는 바에 따라 원하는 저항 레벨을 가지는 상기 제2 전류 경로를 제공하도록 응답하는 메모리.

청구항 31

메모리로서,

다수의 메모리 셀들을 포함하는 메모리 어레이,

상기 다수의 메모리 셀들의 소스들에 결합되는 소스 바이어스 회로 - 상기 소스 바이어스 회로는, 프로그래밍되는 상기 다수의 메모리 셀들 중 하나의 메모리 셀의 드레인에 프로그래밍 펄스가 인가되는 동안에 다수의 소스 바이어스 전압들 중 하나를 상기 다수의 메모리 셀들의 소스들에 제공하도록 구성되며, 상기 소스 바이어스 회로는, 적어도 하나의 전압 제어 신호에 응답하여, 프로그래밍 펄스가 상기 다수의 메모리 셀들 중 하나의 메모리 셀의 드레인에 인가되는 동안에 적어도 하나의 전압 제어 신호에 의해서 지시되는 바에 따라 상기 다수의 소스 바이어스 전압들 중 원하는 소스 바이어스 전압을 상기 다수의 메모리 셀들의 소스들에 제공함 -, 및

적어도 하나의 전압 제어 신호를 제공하기 위한 적어도 하나의 출력을 갖는 제어기 - 상기 제어기는, 상기 적어도 하나의 전압 제어 신호를 통해서 상기 소스 바이어스 회로에, 이전의 프로그래밍 펄스가 상기 메모리 셀에 인가되는 동안에 제공된 상기 다수의 소스 전압들 중 하나의 소스 전압으로부터 상기 다수의 메모리 셀들 중 하나의 메모리 셀에 후속 프로그래밍 펄스가 인가되는 동안에 상기 다수의 소스 전압들 중 상이한 소스 전압을 제공하라는 지시를 제공함 -

를 포함하는 메모리.

청구항 32

제31항에 있어서,

상기 제어기에 결합되는 감지 증폭기와,

상기 제어기에 결합되는 데이터 버퍼

를 더 포함하고,

상기 제어기는 상기 적어도 하나의 전압 제어 신호를 상기 소스 바이어스 회로에 제공하여, 상기 메모리 셀의 상태가 상기 감지 증폭기에 의해서 판독된 원하는 프로그래밍된 레벨이 아닌 것으로 판정되는 것에 응답하여 상기 다수의 소스 전압들 중 상기 상이한 소스 전압을 제공하는 메모리.

청구항 33

삭제

명세서

기술 분야

[0001]

본 발명은 비휘발성 반도체 메모리에 관한 것으로, 보다 구체적으로는 메모리의 메모리 어레이 셀들의 소스 전극들에 인가되는 바이어스를 가지는 비휘발성 반도체 메모리에 관한 것이다.

배경 기술

[0002]

비휘발성 메모리는 전형적으로 고온 캐리어 주입(hot carrier injection, HCI)을 이용하여 프로그래밍되는데,

이는 다른 방법들보다 훨씬 빠르기 때문이다. HCI의 중요한 특징은 전자들이 전류에 의해서 에너지가 공급된다 는 점이며, 이를 전자들 중 몇몇은 충분히 에너지가 공급되어 전류가 흐르는 채널 위의 저장층으로 점프(jump) 한다는 점이다. 따라서, (소정의 계에 대하여)보다 많은 전류가 존재하는 경우와 (소정의 전류에 대하여)보다 높은 비율의 전자가 저장층에 도달할 정도로 충분히 에너지가 공급되는 경우에는 프로그래밍이 보다 빨라진다. 낮은 드레인-소스 전압은 전류를 감소시키고 충분한 에너지를 가지는 전자들의 비율을 감소시키는 이중의 악영향을 미친다. 이것은 매우 낮은 임계 전압을 가지며, 동일한 열 내의 다른 셀들의 프로그래밍 동안에 도전 상태인 선택되지 않은 메모리 트랜지스터들에 의해서 발생한다. 동일한 열 내에 매우 낮은 임계 전압을 가지는 많은 메모리 트랜지스터들이 존재하는 경우에 과도 전압을 강하게 하는 프로그래밍을 수행하기 위한 전류 경로에는 소정량의 기생 저항이 존재한다. 통상적으로 프로그래밍 전압은 제한된 용량을 가지는 전원, 즉 상당히 높은 출력 임피던스를 가지는 전원에 의해서 제공된다. 따라서 비교적 많은 전류가 흐르게 되면, 공급 전압이 상당히 감소되는 지점까지 공급을 낮추는 효과를 가질 수 있다.

[0003] 한 가지 접근 방법은 소스 전압을 증가시켜 임계 전압을 증가시키고 게이트-소스 전압을 감소시키는 것이다. 이것은 효과적인 방법이지만, 이 또한 낮은 임계 전압 문제를 가지지 않는 메모리 트랜지스터들의 프로그래밍 속도를 감소시키는 부작용을 가져서, 부분적으로는 HCI 프로그래밍의 장점을 잃는다.

[0004] 따라서, 낮은 임계 전압 장치들이 존재하는 경우에는 향상된 HCI 프로그래밍 속도에 대한 요구가 존재한다.

발명의 상세한 설명

[0010] 본 발명의 한 측면에서, 메모리는 먼저 전형적으로 메모리 셀들을 프로그래밍하는 데에 효과적인 소스 바이어스로 모든 셀들을 프로그래밍함으로써 프로그래밍된다. 첫 번째 시도에서 셀이 성공적으로 프로그래밍되지 않은 경우에는 후속하는 프로그래밍 시도 동안에 다른 소스 바이어스가 인가된다. 이는 도면과 아래의 설명으로부터 보다 잘 이해될 것이다.

[0011] 도 1에는 I/O 블럭들(14,16,18,20,22), 제어 회로(12), 행 디코더(24), 열 디코더(26), 복수의 감지 증폭기들 (도 1에서의 SA)(28,32,36,40,44), 복수의 데이터 버퍼들(도 1에서 DB)(30,34,38,42,46) 및 복수의 소스 제어 회로(48,50,52,54,56)로 나누어지는 메모리 셀들의 어레이(11)를 가지는 메모리(10)가 도시되어 있다. 각각의 메모리 셀은 소스, 제어 게이트, 드레인 및 플로팅 게이트를 구비하는 비휘발성 메모리 셀이다. 이와 달리, 질화물 또는 나노크리스탈(nanocrystal)과 같은 플로팅 게이트와는 상이한 저장 재료가 이용될 수 있을 것이다. 행 디코더(24)는 행 어드레스(도시되지 않음)에 응답하여 I/O 블럭(14-22)내의 선택된 워드 라인을 인에이블(enable)시킨다. 열 디코더(26)는 열 어드레스(도시되지 않음)에 응답하여, I/O 블럭(14-22)에서 선택된 비트 라인들을 각각의 감지 증폭기들 및 데이터 버퍼들(28-46)에 결합한다. 이들 I/O 블럭들(14-22)은 소스 제어 회로들(48-56)에도 결합된다. 편의상 단지 5개의 I/O 블럭들 만이 도시되었지만, 실제 메모리에서는 이러한 블럭들이 보다 많이, 예컨대 64개의 I/O 블럭들이 존재할 수 있을 것이다. 도 1에서, 소스 제어 회로(48), 감지 증폭기(28) 및 데이터 버퍼(30)는 I/O 블럭(14)에 대응하며, 소스 제어 회로(50), 감지 증폭기(32) 및 데이터 버퍼(34)는 I/O 블럭(16)에 대응하며, 소스 제어 회로(52), 감지 증폭기(36) 및 데이터 버퍼(38)는 I/O 블럭(18)에 대응하며, 소스 제어 회로(54), 감지 증폭기(40) 및 데이터 버퍼(42)는 I/O 블럭(20)에 대응하며, 소스 제어 회로(56), 감지 증폭기(44) 및 데이터 버퍼(46)는 I/O 블럭(32)에 대응한다. 제어 회로(12)는 소스 제어 회로들(48-56), 열 디코더(26), 행 디코더(24) 및 감지 증폭기들 및 데이터 버퍼들(28-46)에 결합된다.

[0012] 도 2에는 도 1의 메모리(10)의 일부가 도시되어 있다. 특히, I/O 블럭(14)의 일부, 소스 제어 회로(48) 및 트랜지스터(58)가 도 2에 도시되어 있다. 도 2에 도시된 I/O 블럭의 일부는 메모리 셀들(60,62,64,66), 비트 라인들(74,78) 및 소스 라인들(72,76)을 포함한다. 소스 제어 회로(48)는 트랜지스터들(80,82,84,86) 및 저항들(88,90,92)을 포함한다. 메모리 셀들(60,64)의 드레인들은 비트 라인(74)에 접속된다. 메모리 셀들(62,66)의 드레인들은 비트 라인(78)에 접속된다. 메모리 셀들(60,64)의 소스들은 소스 라인(72)에 접속된다. 메모리 셀들(62,66)의 소스들은 소스 라인(76)에 접속된다. 메모리 셀들(64,66)의 제어 게이트들은 워드 라인(70)에 접속된다. 도 2에 도시된 바와 같이, 소스 라인들(72,76)은 함께 접속된다. 메모리 어레이(11)의 메모리 셀들의 모든 소스들은 함께 접속된다.

[0013] 도 2에서, 트랜지스터(80)는 소스 라인들(72,76)에 접속되는 드레인, 프로그램 신호 P에 접속되는 게이트 및 소스를 구비한다. 저항(88)은 트랜지스터(80)에 접속되는 제1 단자 및 제2 단자를 구비한다. 트랜지스터(82)는 저항(88)의 제2 단자에 접속되는 드레인, 접지에 접속되는 소스 및 프로그램 신호 P1을 수신하는 게이트를 구비한다. 저항(90)은 저항(88)의 제2 단자에 접속되는 제1 단자 및 제2 단자를 구비한다. 트랜지스터(84)는 저항(90)의 제2 단자에 접속되는 드레인, 접지에 접속되는 소스 및 프로그램 신호 P2를 수신하는 게이트를

구비한다. 저항(92)은 저항(90)의 제2 단자에 접속되는 제1 단자 및 제2 단자를 구비한다. 트랜지스터(86)는 저항(92)의 제2 단자에 접속되는 드레인, 접지에 접속되는 소스 및 프로그램 신호 P3을 수신하는 게이트를 구비한다. 트랜지스터(58)는 소스 라인들(72, 76)에 접속되는 드레인, 접지에 접속되는 소스 및 READ ENABLE 신호를 수신하는 게이트를 구비한다. 트랜지스터(58)는 메모리(10)의 판독 동작 동안에 소스 라인들을 접지에 결합하기 위하여 메모리 어레이(11) 내의 다른 위치들에서 소스 라인들에 접속되는 어레이(11)의 일부인 많은 트랜지스터들 중 하나를 나타낸다. READ ENABLE 신호 및 신호들 P, P1, P2 및 P3은 제어 회로(12)에 의해서 생성된다.

[0014] 도 3에는 단계 102, 104, 106, 108, 110, 112, 114, 116, 118, 120, 122를 포함하는 효과적인 프로그래밍을 달성하기 위하여 도 1 및 2의 메모리를 동작시키는 방법의 흐름도이다. 단계 102에 나타난 바와 같이, 프로세스는 프로그래밍될 셀을 선택하고 소정의 설정을 초기화함으로써 시작된다. 설정들 중 하나는 수행된 프로그래밍 싸이클들의 전체 수에 대한 초기 설정이다. 처음에는 수행된 싸이클이 없기 때문에, 전체 계수는 0으로 설정된다. 이러한 프로세스에서, 다수의 프로그래밍 싸이클들은 단계들에서 증가될 상이한 저항들을 이용할 것이며, 각 단계에서 저항은 RS로 나타난다. 이용될 제1 저항이 설정되므로, RS=1이 RS에 대한 초기 설정이다. 또한, 각각의 저항 단계에 대한 최대 프로그래밍 싸이클들의 설정수가 존재할 것이다. 처음에는 제1 단계를 포함하는 임의의 단계들에 대한 프로그래밍 싸이클들이 없으므로, 초기 설정으로서 RS 계수=0이다. 실제 동작에 있어서, 프로그래밍을 위하여 하나의 셀이 선택되는 것과 동시에, 많은 다른 셀들, 전형적으로 각각의 I/O 블럭들로부터 하나의 셀이 또한 선택될 것이며, 본 경우에는 64개이다. 64개 중에서, 소거 상태로부터 변경된 것들만이 프로그래밍된다. 따라서, 64개의 셀들 중에서 많은 셀들이 소거 상태를 유지할 것이며, 전형적으로 1 상태는 프로그래밍된 상태인 0 상태와는 구분된다. 또한, "0" 상태로 의도되는 몇몇 셀들은 이미 그러한 상태에 놓일 수 있을 것이다. 따라서, 소정의 프로그래밍 싸이클에 대하여, 실제 프로그래밍은 0개의 메모리 셀로부터 64개의 메모리 셀들까지 존재할 수 있을 것이다. 메모리 셀이 프로그래밍되지 않은 경우는 모든 셀들이 이미 기록된 조건의 상태인 경우에 발생한다. 모든 64개의 셀들이 프로그래밍되는 조건은 모든 메모리 셀들이 소거(1) 상태이며, 모든 0 조건이 기록될 것이다.

[0015] 도 2의 60과 같은 특정 셀이 프로그래밍되고, 초기 조건이 설정될 필요가 있음이 결정된 후에, 비트 라인(74)을 통하여 셀의 드레인에 펄스가 인가되며, 게이트 또한 워드 라인(68)을 통하여 전압이 상승된다. 워드 라인과 플로팅 게이트 메모리의 드레인의 전형적인 전압은 각각 약 9V 및 5V이다. 이들 전압은 반도체 기술 향상이 계속되어 채널 길이 및 게이트 유전체에 대하여 보다 작은 치수들을 야기할 때에 감소될 것이다. 비트 라인(74)에의 펄스의 인가 동안에, 트랜지스터들(84, 86)은 도전하지 않는 상태이다. 이러한 초기 조건에서, 제어 로직(12)은 신호들 P 및 P1을 논리 하이(high)로, 신호 P2 및 P3을 논리 로우(low)로 공급한다. READ ENABLE 신호(58)는 프로그래밍을 위한 논리 로우 상태로 유지되어 트랜지스터(58)는 프로그래밍되는 동안 비도전 상태이다. 이것은 저항(88)이 전체 어레이의 소스들과 직렬 접속을 이루는 효과를 가진다. 이러한 저항은, 예컨대 250Ω과 같은 상대적으로 낮은 저항이어서 이러한 저항 양단에서는 상대적으로 전압 강하가 거의 없으며, 소스 전압을 많이 상승시키지 않는다. 이것은 비트 라인(74)에 접속된 다른 메모리 셀들이 너무 많은 누설을 가지지 않는다면 메모리 셀들을 완전히 프로그래밍하는 데에 효과적이다. 메모리 셀(64)과 같은 다른 셀들이 상당한 누설을 가진다면, 이는 전원의 부하와 I/O 블럭(14)에 관련된 기생 저항에 기인하여 비트 라인(74)에 인가되는 전압을 감소시키는 효과를 가질 것이다.

[0016] 그 후에, 다음 단계인 단계 106에서, 셀(60)이 실제로 프로그래밍되었는지 여부를 결정한다. 제어 회로(12)의 제어하에 감지 증폭기(28)는 셀(60)의 상태를 검출하여 제어 회로(12)가 셀(60)의 프로그래밍이 충분한지 여부를 판정할 수 있다. 셀이 충분히 프로그래밍된 것으로 판단된다면, 단계 108에 나타난 바와 같이 데이터는 데이터 버퍼(30)에 플립(flip)되며, 프로그래밍은 단계 110에 나타난 바와 같이 종료된다. 반면에, 셀이 프로그래밍된 것으로 간주되지 않는다면, 단계 112에 도시된 바와 같이 전체 계수 및 RS 계수가 증가된다. 그 후에 단계 114에서 프로그램 싸이클의 전체 계수가 프로그램 싸이클의 최대 허용 수와 비교된다. 물론, 처음에는 스텝 114의 이러한 기준이 충족되지 않을 것으로 판단되어, 대답이 '아니오'인 경우에, 다음 단계는 단계 118일 것이다. 추가적인 프로그래밍 싸이클이 이후에 단계 114의 이러한 기준이 충족되는 경우에는 에러로 간주되고 프로그래밍 싸이클이 완료된다. 이것이 제품이 실제로 판매되기 전에 검사 레벨에서 행해진다면, 이것은 실패로 간주되며 장치는 거부될 것이다. 제어 로직(12)은 이러한 판정을 하는 데에 필요한 모든 정보를 가진다.

[0017] 단계 114의 기준이 충족되지 않는 경우에는, 단계 118에 도시된 바와 같이 현재 RS가 최종 RS인지에 대한 판정이 이루어진다. 최종 RS인 경우에, 다음 단계는 다른 프로그래밍 단계를 수행하는 것이다. 현재 RS가 최종 단계가 아닌 경우에는 다음 단계인 단계 120은 RS 레벨에서의 단계들의 최대수가 수행되었는지 여부를 판정한다.

이러한 이슈를 처음에 제기하는 경우에, 제1 단계는 저항(88)의 저항인 제1 저항 단계를 이용하는 유일한 단계일 것이다. RS=1에서의 프로그래밍 단계들의 수는 단지 한번일 것이다. 따라서, 1의 RS 계수는 RS 최종 수와 일치하여 1이 될 것이다. 이러한 경우에 다음 단계는 단계 122이다. 이러한 RS 레벨에서의 프로그래밍 단계의 수에 도달하지 않은 다른 환경에서는 다음 단계는 다른 프로그래밍 단계, 즉 선택된 셀의 비트 라인에 펠스를 인가하는 단계 104를 수행하는 것일 것이다.

[0018] 그 후에, 다음 단계는 RS를 증가시키고 다음 RS로 이동하는 것이다. 이러한 증가 단계로, RS=2가 수행되고, RS 계수는 0으로 설정된다. RS=2인 경우에, 그 효과는 신호 P 및 P2가 로직 하이 상태이며, 신호 P1 및 P3가 로직 로우 상태이다. 이리하여, 소스 저항(여기서 소스 저항은 메모리 어레이 내의 트랜지스터들의 공통적으로 접속되는 소스들에 결합되는 저항임)은 저항(90)과 저항(88)의 저항의 합이 된다. 저항(90)은, 예컨대 2000 Ω 으로 바람직하게 저항(88)보다 좀 더 저항성을 가진다. 이러한 저항은, 프로그래밍 동안에 비트 라인(74) 상에 전형적으로 저임계 전압 장치들이 비도전 상태가 되도록 소스 전압을 상승시키기에 충분한 저항을 제공하도록 설계된다. 첫 번째 시도에서 셀이 프로그래밍되지 않은 경우에는, 그 후에 셀이 성공적으로 프로그래밍되는 것을 방지하는 충분한 전류 누설을 제공한 비트 라인(74) 상의 저임계 전압 트랜지스터들이 존재하는 것으로 가정된다. RS=2에서 프로그래밍 단계를 수행한 이후에, 다음 단계는 성공적으로 프로그래밍되었는지 여부를 판정하는 것이다. 성공적으로 프로그래밍된 경우에는, 데이터는 데이터 버퍼(30) 내에서 플립되고, 셀(60)의 프로그래밍은 완료된다.

[0019] 셀(60)이 충분히 프로그래밍되지 않은 경우에는 전체 프로그래밍 계수가 최종 계수 최대치와 비교된다. 대답이 '예'인 경우에는, 이것은 애리로 간주되고, 검사 레벨인 경우 장치는 거부된다. 전체 프로그래밍 계수에 도달하지 않은 경우에는, 다음 단계는 RS가 최종 레벨에 도달하였는지 여부를 판정하는 것이다. 그런 경우에, 다음 단계는 그러한 RS에서 다른 프로그래밍 단계를 실행하는 것이다. 대답이 '아니오'인 경우에는 다음 단계는 그러한 RS에서의 프로그래밍 단계들의 최대 수가 수행되었는지 여부를 판정하는 것이다. 대답이 '아니오'인 경우에는(본 경우는 그럴 가능성이 높다) 다음 단계는 동일한 RS 레벨인 RS=2에서 셀을 다시 프로그래밍하는 것이다. 보다 높은 소스 저항은 프로그래밍이 느린 셀들을 위한 것이며, 따라서 셀이 RS 레벨에서 단지 하나의 프로그래밍 싸이클 이상을 요구할 것이다. 반면에, RS=2에 대한 프로그래밍 싸이클들의 최대수에 도달한 경우에는, 다음 단계는 RS를 RS=3으로 증가시키고, RS 계수=0으로 만드는 것이다.

[0020] 이러한 방식으로 프로그래밍하는 프로세스는 셀이 프로그래밍되거나 프로그래밍 단계의 최대수가 수행되는 때까지 계속된다. 보다 높은 저항을 이용하는 비교적 느린 접근 방식은 그렇게 하는 것이 필요한 경우에만 이용된다. 통계적으로, 훨씬 큰 수의 셀들이 낮은 소스 저항(본 경우에는 250 Ω)에서 프로그래밍될 수 있다. 따라서, 대부분의 프로그래밍이 고속 접근 방식을 이용하여 이루어질 수 있다. 이는 검사 시간에 있어서 매우 중요하다. 예컨대, 알려진 바와 같이 약 99%가 낮은 저항에서의 소스 저항에의 단지 하나의 펠스로 프로그래밍될 수 있다면, 1%만이 하나 이상의 펠스를 요구할 것이다. 보다 높은 저항이 모든 셀들에 이용되는 경우에는, 모든 셀들에 대한 프로그래밍 시간은 2배 이상 늘어날 것이다. 본 실시예의 접근방식의 결과를 이용하면 프로그래밍 검사 시간을 약 2배 정도 절약하게 된다.

[0021] 이러한 방법은 소스 저항에 대한 3가지 가능한 선택이 존재하는 상황에 대하여 기술되었다. 단지 2개의 저항 또는 둘 이상이 존재하는 경우 또한 있을 수 있다. 단지 2개만이 존재하는 경우에는 어느 저항이 이용되고, 얼마나 많은 프로그래밍 펠스들이 허용되는지를 조사하는 것이 보다 간단하기 때문에, 본 발명은 단순화된다. 2개 이상이 요구되지 않는 경우에는 2개가 바람직하다. 통상적으로, 전체 3개의 펠스로 프로그래밍될 수 있다면 메모리 셀은 결함을 가지는 것이 된다. 본 기술은 원하는 어레이 트랜지스터들의 소스 상에 바이어스를 얻는데에 저항을 이용하며, 이는 몇몇 장점들을 제공한다. 그러나, 이러한 원하는 바이어스는 능동 바이어싱 회로와 같은 다른 수단에 의해서 획득할 수 있다. 능동 바이어스 회로는 제1 프로그래밍 시도에 대하여 비교적 낮은 전압에서 소스 바이어스를 제공할 것이며, 그 후에 비트 라인 상의 과도 누설을 가지는 것에 대하여 요구되는 프로그래밍을 제공하여 위하여 보다 높은 바이어스가 제공될 것이다.

[0022] 상이한 프로그램 목적을 위한 소스 제어 회로들(48-56)의 구조의 이용에 대한 다른 방법은 보다 높은 소스 저항을 개시하고, 보다 낮은 소스 저항으로 변경함으로써 실제로 소스 저항의 순서를 역전시킨다. 이것은 소거 분배를 타이트하게 하는 목적을 가진다.

[0023] 전술한 바에서, 본 발명은 특정한 실시예를 참조하여 기술되었다. 그러나, 본 발명의 기술분야의 당업자는 아래의 청구의 범위에 기술되는 본 발명의 범위를 벗어나지 않고서 다양한 변경과 변화가 이루어질 수 있음을 이해할 것이다. 예컨대, 소스 저항을 변경하는 기술은 각각의 I/O 블럭에 대한 개별적인 소스 제어 회로를 가지

는 것보다는 모든 어레이(11)에 대하여 단일의 저항 매트릭스를 가지게 함으로써 변경될 수 있다. 다른 예로서, 본 프로그래밍 방법은 고온 캐리어 주입의 내용으로 논의되었으나, 기판내 인핸스드 2차 고온 전자 주입 타입 프로그래밍과 같은 다른 프로그래밍 내용 또한 이용될 수 있다. 추가적인 예로서, 저항(88-92)은 단일의 저항으로 도시되었지만, 이들은, 예컨대 직렬로 접속된 다수의 저항들로 형성될 수 있다. 또한, 기술된 가장 낮은 소스 저항은 250Ω이지만, 이것은 달라질 수 있다. 이 값은 스위칭 장치의 저항으로 본질적으로 0으로 하고 저항을 추가하지 않을 수도 있다. 따라서, 명세서와 도면은 제한적인 의미가 아니라 예시적인 것으로 간주되어야하며, 이러한 모든 변경은 본 발명의 범위 내에 놓이는 것으로 의도된다.

[0024] 문제점들에 대한 장점, 다른 이점들 및 해결책이 특정 실시예와 관련하여 기술되었다. 그러나, 문제점에 대한 장점, 이점들 및 해결책들과, 장점, 이점 또는 해결책을 발생시키는 요소들은 임의의 또는 모든 청구항에 있어서 결정적이거나, 요구되거나 필수적인 특징 또는 요소로 해석되어서는 안된다. 본 명세서에서 사용된 "포함하는"이라는 용어 또는 그 변형은 그러한 요소들만을 포함하는 것이 아니라, 이러한 프로세스, 방법, 물건 또는 장치에 명시적으로 열거되거나 고유한 다른 요소들도 포함하는 요소들의 목록을 포함하는 프로세스, 방법, 물건 또는 장치와 같은 비배타적인 포함을 포함하는 의도로 사용되었다.

도면의 간단한 설명

[0005] 본 발명은 예시적으로 기술되었으며, 동일한 참조 부호가 유사한 요소를 나타내는 첨부된 도면에 의해서 한정되지는 않는다.

[0006] 도 1은 본 발명의 실시예에 따른 블럭도.

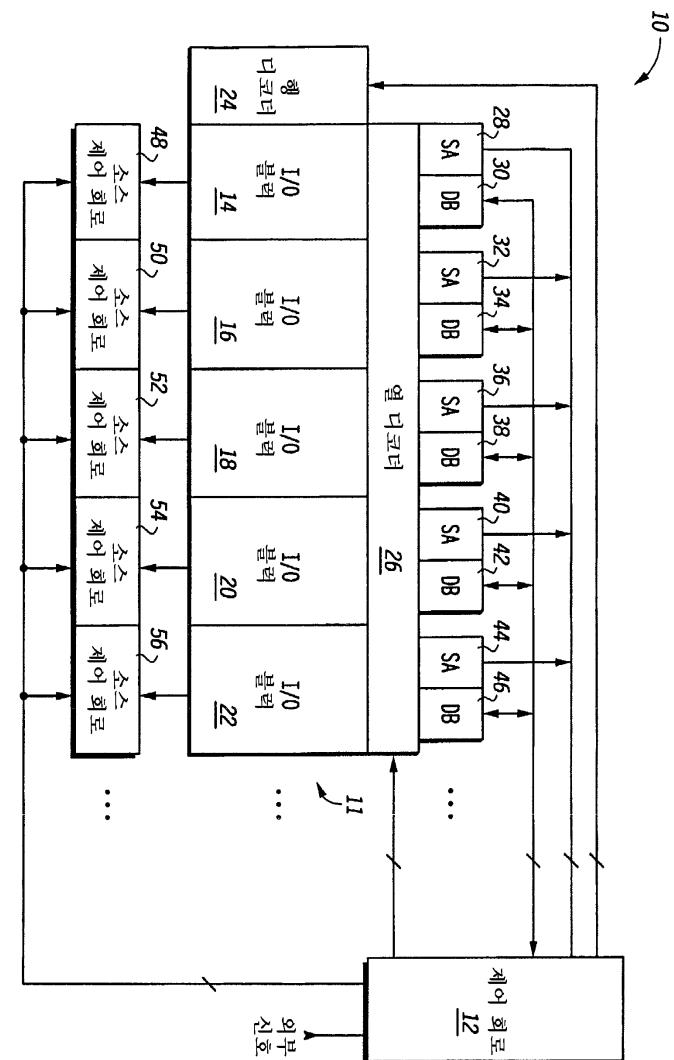
[0007] 도 2는 도 1의 블럭도의 일부의 회로도.

[0008] 도 3은 본 발명의 방법의 흐름도.

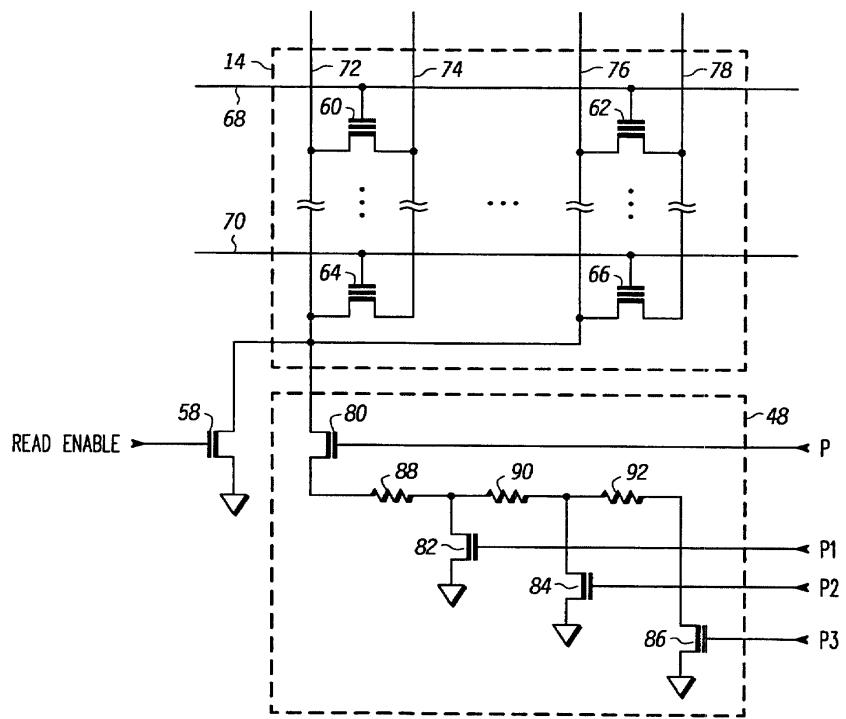
[0009] 본 발명의 기술 분야의 당업자는 도면의 구성요소들은 간단 명료하게 도시되었으며, 실제 크기대로 나타나지는 않았음을 이해할 것이다. 예컨대, 본 발명의 실시예의 이해를 돋기 위하여 도면에서의 몇몇 소자들의 치수들은 다른 소자에 비하여 과장될 수 있을 것이다.

도면

도면1



도면2



도면3

