

**ÚŘAD PRO VYNÁLEZY**

A OBJEVY

K AUTORSKÉMU OSVĚDČENÍ

(61)

(23) Výstavní priorita

(22) Přihlášeno 12 03 80

(21) PV 1695-80

(11)

(51) Int. Cl.³/ G 06 F 9/36

(40) Zveřejněno 28 11 80

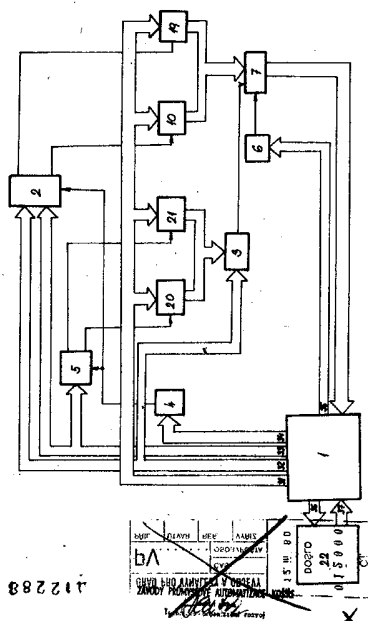
(45) Vydáno 31 06 82

(75)

Autoři vynálezu KLIMEŠ MILAN ing., KONDR JAN ing. a KRŠIAK IVAN ing.CSc., PRAHA

(54) Zapojení pro rozšíření datového slova o jeden bit paměti programu mikroprocesorového řídicího systému pro obráběcí stroje

Zapojení pro rozšíření datového slova o jeden bit paměti programu mikroprocesorového řídicího systému pro obráběcí stroje. Vynález řeší rozšíření datové sběrnice o jeden bit s použitím pamětových obvodů se stejnou organizací jako mají pamětové obvody základního modulu paměti modulu. První adresový kanál mikroprocesorového řídicího systému je připojen na adresové vstupy všech pamětových obvodů, druhý adresový kanál je připojen na první adresový vstup prvního výběrového obvodu a na řídicí vstup přepínacího obvodu, třetí adresový kanál je připojen na druhý vstup prvního výběrového obvodu a na vstup druhého výběrového obvodu a čtvrtý na vstup dekodéru, jehož výstup je spojen s blokovacími vstupy prvního a druhého výběrového obvodu. Vynález se využije u obráběcích strojů.



Vynález se týká zapojení pro rozšíření datového slova o jeden bit paměti programu mikroprocesorového řídicího systému pro obráběcí stroje.

U mikroprocesorových řídicích systémů je obvykle řídicí program uložen v polovodičové paměti typu pevné paměti ROM nebo elektricky přeprogramovatelné paměti EPROM.

Jelikož tyto paměti jsou převážně vyráběny s délkou slova větší než jeden bit, bývá obtížné rozšířit datovou sběrnici, např. pro přenášení paritního bitu. Přitom s ohledem na důležitost jednoduchého zabezpečení funkce u řídicích systémů pro obráběcí stroje je kontrola paritou velice žádoucí.

Uvedené nevýhody odstraňuje zapojení podle vynálezu tím, že umožňuje rozšíření datové sběrnice o jeden bit s použitím paměťových obvodů se stejnou organizací jako mají paměťové obvody základního modulu paměti programu.

Podstata zapojení podle vynálezu spočívá v tom, že první adresovaný kanál mikroprocesorového řídicího systému je připojen na adresové vstupy všech paměťových obvodů paměti programu i přídatných paměťových obvodů, druhý adresový kanál mikroprocesorového řídicího systému je připojen na první adresový vstup prvního výběrového obvodu a na řídicí vstup přepínacího obvodu a třetí adresový kanál mikroprocesorového řídicího systému je připojen na druhý vstup prvního výběrového obvodu a na vstup druhého výběrového obvodu. Čtvrtý adresový kanál řídicího mikroprocesorového systému je připojen na vstup dekodéru, jehož výstup je spojen s blokovacími vstupy prvního i druhého výběrového obvodu. Každý výstup prvního výběrového obvodu je spojen s blokovacím vstupem jednoho základního paměťového obvodu a každý výstup druhého výběrového obvodu je spojen s blokovacím vstupem jednoho přídatného paměťového obvodu. Datové výstupy všech základních paměťových obvodů jsou vzájemně propojeny a současně připojeny na první datový vstup hradla, jehož výstupní kanál je připojen na datový vstup mikroprocesorového řídicího systému. Datové výstupy přídatných paměťových obvodů jsou jednak spolu spojeny, jednak připojeny na datový vstup přepínacího obvodu, jehož výstup je připojen na druhý datový vstup hradla a řídicí kanál mikroprocesorového řídicího systému je připojen na vstup řídicího obvodu hradla, jehož výstup je připojen na blokovací vstup hradla. Ovládací kanál mikroprocesorového řídicího systému je připojen na ovládací vstup bloku obráběcího stroje, jehož informační kanál je připojen na informační vstup mikroprocesorového řídicího systému.

Příklad zapojení podle vynálezu je znázorněn na připojeném výkrese představujícím blokové schéma zapojení pro rozšíření datového slova o jeden bit paměti programu mikroprocesorového řídicího systému pro obráběcí stroje.

První adresový kanál 31 mikroprocesorového řídicího systému 1 je připojen na adresové vstupy všech paměťových obvodů 10 až 19 paměti programu i přídatných paměťových obvodů 20, 21, druhý adresový kanál 32 mikroprocesorového řídicího systému 1 je připojen na první adresový vstup prvního výběrového obvodu 2 a na řídicí vstup přepínacího obvodu 3 a třetí adresový kanál 33 mikroprocesorového řídicího systému 1 je připojen na druhý vstup prvního výběrového obvodu 2 a na vstup druhého výběrového obvodu 5. Čtvrtý adresový kanál 34 řídicího mikroprocesorového systému 1 je připojen na vstup dekodéru 4, jehož výstup je spojen s blokovacími vstupy prvního i druhého výběrového obvodu 2, 5. Každý výstup prvního výběrového obvodu 2 je spojen s blokovacím vstupem jednoho základního paměťového obvodu 10 až 19 a každý výstup druhého výběrového obvodu 5 je spojen s blokovacím vstupem jednoho přídatného paměťového obvodu 20, 21. Datové výstupy všech základních paměťových obvodů 10 až 19 jsou vzájemně propojeny a současně připojeny na první datový vstup hradla 7, jehož výstupní kanál je připojen na datový vstup mikroprocesorového řídicího systému 1. Datové výstupy přídatných paměťových obvodů 20, 21 jsou jednak spolu spojeny, jednak připojeny na datový vstup přepínacího obvodu 3, jehož výstup je připojen na druhý datový vstup hradla 7 a řídicí kanál 35 mikroprocesorového řídicího systému 1 je připojen na vstup řídicího obvodu 6 hradla 7, jehož výstup je připojen na blokovací vstup hradla 7. Ovládací kanál 36 mikroprocesorového řídicího systému 1 je připojen

na ovládací vstup bloku 22 obráběcího stroje, jehož informační kanál 37 je připojen na informační vstup mikroprocesorového řídicího systému 1.

Zapojení pro rozšíření datového slova o jeden bit paměti programu mikroprocesorového řídicího systému pro obráběcí stroje o jeden bit funguje takto:

Mikroprocesorový řídicí systém 1 vysílá prostřednictvím prvního až čtvrtého adresového kanálu 31, 32, 33, 34 adresu jedné buňky paměti programu o základní délce slova n . Dekodér 4 paměťového bloku zjistí, že adresovaná buňka je uvnitř paměti programu a odblokuje svým výstupním signálem první a druhý výběrový obvod 2, 5. Podle stavu druhého a třetího adresového kanálu 32, 33 je odblokován výstupním signálem druhého výběrového obvodu 2 jeden základní paměťový obvod 10 až 19 paměti programu, ve kterém je příslušná buňka určena stavem prvního adresového kanálu 31. Obsah adresované buňky o základní délce slova se objeví na prvním datovém vstupu hradla 7. Druhým výběrovým obvodem 5 je současně podle stavu třetího adresového kanálu 33 mikroprocesorového systému 1 vybrán jeden přídatný paměťový obvod 20 nebo 21. Těchto přídatných paměťových obvodů může být i větší počet. Ve vybraném přídatném paměťovém obvodu 20 nebo 21 je určena jedna buňka o počtu bitů shodném se základní délkou slova stavem prvního adresového kanálu 31 mikroprocesorového řídicího systému 1. Tato buňka přísluší n adresám paměťových obvodů 10 až 19 paměti programu. Z vybrané buňky o základní délce slova se přepínacím obvodem 3 řízeným údajem druhého adresového kanálu 32 mikroprocesorového řídicího systému 1 vybere jeden bit, který se přivádí na druhý datový vstup hradla 7 a rozšiřuje tak datové slovo paměti programu přiváděné na jeho první datový vstup. Datové slovo o rozšířené délce o jeden bit se objeví na datovém vstupu mikroprocesorového řídicího systému 1 po uvolnění hradla 7 řízeného výstupem řídicího obvodu 6, a to v závislosti na stavu řídicího kanálu 35 mikroprocesorového systému 1. Mikroprocesorový řídicí systém 1 řídí prostřednictvím ovládacího kanálu 36 blok 22 obráběcího stroje, od kterého přijímá informace o stavu obráběcího procesu prostřednictvím informačního kanálu 37.

Vynálezu lze s výhodou použít při řízení pohybových i pomocných funkcí obráběcího stroje podle programu uloženého v paměti mikroprocesorového řídicího systému.

PŘEDMĚT VYNÁLEZU

Zapojení pro rozšíření datového slova o jeden bit paměti programu mikroprocesorového řídicího systému pro obráběcí stroje, vyznačené tím, že první adresový kanál (31) mikroprocesorového řídicího systému (1) je připojen na adresové vstupy všech paměťových obvodů (10 až 19) paměti programu i přídatných paměťových obvodů (20, 21), druhý adresový kanál (32) mikroprocesorového řídicího systému (1) je připojen na první adresový vstup prvního výběrového obvodu (2) a na řídicí vstup přepínacího obvodu (3), třetí adresový kanál (33) mikroprocesorového řídicího systému (1) je připojen na druhý vstup prvního výběrového obvodu (2) a na vstup druhého výběrového obvodu (5), čtvrtý adresový kanál (34) řídicího mikroprocesorového systému (1) je připojen na vstup dekodéru (4), jehož výstup je spojen s blokovacími vstupy prvního i druhého výběrového obvodu (2, 5), každý výstup prvního výběrového obvodu (2) je spojen s blokovacím vstupem jednoho základního paměťového obvodu (10 až 19), každý výstup druhého výběrového obvodu (5) je spojen s blokovacím vstupem jednoho přídatného paměťového obvodu (20, 21), datové výstupy všech základních paměťových obvodů (10 až 19) jsou vzájemně propojeny a současně připojeny na první datový vstup hradla (7), jehož výstupní kanál je připojen na datový vstup mikroprocesorového řídicího systému (1), datové výstupy přídatných paměťových obvodů (20, 21) jsou jednak spolu spojeny jednak připojeny na datový vstup přepínacího obvodu (3), jehož výstup je připojen na druhý datový vstup hradla (7), řídicí kanál (35) mikroprocesorového řídicího systému (1) je připojen na vstup řídicího obvodu (6) hradla (7), jehož výstup je připojen na blokovací vstup hradla (7), ovládací kanál (36) mikroprocesorového řídicího systému (1) je připojen na ovládací vstup bloku (22) obráběcího stroje, jehož informační kanál (37)

je připojen na informační vstup mikroprocesorového řídicího systému (1).

1 výkres