

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：95141067

※申請日期：95.11.6

※IPC 分類：G06F 15/07 (2006.01)

一、發明名稱：(中文/英文)

G06F 15/00 (2006.01)

具有用於核心間通信同步之旗標暫存器的控制裝置

CONTROL DEVICE WITH FLAG REGISTERS FOR

SYNCHRONIZATION OF COMMUNICATIONS BETWEEN CORES

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

意法易利信股份有限公司 / ST-ERICSSON SA

代表人：(中文/英文)

喬傑生 莉莎 K. / JORGENSEN, LISA K.

住居所或營業所地址：(中文/英文)

瑞士歐特斯-普蘭·少女田野路 39 號

Chemin du Champ-des-Filles 39, CH-1228 Plan-les-Ouates,

Switzerland

國籍：(中文/英文)

瑞士 / SWITZERLAND

三、發明人：(共 2 人)

姓 名：(中文/英文)

1. 法蘭克西斯 香賽兒
CHANCEL, FRANCOIS
2. 派翠克 芙兒香儷
FULCHERI, PATRICK

國 籍：(中文/英文)

1. 法國 FRANCE
2. 法國 FRANCE

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 歐洲專利機構；2005年11月08日；05300900.7

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明提供一種控制裝置(D)，其為一積體電路(IC)之一部分，該積體電路(IC)包含經由匯流排(BC1、BC2)耦接至一記憶體(M)的至少兩個核心(C1、C2)，該記憶體(M)經配置以儲存將於該等核心(C1、C2)之間傳送之資料。此控制裝置(D)包含至少一個旗標暫存器(FR1、FR2)，其經由該等匯流排(BC1、BC2)耦接至該等核心(C1、C2)，且經配置以在Ni個位址處儲存與由該等核心之一者儲存至記憶體(M)中且準備向另一核心傳送之資料相關的Ni個旗標值，儲存在一第一位址處的每一旗標值可由該等核心(C1、C2)之一者借助於一指定該第一位址的命令而設定或重設，從而授權儲存在一第二位址處的另一旗標值由另一核心(C2、C1)借助於一指定該第二位址的命令而同時設定或重設。

六、英文發明摘要：

七、指定代表圖：

(一)本案指定代表圖為：第(3)圖。

(二)本代表圖之元件符號簡單說明：

BC1	第一匯流排
BC2	第二匯流排
C1	第一核心
C2	第二核心
D	控制裝置
EE	電子設備
FR1	第一旗標暫存器
FR2	第二旗標暫存器
IC	積體電路
M	記憶體

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明係關於積體電路，且更準確而言係關於此類積體電路之核心(或處理器)之間的通信同步。

【先前技術】

在多數複雜積體電路內部，韌體分佈於若干核心(或處理器)上。對於用於例如行動電話之通信設備中之基頻裝置之積體電路而言，情況尤其如此。

常常，一稱為CPU(控制處理單元)的主核心或處理器專用於系統控制，而一或多個稱為DSP(數位信號處理器)之特殊核心或處理器專用於特定數位信號處理，例如音訊處理、視訊解碼或通信通道編碼。

如圖1中所說明，為允許兩個核心C1及C2之間的即時雙通信(亦即資料傳送)，已提出將一DPRAM記憶體(雙埠隨機存取記憶體)M連接至此等核心之每一者之資料及位址匯流排。可想此類型記憶體為一通常具有16或32位元寬度且可由兩個核心(或處理器)同時存取之揮發性記憶體。在該配置(圖1中所說明)之情況下，兩個核心C1及C2將DPRAM視為一典型記憶體且可在其位址之任一者處讀取或寫入字組。唯一的限制為當該等核心之一者在一DPRAM記憶體儲存區域中寫入資料時另一核心不可存取此DPRAM記憶體儲存區域。

如熟習此項技術者所熟知，經由一典型DPRAM記憶體M同步兩個核心C1及C2之普通方法為使用旗標。回想旗標

為一儲存在 DPRAM 記憶體 M 內一位址處的二進位值。一旗標目的在於向一第一核心 (C1 或 C2) 發信號通知一第二核心 (C2 或 C1) 已完成一操作或一任務 (例如語音資料之編碼) 且由該操作或任務產生之資料已由此第二核心儲存至 DPRAM 記憶體 M 之一部分 DS 中並可傳送至第一核心中。每一旗標僅在核心之間的一個方向上使用：舉例而言，核心 C1 輪詢一等待其值改變 (自 0 至 1) 的旗標，而核心 C2 在其完成對應於此旗標之操作時將改變此旗標的值 (自 0 至 1)。

由於以上提及之 DPRAM 存取限制，故不同旗標不可儲存在一選定位址處的相同 DPRAM 字組中，如圖 2 中所說明。實際上，若假定兩個旗標 X 及 Y 儲存在一選定位址處的相同 DPRAM 字組中，其值皆設定至零 (0)，則當核心 C1 設定旗標 X 至一 (1) 且核心 C2 檢查旗標 X 之值時，核心 C2 必須重設旗標 X (自 1 至 0)，且若核心 2 正重設旗標 X 的同時核心 C1 設定旗標 Y，則核心 C2 可丟失旗標 Y。此外，當核心 C1 及 C2 同時寫入時字組中的每個旗標的值將變得不確定。因此，必須每個字組繼而每個位址僅儲存一個旗標，其就記憶體大小而言代價很高，尤其當 DPRAM 記憶體具有 32 位元寬度時 (例如對於 128 個一位元之旗標而言，一個記憶體丟失 496 個位元 (128×31))。

【發明內容】

因此，本發明之目的為改良該狀況，且更準確而言為提出一種用於經由一記憶體 (例如 DPRAM 類型) 同步兩個核心之間的通信而不會損壞大量記憶體大小的簡單方法。

為此目的，本發明提供一種控制裝置，其用於一包含至少兩個核心的積體電路，該至少兩個核心經由匯流排耦接至一記憶體，該記憶體經配置以儲存將在此等核心之間傳送的資料。此控制裝置之特徵在於其包含至少一個旗標暫存器，該至少一個旗標暫存器經由該等核心之匯流排耦接至該等核心且經配置以(在 N_i 個位址處)儲存與由該等核心之一者儲存至記憶體中並準備向另一核心傳送之資料相關的 N_i 個旗標值。儲存在一第一位址處的每一旗標值可由該第 i 核心之一者借助於一指定此第一位址的命令(或指令)而設定或重設，從而授權儲存在一第二位址處的另一旗標值可由另一核心借助於一指定此第二位址的命令(或指令)而同時設定或重設。

根據本發明之控制裝置可包括獨立或組合考慮的額外特徵，且特別地：

- 其可包含 i) 至少一個第一旗標暫存器，其耦接至該等匯流排且經配置以在 N_1 個位址處儲存與由該等核心之一第一者儲存至該記憶體中且準備向該等核心之一第二者傳送之資料相關的 N_1 個旗標值，儲存在該第一暫存器之一第一位址處的每一旗標值可由該第一核心借助於一指定此第一位址的命令而設定且由該第二核心借助於該指定此第一位址的命令而重設，及 ii) 至少一個第二旗標暫存器，其耦接至該等匯流排且經配置以在 N_2 個位址處儲存與由該第二核心儲存至該記憶體中且準備向該第一核心傳送之資料相關的 N_2 個旗標值，儲存在該第二暫存器之

- 第一位址處的每一旗標值可由該第二核心借助於一指定此第一位址的命令而設定且由該第一核心借助於該指定此第一位址的命令而重設；
- 每一旗標暫存器可包含 i) 一第一控制構件，其包含一連接至該連接至第一核心之匯流排的第一輸入、 N_i 個第一輸出及一第一旗標值讀取及寫入構件，ii) 一第二控制構件，其包含一連接至該連接至第二核心之匯流排的第二輸入、 N_i 個第二輸出及一第二旗標值讀取及寫入構件，及 iii) 一儲存構件，其包含具有 N_i 個各別位址的 N_i 個儲存區域，該等儲存區域經配置以分別儲存 N_i 個旗標值且分別連接至該等第一輸出之一者及該等第二輸出之一者；
- 該第一控制構件及該第二控制構件之每一者可經配置以設定及/或重設儲存至儲存構件之若干儲存區域中的若干旗標值，每次其接收一指定此等若干儲存區域之各別位址的單一命令；
- 其可包含記憶體，舉例而言，該記憶體可為一 DRPAM 記憶體或一 RAM 記憶體。

本發明亦提供一種用於一電子設備的積體電路，其包含一例如上文所介紹之控制裝置的控制裝置。

本發明亦提供一種電子設備，其包含一例如上文所介紹之積體電路的積體電路。此電子設備可為一電腦(個人電腦或膝上型電腦)、一電話(行動電話、無線電話或固定電話)、一個人數位助理(或 PDA)或一音樂播放機(例如 MP3 播放機)。

【實施方式】

102年4月12日修正替換頁

隨附圖示不僅可用以完善本發明，且亦有助於其界定(若需要)。

首先參看圖3，其描述根據本發明之一控制裝置D之實施例之一非限制性(第一)實例。此控制裝置D構成一積體電路IC之一部分，該積體電路IC可安裝至一電子設備EE中。

在以下描述中將認為該電子設備EE為一行動電話。但根據本發明之積體電路IC可安裝於任何需將一韌體分佈於若干核心(或處理器)之間的電子設備中。因此，舉例而言，該電子設備可為一電腦(個人電腦或膝上型電腦)、一無線電話、一固定電話、一個人數位助理(或PDA)或一音樂播放機(例如一MP3播放機)。

如之前所提及，根據本發明之控制裝置D目的在於經由一公用記憶體M同步一積體電路IC之兩個核心C1及C2之間的雙通信。

在以下描述中，將認為該公用記憶體M為一DPRAM記憶體(雙埠隨機存取記憶體)，其連接至第一匯流排BC1及第二匯流排BC2(位址及資料匯流排)，該第一匯流排BC1及該第二匯流排BC2分別連接至第一核心C1及第二核心C2。但本發明不限於此類型記憶體。其亦適用於任何可由兩個核心借助於一公用多層匯流排而加以存取的記憶體。因此，公用記憶體M亦可為一隨機存取記憶體(或RAM)。

此外，在以下描述中將認為第一核心C1為一主處理器，亦稱為CPU(控制處理單元)且專用於行動電話(電子設備EE)之控制，

而第二核心 C2 為一特殊處理器，亦稱為 DSP(數位信號處理器)且專用於特殊數位信號處理，例如音訊信號處理或視訊解碼，或通信通道編碼。因此，第一核心 C1 及第二核心 C2 在下文有時將分別稱為 CPU 及 DSP。

但本發明不限於該等類型之核心。實際上，其適用於需要經由一公用記憶體以一同步方式自另一核心(最終為相同類型)接收資料或向其傳輸資料的任何類型的核心。

如之前所提及，一韌體至少部分地分佈至 CPU C1 及 DSP C2 中。CPU C1 及 DSP C2 之每一者必須執行一旦完成則會產生必須傳送至另一者之資料(至少對其中某些而言)的操作或任務。資料必須被傳送之每一操作或任務與一旗標(二進位值)相關。此外，將自一個核心 C_i ($i=1$ 或 2) 傳送至另一核心 $C_{i'}$ ($i=2$ 或 1) 的每一資料群經由連接傳送核心 C_i 之匯流排 BC_i 傳輸至記憶體 M，以便短暫地儲存在一自核心 C_i 及 $C_{i'}$ 皆可知且與一選定旗標相關的選定位置處。

根據本發明，(公用)記憶體 M 僅儲存必須自一個核心 C_i 傳送至另一個核心 $C_{i'}$ 的資料。

控制裝置 D 包含至少一個旗標暫存器 FR_i ，該至少一個旗標暫存器 FR_i 經由 CPU C1 及 DSP C2 的各別匯流排 BC_1 及 BC_2 耦接至 CPU C1 及 DSP C2。每一旗標暫存器 FR_i 經配置以在選定位址處儲存以上提及之旗標之各別值。為此目的，其包含對應於自 CPU C1 及 DSP C2 得知之 N_i 個位址的 N_i 個儲存區域。

當一第一核心 C_i (例如 CPU C1) 完成了與一在旗標暫存器

FRi中具有一選定位址的旗標相關的任務或操作時，該核心Ci傳輸相應的資料群以將其傳送至記憶體M，以便該等資料群可儲存在記憶體中一選定位址處，並將一要求該旗標暫存器Fri將與經傳送資料群相關的旗標設定至1之訊息傳輸至旗標暫存器FRi。

一訊息包含至少一個八位元組(或字組)，其中每一位元指定一旗標，該旗標的值儲存在相應的旗標暫存器FRi中。更準確而言，若一字組位元值等於0，此意謂相應的旗標值必須保持不變，而若一字組位元值等於1，此意謂相應的旗標值必須改變(自0至1)。舉例而言，當一個8位元字組等於(00000001)時，與第一字組位元(等於1)相關之第一旗標值必須設定至1，而與其他七個字組位元(等於0)相關之七個其他旗標值必須保持不變。現當一8位元字組等於(00010001)時，與第一及第五字組位元(等於1)相關之第一及第五旗標值必須設定至1，而與其他六個字組位元(等於0)相關之六個其他旗標值必須保持不變。

因此，當對應於包含於訊息中之字組的旗標暫存器FRi接收到此訊息時，其僅改變與等於1之字組位元相關的每一旗標值。換言之，其將與等於1之字組位元相關的每一旗標值設定(至1)。可想到只要操作或任務未完成，則相應的旗標值仍等於0。

第二核心Ci'(例如DSP C2)輪詢儲存至旗標暫存器FRi中之旗標值，當其感知到一旗標值之變化時，其得知相應的資料群被儲存至記憶體M中的相關位址處。因此其可存取

記憶體M並進行資料傳送。當資料傳送已完成，第二核心 C_i' 將一要求該旗標暫存器FR $_i$ 重設與經傳送資料群相關的旗標之訊息傳輸至旗標暫存器FR $_i$ 。此訊息亦包含至少一個八位元組(或字組)，其中每一位元指定一旗標，該旗標的值儲存在相應的旗標暫存器FR $_i$ 中。

因此，當對應於包含於訊息中之字組的旗標暫存器FR $_i$ 接收到此訊息，其僅改變與等於1之字組位元相關的每一旗標值。換言之，其將與等於1之字組位元相關的每一旗標值重設(至0)。

第一核心 C_i 輪詢儲存至旗標暫存器FR $_i$ 中的旗標值，當其感知到一旗標值之變化時，其得知其先前傳輸至記憶體M的相應的資料群已有效傳送至第二核心 C_i' 。

每一旗標暫存器FR $_i$ 可同時由兩個核心 C_1 及 C_2 存取，每一旗標值(儲存在一旗標暫存器FR $_i$ 中的一第一位址處)可由該等核心之一者(例如 C_1)借助於一含有指定此第一位址之至少一個字組的訊息(或命令)而設定或重設，而與此同時，至少一個其他旗標值(儲存在此旗標暫存器FR $_i$ 中的一第二位址處)可由另一核心(例如 C_2)借助於一含有指定此第二位址之至少一個字組的訊息(或命令)而同時設定或重設。

在圖3所說明之非限制性實例中，控制裝置D包含皆耦接至第一匯流排BC $_1$ 及第二匯流排BC $_2$ 之第一單向旗標暫存器FR $_1$ 及第二單向旗標暫存器FR $_2$ 。單向旗標暫存器FR $_i$ 為在其中第一核心 C_i 僅可設定旗標值(關於其必須執行之操

作或任務)而第二核心 C_i 僅可重設旗標值(關於其正等待的資料群)的暫存器。

在所說明之實例中，第一旗標暫存器FR1專用於由CPU C1執行之操作或任務，而第二旗標暫存器FR2專用於由DSP C2執行之操作或任務。因此，CPU C1可將旗標值設定至1進入暫存器FR1中並將旗標值重設至0進入第二暫存器FR2中，而DSP C2可將旗標值設定至1進入第二暫存器FR2中並將旗標值重設至0進入第一暫存器FR1中。

第一旗標暫存器FR1包含 N_1 個儲存區域，以用於儲存與自記憶體M至第二核心C2之資料傳送有關的 N_1 個旗標之各別值。第二旗標暫存器FR2包含 N_2 個儲存區域，以用於儲存與資料自記憶體M至第一核心C1之傳送有關的 N_2 個旗標之各別值。舉例而言， $N_1=N_2=8$ 。

在圖3所說明之非限制性實例中，控制裝置D包含第一單向旗標暫存器FR1及第二單向旗標暫存器FR2，但在不同實例中，控制裝置D可包含若干第一單向旗標暫存器FR1及/或若干第二單向旗標暫存器FR2，或至少一個雙向旗標暫存器。在最後一種狀況下(雙向旗標暫存器)，每個核心 C_i 可設定或重設儲存在一旗標暫存器FR $_i$ 之 N_i 個儲存區域中的任何旗標值。此需要一相同二進位值0或1對於第一核心C1及第二核心C2而言具有相反的含義(亦即，0被第一核心C1看作為0但被第二核心C2看作為1)。

重要的是應注意(單向或雙向)旗標暫存器FR $_i$ 之數目取決於必須儲存的旗標值的數目(與每一核心 C_i 相關的)。舉例

而言，若要儲存的旗標值少於8個，則僅一個旗標暫存器便足夠。現若要儲存的旗標值多於8個，則必須提供兩個或兩個以上旗標暫存器。通常，旗標之數目取決於一匯流排BC_i能傳輸的位元之數目。

此外，在圖3所說明之非限制性實例中，該控制裝置D獨立於記憶體M。但在一不同實例中，記憶體M可為控制裝置D之一部分，如圖4中所說明。在此狀況下，旗標暫存器FR_i可構成一暫存器R之一或多個部分。

現將參看圖5及圖6更詳細地描述一控制裝置D之實施例之一實例。

圖5說明一實施例之一功能性實例，其中每一旗標暫存器FR_i包含一第一控制模組CM1、一第二控制模組CM2及一儲存模組SM。圖5中僅已展示第一旗標暫存器FR1之功能結構。但第二旗標暫存器FR2之功能結構與第一旗標暫存器FR1之功能結構相同。

儲存模組SM包含具有N_i個各別位址的N_i個一位元儲存區域(1至N_i)，其分別用於儲存N_i個旗標之當前值(0或1)。

第一控制模組CM1包含：

- 一第一讀取及寫入模組RWM1，其用於存取儲存模組SM之N_i個不同儲存區域(1至N_i)，以便進行讀取及寫入。其作為對CPU C1之介面且包含執行控制邏輯之組件，
- 一第一輸入，其連接至第一匯流排BC1(其連接至CPU C1)且連接至第一讀取及寫入模組RWM1，及
- N_i個第一輸出，其連接至第一讀取及寫入模組RWM1且

連接至儲存模組 SM 之 N_i 個不同儲存區域 (1 至 N_i)。

第一控制模組 CM1 及第二控制模組 CM2 具有相同的功能結構。因此，第二控制模組 CM2 包含：

- 一第二讀取及寫入模組 RWM2，其用於存取儲存模組 SM 之 N_i 個不同儲存區域 (1 至 N_i)，以便進行讀取及寫入。其作為對 DSP C2 之介面且包含執行控制邏輯之組件，
- 一第二輸入，其連接至第二匯流排 BC2 (其連接至 DSP C2) 且連接至第二讀取及寫入模組 RWM2，及
- N_i 個第二輸出，其連接至第二讀取及寫入模組 RWM2 且連接至儲存模組 SM 之 N_i 個不同儲存區域 (1 至 N_i)。

由於此對稱結構，且更準確而言由於該第一控制模組 CM1 及該第二控制模組 CM2，每一旗標暫存器 FR $_i$ 可同時由 CPU C1 及 DSP C2 存取以達成讀取 (輪詢) 及 / 或寫入之目的。

較佳地，第一控制模組 CM1 及第二控制模組 CM2 之每一者可大致同時設定及 / 或重設儲存於儲存模組 SM 之若干儲存區域中的若干 (至少兩個且較佳 N_i 個) 旗標值，每次其自其耦接所至之核心 C_i 接收一指定此等若干儲存區域之各別位址的單一命令 (訊息)。此係由每一旗標暫存器 FR $_i$ 接收一若干位元之命令字組這一事實所導致。

為此目的，每一旗標暫存器 FR $_i$ 之第一控制模組 CM1 及第二控制模組 CM2 及儲存模組 SM 可分成各自負責一個旗標值的 (亦即一個位元的) 處理 (讀取及寫入) 的 N_i 個相同且平行的部件。圖 6 中說明此等 N_i 個旗標暫存器部件之一者

之實施例的一非限制性實例。

此所說明之旗標暫存器部件包含：一第一控制子模組 $CM1j$ ($j=1$ 至 N_i)，其構成第一控制模組 $CM1$ 之 N_i 個部件 ($CM11$ 至 $CM1N_i$) 之一者；一第二控制子模組 $CM2j$ ($j=1$ 至 N_i)，其構成第二控制模組 $CM2$ 之 N_i 個部件 ($CM21$ 至 $CM2N_i$) 之一者；及一儲存子模組 SMj ($j=1$ 至 N_i)，其構成儲存模組 SM 之 N_i 個部件之一者。

舉例而言，且如說明，每一第一控制子模組 $CM1j$ 包含一第一讀取及寫入子模組 $RWM1j$ ，該第一讀取及寫入子模組 $RWM1j$ 包含：

- 一第一 AND 閘 $AG11$ ，其具有：一連接至第一匯流排 $BC1$ 且對應於待寫入旗標暫存器之第 j 個旗標值的第一輸入 ("BitN 寫入")；一亦連接至第一匯流排 $BC1$ 且致能寫入操作 (等於 0 的值意謂無操作要做，而等於 1 的值意謂必須對第 j 個旗標值執行一寫入操作) 的第二輸入 ("寫入")；及一構成第一控制模組 $CM1$ 之 N_i 個輸出之一者之第一子部件的輸出，
- 一第二 AND 閘 $AG12$ ，其具有：一連接至第一匯流排 $BC1$ 用於接收來自一第一時脈 (專用於核心 $C1$) 之時脈週期的第一輸入 ("時脈")；一連接至第一 AND 閘 $AG11$ 之輸出的第二輸入；及一構成第一控制模組 $CM1$ 之 N_i 個輸出之一者之第二子部件的輸出，及
- 一正反器 $F1$ (或 "FF2")，其具有：一用於接收來自第一時脈之時脈週期的第一輸入、一用於接收一第 j 個旗標值的

第二輸入("D")；一用於將該傳遞 j 個旗標值("BitN讀取")至第一匯流排BC1中的輸出("Q")。

每一第二控制子模組CM2j包含一第二讀取及寫入子模組RWM2j，該第二讀取及寫入子模組RWM2j包含：

- 一第一AND閘AG21，其具有：一連接至第二匯流排BC2且對應於待寫入旗標暫存器之第 j 個旗標值的第一反相輸入("BitN寫入")；一亦連接至第二匯流排BC2且致能寫入操作的第二輸入("寫入")；及一構成第二控制模組CM2之 N_i 個輸出之一者之第一子部件的輸出，
- 一第二AND閘AG22，其具有：一連接至第二匯流排BC2用於接收來自一第二時脈(專用於核心C2)的時脈週期的第一輸入("時脈")；一連接至第一AND閘AG21之輸出的第二輸入；及一構成第二控制模組CM2之 N_i 個輸出之一者之第二子部件的輸出，及
- 一正反器F2(或"FF3")，其具有：一用於接收來自第二時脈之時脈週期的第一輸入；一用於接收第 j 個旗標值的第二輸入("D")；及一用於將傳遞第 j 個旗標值("BitN讀取")至第二匯流排BC2中的輸出("Q")。

每一儲存子模組SMj包含：

- 一第一OR閘OG1，其具有：一連接至第一讀取及寫入子模組RWM1j之第一AND閘AG11之輸出的第一輸入；一連接至第二讀取及寫入子模組RWM2j之第一AND閘AG21之輸出的第二反相輸入；及一輸出，
- 一第二OR閘OG2，其具有：一連接至第一讀取及寫入子

模組 RWM1j 之第二 AND 閘 AG12 之輸出的第一輸入；一連接至第二讀取及寫入子模組 RWM2j 之第二 AND 閘 AG22 之輸出的第二輸入；及一輸出，及

- 一正反器 F3(或 "FF1")，其具有：一連接至第一 OR 閘 OG1 之輸出的第一輸入("D")；一連接至第二 OR 閘 OG2 之輸出的第二輸入("CK"-時脈)；及一用於傳遞該第 j 個旗標值("BitN 讀取")的輸出("Q")。此正反器 F3 在第二 OR 閘 OG2 輸出之信號的控制下儲存由第一 OR 閘 OG1 輸出之信號所界定的旗標值。

對於此該配置，可對第一旗標暫存器 FR1(其含有與自記憶體 M 至第二核心 C2 之資料傳送有關的旗標值)應用以下之(非限制性)規則實例：

- 若第一核心 C1 將值 "core_C1_write_value(核心 C1 寫入值)" 寫入第一旗標暫存器 FR1 之儲存模組 SM 之第 j 個儲存區域，則後者執行逐個位元應用之操作 "register_value = register_value | core_C1_write_value(暫存器值 = 暫存器值 | 核心 C1 寫入值)"(其中 | 為二進位運算子 OR)，以計算新的暫存器值。因此，第一旗標暫存器 FR1 僅將一時脈週期給予將 "core_C1_write_value" 位元設定至 1 的第 j 個部件之正反器 F1 或 F2，在另一側的另一正反器 F2 或 F1 保留具有同時及非同步計時的能力。此意謂旗標暫存器 FR1 中以 0 寫入且與等於 1 的字組位元相關之所有旗標值設定(至 1)，而旗標暫存器 FR1 中以 0 或 1 寫入且與等於 0 的字組位元相關之所有旗標值保持不變，

- 若第二核心 C2 將值 "core_C2_write_value(核心 C2 寫入值)" 寫入第一暫存器 FR1 之儲存模組 SM 之第 j 個儲存區域，則後者執行逐個位元應用之操作 "register_value = register_value & core_C2_write_value(暫存器值 = 暫存器值 & 核心 C2 寫入值)" (其中 & 為二進位運算子 "AND")，以計算新的暫存器值。因此，第一旗標暫存器 FR1 僅將一時脈週期給予將 "core_C2_write_value(核心 C2 寫入值)" 位元設定至 0 的正反器 F1 或 F2，在另一側的另一正反器 F2 或 F1 保留具有同時及非同步計時的能力。此意謂旗標暫存器 FR1 中以 1 寫入且與等於 0 的字組位元相關之所有旗標值清除 (重設至 0)，而旗標暫存器 FR1 中以 0 或 1 寫入且與等於 1 的字組位元相關之所有旗標值保持不變。此使用由第一 AND 閘 AG21 之第一輸入 ("BitN 寫入") 被反轉這一事實所致的字位元之反轉。

互反規則應用於含有與自記憶體 M 至第一核心 C1 之資料傳送有關的旗標值的第二旗標暫存器 FR2。

由於一旗標暫存器 FR_i 內部的旗標為獨立的，故硬體允許將自一個時脈域至另一時脈域的傳播減少到最小。實際上，若一個核心 (C1 或 C2) 在同一時間 (在一單一寫入指令 (或命令) 內) 將若干旗標設定至 1，則不必保證在另一核心 (C2 或 C1) 之時脈之相同週期內亦設定所有旗標。

以下給出一真值表之一實例，其可應用於圖 6 中所說明之實施例之實例。

C1側			C2側			F3 ("FF1")			註解
時脈	寫入	BitN 寫入	時脈	寫入	BitN 寫入	D	CK	Q_{n+1}	
↑	1	1	x	x	1	1	↑	1	設定旗標
x	x	0	X	x	1	x	0	Q_n	不做任何事
x	x	0	↑	1	0	0	↑	0	清除旗標

此真值表展示第一核心僅能寫入等於1的位元值。舉例而言，表的第二行對應於第一核心C1的0的寫入(經由核心C1已傳輸的字組(命令)中等於0的位元)，其展示相應的旗標值保持不變($Q_{n+1}=Q_n$)及第二核心C2僅能寫入等於0的旗標值。

該控制裝置D通常以硬體模組來實現。

得益於本發明，專用於界定一旗標值之位元之儲存的每一儲存區域的大小等於一(1)位元。因此，大大減少了專用於旗標值之儲存的記憶體大小。此外，旗標值儲存至旗標暫存器中，於是公用記憶體之所有儲存區域可用於儲存在核心間傳送的資料。因此，可能增加可在傳送之前儲存至公用記憶體中的資料的數目，或減少公用記憶體之大小，此可釋放某些空間以用於積體電路中之另一電子組件。

本發明不限於上述控制裝置、積體電路及電子設備之實施例，該等實施例僅作為實例，但本發明包含在以下申請專利範圍之範疇內可由熟習此項技術者所瞭解的所有替代實施例。

【圖式簡單說明】

圖1示意性地說明將兩個核心耦接至一公用DPRAM記憶體的一先前技術積體電路的一部分，

圖2示意性地說明一DPRAM記憶體及旗標在此記憶體內的儲存方法，

圖3示意性地說明將兩個核心耦接至一記憶體且耦接至根據本發明之控制裝置之第一實例的一積體電路的一部分，

圖4示意性地說明將兩個核心耦接至根據本發明之控制裝置之第二實例的一積體電路的一部分，

圖5在功能上說明圖3中所說明之控制裝置之一旗標暫存器之實施例的一實例，及

圖6示意性地說明專用於處理單一位元旗標值的一旗標暫存器之實施例的一實例。

【主要元件符號說明】

AG11	第一讀取及寫入子模 組之第一AND閘
AG12	第一讀取及寫入子模 組之第二AND閘
AG21	第二讀取及寫入子模 組之第一AND閘
AG22	第二讀取及寫入子模 組之第二AND閘
BC1	第一匯流排
BC2	第二匯流排
C1	第一核心
C2	第二核心

CM1	第一控制模組
CM1j	第一控制子模組
CM2	第二控制模組
CM2j	第二控制子模組
D	控制裝置
DS	記憶體M之一部分
EE	電子設備
F1(FF2)、F2(FF3)、F3(FF1)	正反器
FR1	第一旗標暫存器
FR2	第二旗標暫存器
Fri	旗標暫存器
IC	積體電路
M	記憶體
OG1	第一OR閘
OG2	第二OR閘
R	暫存器
RWM1	第一讀取及寫入模組
RWM1j	第一讀取及寫入子模組
RWM2	第二讀取及寫入模組
RWM2j	第二讀取及寫入子模組
SM	儲存模組
SMj	儲存子模組

十、申請專利範圍：

1. 一種用於一積體電路(IC)之控制裝置(D)，該積體電路(IC)包含至少兩個核心(C1、C2)，該至少兩個核心(C1、C2)經由匯流排(BC1、BC2)耦接至一記憶體(M)，該記憶體(M)經配置以儲存將在該等核心(C1、C2)之間傳送的資料，該控制裝置(D)之特徵在於其包含至少一個旗標暫存器(FR_i)，該至少一個旗標暫存器(FR_i)經由該等匯流排(BC1、BC2)耦接至該等核心(C1、C2)，且經配置以在N_i個位址處儲存與由該等核心之一者儲存至該記憶體(M)中且準備向該等核心之另一者傳送之資料相關的N_i個旗標值，儲存在一第一位址處的每一旗標值可由該等核心(C1、C2)之一者借助於一指定該第一位址的命令而設定或重設，從而授權儲存在一第二位址處的另一旗標值由另一核心(C2、C1)借助於一指定該第二位址的命令而同時設定或重設。
2. 如請求項1之控制裝置，其特徵在於其包含i)至少一個第一旗標暫存器(FR1)，其耦接至該等匯流排(BC1，BC2)且經配置以在N1個位址處儲存與由該等核心之一第一者(C1)儲存至該記憶體(M)中且準備向該等核心之一第二者(C2)傳送之資料相關的N1個旗標值，儲存在該第一暫存器之一第一位址處的每一旗標值可由該第一核心借助於一指定該第一位址的命令而設定，且由該第二核心(C2)借助於該指定該第一位址的命令而重設，及ii)至少一個第二旗標暫存器(FR2)，其耦接至該等匯流排(BC1、BC2)

且經配置以在 N_2 個位址處儲存與由該第二核心(C2)儲存至該記憶體(M)中且準備向該第一核心(C1)傳送之資料相關的 N_2 個旗標值，儲存在該第二暫存器(FR2)之一第一位址處的每一旗標值可由該第二核心(C2)借助於一指定該第一位址的命令而設定且由該第一核心(C1)借助於該指定該第一位址的命令而重設。

3. 如請求項1及2中任一項之控制裝置，其特徵在於每一旗標暫存器(FR i)包含i)一第一控制構件(CM1)，其包含：一連接至該連接至該第一核心(C1)之匯流排(BC1)的第一輸入、 N_i 個第一輸出及一第一旗標值讀取及寫入構件(RWM1)，ii)一第二控制構件(CM2)，其包含：一連接至該連接至該第二核心(C2)之匯流排(BC2)的第二輸入、 N_i 個第二輸出及一第二旗標值讀取及寫入構件(RWM2)，及iii)一儲存構件(SM)，其包含具有 N_i 個各別位址的 N_i 個儲存區域，該等儲存區域經配置以分別儲存 N_i 個旗標值且分別連接至該等第一輸出之一者及該等第二輸出之一者。
4. 如請求項3之控制裝置，其特徵在於該第一控制構件(CM1)及該第二控制構件(CM2)之每一者經配置以當其接收到一指定該儲存構件(SM)之若干儲存區域之該等各別位址的單一命令時，設定及/或重設儲存於該等若干儲存區域中的若干旗標值。
5. 如請求項1或2中任一項之控制裝置，其特徵在於其包含該記憶體(M)。

6. 如請求項5之控制裝置，其特徵在於該記憶體(M)係在一包含至少一DPRAM記憶體及一RAM記憶體之群中選出。
7. 一種用於一電子設備(EE)之積體電路(IC)，其特徵在於其包含一如請求項1或2中任一項之控制裝置(D)。
8. 一種電子設備(EE)，其特徵在於其包含一如請求項7之積體電路(IC)。
9. 如請求項8之電子設備，其特徵在於其係在一包含至少一電腦、一電話、一個人數位助理及一音樂播放機之群中選出。

十一、圖式：

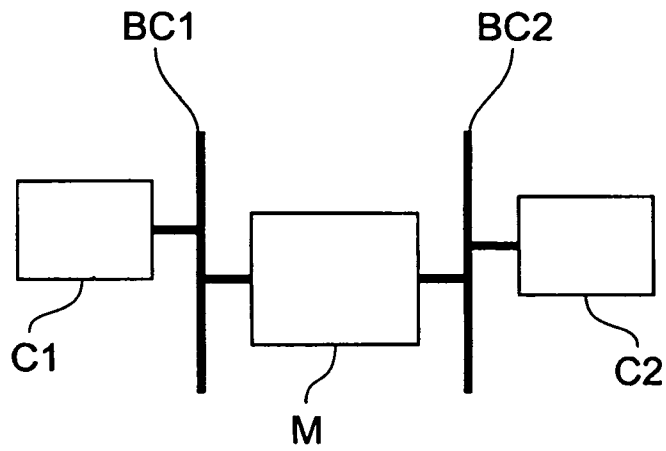


圖1
先前技術

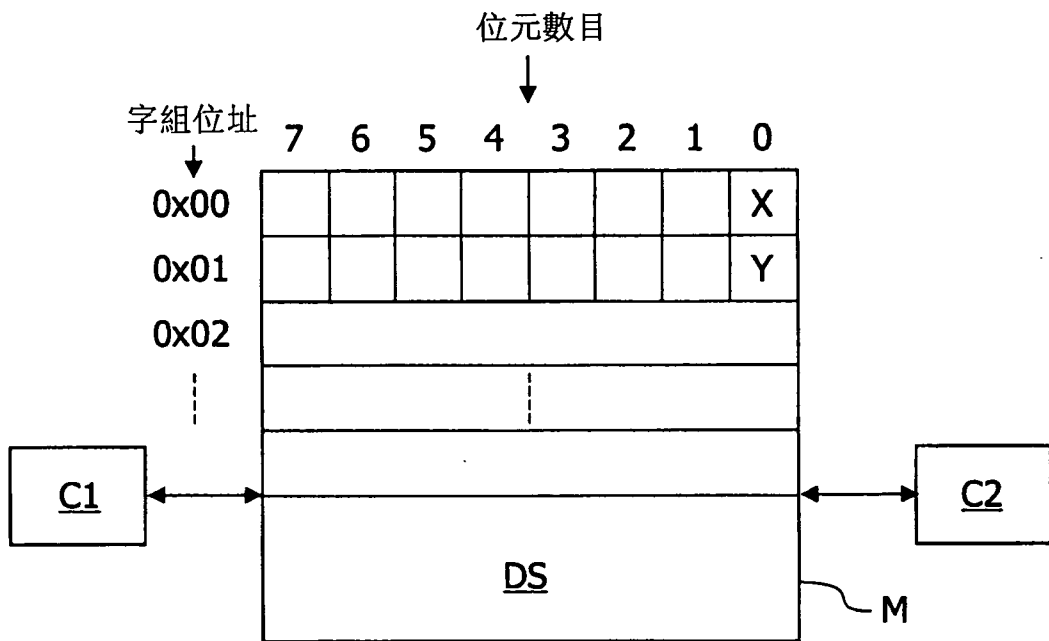


圖2
先前技術

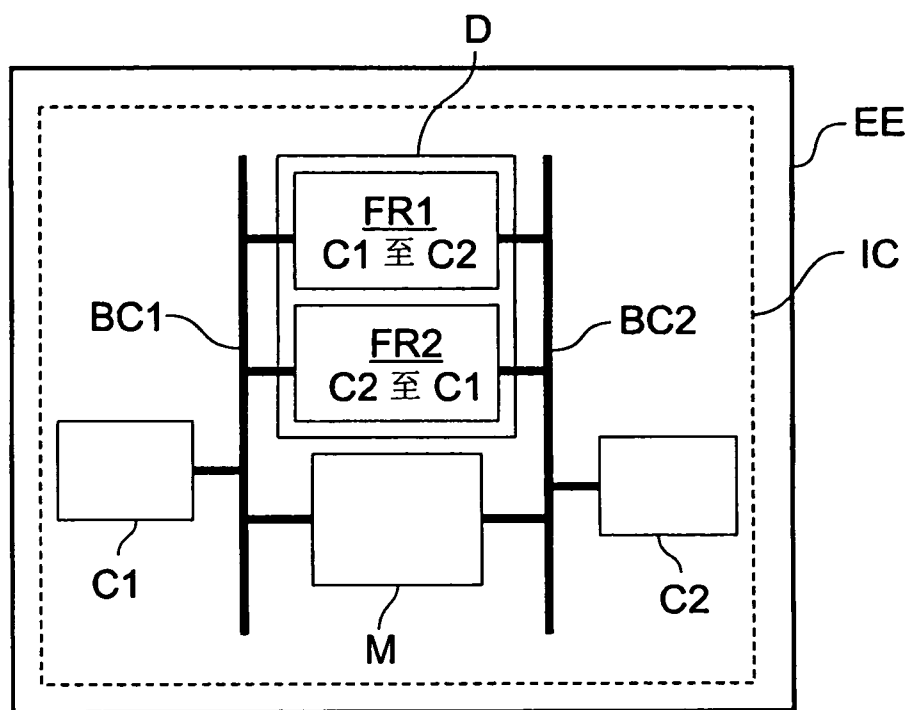


圖3

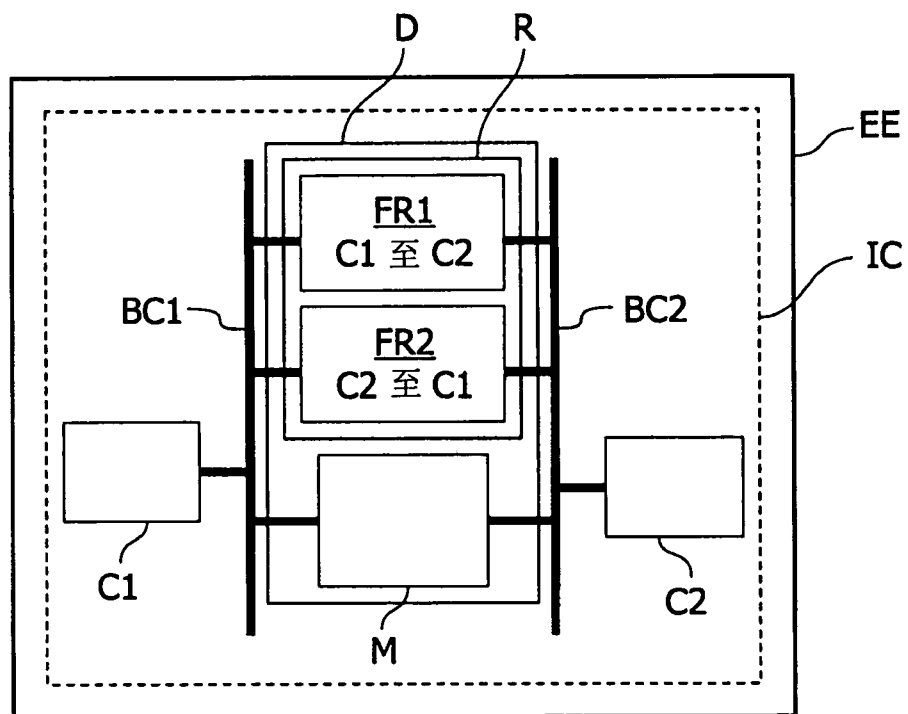


圖4

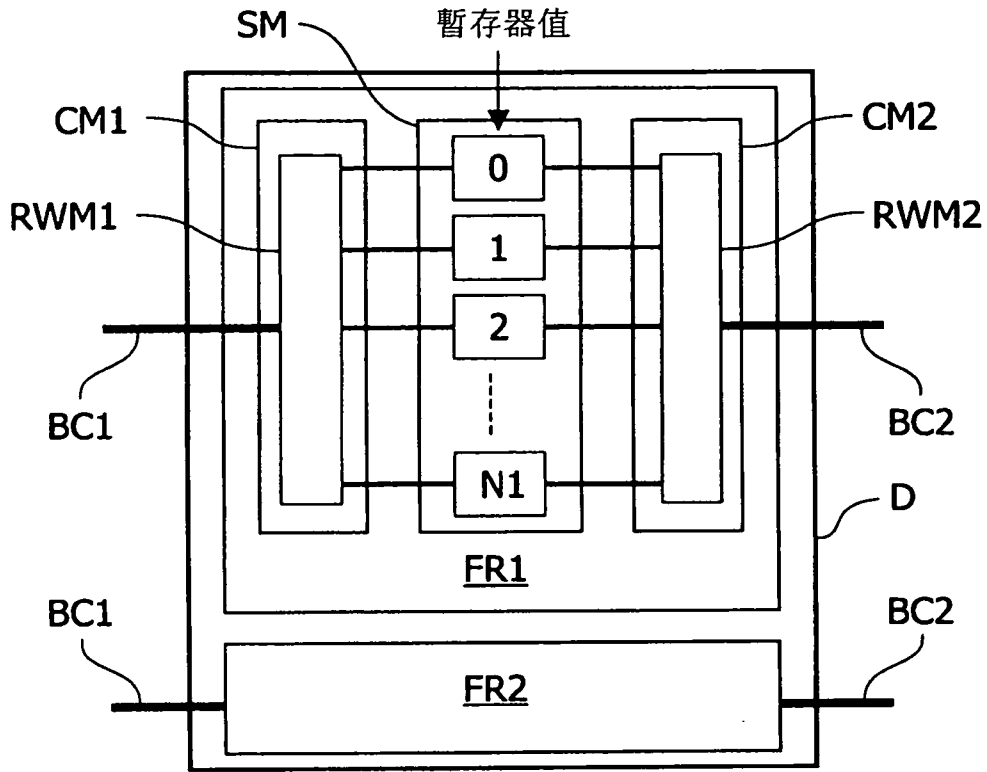


圖5

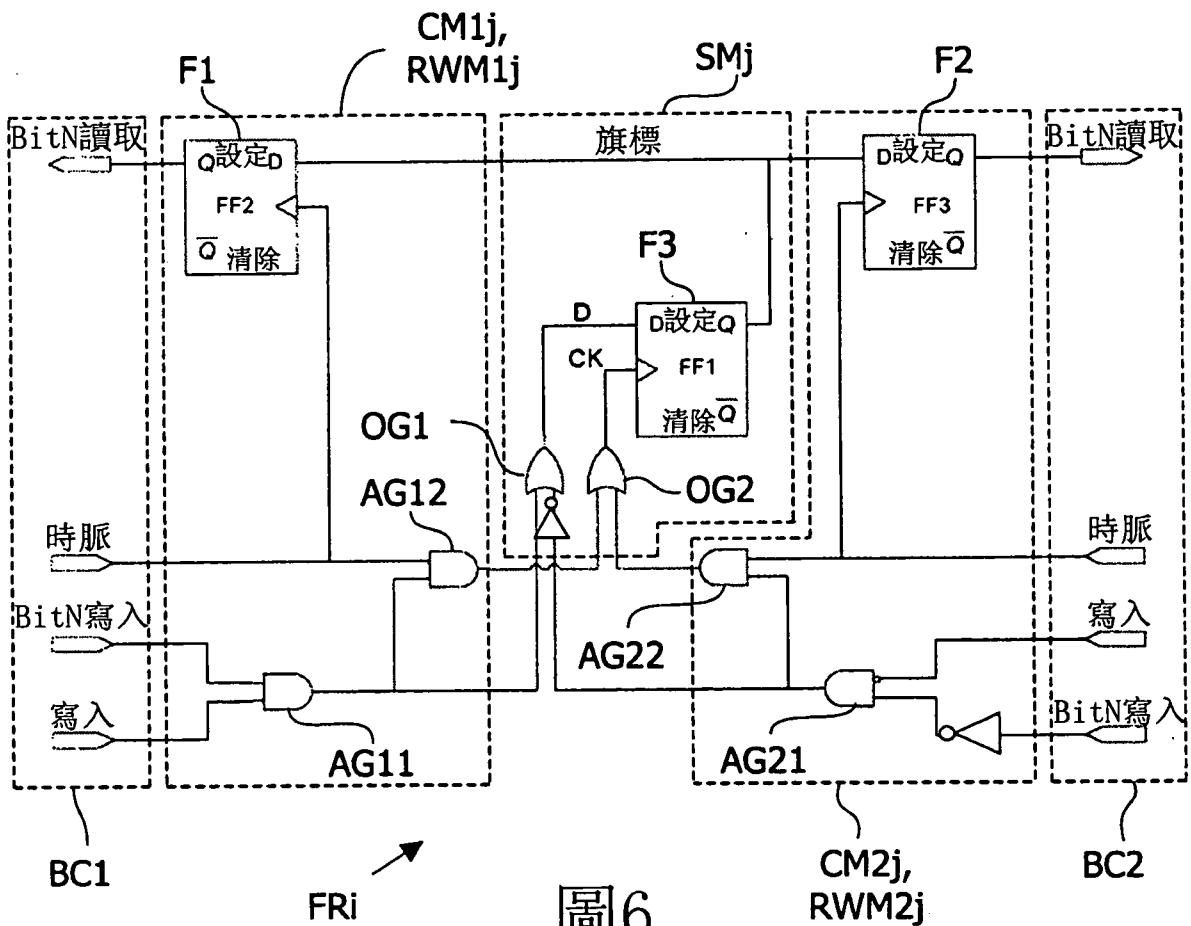


圖6