

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.
H01L 27/04 (2006.01)



[12] 发明专利说明书

专利号 ZL 99104618.8

[45] 授权公告日 2006 年 1 月 25 日

[11] 授权公告号 CN 1238899C

[22] 申请日 1999.3.31 [21] 申请号 99104618.8

[30] 优先权

[32] 1998.3.31 [33] US [31] 09/052683

[71] 专利权人 西门子公司

地址 联邦德国慕尼黑

[72] 发明人 W·贝尔格纳 J·阿尔斯梅尔

E·哈莫尔

审查员 赵百令

[74] 专利代理机构 中国专利代理(香港)有限公司

代理人 杨凯 王忠忠

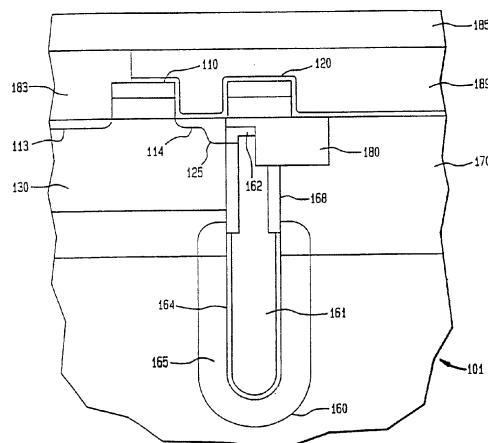
权利要求书 1 页 说明书 6 页 附图 3 页

[54] 发明名称

埋入器件层的可控性的改善

[57] 摘要

减少在整个芯片上的埋入层厚度的变动。该埋入层厚度的变动的减少是通过首先确定该埋入层的顶部表面及然后确定该埋入层的下表面来实现的。这样就改善了对埋入带变动的控制，由此改善了 IC 的性能。



1. 一种形成埋入层的方法，其特征在于，包括下述步骤：

在衬底中设置被半导体材料充填的槽，该槽具有对该槽的上部的侧壁进行衬垫的介质套环，从而在该槽的上部将半导体材料与槽侧壁分离开来；

5 使该半导体材料在衬底的表面之下形成凹陷部分，该凹陷部分确定埋入层的顶部表面；

使该套环在该埋入层的顶部表面之下形成凹陷部分，以便形成包围该半导体材料的顶部表面的凹陷区，其中，该凹陷区的底部表面确定该埋入层的下表面；

10 淀积衬垫物，使其充填该凹陷区；以及

从对该槽的侧壁和该半导体材料的顶部表面进行衬垫的衬垫物中除去多余的材料，从而留下被衬垫物充填的凹陷区。

埋入器件层的可控性的改善

技术领域

- 5 本发明一般来说涉及集成电路（ICs），具体地说，涉及 ICs 中的埋入层的空间位置的控制。

背景技术

- 10 在半导体制造中，在衬底上对绝缘层、半导体层和导电层进行淀积和图形刻蚀，以形成器件结构，诸如晶体管、电容器、或电阻器。然后对这些器件结构进行互连，以实现所需要的电功能，构成 IC。使用常规的制造技术，例如，氧化、注入、淀积、硅的外延生长、光刻和刻蚀，来完成各种不同的器件层的制造和图形刻蚀。这些技术在 S. M. Sze, “VLSI Technology (超大规模集成电路工艺技术)”，第 2 版, New York, McGraw-Hill, 1988, 中作了描述，本专利中引用了该书，作为参考。

- 15 因为对速度更快和集成度更高的 ICs 的需求在增加，故控制埋入器件层的空间位置的能力变得更重要。例如，埋入带 (buried strap) 用于将晶体管连接到电容器上，以形成动态随机存取存储器 (DRAM) 单元。根据性能和设计规格，要求最小的埋入带厚度。

- 20 用于形成埋入带的常规的技术至少包括 3 个刻蚀工艺。第 1 个刻蚀工艺使多晶态 (poly) 填充物和对槽式电容器的上部进行衬垫的套环 (collar) 形成凹槽。第 2 个刻蚀工艺再使位于多晶态填充物之下的套环形成凹槽，以确定该埋入层的底部。淀积多晶态物质以填充该槽，进行第 3 个刻蚀工艺使该多晶态物质形成凹槽，以确定该埋入层的顶部。这种技术在埋入带的高度方面产生大的变动，例如，约为 $+/-50\text{nm}$ 。
- 25 为了保证埋入带的厚度至少为最小的埋入带厚度，该埋入带的厚度至少为最小厚度 $+|$ 变动 $|$ 。

- 埋入带厚度依赖于设计的要求。在典型的情况下，该厚度约为 100nm ，这意味着在埋入带厚度中的变动为 $100-200\text{nm}$ 的情况下，最小厚度为 150nm 。因为在整个 IC 上的埋入带厚度的这样大的变动对器件性能造成
- 30 不利影响，因此是不希望有的。另外，这样一种大的变动需要较厚的埋入带，增加了工艺上的困难。例如，希望使浅槽隔离 (STI) 的深度尽可能浅。但是，较厚的埋入带导致埋入带在衬底表面之下较深，这就需

要较深的 STI。

从以上的讨论可知，希望有在厚度方面变动较小的经过改善的埋入带。

发明内容

- 5 本发明涉及经过改善的埋入层的形成。该埋入层在槽式电容器中起到埋入带的作用。按照本发明的一个实施例，在衬底中设置槽式电容器，该电容器具有对槽的上部进行衬垫的介质套环，该套环将衬底与槽中的诸如掺杂多晶态物质的半导体材料分离开来。使该半导体材料形成凹陷部分，有效地确定埋入带的顶部。在该半导体材料的顶部表面之下使该
- 10 套环形成凹陷部分，以便形成包围该半导体材料的凹陷区。该凹陷区的底部表面确定该埋入带的底部。淀积衬垫材料，使其充填该凹陷区，在一个实施例中，该衬垫材料包括硅。从衬垫除去多余的材料，留下被充填到该埋入带的顶部表面的凹陷区。

附图说明

- 15 图 1 示出一个 DRAM 单元；以及
图 2a-f 示出本发明的一个实施例。

具体实施方式

- 本发明涉及埋入层的经过改善的空间控制。为了说明起见，将从 DRAM 单元的角度来描述本发明。但是，本发明的范围较宽，一般来说可延伸到 ICs 的制造。该 ICs 包括例如各种类型的存储电路，诸如，DRAMs、
- 20 同步型 DRAMs (SDRAMs)、静态 RAMs (SRAMs)、或只读存储器 (ROMs)。另外，该 ICs 可包括逻辑器件，诸如可编程的逻辑阵列 (PLAs)、专用 ICs (ASICs)、埋入 DRAM-逻辑 ICs (埋置 DRAMs)、或任何其它的电路器件。

- 25 在典型的情况下，在一个诸如硅片的衬底上并行地制造多个 ICs。在进行了工艺处理后，对该晶片进行划片，以便将 ICs 分离成多个单个芯片。然后将该芯片封装于最终的产品内，将其用于例如消费产品，诸如计算机系统、蜂窝电话、个人数字助理 (PDAs)、和其它电子产品。

- 参照图 1，示出了槽式电容器 DRAM 单元。这种 DRAM 单元例如在 Nesbit
- 30 等著的“带有自对准埋入带 (BEST) 的 $0.6\mu\text{m}^2$ 256Mb 的槽式 DRAM 单元”，IEDM 93-627，中作了描述，本专利中引用了该文，作为参考。

如所示出的那样，该 DRAM 单元包括在衬底 101 中形成的槽式电容器

160. 在典型情况下, 该槽由用 n 型掺杂剂进行重掺杂的多晶硅 (poly) 161 进行充填。该多晶硅起到该电容器的一个电极的作用, 被称为“存储节点”。用 n 型掺杂剂掺杂的埋入板 165 包围该槽的下部。该埋入板起到该电容器的第 2 个电极的作用。对该槽的上部内的内侧壁进行衬垫的是套环 168, 该套环 168 用于减少围绕该深槽的垂直寄生漏电流。在典型情况下, 该套环约 1nm 深。在该槽的下部, 节点介质 164 将该电容器的两个极板分离开。设置包括 n 型掺杂剂的埋入阱 170, 使其在阵列中连接 DRAM 单元的埋入板。p 阱 183 在该埋入阱之上。该 p 阱起到减少垂直漏电流的作用。

10 该 DRAM 单元还包括晶体管 110。该晶体管包括栅和由 n 型掺杂剂组成的扩散区 113 和 114。该扩散区被称为源和漏。根据晶体管的工作情况来指定源和漏。通过被称为“节点扩散”的扩散区 125 来实现晶体管到电容器的连接。栅, 也被称为“字线”, 一般包括多晶硅层和氮化物层。在另一种方式下, 配置了多晶硅硅化物 (polycide) 层, 它包括硅化物, 诸如硅化钼 (MoSi_x)、硅化钽 (TaSi_x)、硅化钨 (WSi_x)、硅化钛 (TiSi_x)、或硅化钴 (CoSi_x), 以减少字线电阻。

在一个实施例中, 多晶硅硅化物层在多晶硅上包括 WSi_x 。氮化物衬垫 369 覆盖栅叠层和衬底。氮化物层 368 和氮化物衬垫起到对于其后的工艺的刻蚀或抛光中止层的作用。

20 设置浅的槽隔离 (STI) 180, 以便将 DRAM 单元与其它单元或器件隔离开来。如所示出的那样, 在槽上形成字线 120, 并由该 STI 从该处将其隔离开来。将字线 120 称为“通过字线”。将这种结构称为折叠位线结构。其它的结构, 诸如开放或开放-折叠位线结构、或单元设计, 也是有用的。

25 在该字线上形成层间介质层 189。在该层间介质层上形成代表位线的导电层。在该层间介质层中设置位线接触开口 186, 以便使源 113 与位线 190 接触。

对多个这种单元进行排列, 以便形成存储器 IC 的阵列。通过字线和位线对该单元阵列进行互连。通过激活单元的相应的字线和位线来实现对单元的访问 (access)。

30 参照图 2a, 图中示出一个 IC 的剖面图。该 IC 包含例如由硅组成的衬底。其它半导体衬底, 诸如在绝缘体上的硅或外延层, 也是有用的。

衬底 200 具有在其上形成的衬垫叠层 (pad stack) 211。该衬垫叠层包括各种层, 这些层起到便于进行 IC 的工艺处理的作用。在典型情况下, 该衬垫叠层包括例如由热氧化形成的衬垫氧化层 212。在该衬垫氧化层上是衬垫刻蚀中止层 211。该衬垫刻蚀中止层包括下述的材料, 其它的器件层可被有选择地刻蚀或抛光, 直到该材料处, 由此可便于进行 IC 的工艺处理。例如, 该刻蚀中止层包括这样一种材料, 多晶硅或介质套环可有选择地被除去, 从而到达该材料。在一个实施例中, 该衬垫中止层包括使用常规的技术形成的氮化硅, 上述常规的技术例如包括化学汽相淀积 (CVD) 工艺, 诸如低压化学汽相淀积 (LPCVD) 工艺或等离子增强化学汽相淀积 (PECVD) 工艺。其它类型的刻蚀中止层也是有用的。该衬垫叠层可包括一个附加层或多个附加层, 诸如用于刻蚀深槽的硬掩模层 (未示出)。在典型情况下, 在形成槽之后除去该硬掩模层。

该衬底包括一个部分地完成的槽式电容器。为了讨论起见, 只示出该槽式电容器的顶部。其底部可类似于在图 1 中示出的槽式电容器的底部。在该槽式电容器的上部设置套环 230, 对该槽的侧壁进行衬垫。该套环例如包括介质材料, 诸如由四乙基氧硅烷 (TEOS) 形成的氧化物。可在该氧化物套环上设置氮化层, 以便改善套环的隔离特性。在在典型情况下, 将多晶硅 220 用于充填该槽。该多晶硅用掺杂剂进行掺杂。在一个实施例中, 该多晶硅用诸如磷 (P) 或砷 (As) 的 n 型掺杂剂进行掺杂。在另一种方式下, 可将 p 型掺杂剂用于 p 型阵列单元。有选择地相对于衬垫中止层对该衬底的表面进行抛光。该抛光工艺, 例如包括化学机械抛光 (CMP), 以比衬垫层材料快的速率对多晶硅进行抛光。这样, 该 CMP 由表面起除去多余的多晶硅材料, 而实际上不除去该衬垫中止层, 从而产生平坦的表面 227。

参照图 2b, 进行刻蚀来形成埋入层。该刻蚀例如包括反应离子刻蚀 (RIE), 该刻蚀对衬垫中止层和套环来说是有选择性的。该刻蚀在衬底的表面 208 之下形成凹陷区 240。按照本发明, 该刻蚀使槽中的多晶硅形成凹陷部分, 以确定该埋入层的顶部表面 250。虽然其后的工艺可导致少量的材料被除去从而进一步在槽中形成凹陷部分, 但这种附加的材料除去是可忽略的。这样, 该刻蚀有效地确定关于该埋入层的顶部表面。表面埋入带的顶部深度依赖于设计需要, 诸如与位于该槽之上的器件层的隔离。例如, 在折叠位线结构中, 通过字线位于槽之上。在埋

入带的顶部与器件层（在典型情况下在衬底的表面）之间的距离应足够大，以便隔离材料能在两者之间提供隔离。在典型情况下，埋入带的顶部表面的深度约为 50nm。当然，对于特定的应用，可改变凹陷深度和对其优化，以便实现所需要的电特性。

5 参照图 2c，除去在表面 250 之上的套环。该套环的除去例如是通过诸如湿法刻蚀或化学干法刻蚀的各向同性刻蚀来实现的。该刻蚀对于衬垫中止层和多晶硅来说是有选择性的。按照本发明，进行过刻蚀，以便使套环在表面 250 之下形成凹陷部分，从而确定该埋入层的底部。其结果，在表面 250 之下设置包围该槽的凹陷区 255。在典型情况下，该过刻蚀使套环凹陷到表面 250 之下约 50-100nm 的深度处，以便提供约 50-100nm 的埋入带层厚度。当然，该过刻蚀的深度可根据设计要求、诸如电阻的要求，而改变。

15 在图 2d 中，淀积衬垫物 260，使其覆盖衬垫中止层的表面、槽侧壁和表面 250。在一个实施例中，该衬垫物包括诸如多晶硅或非晶硅的非掺杂硅。也可将锗 (Ge)、碳 (C) 或包括 Ge-Si 或 Si-C 的化合物用于该衬垫物的形成。通过常规的例如 LPCVD 技术来形成该衬垫物。

该衬垫物足够厚，以便充填该凹陷区 255。该衬垫物的厚度依赖于套环的厚度。该衬垫物的厚度至少是套环的厚度的一半。在典型情况下，套环厚度约为 30nm。厚度为 20-40nm 的衬垫物足以充填该凹陷区 255。

20 在另一种方式下，如图 2e 中所示，衬垫物 260 包括用选择性外延技术淀积的硅。这种技术是众所周知的，并在 S. M. Sze, "VLSI Technology (超大规模集成电路工艺技术)", 第 2 版, New York, McGraw-Hill, 1988, 中作了描述，本专利中引用了该书，作为参考。选择性外延技术能很好地在槽侧壁 20 和表面 250 上淀积衬垫物，从而充填凹陷区 255。

25 参照图 2f，从衬垫物除去多余的材料，留下充填了衬垫物材料的区域 255。例如使用诸如湿法刻蚀或 CDE 的各向同性刻蚀来除去多余的衬垫物材料。其结果，形成厚度为 T 的埋入层 270。

30 在一些情况下，该外延层足够薄，以致对槽侧壁 20 和表面 250 进行衬垫的多余材料被热氧化工艺所消耗，留下被外延层充填的凹陷区。在典型情况下，该外延层应该约为 20-40nm 厚。该厚度有利于消除用于除去多余的衬垫物材料的刻蚀。该氧化工艺可以是分离的工艺，或是结合成为其后的在制造 IC 期间的热工艺的一部分。

通过首先有效地确定埋入层的顶部，可改善其厚度方面的控制。这将导致集成方案和器件性能的改善。

5 继续进行工艺处理，以便完成 IC 的制造。例如，确定有源区、在非有源区中形成隔离，在有源区中形成晶体管，以及其它工艺，以便制成如图 1 中示出的 DRAM 单元。然后，形成互连，构成进行了封装的 IC，将其用于电子产品。

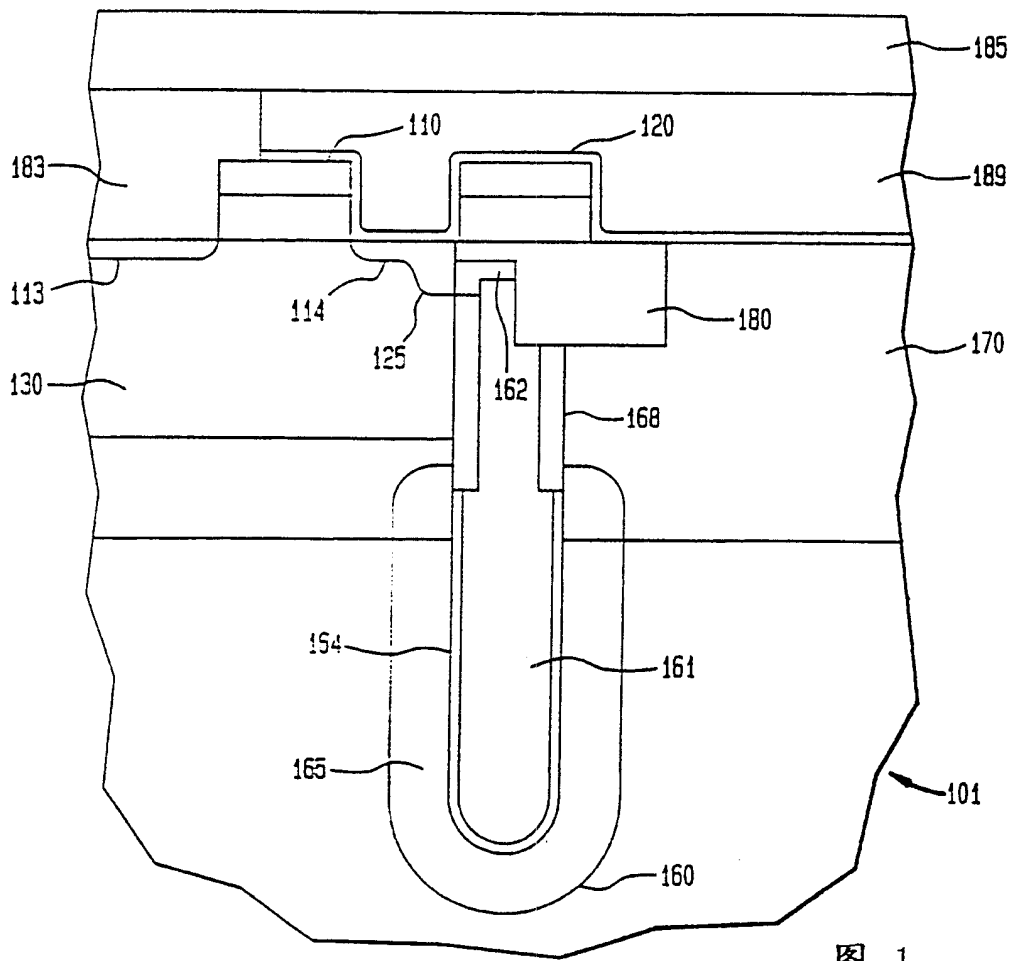


图 1

