

公告本

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：95130558

※ 申請日期：95 年 08 月 18 日

※IPC 分類：H01L 29/8, 21/8238
(2006.01)

一、發明名稱：(中文/英文)

具有應力閘極金屬矽化層之高效能金氧半場效電晶體及其製作方法

HIGH PERFORMANCE MOSFET COMPRISING A STRESSED
GATE METAL SILICIDE LAYER AND METHOD OF
FABRICATING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)(簽章)

萬國商業機器公司

INTERNATIONAL BUSINESS MACHINES CORPORATION

代表人：(中文/英文)(簽章)

琳奈 D 安德森 / ANDERSON, LYNNE D.

住居所或營業所地址：(中文/英文)

美國紐約州 10504 亞芒克市新奧爾察德路

New Orchard Road, Armonk, NY 10504, U.S.A.

國籍：(中文/英文) 美國 / US

三、發明人：(共 1 人)

姓名 (中文/英文)

楊海寧 / YANG, HAINING S.

國籍 (中文/英文)

中國大陸 / CN

四、聲明事項：

☐ 主張專利法第二十二條第二項☐第一款或☐第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

美國 US、西元 2005 年 8 月 22 日、11/208,985

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於包括至少一個高效率場效電晶體的半導體元件。本發明尤其是關於一個包括應力閘極金屬矽化層的高效率的金氧半場效電晶體（MOSFET），以及製造高效率 MOSFET 的方法。

【先前技術】

積體電路元件，例如電晶體、電阻及其類似者，在尺寸大幅度地減少而在密度及接近程度大幅增加，也因而減少了訊號傳遞的路徑長度以及訊號傳送的時間。不過，電晶體以及其他功能元件的材料特性以及物理效應也不可避免地隨著積體電路元件尺寸縮小而折衷變化。

因此有很多改良的設計被提出以維持這些元件的適當效率。舉例來說，輕摻雜汲極（LDD）結構（也就是一般的延伸植入）、環狀植入以及斜變雜質分布都使用在場效電晶體（FETs）以抵消短通道效應以及突穿效應等等。縮小元件的尺寸也需要在較低的電壓下操作，以維持適當的效率卻不會損壞元件，即使需要降低操作臨界。

影響場效電晶體效率的主要因素是載子遷移率，

也就是在特定的閘極電壓下，可以流過摻雜半導體通道的電流或是電荷的數量。減少 FET 中的載子遷移率不只是減少既定電晶體的轉換速度/偏斜率，也減少“on”電阻到“off”電阻之間的差異。後者容易增加雜訊並且減少下游電晶體閘極可以驅動的數目以及速度。

目前已知在 FET 的通道區域的機械應力可以顯著地增加或是減少載子遷移率，而這是由應力的性質（拉伸或是壓縮應力）以及載子的性質（電子或是電洞）來決定。一般來說，在電晶體的通道區域的拉伸應力會增加通道的電子遷移率，但是會減少通道的電洞遷移率；相反地，在通道區域的壓縮應力會增加通道的電洞遷移率，卻會減少通道的電子遷移率。

就此而言，有很多的結構及材料被提出以在 FET 通道區域引致拉伸或是壓縮應力，例如使用底層 SiGe 層以將應力與 FET 通道區域層的底部分開，或是使用淺溝絕緣（STI）結構、閘極間隙壁、Si₃N₄ 蝕刻中止層以分隔長軸應力與 FET 通道區域的側邊。

然而對於熟知相關技術者而言，底層 SiGe 層仍有問題，包括會嚴重地衝擊良率，並且會增加製造成本以及製造複雜度的差排缺陷。STI 的方式比較便宜，

但是不會與閘極自我對準，而且會有外電阻 (RX) 尺寸敏感度。在另一方面，藉由使用 Si₃N₄ 蝕刻中止層，增益會被兩個接近設置的閘極之間的空間所限制。當電晶體縮小時，該空間變得更小，而且 Si₃N₄ 的厚度必須因此減少，如此就會造成較小的應力效應。

因此需要一種可以在較低的成本及製程複雜度下明顯地提供高應力以形成高效率的 FET 元件的結構與方法。

【發明內容】

本發明提供有效地使用本質應力閘極金屬矽化層以對各別的 MOSFET 組件施加所需的應力（也就是對 p-MOSFET 的通道施加壓縮應力，對 n-MOSFET 的通道施加拉伸應力）

本發明一方面是關於一種位在半導體基板上的半導體元件。該半導體元件包括至少一個場效電晶體 (FET)，其中包括一源極區域、一汲極區域、一通道區域、一閘極介電層、一閘極電極以及一或多個閘極側壁間隙壁，其中該閘極電極包括一本質應力閘極金屬矽化層，被一或多個閘極側壁間隙壁從側向包覆，並且是為了在 FET 的通道區域形成應力所設置及建構。

“施加本質應力”或是“本質應力”在此表示一種應力或是一種應力的呈現，可以是壓縮或是拉伸，而且是在結構準備的過程中形成，因此可以不需要外力而維持在結構中，相對於非本質應力是由外力施加於結構上，並且只能依靠外力來維持。

在一較佳實施例中，FET 可以是 p-通道 FET (p-FET)。較佳的，該 p-FET 的閘極電極包括一本質應力（較佳是拉伸應力）閘極金屬矽化層，並被一或多個閘極側壁間隙壁從側向包覆，以在 p-FET 的通道區域形成壓縮應力。

本發明的半導體元件可以在 p-FET 之外進一步地包括 n-通道 FET (n-FET)。在一個實施例中，n-FET 可以包括一閘極電極，其中具有一閘極金屬矽化層以突出於一或多個閘極側壁間隙壁之上。這樣的突出閘極金屬矽化物可以在 n-FET 的通道區域產生很小或是沒有應力。在另一個實施例中，n-FET 可以包括一具有本質應力（較佳是壓縮應力）閘極金屬矽化物的閘極電極，並被一或多個閘極側壁間隙壁從側向包覆以在 n-FET 的通道區域形成拉伸應力。

此處所用的“拉伸應力”或是“壓縮應力”，除

非另外說明，否則就表示以本質應力區分的結構，可以是壓縮或是拉伸。

本發明一方面關於一種製造半導體元件的方法，包括：

形成至少一個場效電晶體（FET）於一半導體基板，該場效電晶體包括一源極區域、一汲極區域、一通道區域、一閘極介電層、一閘極電極、以及一或多個閘極側壁間隙壁；

形成一本質應力金屬矽化層於閘極電極之表面，其中該本質應力金屬矽化層被該閘極側壁間隙壁從側向包覆以在 FET 的通道區域產生應力。

根據本發明的一個實施例，本質應力金屬矽化層係以矽化金屬沉積（也就是自我對準矽化）製程形成。如前所述，該 FET 較佳是具有包括被一或多個閘極側壁間隙壁從側向包覆的本質應力閘極金屬矽化層的閘極電極，以在 p-FET 的通道區域形成壓縮應力。較佳地是在該 p-FET 之外再形成 n-FET。在本發明的這個實施例中，n-FET 可以包括突出在一或多個閘極側壁間隙壁上的閘極金屬矽化層的閘極電極。

該 p-FET 及 n-FET 可以下列步驟形成：

形成至少一個具有凹陷閘極電極的 p-FET 前

驅結構以及至少一個具有非凹陷閘極電極的 n-FET；

沉積一金屬層以覆蓋該 p-FET 以及 n-FET 前驅結構；

沉積一第一及一第二覆蓋層以覆蓋該金屬層；

以一高溫對該 p-FET 以及該 n-FET 前驅結構進行退火，以在 p-FET 前驅結構之凹陷閘極電極的表面形成一第一金屬矽化層，以及在 n-FET 前驅結構之非凹陷閘極電極的表面形成一第二金屬矽化層；以及

自該 p-FET 及該 n-FET 前驅結構移除未反應之金屬、該第一覆蓋層以及該第二覆蓋層以形成該 p-FET 及 n-FET。

或者，p-FET 及 n-FET 也可以其他方法形成：

提供至少一個具有凹陷閘極電極之 p-FET 前驅結構，以及至少一個具有非凹陷閘極電極之 n-FET 前驅結構；

沉積一金屬層以覆蓋該 p-FET 及 n-FET 前驅結構；

沉積一第一覆蓋層以覆蓋該金屬層並且覆蓋該 p-FET 及該 n-FET 前驅結構；

形成一圖案化第二覆蓋層以覆蓋該第一覆蓋

層以選擇性地覆蓋該 p-FET 前驅結構；

在一高溫下對該 p-FET 及該 n-FET 前驅結構進行退火，以在該 p-FET 前驅結構之凹陷閘極電極表面形成一第一金屬矽化層，並在該 n-FET 前驅結構之非凹陷閘極電及表面形成一第二金屬矽化層；以及

從該 p-FET 及該 n-FET 前驅結構移除未反應金屬、該第一覆蓋層以及該圖案化第二覆蓋層以形成該 p-FET 及該 n-FET。

該 p-FET 及該 n-FET 可進一步地以下列方式形成：

提供至少一個具有凹陷閘極電極之 p-FET 前驅結構，以及至少一個具有非凹陷閘極電極之 n-FET 前驅結構；

沉積一金屬層以覆蓋該 p-FET 及 n-FET 前驅結構，以及沉積一第一覆蓋層以覆蓋該金屬層並且覆蓋該 p-FET 及該 n-FET 前驅結構；

在一第一高溫下對該 p-FET 及該 n-FET 前驅結構進行退火，以在該 p-FET 前驅結構之凹陷閘極電極表面形成一第一金屬矽化層，並在該 n-FET 前驅結構之非凹陷閘極電及表面形成一第二金屬矽化層，其中該第一及該第二金屬矽化層具有一第一矽化物相；

從該 p-FET 及該 n-FET 前驅結構移除未反應金屬以及該第一覆蓋層以形成該 p-FET 及該 n-FET；

形成一圖案化第二覆蓋層以選擇性地覆蓋該 p-FET 前驅結構；

在一第二高溫下對該 p-FET 及該 n-FET 前驅結構進行退火，以將該第一及該第二金屬矽化層從該第一矽化物相轉換成一不同之第二矽化物相；以及

從該 p-FET 前驅結構移除該圖案化第二覆蓋層以形成該 p-FET 及該 n-FET。

該 p-FET 及該 n-FET 可再進一步地以下列方式形成：

提供至少一個具有凹陷閘極電極之 p-FET 前驅結構，以及至少一個具有非凹陷閘極電極之 n-FET 前驅結構；

沉積一金屬層以覆蓋該 p-FET 及 n-FET 前驅結構，以及沉積一第一覆蓋層以覆蓋該金屬層並且覆蓋該 p-FET 及該 n-FET 前驅結構；

在一第一高溫下對該 p-FET 及該 n-FET 前驅結構進行退火，以在該 p-FET 前驅結構之凹陷閘極電極表面形成一第一金屬矽化層，並在該 n-FET 前驅結構之非凹陷閘極電及表面形成一第

二金屬矽化層，其中該第一及該第二金屬矽化層具有一第一矽化物相；

從該 p-FET 及該 n-FET 前驅結構移除未反應金屬以及該第一覆蓋層以形成該 p-FET 及該 n-FET；

形成一圖案化第二覆蓋層以選擇性地覆蓋該 p-FET 前驅結構，其中該圖案化第二覆蓋層係具有壓縮應力；

在一第二高溫下對該 p-FET 及該 n-FET 前驅結構進行退火，以將該第一及該第二金屬矽化層從該第一矽化物相轉換成一不同之第二矽化物相；以及

形成一圖案化第三覆蓋層以選擇性地覆蓋該 n-FET 前驅結構，其中該圖案化第三覆蓋層係具有拉伸應力，以形成該 n-FET 及該 p-FET。

本發明的另一個方面係關於位在一半導體基板上之半導體元件，其中該半導體元件包括至少一個 p-通道場效電晶體（p-FET），其中包括一本質應力閘極金屬矽化層，並被一或多個閘極側記間隙壁從側向包覆，並且設置以在 p-FET 的通道區域形成壓縮應力，以及至少一個 n-通道場效電晶體（n-FET）包括一突出於該一或多著閘極側壁間隙壁之閘極金屬矽化層。

本發明之另一層面係關於位在一半導體基板上之半導體元件，其中該半導體元件包括至少一個 p-通道場效電晶體（p-FET），其中包括一本質應力閘極金屬矽化層，並被一或多個閘極側壁間隙壁從側向包覆，並且是為了在 p-FET 的通道區域形成壓縮應力所設置及建構，以及至少一個 n-通道場效電晶體（n-FET），其中包括壓縮應力的閘極金屬矽化層並被一或多個閘極側壁間隙壁從側向包覆，並且是為了在 n-FET 的通道區域形成拉伸應力所設置及建構。

本發明的其他方面、特點以及優點將可以從之後的描述以及申請專利範圍中充分顯示。

【實施方式】

下列美國專利申請公開案在此列作參考：

於 2003 年 2 月 27 日公開之美國專利申請公開第 2003/0040158 號 “Semiconductor Device and Method of Fabricating the Same”；於 2005 年 4 月 21 日公開之美國專利申請公開第 2005/0082616 號 “High Performance Stress-Enhanced MOSFETs Using Si:C and SiGe Epitaxial Source/Drain and Method of Manufacture”；以及於 2005 年 5 月 5 日公開之美國專利申請公開第 2005/0093059 號 “Structure

and Method to Improve Channel Mobility By Gate Electrode Stress Modification”。

如前所述，本發明使用本質應力閘極金屬矽化層以在 FET 的通道區域形成所需的應力（也就是在 n-通道形成拉伸應力，在 p-通道形成壓縮應力）。

本質應力閘極金屬矽化層較佳是以金屬矽化製程來形成，這會導致體積的收縮或是擴張，因此就會在閘極金屬矽化層形成本質拉伸或是壓縮應力。舉例來說，含鈷或是含鎳的閘極金屬層的金屬化製程通常會導致在閘極金屬層形成體積的收縮，因此會形成拉伸應力閘極金屬矽化層。如果金屬矽化層以堅硬的覆蓋層（例如 Si₃N₄ 覆蓋層）或是一或多個閘極側壁間隙壁從側向包覆起來，就可以在閘極金屬矽化層形成並且維持住高拉伸應力（從大約 1 GPa 至大約 1.5 GPa）。拉伸應力閘極金屬矽化層接著會在下方的 FET 通道區域形成壓縮應力，就可以用來有效地增加 p-通道 FET 的電洞遷移率。在另一方面，含鈮的閘極金屬層的金屬矽化製程一般就會在閘極金屬層形成體積的擴張，因而形成壓縮應力閘極金屬矽化層，就可以用來在 n-FET 的通道區域形成拉伸應力以增加該處的電子遷移率。

在接下來的描述中，會詳細地說明特殊的結構、組件、材料、尺寸、製程步驟以及技術，以提供關於本發明的清楚說明。然而對於熟知相關技術者，可以在沒有這些詳細描述的情況下實行本發明。在一些例子中，一些已知的結構或是製程步驟被省略以避免模糊了本發明。

需了解到，當一個元件例如層、區域或是基板在另一個元件之上時，可是直接位於另一個元件之上，或是還有位於其中的中間原件。相對地，當一個元件是直接位於另一元件之上時，就不會有中間元件的存在。當一個元件是連接或是耦合至另一個元件，那就是直接連接或是耦合至另一個元件，或是可以有中間元件的存在。然而當一個元件是直接連接或是直接耦合至另一個元件時，就沒有中間元件的存在。

本發明提供了一種半導體元件，其中包括至少一個具有被一或多個閘極間隙壁從側向包覆的本質應力閘極矽化層的 FET，以在 FET 的通道區域形成所需的應力，並藉以增加在 FET 通道區域的相對載子（例如在 n-通道的電子以及在 p-通道的電洞）的遷移率。

本發明的 FET 元件結構以及用以製造的方法，將會參考第 1A-1J 圖中的圖示來加以詳細描述。請注意

這些圖示並未依比例繪示，而類似或是對應的元件都以類似的標號表示。另外在圖示中顯示在單一半導體基板上有一個 p-通道 FET 以及一個 n-通道 FET。雖然在描述實施例時是如此描述，但是本發明並不限定在半導體基板的表面上形成特定數目的 FET 元件。

請參考第 1A 圖，其中顯示半導體基板 12 包括了一或多個隔離區域 14。

半導體基板 12 可以包括任何半導體，包括但不限於：Si、SiC、SiGe、SiGeC、Ge 合金、GaAs、InAs、InP 以及其他三五族或是二六族化合物半導體。半導體基板 12 也可以包括有機半導體或是層狀半導體，例如 Si/SiGe、絕緣層上覆矽（SOI）或是絕緣層上覆矽化鍍（SGOI）。根據本發明的一些實施例，半導體基板 12 較佳是由含矽的半導體材料組成，也就是包括矽的半導體材料。半導體基板 12 可以是摻雜的、未摻雜的或是包括摻雜以及未摻雜區域。半導體基板 12 可以包括有一第一摻雜（n-或 p-）元件區域（未繪示）的 n-FET，以及有一第二摻雜（n-或 p-）元件區域（未繪示）的 p-FET。第一摻雜元件區域以及第二摻雜元件區域可以有相同或是不同的導通率以及摻雜濃度。摻雜元件區域一般稱之為“井”。

一般至少有一個絕緣區域 14 形成在半導體基板 12 中，用以提供 n-FET 的摻雜元件區域以及 p-FET 的摻雜元件區域之間的絕緣。絕緣區域 14 可以是溝絕緣區域或是場氧化絕緣區域。溝絕緣區域係使用熟知相關技術者所熟悉的傳統的溝絕緣製程來形成的。例如微影、蝕刻以及將溝填滿溝槽介電材料等步驟可用來形成溝絕緣區域。襯層可以選擇性地形成在填滿溝之前，可以在溝填滿之後進行緻密步驟以及平坦化步驟。場氧化可以用所謂的局部矽氧化製程來形成。

在半導體基板 12 中形成至少一個絕緣區域 14 後，閘極介電層 16 形成在基板 12 的整個表面上。閘極介電層 16 可以熱成長製程來形成，例如氧化、氮化或是氮氧化。閘極介電層 16 也可以沉積製程形成，例如化學氣相沉積 (CVD)、電漿輔助 CVD、原子層沉積 (ALD)、蒸鍍、反應濺鍍、化學溶液沉積或是其他類似的沉積製程。閘極介電層 16 也可以使用前述製程的任意組合。閘極介電層 16 是由絕緣材料組成，包括但不限於：氧化物、氮化物、氮氧化物或是包含金屬矽酸鹽以及氮化金屬矽酸鹽的矽酸鹽。在一個實施例中，閘極介電層 16 較佳地是包括氧化物，例如 SiO_2 、 HfO_2 、 ZrO_2 、 Al_2O_3 、 TiO_2 、 La_2O_3 、 SrTiO_3 、 LaAlO_3 以及這些材料的混合物。閘極介電層 16 的物理厚度可能不同，但是一般來說，閘極介電層 16 的厚度大約是

0.5 至大約 10nm，而厚度為大約 0.5 至大約 3nm 較常見。

在形成閘極介電層 16 之後，閘極導電層 18 使用例如：物理氣相沉積、CVD 或是蒸鍍等已知的沉積製程形成在閘極介電層 16 上。閘極導電層 18 可以包括任何適當的材料，例如但不限於：矽、多晶矽或是金屬。閘極導電層 18 較佳但非必要包括可以是摻雜或是未摻雜的多晶矽。本發明中的閘極導電層 18 的厚度，也就是高度可能根據所使用的沉積製程不同而有差異。一般來說，閘極導電層 18 的垂直厚度大約是從 20 至大約 180nm，而大約 40 至大約 150nm 較為常見。

閘極介電層 16 以及閘極導電層 18 一起就形成了閘極堆疊，也可以如一般的 MOS 閘極結構包括了額外的結構層，例如覆蓋層或是擴散阻障層（未繪示）。在形成閘極堆疊之後，接著使用沉積製程沉積上介電硬遮罩 20，例如：物理氣相沉積（PVD）、化學氣相沉積（CVD）或是四乙氧基矽烷化學氣相沉積（CVD TEOS）。介電硬遮罩 20 可以示氧化物、氮化物、氮氧化物或是這些的組合。介電硬遮罩 20 較佳地包括以四乙氧基矽烷化學氣相沉積製程沉積的氧化矽。

閘極介電層 16、閘極導電層 18 以及介電硬遮罩

20 接著以微影及蝕刻進行圖案化，以提供兩個或是更多個圖案化的閘極堆疊，如第 1B 圖所示一個是 n-FET，一個是 p-FET。n-FET 的圖案化閘極堆疊包括以圖案化閘極介電硬遮罩 120 覆蓋的閘極介電層 116 以及閘極導電或是閘極電極 118，而 p-FET 的圖案化閘極堆疊包括以圖案化閘極介電硬遮罩 220 覆蓋的閘極介電層 216 以及閘極電極 218。n-FET 和 p-FET 的圖案化閘極堆疊可以具有相同的尺寸，也就是長度，或是可以具有不同的尺寸以改進元件的效能。微影步驟包括在介電硬遮罩層 20 的上表面施加光阻（未繪示）、將光阻曝光於所要的形狀的放射線上，接著使用一般的光阻顯影劑來顯影曝光的光阻。光阻上的圖案接著使用一或多道乾蝕刻步驟轉移到介電硬遮罩層 20、閘極導電層 18 以及閘極介電層 16，以形成圖案化的閘極堆疊。可以用來形成圖案化閘極堆疊的乾蝕刻製程包括但不限於：反應離子蝕刻（RIE）、離子束蝕刻、電漿蝕刻或是雷射融熔。圖案化的光阻在蝕刻完成後被移除，並露出圖案化的閘極堆疊。

接著，圖案化光阻薄膜 22 被選擇性地形成在圖案化的閘極堆疊上以形成 p-FET。對應於 n-FET 的圖案化閘極堆疊以及其他的必要區域被露出，如此才可以從 n-FET 的圖案化閘極堆疊選擇性地移除介電硬遮罩層 120，如第 1C 圖所示。圖案化光阻薄膜 22 在介電

硬遮罩層 120 從 n-FET 閘極堆疊選擇性移除後被移除。

接著，第一組的側壁閘極間隙壁 122 和 222 沿著露出的 n-FET 和 p-FET 圖案化閘極堆疊側壁形成，接著就是形成 n-FET 和 p-FET 的源極/汲極延伸以及環狀植入 126S、126D、128S、128D、226S、226D、228S 和 228D，如第 1D 圖所示。

延伸植入 126S、126D、226S 和 226D 可以離子植入的步驟以自我對準的形式形成，而 n-FET 和 p-FET 閘極堆疊則被用來當作植入遮罩。延伸植入 126S、126D、226S 和 226D 為和 n-FET 與 p-FET 的主要源極/汲極層（在之後會形成）具有相同導電形式的雜質層。源極/汲極延伸植入 126S、126D、226S 和 226D 可以較所需延伸至圖案化閘極堆疊之下，因為雜質離子在植入的過程中會散射以及在之後的步驟中會有雜質的擴散。

之後，源極/汲極口袋摻雜或是環狀摻雜 128S、128D、228S 和 228d 可以環狀摻雜的步驟形成，並使用圖案化閘極堆疊作為植入遮罩。較佳地，但非必要，環狀植入步驟可以在相對於垂直方向成一預傾角來進行。環狀植入的種類、離子數的能量、以及離子束暴露的時間可以調整以達到最佳的植入程度。

第 1E 圖顯示以一般已知的製程步驟，例如 CVD 或是 RIE，分別沿著 n-FET 和 p-FET 圖案化閘極堆疊的側壁形成第二組閘極間隙壁 124 和 224。側壁閘極間隙壁 124 與 224 可以包括任何絕緣材料，例如氮化矽、二氧化矽或是氮氧化矽。

另一個離子植入步驟可以接著使用圖案化閘極堆疊以及第二組側壁閘極間隙壁 124 和 224 作為植入遮罩來進行，以自我對準的方式形成 n-FET 和 p-FET 源極和汲極區域 130S、130D、230S 和 230D，如圖 1E 所示。源極和汲極區域 130S、130D、230S 和 230D 可以接著進行退火以活化植入的摻雜物。熟知相關技術者均瞭解離子植入和退火的製程條件。

源極和汲極區域 130S、130D、230S 和 230D 也可以包括植入具有本質拉伸或是壓縮應力的磊晶層，例如美國專利申請公開案第 2005/0082616 號中所述。當材料層的天然晶格常數和基板的基本晶格常數不同時，在基板上的材料層的磊晶成長可以給予該材料層本質應力。舉例來說，碳的天然晶格常數小於矽的。因此在矽基板上的 Si:C 層磊晶成長會因為 Si:C 結晶晶格的拉伸變形而產生拉伸應力。類似地，鍺的天然晶格常數大於矽的，所以在矽基板上的 SiGe 層磊晶成長

會因為 SiGe 結晶晶格的壓縮變形而產生壓縮應力。

美國專利申請公開案第 2005/0082616 號尤其描述了在 n-FET 或是 p-FET 的源極/汲極區域使用具有拉伸或是壓縮應力的植入 Si:C 或 SiGe 層，以在 n-FET 或 p-FET 的通道提供拉伸或是壓縮應力。舉例來說，p-FET 的源極和汲極區域首先被蝕刻，接著高壓縮選擇性磊晶 SiGe 層在 p-FET 的被蝕刻區域成長以對鄰接的 p-FET 通道區域施加壓縮應力。接著 n-FET 的源極和汲極區域被蝕刻，而高拉伸選擇性磊晶 Si:C 層在 n-FET 的蝕刻區域成長以對鄰接的 n-FET 通道區域施加拉伸應力。詳細的內容請參考美國專利申請公開案第 2005/0082616 號，均列為參考。

接著，源極和汲極區域 130S、130D、230S 和 230D 可以突出的方式形成。製造突出的源極和汲極的過程在很多美國專利中有詳細描述，例如在 2006 年 7 月 16 日獲證的美國專利第 6,420,766 號以及在 2005 年 7 月 5 日獲證的美國專利第 6,914,303 號，均列為參考。

在形成源極/汲極區域 130S、130D、230S 和 230D 之後，介電硬遮罩層 220 從 p-FET 圖案化閘極堆疊移除。如此一來，就形成了具有凹陷閘極電極 118 的 n-FET 閘極堆疊，也就是閘極電極 118 的上表面和閘

極側壁間隙壁 122 和 124 實質上為共平面，而具有凹陷閘極電極 218 的 p-FET 閘極堆疊也形成，也就是閘極電極 218 的上表面是凹陷於閘極側壁間隙壁 122 和 124，如第 1F 圖所示。

接著，形成薄金屬層 24（例如大約 3-15nm 厚）以覆蓋第 1F 圖中的整個結構。金屬層 24 可以包括任何可以和矽反應以形成金屬矽化物的金屬或是合金。這樣的金屬或是合金可以包括但不限於，鈷（Co）、鎳（Ni）、鈀（Pd）、鈦（Ti）、鉭（Ta）、鎢（W）、鉑（Pt）以及這些材料的合金。在一個實施例中，鎳和鈷是較佳的金屬。在另一個實施例中，鈀是較佳的金屬。金屬層可以任何一般的沉積製程來沉積，例如濺鍍、化學氣相沉積、蒸鍍、化學溶液沉積、電鍍或是類似者。如果半導體基板 12 或是閘極電極 118 和 218 不包含矽，圖案化的矽層（未繪示）可以在沉積金屬層 24 以形成源極和汲極的閘極金屬矽化物接觸前成長覆蓋 n-FET 和 p-FET 的源極/汲極區域以及閘極電極。

第一覆蓋層 26 接著形成以覆蓋金屬層 24，如第 1G 圖所示。第一覆蓋層 26 較佳是包括擴散阻障材料，例如 TiN。

第二覆蓋層 28 接著覆蓋再第一覆蓋層 26 上，以覆蓋 n-FET 和 p-FET，如第 1H 圖所示。第二覆蓋層 28 較佳但不必要地包括介電材料，例如氮化矽。

接著，在一高退火溫度下維持退火步驟大約 5-50 秒，金屬層 24 中的金屬和閘極電極 118 和 218 中以及在源極/汲極區域 130S、130D、230S 和 230D 露出的矽反應，以形成閘極以及源極/汲極金屬矽化物接觸 132、232、134S、134D、234S 和 234D，如第 1I 圖所示。退火溫度的範圍大約是 350°C 至大約 550°C，取決於金屬層 24 中所包含的特定形式金屬。舉例來說，對鈷而言，退火溫度較佳是大約是 450°C 至大約 550°C；對鎳而言，退火溫度較佳是大約是 350°C 至大約 450°C。在退火之後，第一和第二覆蓋層 26 和 28 以及其他區域的未反應金屬從 n-FET 和 p-FET 移除。

一般來說，金屬矽化物，例如 CoSi_x 或 NiSi_x 的形成會導致體積的減少，因此在這些金屬矽化物中造成高拉伸應力。當單一含鈷或鎳的金屬被用來在 n-FET 和 p-FET 形成金屬矽化物接觸，就會形成有拉伸應力的閘極金屬矽化層，如果又被側壁間隙壁從側向包覆著，就會將應力傳遞給下方的通道層，並因此在通道層造成相反的壓縮應力。

壓縮應力已知可以用來增加電洞遷移率（也就會使得 p-FET 的效能增加），不過會降低電子的遷移率（也就是會導致 n-FET 的效能減少）。因此，當使用單一含鈷或鎳的金屬層時，較佳地是讓 p-FET 閘極金屬矽化物 232 被閘極側壁間隙壁 222 和 224 從側向包覆，如第 11 圖所示，如此一來就可以有效地將應力傳遞到 p-FET 的下層通道層，以在下面的 p-通道形成相反的壓縮應力，如此就可以增進 p-通道的電洞遷移率。對 n-FET 而言，較佳地是金屬矽化物 132 突出越過，而且不被閘極側壁間隙壁 122 和 124 從側向包覆，如此在 n-FET 的底部通道層就會產生很小或是沒有壓縮應力。

另一方面，特定的金屬矽化物，例如 PdSix，可以伴隨著體積擴張形成，如此就會導致高本質壓縮應力。因此希望在 n-FET 及 p-FET 使用不同的金屬層以形成金屬矽化物接觸。舉例來說，圖案化的含鈰金屬層（未繪示）可以形成以選擇性地覆蓋 n-FET，而圖案化的含鈷或鎳金屬層（未繪示）可以用來選擇性地覆蓋 p-FET，以在 n-FET 形成壓縮應力閘極金屬矽化層，而在 p-FET 形成拉伸應力閘極金屬矽化層。如此一來，n-FET 閘極金屬矽化層和 p-FET 閘極金屬矽化層可以被閘極側壁間隙壁從側向包覆，以有效地在 n-FET 和 p-FET 的底部通道層形成所需要的應力。

第 1J 圖顯示接下形成蝕刻中止/應力引致覆蓋層 30 以覆蓋在第 1I 圖中的整個結構上。蝕刻中止/應力引致覆蓋層 30 可以包括任何適合的絕緣材料，包括但不限於：氧化物、氮化物、氮氧化物或是包括金屬矽酸鹽以及氮化金屬矽酸鹽的矽酸鹽類。蝕刻中止/應力引致覆蓋層 30 較佳地包括氮化物或是氮氧化物絕緣材料，例如氮化矽或是氮氧化矽，如此就有本質應力，而且設置及建構於對 n-FET 及 p-FET 的通道區域施加所要的應力。這樣的蝕刻中止/應力引致覆蓋層 30 可以各種介電材料沉積技術來形成，例如低壓化學氣相沉積 (LPCVD)、電漿強化化學氣相沉積 (PECVD)、或是高密度電將化學氣相沉積 (HDPCVD) 或是任何可以用來沉積介電層的製程。

接著就進行一般的後段製程步驟以形成包括具有介層介電層 (ILD) 32 以及金屬接觸 34 和 36 的 n-FET 和 p-FET 的完整半導體元件。ILD 32 可以包括介電氧化材料或是低介電常數絕緣材料。製造 ILD 32 和金屬接觸 34 和 36 的製程均為相關技術者所熟知，故不在此描述細節。

請注意第 1A-1J 圖所顯示的製程步驟可由熟知相關技術者在不偏離本發明的描述下進行修改，而這樣

的修改均被視為包括在本發明的精神及範圍內。

舉例來說，較佳包括 Si_3N_4 的第二覆蓋層 28 可以被圖案化以選擇性地覆蓋 p-FET，如第 2 圖所示。如此一來，在接下來的退火步驟中，第二覆蓋層 28 選擇性地限制了 p-FET 的閘極金屬矽化層 232 的體積變化，藉此在 p-FET 的閘極金屬矽化層 232 形成本質應力。在形成具有本質應力的 p-FET 閘極金屬矽化層 232 後，未反應的金屬、第一覆蓋層 26 以及圖案化的第二覆蓋層 28 可以被移除以形成第 1I 圖所示的元件結構，然後可以如前所述地進行一般的後段製程。

舉另一個例子來說，金屬層 24 可以包括例如是鈷或鈦的金屬，如此就可以兩階段退火步驟形成金屬矽化物，例如 CoSi_2 或 TiSi_2 。尤其在沉積金屬層 24 以及第一覆蓋層 26 之後，可以進行第一退火步驟以形成具有較高電阻的第一矽化物相（例如 CoSi 或 TiSi ）的金屬矽化物。接著，第一覆蓋層 26 以及未反應的金屬從元件結構移除，接著就是圖案化第二覆蓋層 28 的沉積，可用來選擇性地覆蓋 p-FET，如第 3 圖所示。接著於不同的退火溫度再進行第二退火步驟，以消耗掉剩餘的多晶矽，並且將金屬矽化物從第一矽化物相轉換成具有較低電阻的第二矽化物相（例如 CoSi_2 或 TiSi_2 ）。在第二退火步驟的過程中，圖案化第二覆蓋

層 28 選擇性地限制了 p-FET 閘極金屬矽化層 232 的體積變化，因此在 p-FET 閘極金屬矽化層 232 形成了本質應力。在形成具有本質應力的 p-FET 閘極金屬矽化物 232 之後，圖案化第二覆蓋層 28 可以被移除以形成第 1I 圖中的元件結構，之後就是進行前述的一般後段製程。

再舉另外一個例子，提供了包括本質壓縮應力的圖案化第二覆蓋層 28A，如第 4A 圖所示，以在第一退火步驟後，第二退火步驟之前選擇性地覆蓋 p-FET。在第二退火步驟的過程中，這樣的壓縮應力覆蓋層 28A 不只是選擇性地限制了 p-FET 閘極金屬矽化層 232 的體積變化，同時也對層 232 施加了拉伸應力，因此可以顯著地增加在 p-FET 閘極金屬矽化層 232 的拉伸應力。壓縮應力覆蓋層 28A 可以在形成 p-FET 閘極金屬矽化層 232 之後維持在元件結構中，所以可以繼續地在 p-FET 閘極金屬矽化層 232 中形成拉伸應力，也因此會在 p-FET 的底部通道區域形成所需的壓縮應力。較佳但非必要地，受到拉伸應力的覆蓋層 28B 可以進一步地相鄰在壓縮應力覆蓋層 28A 行程，以選擇性地覆蓋 n-FET，如第 4B 圖所示。拉伸應力覆蓋層 28B 的功用是在 n-FET 閘極金屬矽化層 132 形成壓縮應力，如此就可以在 n-FET 的底部通道區域形成所要的拉伸應力。

此外，本發明前述的結構以及製造步驟可以和任何已知可以增進 FET 元件的通道區域的遷移率的材料、結構或是製程一併使用。舉例來說，沿著閘極堆疊、突出源極/汲極區域、植入井區域、或是包括 Si:C 或是 SiGe 的植入以及應力源極汲極區域形成的應力襯層也可應用本發明。請注意雖然這些結構及特點並未在此描述，對於熟知相關技術者可以根據前述的描述將它們分開或是合併地與本發明結合。

本發明的方法可以廣泛地用於製造不同的半導體元件結構，包括但不限於，互補式金氧半（CMOS）電晶體、以及積體電路、微處理器以及包括這樣的 CMOS 電晶體的其他電子元件，這些都是熟知相關技術者所已知的，而且可以修改以與本發明的應變絕緣半導體合併，因此相關的製造步驟就不在此描述。

本發明係以較佳實施顯示以及說明，對於熟知相關技術者可以在不偏離本發明的精神及範圍下，針對所提出的實施例進行其他不同的修改。因此本發明並不限於所描述和揭示的形式或是細節，而是以專利申請範圍來界定本發明。

【圖式簡單說明】

第 1A-1J 圖根據本發明的一個實施例說明形成示範的半導體元件結構的製造過程，其中包括有拉伸應力的具有凹陷閘極金屬矽化層的 p-FET，以及具有非凹陷閘極金屬矽化層的 n-FET；

第 2 圖係根據本發明的一個實施例說明形成第 1J 圖中的半導體元件結構的另一種製程步驟；

第 3 圖係根據本發明的一個實施例說明形成第 1J 圖中的半導體元件結構的再另一種製程步驟；

第 4A-4B 圖根據本發明的一個實施例，說明形成示範的半導體元件結構的製造過程，其中包括以有壓縮應力的覆蓋層覆蓋住的具有凹陷閘極金屬矽化層的 p-FET，以及以有拉伸應力的覆蓋層覆蓋住的具有非凹陷閘極金屬矽化層的 n-FET。

【主要元件符號說明】

12：半導體基板

14：絕緣區域

16：閘極介電層

18：閘極導電層

20：介電硬遮罩

22：光阻薄膜

24：金屬層

26：第一覆蓋層

28：第二覆蓋層

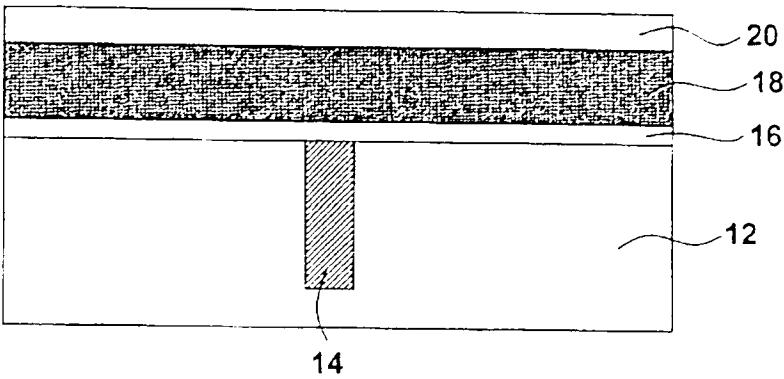
28A：壓縮應力覆蓋層
 28B：拉伸應力覆蓋層
 30：蝕刻中止/應力引致覆蓋層
 32：介層介電層
 34：金屬接觸
 36：金屬接觸
 116：閘極介電層
 118：閘極電極
 120：閘極介電硬遮罩
 122：側壁閘極間隙壁
 124：閘極間隙壁
 132：閘極金屬矽化物
 216：閘極介電層
 218：閘極電極
 220：閘極介電硬遮罩
 222：側壁閘極間隙壁
 224：閘極間隙壁
 232：閘極金屬矽化物

五、中文發明摘要：

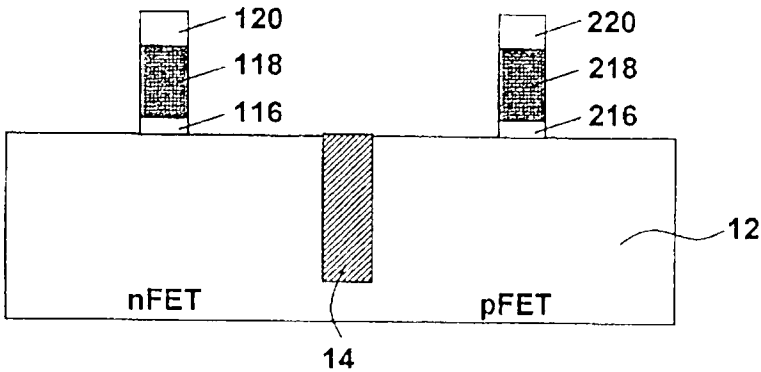
本發明係關於一種半導體元件，其中包括至少一個場效電晶體（FET）。該場效電晶體包括源極區域、汲極區域、通道區域、閘極介電層、閘極電極以及一或多個閘極側壁間隙壁隙壁。這樣的 FET 的閘極電極包括本質應力閘極金屬矽化層，並以一或多個側壁間隙壁從側向包覆，且係設置以在 FET 的通道區域形成應力。該半導體元件較佳包括至少一個 p-通道 FET，而 p-通道 FET 更佳具有包括本質應力閘極金屬矽化層的閘極電極，係以一或多個閘極側壁間隙壁從側向包覆，且係設置以在 FET 的 p-通道形成壓縮應力。

六、英文發明摘要：

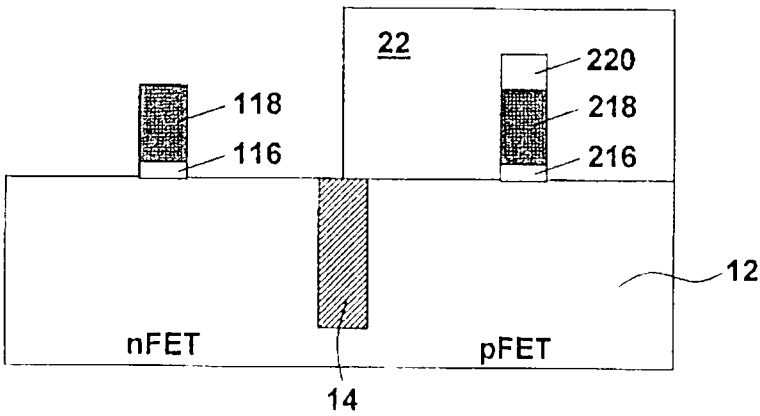
The present invention relates to a semiconductor device that comprises at least one field effect transistor (FET) containing a source region, a drain region, a channel region, a gate dielectric layer, a gate electrode, and one or more gate sidewall spacers. The gate electrode of such an FET contains an intrinsically stressed gate metal silicide layer, which is laterally confined by one or more gate sidewall spacers and is arranged and constructed for creating stress in the channel region of the FET. Preferably, the semiconductor device comprises at least one p-channel FET, and more preferably, the p-channel FET has a gate electrode with an intrinsically stressed gate metal silicide layer that is laterally confined by one or more gate sidewall spacers and is arranged and constructed for creating compressive stress in the p-channel of the FET.



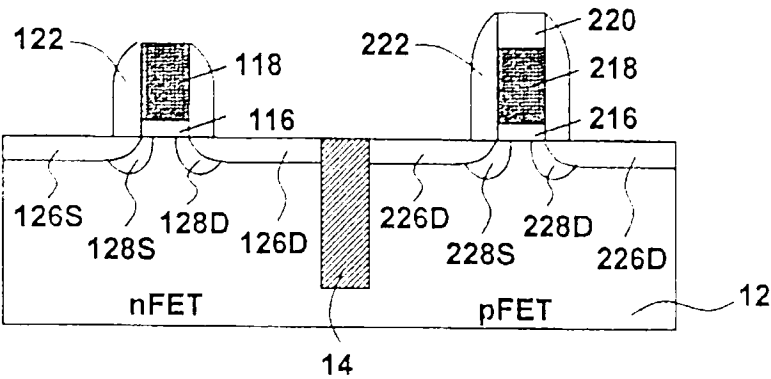
第1A圖



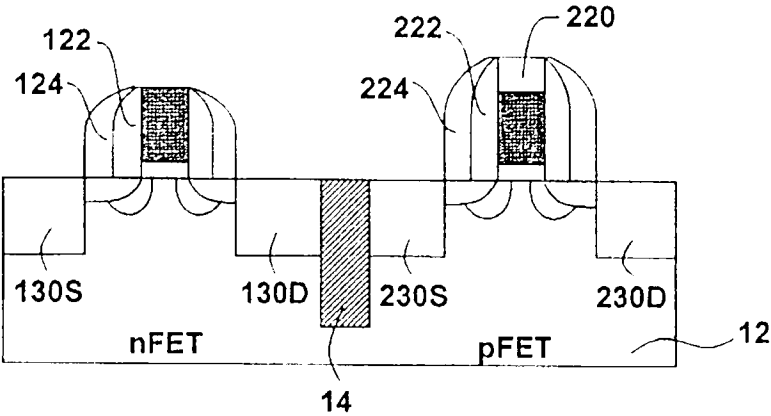
第1B圖



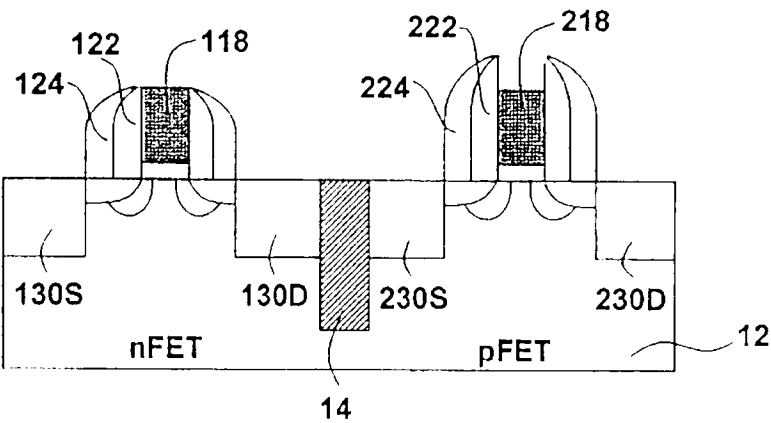
第1C圖



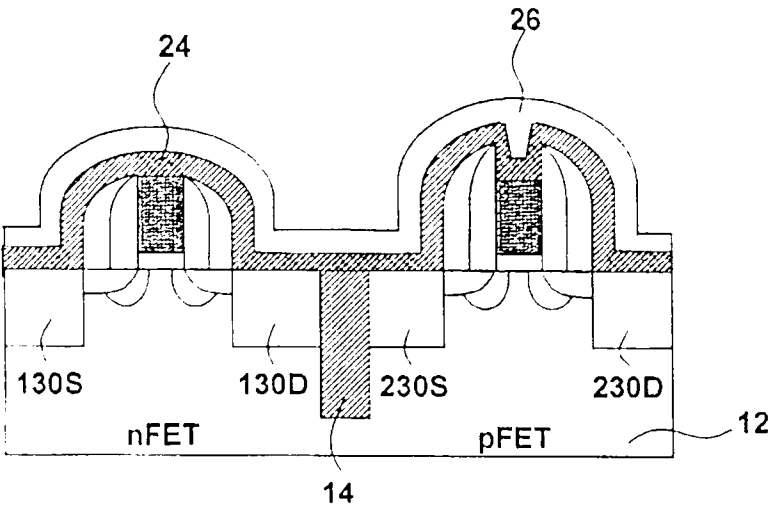
第1D圖



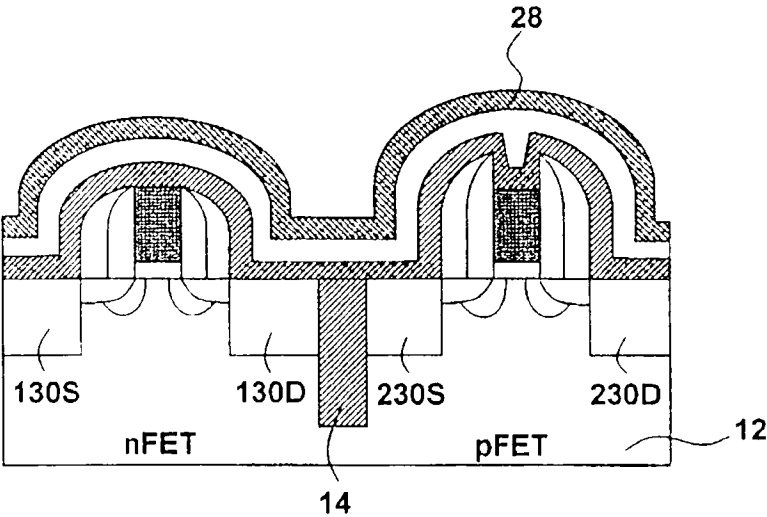
第1E圖



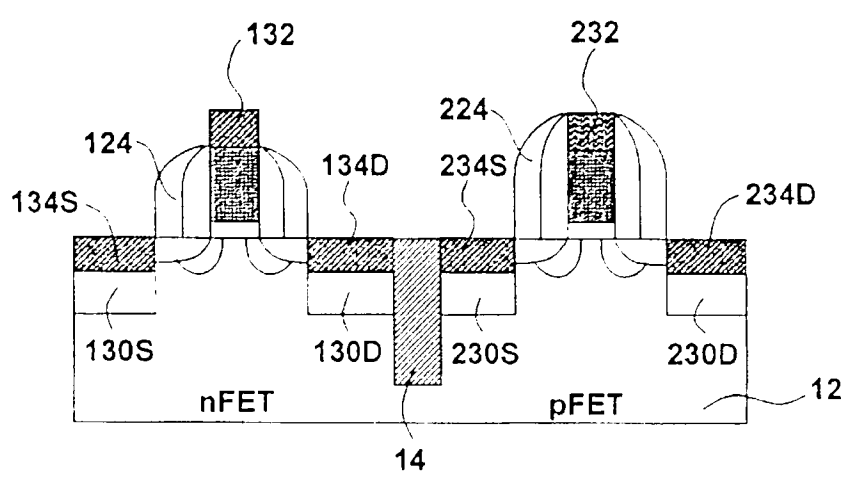
第1F圖



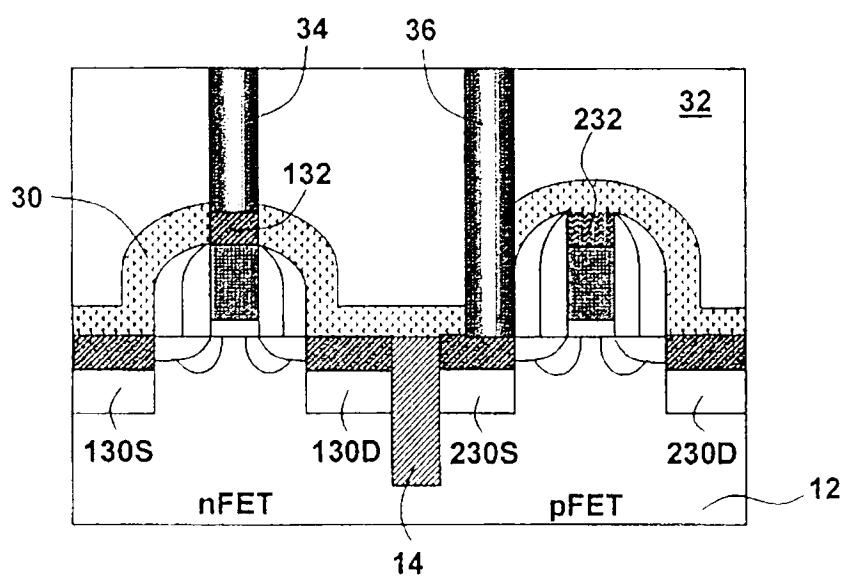
第1G圖



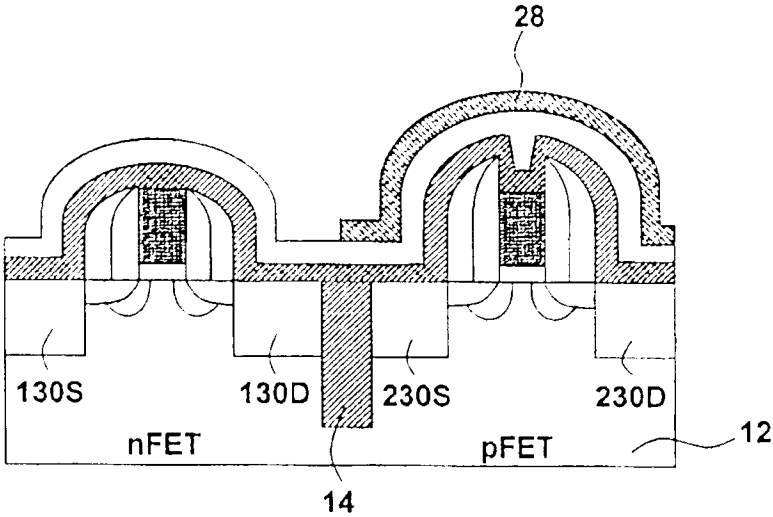
第1H圖



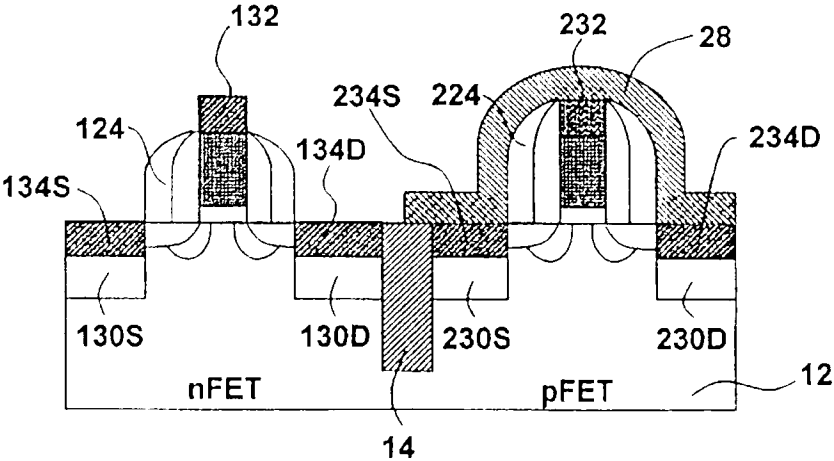
第1I圖



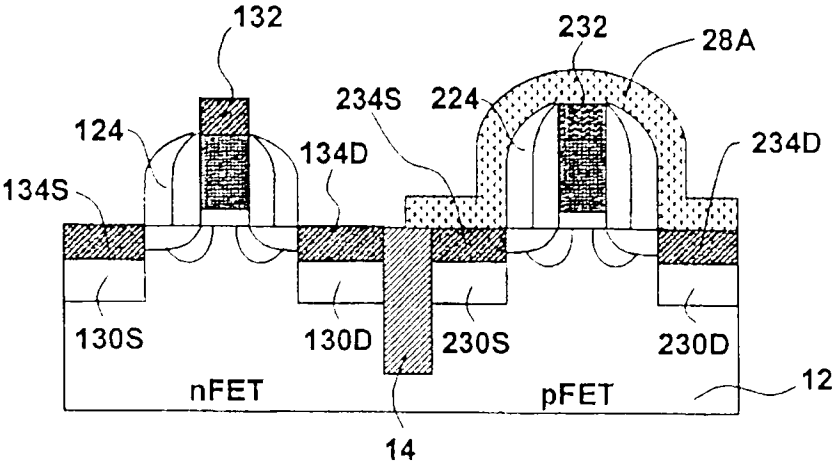
第1J圖



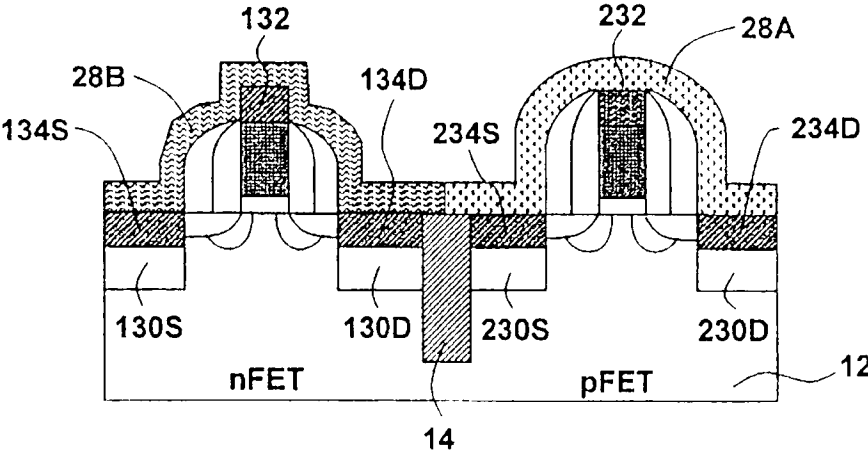
第2圖



第3圖



第4A圖



第4B圖

七、指定代表圖：

(一)本案指定代表圖為：第 1J 圖。

(二)本代表圖之元件符號簡單說明：

12：半導體基板

14：絕緣區域

32：介層介電層

34：金屬接觸

36：金屬接觸

132：閘極金屬矽化物

232：閘極金屬矽化物

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

101年8月3日修正

十、申請專利範圍：

1. 一種位在一半導體基板之半導體元件，包括：

至少一第一場效電晶體（FET），該場效電晶體包括一第一源極區域、一第一汲極區域、一第一通道區域、一第一閘極介電層、一第一閘極電極；以及一或多個第一閘極側壁間隙壁；

其中該第一閘極電極包括一本質應力之第一閘極金屬矽化層，以該一或多個第一閘極側壁間隙壁從側向包覆且係設置以在該至少一第一場效電晶體的該第一通道區域產生應力，其中，該本質應力之第一閘極金屬矽化層包括含鈷之矽化物、含鎳之矽化物、或是其組合以在該至少一第一場效電晶體之該第一通道區域形成壓縮應力，或是該本質應力之第一閘極金屬矽化層包括含鈮之矽化物以在該至少一第一場效電晶體之該第一通道區域形成拉伸應力，且其中該本質應力之第一閘極金屬矽化層未突出於該一或多個第一閘極側壁間隙壁之上方大部分的表面上；以及

至少一第二場效電晶體，包含一第二源極區域、一第二汲極區域、一第二通道區域、一第二閘極介電層、一第二閘極電極，及一或多個第二閘極側壁間隙壁，而該一或多個第二閘極側壁間隙壁與該第二閘極電極直接接觸，其中該第二閘極電極包括突出於該一或多個第二閘極側壁間隙壁上之一

第二閘極金屬矽化層。

2. 如申請專利範圍第 1 項之半導體元件，其中該至少一第一場效電晶體為 p-通道場效電晶體，而該本質應力閘極金屬矽化層係設置以在該 p-場效電晶體之通道區域形成壓縮應力。
3. 如申請專利範圍第 2 項之半導體元件，其中該 p-場向電晶體包括突出源極和汲極區域。
4. 如申請專利範圍第 2 項之半導體元件，其中該 p-場效電晶體包括嵌入源極和汲極區域，該源極和汲極區域包括一材料層具有較半導體基板之基本晶格常數大之本質晶格常數。
5. 如申請專利範圍第 2 項之半導體元件，其中該至少一第二場效電晶體為 n-通道場效電晶體。
6. 如申請專利範圍第 5 項之半導體元件，其中該 n-場效電晶體包括突出源極和汲極區域。
7. 如申請專利範圍第 5 項之半導體元件，其中該 n-場效電晶體包括嵌入源極和汲極區域，該源極和汲極區域包括一材料層具有較半導體基板之基本晶

格常數大之本質晶格常數。

8. 如申請專利範圍第 5 項之半導體元件，其中該 n-通道場效電晶體之該第二閘極電極為被該一或多個第二閘極側壁間隙壁從側向包覆的一本質應力之閘極金屬矽化層，且係設置以在該 n-FET 的該第二通道區域形成拉伸應力。
9. 如申請專利範圍第 8 項之半導體元件，其中該 n-場向電晶體包括突出源極和汲極區域。
10. 如申請專利範圍第 8 項之半導體元件，其中該 n-場效電晶體包括嵌入源極和汲極區域，該源極和汲極區域包括一材料層具有較半導體基板之基本晶格常數大之本質晶格常數。
11. 一種製造一半導體元件的方法，包括：

形成至少一個場效電晶體於一半導體基板，該至少一個場效電晶體包括一第一場效電晶體，該第一場效電晶體包括一第一源極區域、一第一汲極區域、一第一通道區域、一第一閘極介電層、一第一閘極電極、以及一或多個第一閘極側壁間隙壁，且該至少一個場效電晶體更包括一第二場效電晶體，該第二場效電晶體包括至少一個第二閘極電極

與一或多個第二閘極側壁間隙壁，其中該一或多個第二閘極側壁間隙壁與該第二閘極電極直接接觸；

形成一本質應力之第一金屬矽化層於該第一閘極電極之表面；其中該本質應力之第一金屬矽化層係以該第一閘極側壁間隙壁從側向包覆，且係設置以在該第一場效電晶體的該第一通道區域產生應力，其中，該本質應力之第一閘極金屬矽化層包括含鈷之矽化物、含鎳之矽化物、或是其組合以在該至少一第一場效電晶體之該第一通道區域形成壓縮應力，或是該本質應力之第一閘極金屬矽化層包括含鈮之矽化物以在該至少一第一場效電晶體之該第一通道區域形成拉伸應力，且其中該本質應力之第一閘極金屬矽化層未突出於該一或多個第一閘極側壁間隙壁之上方大部分的表面上；以及

形成一第二閘極金屬矽化層於該第二閘極電極之一表面，其中該第二閘極金屬矽化層突出於該一或多個第二閘極側壁間隙壁上。

12. 如申請專利範圍第 11 項之方法，其中該第一場效電晶體係 p-通道場效電晶體，而其中該本質應力之第一金屬矽化層係設置以在 p-場效電晶體的通道區域形成壓縮應力。

13. 如申請專利範圍第 11 項之方法，其中該第二場效

電晶體包含一第二源極區域、一第二汲極區域、一第二通道區域、以及一第二閘極介電層。

14. 一種製造半導體元件之方法，包括：

形成至少一個具有凹陷閘極電極之 p-場效電晶體前驅結構，以及至少一個具有非凹陷閘極電極之 n-場效電晶體前驅結構；

沉積一金屬層以覆蓋該至少一個 p-場效電晶體以及該至少一個 n-場效電晶體前驅結構；

沉積一第一和一第二覆蓋層以覆蓋該金屬層；

對該至少一個 p-場效電晶體以及該至少一個 n-場效電晶體前驅結構以一高溫進行退火，以在該至少一個 p-場效電晶體前驅結構之凹陷閘極電極的表面形成一第一金屬矽化層，以及在該至少一個 n-場效電晶體前驅結構之非凹陷閘極電極的表面形成一第二金屬矽化層；以及

自該至少一個 p-場效電晶體及該至少一個 n-場效電晶體前驅結構移除未反應之金屬、該第一覆蓋層以及該第二覆蓋層以形成至少一個 p-場效電晶體以及至少一個 n-場效電晶體，其中該至少一個 p-場效電晶體之該第一金屬矽化層係受本質化應力並由閘極側壁間隙壁從側向包覆，且係設置以在該至少一個 p-場效電晶體的一通道區域產生壓縮應力，以及該至少一個 n-場效電晶體之該第二

金屬矽化物突出於一或多個閘極側壁間隙壁上。

15. 一種製造半導體元件之方法，包括：

提供至少一個具有凹陷閘極電極之 p-場效電晶體，以及至少一個具有非凹陷閘極電極之 n-場效電晶體；

沉積一金屬層以覆蓋該至少一個 p-場效電晶體以及該至少一個 n-場效電晶體；

沉積一第一覆蓋層於該金屬層上以覆蓋該至少一個 p-場效電晶體以及該至少一個 n-場效電晶體；

形成一圖案化第二覆蓋層於該第一覆蓋層上以選擇性地覆蓋該至少一個 p-場效電晶體；

對該至少一個 p-場效電晶體以及該至少一個 n-場效電晶體於一高溫進行退火，以在該至少一個 p-場效電晶體之凹陷閘極電極的表面形成一第一金屬矽化層，以及在該至少一個 n-場效電晶體之非凹陷閘極電極的表面形成一第二金屬矽化層；以及

自該至少一個 p-場效電晶體及該至少一個 n-場效電晶體移除未反應之金屬、該第一覆蓋層以及該圖案化之第二覆蓋層，其中該至少一個 p-場效電晶體之該第一金屬矽化層係受本質化應力並由閘極側壁間隙壁從側向包覆，且係設置以在該至少

一個 p-場效電晶體的一通道區域產生壓縮應力，以及該至少一個 n-場效電晶體之該第二金屬矽化物突出於一或多個閘極側壁間隙壁上。

16. 一種製造半導體元件之方法，包括：

提供至少一個具有凹陷閘極電極的 p-場效電晶體前驅結構以及至少一個具有非凹陷閘極電極的 n-場效電晶體；

沉積一金屬層以覆蓋該至少一個 p-場效電晶體以及該至少一個 n-場效電晶體前驅結構，以及一第一覆蓋層以於該金屬層上以覆蓋該至少一個 p-場效電晶體以及該至少一個 n-場效電晶體前驅結構；

對該至少一個 p-場效電晶體以及該至少一個 n-場效電晶體前驅結構以一第一高溫進行退火，以在該至少一個 p-場效電晶體前驅結構之凹陷閘極電極的表面形成一第一金屬矽化層，以及在該至少一個 n-場效電晶體前驅結構之非凹陷閘極電極的表面形成一第二金屬矽化層，其中該第一及該第二金屬矽化層具有一第一矽化物相；

自該至少一個 p-場效電晶體及該至少一個 n-場效電晶體前驅結構移除未反應之金屬以及該第一覆蓋層；

形成一圖案化第二覆蓋層以選擇性地覆蓋該

至少一個 p-場效電晶體前驅結構；

對該至少一個 p-場效電晶體以及該至少一個 n-場效電晶體前驅結構以一第二高溫進行退火，以將該第一及該第二金屬矽化層從該第一矽化物相轉換成一不同之第二矽化物相；以及

移除該圖案化之第二覆蓋層以形成至少一個 p-場效電晶體以及至少一個 n-場效電晶體，其中該至少一個 p-場效電晶體之該第一金屬矽化層係受本質化應力並由閘極側壁間隙壁從側向包覆，且係設置以在該至少一個 p-場效電晶體的一通道區域產生壓縮應力，以及該至少一個 n-場效電晶體之該第二金屬矽化物突出於一或多個閘極側壁間隙壁上。

17. 一種製造半導體元件之方法，包括：

提供至少一個具有凹陷閘極電極的 p-場效電晶體前驅結構以及至少一個具有非凹陷閘極電極的 n-場效電晶體；

沉積一金屬層以覆蓋該 p-場效電晶體以及 n-場效電晶體前驅結構，以及一第一覆蓋層以於該金屬層上覆蓋該 p-場效電晶體以及該 n-場效電晶體前驅結構；

對該 p-場效電晶體以及該 n-場效電晶體前驅結構以一第一高溫進行退火，以在該 p-場效電晶

體前驅結構之該凹陷閘極電極的表面形成一第一金屬矽化層，以及在該 n-場效電晶體前驅結構之該非凹陷閘極電極的表面形成一第二金屬矽化層，其中該第一及該第二金屬矽化層具有一第一矽化物相；

自該 p-場效電晶體及該 n-場效電晶體前驅結構移除未反應之金屬以及該第一覆蓋層；

形成一圖案化第二覆蓋層以選擇性地覆蓋該 p-場效電晶體前驅結構，其中該圖案化第二覆蓋層具有壓縮應力；

對該 p-場效電晶體以及該 n-場效電晶體前驅結構以一第二高溫進行退火，以將該第一及該第二金屬矽化層從該第一矽化物相轉換成一不同之第二矽化物相；以及

形成一圖案化第三覆蓋層以選擇性地覆蓋該 n-場效電晶體前驅結構，其中該圖案化第三覆蓋層係具有拉伸應力，以形成該 p-場效電晶體以及 n-場效電晶體，其中該至少一個 p-場效電晶體之該第一金屬矽化層係受本質化應力並由閘極側壁間隙壁從側向包覆，且係設置以在該至少一個 p-場效電晶體的一通道區域產生壓縮應力，以及該至少一個 n-場效電晶體之該第二金屬矽化物突出於一或多個閘極側壁間隙壁上。