

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2015年9月11日(11.09.2015)



(10) 国際公開番号  
WO 2015/133365 A1

- (51) 国際特許分類:  
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2015/055655
- (22) 国際出願日: 2015年2月26日(26.02.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2014-042394 2014年3月5日(05.03.2014) JP  
特願 2014-103939 2014年5月20日(20.05.2014) JP
- (71) 出願人: 三菱電機株式会社(MITSUBISHI ELECTRIC CORPORATION) [JP/JP]; 〒1008310 東京都千代田区丸の内二丁目7番3号 Tokyo (JP). 東芝三菱電機産業システム株式会社(TOSHIBA MITSUBISHI-ELECTRIC INDUSTRIAL SYSTEMS CORPORATION) [JP/JP]; 〒1040031 東京都中央区京橋三丁目1番1号 Tokyo (JP).
- (72) 発明者: 地道 拓志(JIMICHI Takushi); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 小柳 公之(KOYANAGI

Kimiyuki); 〒1008310 東京都千代田区丸の内二丁目7番3号 三菱電機株式会社内 Tokyo (JP). 船橋 眞男(FUNAHASHI Sadao); 〒1040031 東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内 Tokyo (JP). 土谷 多一郎(TSUCHIYA Taichiro); 〒1040031 東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内 Tokyo (JP). 四宮 康博(SHINOMIYA Yasuhiro); 〒1040031 東京都中央区京橋三丁目1番1号 東芝三菱電機産業システム株式会社内 Tokyo (JP).

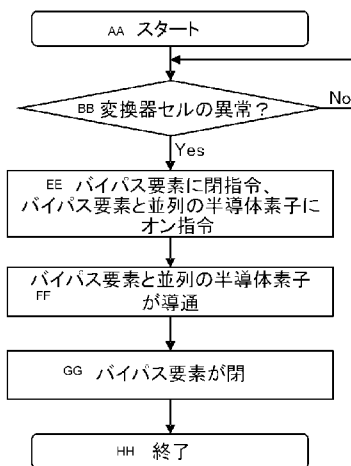
- (74) 代理人: 大岩 増雄, 外(OIWA Masuo et al.); 〒6610033 兵庫県尼崎市南武庫之荘3丁目35番8号 Hyogo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH,

[続葉有]

(54) Title: POWER CONVERSION DEVICE

(54) 発明の名称: 電力変換装置

図7



AA Start  
 BB Converter cell abnormality?  
 EE Closing command to bypass element, on-command to semiconductor elements parallel to bypass element  
 FF Semiconductor elements parallel to bypass element made conductive  
 GG Bypass element is closed  
 HH End

(57) Abstract: Provided is a power conversion device that has a plurality of converter cells connected in series, said converter cells having two or more semiconductor elements, an energy storage element, and a bypass element, having a component that detects abnormality in the converter cells and closes the bypass element, and having a component that controls in an on-state, at the same time as the bypass element is closed or beforehand, those semiconductor elements that are connected in parallel to the bypass element.

(57) 要約: 複数の変換器セルが直列に接続される電力変換装置であって、変換器セルは、2つ以上の半導体素子と、エネルギー蓄積要素と、バイパス要素とを有し、変換器セルの異常を検知してバイパス要素を閉とする構成要素を有し、バイパス要素が閉となると同時、あるいはそれ以前に、半導体素子のうち、バイパス要素と並列に接続された半導体素子をオン状態に制御する構成要素を有する。

WO 2015/133365 A1



PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：電力変換装置

技術分野

[0001] この発明は、複数の変換器セルが直列に接続された電力変換装置に関するものである。

背景技術

[0002] 高圧用途の電力変換装置においては、マルチレベル変換器の実用化が図られている。交流端子U、V、Wと直流端子P、Nとの間に、複数台の変換器セルを直列に接続し、変換器セルに内在する半導体スイッチング素子のオン／オフ制御により、交流端子U、V、Wには交流電圧を直流端子P、Nには直流電圧を発生させる回路構成のマルチレベル変換器が開示されている（例えば非特許文献1、2参照）。非特許文献1ではチョッパセルと呼ばれるハーフブリッジの変換器セルを使用している。また、非特許文献2では、ハーフブリッジのものに加え、2つのレグ（脚）を用いた、いわゆるフルブリッジに構成した変換器セルも使用している。

[0003] 一方、変換器セル（サブモジュール）に異常が発生した時に、この異常の発生した変換器セル（サブモジュール）の出力端子をバイパス要素（短絡装置）によってバイパスし、継続運転を可能にする電力変換装置がある（例えば特許文献1、2参照）。

先行技術文献

非特許文献

[0004] 非特許文献1：萩原 誠・赤木 泰文「モジュラー・マルチレベル変換器（MMC）のPWM制御法と動作検証」、電気学会論文誌D、128巻、7号、pp. 957-965、2008年（958頁、図1、2）

非特許文献2：J. Dorn, etc. "Transformation of the Energy System in Germany—Enhancement of System Stability by Integration of innovative Multilevel HVDC in the AC Grid", International

ETG-Kongress 2013.

非特許文献3：萩原 誠・前田 亮・赤木 泰文「モジュラー・マルチレベル・カスケード変換器（MMCC-SDBC）のSTATCOMへの応用」、電気学会論文誌D、131巻、12号、pp. 1433-1441

非特許文献4：柴野 勇士・太田 ジョン 豊・赤木 泰文「モジュラー・マルチレベル・カスケード変換器（MMCC-SSBC）を用いた位相シフトPWM STATCOM」、電気学会論文誌D、133巻、9号、pp. 936-942

### 特許文献

[0005] 特許文献1：国際公開WO2008/125494号（図2）

特許文献2：特表2010-524426号公報（図2等）

特許文献3：特開平9-182275号公報

### 発明の概要

#### 発明が解決しようとする課題

[0006] 以上のように、高圧の電力線路に適用される、複数の変換器セルを互いに直列に接続してなる電力変換装置にあっては、いずれかの変換器セルに異常が発生した場合、故障した変換器セルの出力端子を閉路することで、この故障した変換器セルを直列回路から除くバイパス要素は、その確実な閉路動作が電力変換装置としての運転の継続を補償するものであるもので、電力運用上、重要な役割を担っているものと言える。

[0007] しかるに、このバイパス要素は、その閉路動作に伴い、過電流などの過酷な状態に晒される恐れがあり、この過酷な使用により損傷すると、異常が発生した変換器セルを確実にバイパスできない場合がある。これにより、その後の確実な開閉動作が出来なくなり、電力変換装置としての運転の継続を補償することができないという課題があった。

[0008] この発明は、以上のような課題を解決するためになされたもので、変換器セルの異常発生時、その出力端子を閉路するバイパス要素を、その閉路動作に伴う損傷から確実に防止し、運転の継続を可能とする電力変換装置を得る

ことを目的とする。

### 課題を解決するための手段

[0009] この発明に係る電力変換装置は、  
電力を変換する変換器セルが複数個、直列に接続されるとともに、前記各変換器セルが正常であるか否かを検知する検知部を備えた電力変換装置であつて、  
前記変換器セルは、複数の半導体素子と、電気エネルギー蓄積要素と、出力端子と、この出力端子に一端を接続されたバイパス要素と、を有し、  
前記変換器セルの異常が検知された場合に、前記バイパス要素を閉じるとともに、前記バイパス要素を閉じると同時、あるいはそれ以前に、前記複数の半導体素子のうち、前記バイパス要素と並列に、このバイパス要素を含まない電流経路を形成するように選択した半導体素子をオン状態にすることを特徴とするものである。

[0010] また、この発明に係る電力変換装置は、  
電力を変換する変換器セルが複数個、直列に接続されるとともに、前記各変換器セルが正常であるか否かを検知する検知部を備えた電力変換装置であつて、  
前記変換器セルは、複数の半導体素子と、電気エネルギー蓄積要素と、出力端子と、この出力端子に一端を接続されたバイパス要素と、を備えるとともに、  
前記複数の半導体素子のうち、一部の半導体素子のゲートを駆動させるゲート駆動部にのみ、当該一部の半導体素子を短絡電流による破損から保護するアーム短絡保護部を有することを特徴とするものである。

### 発明の効果

[0011] この発明によれば、バイパス要素に流れる過電流を抑制でき、信頼性の高い電力変換装置を実現することができる。

この結果、小型・軽量で安価なバイパス要素の採用が可能となり、いずれかの変換器セルに異常が発生した場合にも運転の継続が可能となる小型で安

価な電力変換装置を得ることができる。

### 図面の簡単な説明

- [0012] [図1]本発明の主回路構成の一例を示す回路図である。
- [図2]本発明の主回路構成の他の一例を示す回路図である。
- [図3]本発明の主回路構成の他の一例を示す回路図である。
- [図4]本発明の主回路構成の他の一例を示す回路図である。
- [図5]本発明の変換器セルの一例を示す回路図である。
- [図6]変換器セルに生じる問題点の一例を説明する回路図である。
- [図7]本発明の変換器セルの第1の異常時の動作を説明するブロック図である。
- 。
- [図8]本発明の変換器セルの第2の異常時の動作を説明するブロック図である。
- 。
- [図9]短絡電流を検知する電流センサの一例を示す回路図である。
- [図10]短絡電流を検知する検知部と短絡電流を遮断する遮断部の一例を示す回路図である。
- [図11]本発明の他の変換器セルの一例を示す回路図である。
- [図12]本発明の主回路構成の他の一例を示す回路図である。
- [図13]本発明の主回路構成の他の一例を示す回路図である。
- [図14]他の変換器セルに生じる問題点の一例を説明する回路図である。
- [図15]バイパス要素BPに過酷な第1のケースに対処する保護動作を説明するフローを示す図である。
- [図16]保護動作の対象を一部異にする、図15と同趣旨の保護動作を説明するフローを示す図である。
- [図17]保護動作の対象を一部異にする、図15と同趣旨の保護動作を説明するフローを示す別の図である。
- [図18]誤動作でバイパス要素BPが閉路し過電流が流れるケースを説明する図である。
- [図19]誤動作でバイパス要素BPが閉路し過電流が流れるケースを説明する

図である。

[図20]保護動作の対象を一部異にする、図19と同趣旨の保護動作を説明するフローを示す図である。

[図21]保護動作の条件を一部異にする、図19と同趣旨の保護動作を説明するフローを示す図である。

[図22]本発明の実施の形態3における電力変換装置の変換器セルの内部構成を示す回路図である。

[図23]半導体素子が短絡故障の状態バイパス要素BPが閉路するケースを説明する図である。

[図24]本発明の実施の形態4における電力変換装置の変換器セルの内部構成を示す回路図である。

[図25]半導体素子が短絡故障の状態バイパス要素BPが閉路するケースを説明する図である。

### 発明を実施するための形態

#### [0013] 実施の形態1.

実施の形態1は、複数台の変換器セルが直列に接続される電力変換装置に関するものであって、変換器セルは、故障した際にバイパスするバイパス要素を有しており、バイパス要素と並列に接続した半導体素子を同時あるいはそれよりも以前に閉とすることを特徴とする。

[0014] 図1は、本発明の実施の形態1の電力変換装置に関する主回路構成の一例を示す。図1はあくまでも一例であって、変換器セルが直列に接続された回路構成であれば、本発明の係る範囲となる。なお、変換器セルが直列に接続された回路構成としては、一般に、カスケード変換器と呼ばれるものや、MMC (Modular Multilevel Converter、モジュラーマルチレベル変換器)、チェーン接続変換器とも呼ばれる。要は直列に接続した変換器である。なお、変換器セルは、2つ以上の半導体素子と1つ以上のエネルギー蓄積要素から構成されると定義する。

図1においては、交流端子U、V、Wと、直流端子P、Nとの間に複数の

変換器セル10が直列に接続されており、その間にリアクトル301P、301Nを有している。

[0015] 図1とは別の構成として、図2に示す電力変換装置においても本発明を適用することができる。図2の電力変換装置は、図1のリアクトル301Pと、301Nとを磁気結合させてリアクトル301としている。

[0016] さらに、図1とは別の構成として、図3に示す電力変換装置においても本発明を適用することができる。図3の電力変換装置は、図1のリアクトルを負極側（直流端子Nの側）に集中させてリアクトル301Nのみを接続している。

[0017] さらに、図1とは別の構成として、図4に示す電力変換装置においても本発明を適用することができる。図4の電力変換装置は、リアクトルを有していないが、配線インダクタンスなどの寄生インダクタンスを有しており、図1のリアクトルの代替の働きを有する。

[0018] 図1から図4においては、図5(a)あるいは(b)に示すような変換器セル10が使用される。変換器セル10は、2つ以上の半導体素子21、22あるいは、31、32と、エネルギー蓄積要素ES、バイパス要素BPを有する。エネルギー蓄積要素ESには、例としてコンデンサを使用する。バイパス要素BPには、例として機械スイッチや半導体素子によって構成された半導体スイッチを使用する。

[0019] 半導体素子21、22、31、32は、スイッチング素子21s、22s、31s、32sと、各々逆並列に接続されたダイオード素子21d、22d、31d、32dとで構成される。前記スイッチング素子には、IGBT (Insulated-Gate Bipolar Transistor) やGCT (Gate Commutated Turn-off thyristor)、MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor) などのスイッチング素子を使用する。なお、前記半導体素子は、電流容量に応じて、複数の半導体素子を並列に接続してもよい。

[0020] 図5 (a) において、半導体素子 2 1、2 2 の接続点には変換器セル 1 0 の出力端子 P o を、半導体素子 2 2 の負極側には変換器セル 1 0 の出力端子 N o を設ける。

図5 (b) において、半導体素子 3 1 の正極側には変換器セル 1 0 の出力端子 P o を、半導体素子 3 1、3 2 の接続点には変換器セル 1 0 の出力端子 N o を設ける。

図5 (a)、(b) において、スイッチング素子をオン、オフさせることで、変換器セルの出力端子間には、零電圧か、エネルギー蓄積要素 E S の両端の電圧か、のいずれかを出力することができる。

[0021] 図1 から図4 の定常動作（変換器セルに異常が起きていない場合の電力変換の動作）の制御に関しては公知な技術を適用することができるので、ここでは説明を省略する。例えば、非特許文献 1 に記載の「モジュラー・マルチレベル変換器の P W M 制御方法」が適用できる。

[0022] 定常動作以外の動作として、異常時の動作がある。例えば、変換器セル 1 0 のいずれかで異常（例えば素子故障、半導体素子のゲート駆動部に用いる制御電源の異常など）を検知した場合、異常を検知した変換器セルのバイパス要素 B P を閉じてバイパスする。変換器セルの数を、定常動作（変換器セルに異常が起きていない場合の電力変換の動作）と同等の動作が得られるように、冗長設計（例えば 1 セル以上多く直列接続する設計）をしていれば、いずれかの変換器セルが異常となっても、その変換器セルをバイパスすることで、継続的に電力変換の動作をすることができる。

[0023] しかしながら、図6 で示すような問題がある。図6 (a) は、バイパス要素 B P が接続されていない上側の半導体素子 2 1 が短絡状態において、バイパス要素 B P が閉となった場合に流れるエネルギー蓄積要素 E S の短絡電流を示している。本来、バイパス要素 B P は、通常の電力変換動作時に変換器セルに流れる電流値で設計する。通常、この電流は数 k A 以下である。一方、前記短絡電流は数十から数百 k A に達する。故に、この短絡電流によって、バイパス要素 B P が破損する可能性があり、その場合、電力変換装置は継

続的に電力変換の動作をすることができない。言い換えると、信頼性が低下する。

[0024] このような短絡電流が流れるケースとして、2つのケースが考えられ、これを回避する動作が本発明の含むところである。

図6(a)を例に説明すると、まず第1のケースが、バイパス要素BPが並列に接続されていない上側の半導体素子21が短絡故障（故障して短絡状態になっている状態を意味する）している場合、半導体素子21の短絡故障に関連する異常（ゲート駆動部に用いる制御電源の異常など）を検知して、バイパス要素BPを閉とした場合である。これを回避する目的で、本発明では、バイパス要素BPを閉とすると同時あるいはそれよりも以前に、バイパス要素BPと並列に接続された半導体素子22をオンとする。この結果、バイパス要素BPと並列に、このバイパス要素BPが含まれない別の電流経路（図6(a)中に記号Nと名付けた、半導体素子22を通るP<sub>0</sub>からN<sub>0</sub>に至る点線の経路）が形成される。

通常、バイパス要素BPに「閉」となる信号を与えたとしても、機械スイッチの場合は数ms以上を要するのが一般的であるのに対し、半導体素子は数μsでオンとすることができる。なお、上記機械スイッチ以外のバイパス要素BPを用いた場合には、閉指令を与えてから数十μs以上の値で閉となるものを用いてもよい。

上記の異常の具体的な例として、制御電源（図示せず）の異常がある。制御電源とは、半導体素子をオン／オフするためのゲート駆動部に供給される電源や、オン／オフのロジックを決定する制御基板に供給される電源を意味する。この異常の検知方法としては、制御電源の電圧を検知して、それが正常動作範囲の電圧か否かをコンパレータ（比較器）で判断する方法がある。この方法により異常を検知することができる。

[0025] バイパス要素BPを閉とするためには、バイパス要素BPの制御端子（図示せず）あるいは制御コイル（図示せず）に制御電圧を供給する必要がある。

すなわち、エネルギー蓄積要素ESは、バイパス要素BPで短絡されるよりも前に、バイパス要素BPと並列に接続された半導体素子22によって、短絡される。この短絡によって、エネルギー蓄積要素ESに蓄積されたエネルギーは消費されるため、バイパス要素BPが実際に閉となる時点では、十分にエネルギーがない状態になる。よって、バイパス要素BPに過電流が流れて破損されることなく、閉となる。

[0026] なお、図6(b)では、バイパス要素BPを閉とすると同時あるいはそれよりも以前に、バイパス要素BPと並列に接続された半導体素子31をオンとすることで、バイパス要素BPは破損されることなく、閉となる。

[0027] 本発明においては、バイパス要素BPを閉とする場合、バイパス要素BPを閉とすると同時、あるいはそれよりも以前に、バイパス要素BPと並列に接続された半導体素子をオンとすることで、バイパス要素BPを破損から守り、異常が発生した変換器セルを適切にバイパスすることができる。なお、図7にそのロジックを示す。図7では、まず、変換器セルが異常か否かを判別する。異常であれば、変換器セルをバイパスする必要があるため、バイパス要素に閉指令を与えると同時にバイパス要素と並列の半導体素子に閉指令（オン指令）を与える。そのように処理することで、バイパス要素と並列の半導体素子が導通し、それと同時、あるいはその後、バイパス要素が閉となる。

[0028] 次に、図6(a)を例に、2つ目のケースについて説明する。2つ目のケースは、バイパス要素BPが並列に接続されていない上側の半導体素子21がオン状態に制御されている時に、バイパス要素BPがノイズなどの誤動作により閉となる場合である。バイパス要素BPが誤動作により閉となった場合、半導体素子21とバイパス要素BPとでエネルギー蓄積要素ESが短絡される。半導体素子21が故障していない場合は、短絡電流は飽和電流と呼ばれる値（通常数kA程度）に制限される。しかしながら、半導体素子21は一般的に数十 $\mu$ sで故障に至り完全に短絡状態になり、バイパス要素BPの電流は瞬時に数十kAから数百kAに上昇してしまう。これを防止するた

めに、半導体素子 21 を駆動するゲート駆動部にアーム短絡保護部を備える。なお、アーム短絡保護部とは、半導体素子を介してエネルギー蓄積要素 ES が短絡することにより流れる短絡電流から、半導体素子を保護する部分を意味する。アーム短絡保護部は、半導体素子に短絡電流が流れたことを直接的、あるいは間接的に検知し、半導体素子 21 を遮断する。これを半導体素子が故障に至るまでの数十  $\mu\text{s}$  以内を実現することで、短絡電流を除去する。好ましくは、図 1 のような回路で使用される高圧の半導体素子は、一般的に 10  $\mu\text{s}$  以内であれば短絡電流に対して耐量特性（壊れない特性）を有しているため、短絡が発生してから 10  $\mu\text{s}$  以内に遮断することで、確実に保護できる。この動作によって、半導体素子 21 は故障しないので、バイパス要素 BP に数十 kA から数百 kA の電流が流れることを防止できる。よって、バイパス要素 BP の故障を防止することができる。

[0029] ここで、アーム短絡保護部により、半導体素子を遮断する場合、通常制御する場合のスイッチング動作よりも遅いスイッチング動作により、遮断させる「ソフト遮断」という動作をさせてもよい。これは、半導体素子の飽和電流は通常制御する電流よりも大きいいため、遮断時に半導体素子の両端に発生するサージ電圧を抑制させるためである。

なお、図 6 (b) では、バイパス要素 BP が並列に接続されていない半導体素子 32 を駆動するゲート駆動部にアーム短絡保護部を備える。

[0030] 本発明においては、バイパス要素 BP が並列に接続されていない半導体素子を駆動するゲート駆動部にアーム短絡保護部を備えることで、バイパス要素 BP を破損から守り、異常が発生した変換器セルを適切にバイパスすることができる。なお、図 8 にそのロジックを示す。図 8 では、まず、誤動作によりバイパス要素が閉となると短絡電流が発生するので、この短絡電流検知のために、バイパス要素が並列に接続されていない半導体素子のゲート駆動部が短絡電流を検知するか否かを判断する。次に、短絡電流を検知した場合、バイパス要素が並列に接続されていない半導体素子を遮断（オフ）する。その結果、短絡電流は除去される。この図に示すスタートから短絡電流除去

までのフローの動作が、アーム短絡保護部の動作でもある。

[0031] 図9に短絡電流を検知する方法の1つとして電流センサを図示している。電流センサは電流センサ501のようにエネルギー蓄積要素と素子の両端に接続しても良いし、電流センサ502のように半導体素子21の直近あるいはモジュール型素子の場合には半導体素子21に内蔵してもよい。また、電流センサ503のように半導体素子とバイパス要素との接続部に接続してもよい。なお、図9(b)においては、電流センサ501は電流センサ601に、電流センサ502は電流センサ602に、電流センサ503は電流センサ603に対応した電流を検知し、電流検知機能は図9(a)と同等である。

[0032] また、半導体素子に短絡電流が流れたことを検知し、半導体を遮断する具体的な方法に関しては、公知な例がある。例えば、特許文献3の「電力用半導体トランジスタの過電流保護回路」を適用することができる。図10は特許文献3から要点を抜粋した回路図を記載している。図10は、対象とする半導体素子510に対して、短絡電流を検知する検知部511と、短絡電流を検知した場合に遮断動作を行う遮断部512とを示している。

[0033] 短絡電流を検知する検知部511は、半導体素子510にオン信号が入っている場合にコレクタ電位が所定の電圧以上であるかを検知する。短絡時には、エネルギー蓄積要素ESの電圧が半導体素子の両端に印加されている状態であり、オン状態の電圧は上昇する。一方、短絡状態でない場合には、半導体素子の電圧降下は数Vである。検知部511は、コレクタ電位を検知して、コンパレータで比較することで短絡電流が流れている状態か否かを判断している。

[0034] 一方、遮断部512は、検知部511からの信号を受けて遮断をする。前述の通り、遮断時には定常動作の遮断時よりも大きな抵抗を介して遮断を実施することで「ソフト遮断」という動作を実現している。

[0035] 実施の形態2.

実施の形態1では、ハーフブリッジの変換器セルを用いた電力変換装置に

ついて説明した。実施の形態2では、上下2つのアームからなるレグを2つ備えたフルブリッジの変換器セルを用いる場合について説明する。

[0036] 図11に実施の形態2における変換器セルの一例を示す。図11(a)を例に説明すると、変換器セル10は4つ以上の半導体素子を用いてフルブリッジの構成をとる。半導体素子21と22との直列体がエネルギー蓄積要素ESと並列に接続されており、半導体素子21と22との接続点には変換器セルの出力端子P0を備える。半導体素子22と並列に第1のバイパス要素BP1を備える。一方、半導体素子23と24との直列体がエネルギー蓄積要素ESと並列に接続されており、半導体素子23と24との接続点には変換器セルの出力端子N0を備える。半導体素子24と並列に第2のバイパス要素BP2を備える。

[0037] 一方、図11(b)においては、半導体素子31と32との直列体がエネルギー蓄積要素ESと並列に接続されており、半導体素子31と32との接続点には変換器セルの出力端子P0を備える。半導体素子31と並列に第1のバイパス要素BP1を備える。一方、半導体素子33と34との直列体がエネルギー蓄積要素ESと並列に接続されており、半導体素子33と34との接続点には変換器セルの出力端子N0を備える。半導体素子33と並列に第2のバイパス要素BP2を備える。

[0038] また、図11(c)は、さらに、バイパス要素の異常を検知するための故障検知器30と半導体素子を駆動するゲート駆動部40の構成要素が加わったものである。この図において、上下2つの各アームは、それぞれ半導体素子21、22、23、24で構成され、これらにエネルギー蓄積要素ESおよびバイパス要素BPが図に示すように接続されている。

エネルギー蓄積要素ESには、例として、コンデンサを使用する。バイパス要素BPには、例として、真空スイッチ等の機械スイッチや半導体素子によって構成された半導体スイッチを使用する。

[0039] 半導体素子21、22、23、24は、スイッチング素子21s、22s、23s、24sと、各々に逆並列に接続されたダイオード素子21d、2

2 d、2 3 d、2 4 dとで構成される。スイッチング素子には、I G B T (Insulated-Gate Bipolar Transistor) やG C T (Gate Commutated Turn-off thyristor)、M O S F E T (Metal-Oxide-Semiconductor Field-Effect Transistor) などのスイッチング素子を使用する。なお、これら各アームは、電流容量に応じて、複数の半導体素子を並列に接続した構成のものでもよく、また、電圧耐力に応じて、複数の半導体素子を直列に接続した構成のものとしてもよい。

[0040] 図11(c)において、半導体素子21、22の接続点には変換器セル10の出力端子P<sub>o</sub>を、半導体素子23、24の接続点には変換器セル10の出力端子N<sub>o</sub>を設ける。

各スイッチング素子21s~24sは、ゲート駆動部40からのゲート駆動信号に基づきオンオフ制御される。そして、スイッチング素子21s~24sをオンオフ制御して一对の出力端子P<sub>o</sub>、N<sub>o</sub>間とエネルギー蓄積要素ESとの間で電力の変換を行うことで、変換器セル10の出力端子間には、エネルギー蓄積要素ESの両端の正の電圧か、エネルギー蓄積要素ESの両端の負の電圧か、零電圧かのいずれかを出力することができる。

[0041] 非特許文献1では、変換器セルにレグが1つしかない、いわゆるハーフブリッジで構成した変換器セルを用いている。ハーフブリッジの変換器セルは、エネルギー蓄積要素ESの両端の正の電圧か、零電圧の2通りの出力電圧しか出せない。

一方、非特許文献2では、2つのレグを備えたフルブリッジで構成しているため、エネルギー蓄積要素ESの負の電圧も出力可能で制御の自由度が向上する。

[0042] 図1に示した主回路構成を持つこの種の電力変換装置の定常時の動作については、先に挙げた文献例等で公知であるので、その説明は省略し、本願発明が着目する異常時、即ち、いずれかの変換器セル10に異常が発生した場合の動作について以下に説明する。

- [0043] なお、ここでは、先の図11(c)に示した、フルブリッジで構成した変換器セル10を対象に説明するものとするが、本願発明の要部である変換器セルの異常時の保護部分の構成については、ハーフブリッジで構成した変換器セルの場合にも同様に適用可能である。
- [0044] 定常動作以外の動作として、異常時の動作がある。このため、図11(c)に示すように、故障検知器30を備え、変換器セル10のいずれかで異常（例えば、半導体素子の故障やスイッチング素子にゲート駆動信号を送出するゲート駆動部40に用いる制御電源の異常など）を検知した場合、異常を検知した変換器セル10のバイパス要素BPを閉路して当該変換器セル10をバイパスする。
- [0045] 定常動作（変換器セル10に異常が起きていない場合の電力変換の動作）と同等の動作が可能ないように、変換器セル10の直列数に余裕を持たせた冗長設計（例えば、1セル以上多く直列接続する設計）をしていれば、いずれかの変換器セル10が異常となっても、その変換器セル10をバイパスすることで、継続的に電力変換の動作をすることができる。
- [0046] もっとも、このような冗長設計を施しても、このバイパス要素BPは、その閉路動作に伴い過酷な条件に晒される恐れがあり、この過酷な使用により損傷すると、その後の確実な開閉動作が出来なくなり、電力変換装置としての運転の継続を補償することができない。
- [0047] これらの変換器セルは、ハーフブリッジの変換器セルと比較して、プラスのエネルギー蓄積要素の電圧と、マイナスのエネルギー蓄積要素の電圧と、零電圧の3つの出力電圧を選択して出力することができるので制御の自由度が向上する。
- [0048] 故に、図1から図4の電力変換装置に加えて、図12や図13のような電力変換装置にも適用することができる。図12は、複数の変換器セル10を直列に接続し、それをスター結線状に接続した電力変換装置であり、スター結線カスケード変換器などと呼ばれる。一方、図13は、複数の変換器セル10を直列に接続し、それをデルタ結線状に接続した電力変換装置であり、

デルタ結線カスケード変換器などと呼ばれる。図12、図13において、401はリアクトルである。図12や図13の定常動作（変換器セルに異常が起きていない場合の電力変換の動作）の制御に関しては、公知な技術を用いることができる。例えば、非特許文献3、非特許文献4を使用することができるので、ここでの詳細な説明は省略する。

[0049] 一方、異常時の動作を考えた場合、図11の変換器セルにおいて、図14に示すように、バイパス要素BP1、BP2にエネルギー蓄積要素ESの短絡電流が流れて、バイパス要素BP1、BP2が破損する恐れがある。基本的には、実施の形態1のハーフブリッジの変換器セルと同様に考えることができる。つまり、冗長設計を施した場合でも、このバイパス要素BPは、その閉路動作に伴い過酷な使用条件に晒される恐れがあり、この過酷な使用により損傷すると、その後の確実な開閉動作が出来なくなり、電力変換装置としての運転の継続を補償することができない。

[0050] 短絡電流が流れる第1のケースとして、バイパス要素BP1、BP2が並列に接続されていない半導体素子が短絡故障している状態において、バイパス要素BP1あるいはBP2を閉とした場合が考えられる。この場合は、バイパス要素BP1あるいはBP2を閉とする場合に、閉とするバイパス要素と並列に接続されている半導体素子22、24、31、33を同時あるいは先にオンとすることで、バイパス要素の破損を防ぐ。具体的には、図14において、半導体素子21、23、32、34が破損して短絡状態になっている場合、バイパス要素BP1、BP2を投入するとエネルギー蓄積要素ESの短絡電流が流れて、バイパス要素BP1、BP2が破損する恐れがあるため、オフ状態にあるバイパス要素と並列に接続されている半導体素子22、24、31、33を閉としてから、バイパス要素BP1あるいはBP2を閉とする。つまり、バイパス要素BP1、BP2と並列に、これらのバイパス要素BP1、BP2が含まれない別の電流経路（図14(a)中に記号Nと名付けた半導体素子22、24を通るP<sub>0</sub>からN<sub>0</sub>に至る点線の経路）が形成され、バイパス要素BP1、BP2の破損を防ぐ。

[0051] 上記の異常の具体的な例として、制御電源（図6では図示せず）の異常がある。制御電源とは、半導体素子をオン／オフするためのゲート駆動部に供給される電源や、オン／オフのロジックを決定する制御基板に供給される電源を意味する。この異常の検知方法としては、制御電源の電圧を検知して、それが正常動作範囲の電圧か否かコンパレータ（比較器）で判断する方法がある。この方法を用いて異常を検知することができる。

バイパス要素BPを閉とするためには、バイパス要素BPの制御端子（図示せず）あるいは制御コイル（図示せず）に制御電圧を供給する。

[0052] また、短絡電流が流れる第2のケースとして、バイパス要素BP1あるいはBP2のノイズなどによる誤動作により閉となる場合である。この場合は、バイパス要素BP1、BP2と並列に接続されていない半導体素子のゲート駆動部にアーム短絡保護部を備えることで、バイパス要素BP1あるいはBP2の破損を防ぐことができる。

[0053] 以上に述べたバイパス要素に短絡電流が流れて、このバイパス要素が破損する恐れのある具体的な過酷条件について、以下でさらに詳しく説明する。

この過酷な条件とは、大きく分けて2つのケースがあり、第1のケースは、故障検知器30が変換器セル10の異常を検知し、それに基づきバイパス要素BPが閉路する、いわば、バイパス要素BPとしては、本来の正常な閉路動作であるが、この変換器セル10の異常が半導体素子21～24のいずれかの短絡故障である場合は、後段で詳述するように、エネルギー蓄積要素ESに充電されたエネルギー電荷により、この短絡故障した半導体素子を介して、閉路したバイパス要素BPに非常に過大な電流が流れて当該バイパス要素BPがその過大電流により損傷する可能性がある場合である。

[0054] また、第2のケースは、故障検知器30が変換器セル10の異常を検知していない状態でバイパス要素BPが閉路する、いわば、誤動作によりバイパス要素BPが閉路動作する場合である。この場合は、後段で詳述するように、エネルギー蓄積要素ESに充電された電荷により、そのときオン状態にある半導体素子を介して当該誤動作で閉路したバイパス要素BPに放電電流が

流れるが、これを放置すると当該半導体素子が短絡状態に発展し、それに伴い、この放電電流が急激に増大して当該バイパス要素B Pを損傷させる可能性がある場合である。

[0055] 先ず、第1のケースについて、図14(c)を参照して説明する。ここでは、故障検知器30は、想定される、変換器セル10の異常の全般を検知するものとする。

図14(c)の太線矢印は、対角位置にある半導体素子21、24が短絡状態にあるときに、バイパス要素B Pが閉路した場合に流れる、エネルギー蓄積要素E Sから短絡状態の半導体素子21、24を介してバイパス要素B Pに流れる短絡電流を示している。

[0056] 本来、バイパス要素B Pは、通常の電力変換動作時に変換器セル10に流れる電流値で設計する。通常、この電流は数k A以下である。一方、上述の短絡電流は、数十から数百k Aに達する。故に、この短絡電流によって、当該閉路したバイパス要素B Pが破損する可能性があり、その場合、電力変換装置は継続的に電力変換の動作をすることができない。言い換えると、信頼性が低下する。なお、同じく対角位置にある半導体素子22、23が短絡状態にある場合も同様である。

[0057] そこで、故障検知器30が変換器セル10の異常を検知した場合、半導体素子が上述の短絡状態にあり、閉路するバイパス要素B Pとして最も過酷となる状態が発生し得ると想定し、これを回避する目的で、本発明では、バイパス要素B Pを閉路とすると同時またはそれより前に、上アームのスイッチング素子21s、23sをオン状態とする。

上アームのスイッチング素子21s、23sをオン状態に制御することで、出力端子P<sub>o</sub>、N<sub>o</sub>間は、半導体素子で短絡される。この結果、バイパス要素B Pと並列に、このバイパス要素B Pが含まれない別の電流経路(図14(c)中に記号Nと名付けた、スイッチング素子21s、23sを通るP<sub>o</sub>からN<sub>o</sub>に至る点線の経路)が形成される。

なお、短絡状態にある半導体素子21は既にオン状態になっているため、

実質的にオンに制御されるのは故障していないスイッチング素子 23s のみになる。

[0058] 以上のように、半導体素子 23、24 がオン状態ないし短絡状態となってエネルギー蓄積要素 ES がこれら半導体素子 23、24 を介して短絡放電される。換言すると、バイパス要素 BP が投入される前に半導体素子を用いて出力端子 P<sub>o</sub>、N<sub>o</sub>間を短絡することで、バイパス要素 BP よりも先に半導体素子を犠牲にし、過電流から保護する。具体的には、出力端子 P<sub>o</sub>、N<sub>o</sub>間が半導体素子を介して短絡されるようにスイッチング素子を制御することで、エネルギー蓄積要素 ES が半導体素子を介して短絡されるので、エネルギー蓄積要素 ES に充電されたエネルギー電荷が消費されエネルギー蓄積要素 ES からバイパス要素 BP に流入する電流がゼロまたは大幅に減少し、バイパス要素 BP に流れる電流は、電力変換装置としての本来の負荷電流と同程度の値に留まり、その損傷が確実に防止されるわけである。

[0059] なお、通常、バイパス要素 BP に「閉」となる信号を与えたとしても、真空スイッチ等の機械スイッチの場合は数 ms 以上を要するのが一般的であるのに対し、スイッチング素子は数  $\mu$ s でオンとすることができる。

即ち、バイパス要素 BP における、閉路指令から実際に閉路するまでの閉路応答時間が、スイッチング素子における、オン指令から実際にオンするまでのオン応答時間より長くなるようにすることは、比較的容易であり、従って、バイパス要素 BP を閉路とする前に、半導体素子 21、23 をオン状態とすることは、比較的容易に実現し得る。

[0060] また、以上の説明では、上アームのスイッチング素子 21s、23s をオン状態にするとしたが、これは、後述する第 2 のケースを想定した、スイッチング素子をオフ状態とする保護動作を同一の装置で採用するため、オン状態とする保護動作を上アームの素子で、オフ状態とする保護動作を下アームの素子でそれぞれ区分けして行うようにしたためである。従って、前者のオン状態にする保護動作を下アームの素子で、後者のオフ状態とする保護動作を上アームの素子で担うようにしてもよい。

また、前者のオン状態にする保護動作のみを行う場合は、上下両アームの素子で担うようにしてもよい。この場合、エネルギー蓄積要素ESから半導体素子に流れる放電電流が、2回路に分流されるので、各半導体素子に流入する電流が低減する。

[0061] 次に、以上に述べたバイパス要素に短絡電流が流れて、このバイパス要素が破損する恐れのある具体的な過酷条件から、バイパス要素を保護する動作について、図13を用いて説明する。

[0062] 図15は、バイパス要素の保護動作のフローチャートを示す。図15において、故障検知器30で変換器セル10が異常か否かを判別し（ステップS1）、異常であれば（ステップS1でYes）、変換器セル10をバイパスする必要があるため、バイパス要素BPに閉指令を与えると同時に、上アームのスイッチング素子21s、23sにオン指令を与える（ステップS2）。そのように処理することで、上アームのスイッチング素子21s、23sがオン状態となり（ステップS3）、それと同時またはその後、バイパス要素BPが閉となる（ステップS4）。

前述した、オン状態にする保護動作を下アームの素子で担う場合のフローチャートは図16の通りとなる。

[0063] なお、先の図14(c)で、バイパス要素BPの閉路に先駆けて上アームのスイッチング素子23sをオン状態にすると、既に短絡状態にあるスイッチング素子24sと新たにオンしたスイッチング素子23sには、バイパス要素BPを介した場合より更に大きな、エネルギー蓄積要素ESからの直接の放電短絡電流が流入し、この短絡電流でスイッチング素子23sも損傷する可能性が大きい。

[0064] しかし、たとえ、異常が検知された変換器セル10内の、そのときには正常であったスイッチング素子がそれをオン状態にする保護動作に伴い損傷するに至ったとしても、あくまでも変換器セル10の異常に伴うバイパス要素BPの損傷を確実に防止して当該バイパス要素BPのバイパス機能を補償することで、変換器セル10の異常発生からその後電力変換装置を計画的に停

止できる迄の期間における電力変換装置の継続運転を実現することが、この発明の意図するところであり、上述のスイッチング素子の損傷は、この発明の考慮する範囲内の事象である。

[0065] 以上のように、図15で説明したスイッチング素子をオン状態とする保護動作は、故障検知器30が変換器セル10の異常を検知すれば、その検知された異常事象の種別に関係なく、バイパス要素BPにとって最も過酷となる、上述した第1のケースを想定して実行し、バイパス要素BPを損傷から確実に防止しようとするものである。

[0066] なお、故障検知時に半導体素子により出力端子P<sub>o</sub>、N<sub>o</sub>間を短絡するという保護動作は、故障検知器30が検知した異常が、半導体素子の短絡故障ではなく当該変換器セル10内の他の種別の異常事象であっても適用可能である。すなわち、半導体素子の短絡故障ではなく当該変換器セル10内の他の種別の異常事象であった場合、出力端子P<sub>o</sub>、N<sub>o</sub>間を上アームのスイッチング素子21s、23sをオン状態に制御することで短絡しても、エネルギー蓄積要素ESが短絡される経路が存在しないため、エネルギー蓄積要素ESに充電されたエネルギー電荷は消費されない。一方で、バイパス要素BPよりも先に半導体素子が出力端子P<sub>o</sub>、N<sub>o</sub>を短絡するので、早期にバイパス状態に移行できる。故に、より確実な電力変換装置の運転継続が可能となる。

[0067] ところで、この第1のケースで想定する、半導体素子、特に、スイッチング素子の短絡故障としては、半導体部が破損してゲート酸化膜の絶縁が破壊され、ゲート・エミッタ間がほぼ短絡状態となるのが典型的な事象である。この異常は、ゲート駆動部40の制御電源の状態から検知することができることは既に簡単に説明したが、この内容について、以下で具体例をもとにして、さらに詳しく説明する。

[0068] 図17は、図15の場合とは異なり、故障検知器30として、変換器セル10の異常を、半導体素子の短絡故障とその他の故障とを峻別して検知可能なものを採用し、上述の第1のケースを想定した、スイッチング素子をオン

状態とする保護動作を、検知した故障が半導体素子の短絡故障である場合に限定して実行する場合の保護動作を示すフローチャートである。

[0069] 図17において、故障検知器30で変換器セル10が異常か否かを判別し（ステップS1）、異常であれば（ステップS1でYes）、更に、半導体素子の短絡故障であるか否かを判別する（ステップS5）。半導体素子の短絡故障である場合は（ステップS5でYes）、バイパス要素BPに閉指令を与えると同時に、上アームのスイッチング素子21s、23sにオン指令を与える（ステップS2）。そのように処理することで、上アームのスイッチング素子21s、23sがオン状態となり（ステップS3）、それと同時またはその後に、バイパス要素BPが閉となる（ステップS4）。

[0070] ステップS5で、検知した故障が半導体素子の短絡故障でないと判別された場合は（ステップS5でNo）、バイパス要素BPに閉指令を与えるのみの処理を行い（ステップS6）、スイッチング素子のオン動作を指令することなく、バイパス要素BPが閉となる（ステップS7）。

これにより、保護動作に伴う処理数を減少させることができ、保護制御に係る部分を小型化することが出来る。

[0071] 図17では、以上のように、バイパス要素BPが閉路すると同時またはそれより前にスイッチング素子をオン状態にするという動作を、故障検知器30が検知した異常が半導体素子の短絡故障によるものであるときに制限して実行するようにしたので、このスイッチング素子をオン状態にする保護動作の頻度を最小限に留め、保護制御に係る部分を小型化することができる。

[0072] 次に、バイパス要素BPに過酷な条件として設定した、今ひとつの第2のケースについて、図18および図19を参照して説明する。ここでは、故障検知器30は、想定される、変換器セル10の異常の全般を検知するものとする。

この第2のケースは、図18に示すように、例えば、対角位置にある半導体素子21、24がオン状態に制御されているときに、故障検知器30が異常を検知していない状態で、即ち、誤動作で、バイパス要素BPが閉路した

場合である。なお、図18では、オン状態に制御されている半導体素子21、24は実線で、オフ状態に制御されている半導体素子22、23は点線で図示している。

[0073] この場合、閉路したバイパス要素BPとオン状態の半導体素子21、24とでエネルギー蓄積要素ESが短絡される。短絡経路内の半導体素子が故障していない場合は、短絡電流は飽和電流と呼ばれる値（通常数kA程度）に制限される。しかしながら、これを放置すると、上述したように、半導体素子は一般的に数十 $\mu$ sで故障に至り完全な短絡状態となり、バイパス要素BPの電流は、その時点で数十kAから数百kAに上昇してバイパス要素BPを損傷する恐れがある。

[0074] これを防止するため、ここでは、下アームのスイッチング素子22s、24sを駆動するゲート駆動部40にアーム短絡保護部を備える。なお、ここでアーム短絡保護部とは、図18では502A、502B等で示す電流センサと、この電流センサの検知出力から半導体素子の過電流を検知する過電流検知器と、この過電流を検知したときスイッチング素子をオフ状態とすることで、誤動作で閉路したバイパス要素BPおよび半導体素子21、24を介して形成されるエネルギー蓄積要素ESの短絡状態を解除する駆動部とからなるものを称している。

なお、前記では「アーム短絡保護部」と記載したが、出力端子よりも外側の短絡から素子を保護する部分として「負荷短絡保護部」と記載される場合もある。ここでは、半導体素子を短絡電流から保護する部分の総称として「アーム短絡保護部」という用語を用いている。

[0075] アーム短絡保護部は、半導体素子に短絡電流が流れたことを直接的あるいは間接的に検知し、下アームのスイッチング素子22s、24sを遮断する。従って、電流センサとしては、図7に示す、電流センサ501のようにエネルギー蓄積要素ESと半導体素子21、23の両端に接続してもよいし、電流センサ502A、502Bのように下アームの半導体素子22、24の直近あるいはモジュール型素子の場合には半導体素子22、24に内蔵して

もよい。また、電流センサ503のように半導体素子とバイパス要素BPとの接続部に接続してもよい。

[0076] 以上の説明では、下アームのスイッチング素子22s、24sをオフ状態にするとしたが、これは、前述した第1のケースを想定した、スイッチング素子をオン状態とする保護動作を同一の装置で採用するため、オン状態とする保護動作を上アームの素子で、オフ状態とする保護動作を下アームの素子でそれぞれ区分けして行うようにしたためである。

従って、前者のオン状態にする保護動作を下アームの素子で、後者のオフ状態とする保護動作を上アームの素子で担うようにしてもよい。

また、後者のオフ状態にする保護動作のみを行う場合は、上下両アームの素子で担うようにしてもよい。

[0077] 図19は、以上の保護動作のフローチャートを示す。図19において、故障検知器30が変換器セル10の異常を検知していない状態で、アーム短絡保護部が過電流を検知すると（ステップS8でYes）、下アームのスイッチング素子22s、24sにオフ指令を与え、これらスイッチング素子22s、24sをオフ状態とする（ステップS9）。これにより、短絡電流が除去される（ステップS10）。

なお、前述したオフ状態にする保護動作を上アームの素子で担う場合のフローチャートは図20の通りとなる。

[0078] このスイッチング素子のオフ動作を、半導体素子が故障に至るまでの数十 $\mu$ s以内に実現することで、エネルギー蓄積要素ESの短絡状態を解除して短絡電流を除去することができる。好ましくは、図1のような回路で使用される高圧の半導体素子は、一般的に、10 $\mu$ s以内であれば短絡電流に対して耐量特性（壊れない特性）を有しているため、短絡が発生してから10 $\mu$ s以内にオフ遮断することで、確実に保護できる。この保護動作によって、半導体素子は故障しないので、バイパス要素BPに数十kAから数百kAの電流が流れることを防止できる。よって、バイパス要素BPの故障を防止することができる。

[0079] ところで、アーム短絡保護部（図10参照）により、半導体素子を遮断する場合、通常制御する場合のスイッチング動作よりも遅いスイッチング動作により、遮断させる「ソフト遮断」という動作をさせてもよい。これは、半導体素子の飽和電流は通常制御する電流よりも大きいため、遮断時に半導体素子の両端に発生するサージ電圧を抑制させるためである。

[0080] アーム短絡保護部自体は、公知であるので、詳しい説明は省略するが、以下、図10（特許文献3参照）を用いて簡単に説明する。

図10は、同公報から要点を抜粋した回路図である。対象とする半導体素子510に対して、短絡電流を検知する検知部511と、短絡電流を検知した場合に遮断動作を行う遮断部512とを示している。

[0081] 短絡電流を検知する検知部511は、半導体素子510にオン信号が入っている場合にコレクタ電位が所定の電圧以上であるかを検知する。短絡時には、エネルギー蓄積要素ESの電圧が半導体素子の両端に印加されている状態であり、オン状態の電圧は上昇する。一方、短絡状態でない場合には、半導体素子の電圧降下は数Vである。検知部511は、コレクタ電位を検知して、コンパレータで比較することで短絡電流が流れている状態か否かを判断している。

[0082] 一方、遮断部512は、検知部511からの信号を受けて遮断をする。前述の通り、遮断時には定常動作の遮断時よりも大きな抵抗を介して遮断を実施することで「ソフト遮断」という動作を実現している。

[0083] なお、図19の保護動作では、変換器セル10の異常が検知されていない状態で、半導体素子の過電流が検知されたときに下アームのスイッチング素子をオフして短絡電流を除去するようにすることで、バイパス要素BPの保護に影響を与えない範囲で、不要な保護動作を抑制するようにしたが、図21に示すように、過電流検知の要件を課さないようにしてもよい。

[0084] 即ち、図21のフローチャートでは、故障検知器30が変換器セル10の異常を検知していない状態で、バイパス要素BPが閉路したことを検知すると（ステップS11でYes）、下アームのスイッチング素子22s、24

sにオフ指令を与え、これらスイッチング素子22s、24sをオフ状態とする(ステップS9)。これにより、閉路したバイパス要素BPおよび半導体素子を介して形成されるエネルギー蓄積要素ESの短絡状態が解除される(ステップS12)。

なお、バイパス要素BPの閉路動作は、バイパス要素BPの両端の電圧を検知するか、バイパス要素BPの主接点と同じ開閉動作をする補助接点を監視することで検知することができる。

この場合、スイッチング素子をオフ状態とする保護動作の頻度は多くなるが、バイパス要素BPを確実に保護する中で、保護回路の構成動作を簡便なものとする事が出来る。

[0085] なお、実施の形態1とは異なり、実施の形態2では、フルブリッジで変換器セルを構成しているので、変換器セル内で異常を検知すると、両方のバイパス要素BP1、BP2を閉とする。その際、それらと並列に接続されている半導体素子も同時あるいはそれ以前にオンとする。そうすることで、異常が発生した変換器セルを確実にバイパスすることができる。また、このスイッチング素子をオン状態にする保護動作の頻度を最小限に留め、保護制御に係る部分を小型化することができる。

[0086] 実施の形態3.

図22は、本発明の実施の形態3における電力変換装置に用いる変換器セル10Bの内部構成例を示す回路図である。先の実施の形態1、2では、変換器セル10の全ての半導体素子に、スイッチング素子とダイオード素子とを用いていたが、この実施の形態3では、2つのレグの内、1つのレグの下アームの半導体素子がダイオード素子のみで構成されている点が異なる。以下、この異なる点を中心に説明する。

[0087] 変換器セル10Bの各アームは、それぞれ半導体素子21、22B、23、24で構成され、これらにエネルギー蓄積要素ESおよびバイパス要素BPが図に示すように接続されている。これらのアームの内、半導体素子22Bは、ダイオード素子のみで構成され、他の3つのアームは、スイッチング

素子 21s、23s、24s と、各々に逆並列に接続されたダイオード素子 21d、23d、24d とで構成されている。

[0088] 図 22 において、半導体素子 21、22B の接続点には変換器セル 10B の出力端子 P<sub>o</sub> を、半導体素子 23、24 の接続点には変換器セル 10B の出力端子 N<sub>o</sub> を設ける。

各スイッチング素子 21s、23s、24s は、ゲート駆動部 40 からのゲート駆動信号に基づきオンオフ制御される。そして、スイッチング素子 21s、23s、24s をオンオフ制御して一对の出力端子 P<sub>o</sub>、N<sub>o</sub> 間とエネルギー蓄積要素 ES との間で電力の変換を行うことで、変換器セル 10B の出力端子間には、エネルギー蓄積要素 ES の両端の正の電圧か、零電圧、電流の極性によっては、半導体素子 22B を導通させることができるので、エネルギー蓄積要素 ES の両端の負の電圧のいずれかを出力することができる。

[0089] 図 22 の変換器セル 10B は、図 11 (c) の変換器セル 10 と比較して制御性が劣るが、先の非特許文献 1 で開示されている定常動作を実現することができる。更に、図 11 (c) の変換器セル 10 と比較して、スイッチング素子の数が少ないため、小型で安価な電力変換装置を実現できる。

[0090] 図 22 の変換器セル 10B の場合も、そのバイパス要素 BP は、例えば、図 23 に示すような、対角位置にある半導体素子 21、24 が短絡状態となり、故障検知器 30 がこれを検知して閉路動作するとき等、先の実施の形態 1 で、第 1 のケースおよび第 2 のケースとして説明した過酷な条件に晒される可能性があり、それへの対処、即ち、この過酷な条件でバイパス要素 BP が損傷しないよう、保護動作が必要となる。

[0091] もっとも、これら保護動作の詳細は、先の実施の形態 1 で説明した通りであり、再度の説明は割愛する。

但し、この実施の形態 2 においては、4 つの半導体素子の 1 つをダイオード素子のみで構成しスイッチング素子を使用していないので、先の第 1 のケースに関し、バイパス要素 BP が閉路すると同時またはそれより前に、出力

端子P<sub>o</sub>、N<sub>o</sub>間が半導体素子を介して短絡されるようにスイッチング素子をオン状態にする、とする保護動作において、オン状態にする対象のスイッチング素子としては、例えば、図23の場合は、上アームのスイッチング素子23sに限定されることになる。

[0092] 以上のように、適用上一部制限されることを除けば、この実施の形態2に係る電力変換装置は、先の実施の形態1で説明したと同様、変換器セルの異常発生時、その出力端子を閉路するバイパス要素を、その閉路動作に伴う損傷から確実に防止し、運転の継続を可能とするという効果を奏し、かつ、実施の形態1の場合より装置が小型で安価となる利点がある。

[0093] 実施の形態4.

図24は、本発明の実施の形態4における電力変換装置に用いる変換器セル10Cの内部構成例を示す回路図である。先の実施の形態1では、変換器セル10の全ての半導体素子に、スイッチング素子とダイオード素子とを用いていたが、この実施の形態4では、2つのレグの内、1つのレグの上アームの半導体素子がダイオード素子のみで構成されている点が異なる。以下、この異なる点を中心に説明する。

[0094] 変換器セル10Cの各アームは、それぞれ半導体素子21、22、23B、24で構成され、これらにエネルギー蓄積要素ESおよびバイパス要素BPが図に示すように接続されている。これらのアームの内、半導体素子23Bは、ダイオード素子のみで構成され、他の3つのアームは、スイッチング素子21s、23s、24sと、各々に逆並列に接続されたダイオード素子21d、23d、24dとで構成されている。

[0095] 図24において、半導体素子21、22の接続点には変換器セル10Cの出力端子P<sub>o</sub>を、半導体素子23B、24の接続点には変換器セル10Cの出力端子N<sub>o</sub>を設ける。

各スイッチング素子21s、22s、24sは、ゲート駆動部40からのゲート駆動信号に基づきオンオフ制御される。そして、スイッチング素子21s、22s、24sをオンオフ制御して一对の出力端子P<sub>o</sub>、N<sub>o</sub>間とエ

エネルギー蓄積要素ESとの間で電力の変換を行うことで、変換器セル10Cの出力端子間には、エネルギー蓄積要素ESの両端の正の電圧か、零電圧、電流の極性によっては、半導体素子23Bを導通させることができるので、エネルギー蓄積要素ESの両端の負の電圧のいずれかを出力することができる。

[0096] 図24の変換器セル10Cは、図11(c)の変換器セル10と比較して制御性が劣るが、スイッチング素子の数が少ないため、小型で安価な電力変換装置を実現できる。

[0097] 図24の変換器セル10Cの場合も、そのバイパス要素BPは、例えば、図25に示すような、対角位置にある半導体素子21、24が短絡状態となり、故障検知器30がこれを検知して閉路動作するとき等、先の実施の形態1で、第1のケースおよび第2のケースとして説明した過酷な条件に晒される可能性があり、それへの対処、即ち、この過酷な条件でバイパス要素BPが損傷しないよう、保護動作が必要となる。

[0098] もっとも、これら保護動作の詳細は、先の実施の形態1で説明した通りであり、再度の説明は割愛する。

但し、この実施の形態4においては、4つの半導体素子の1つをダイオード素子のみで構成しスイッチング素子を使用していないので、先の第1のケースに関し、バイパス要素BPが閉路すると同時またはそれより前に、出力端子Po、No間が半導体素子を介して短絡されるようにスイッチング素子をオン状態にする、とする保護動作において、オン状態にする対象のスイッチング素子としては、例えば、図25の場合は、下アームのスイッチング素子22sに限定されることになる。

[0099] 以上のように、適用上一部制限されることを除けば、この実施の形態4に係る電力変換装置は、先の実施の形態1、2で説明したと同様、変換器セルの異常発生時、その出力端子を閉路するバイパス要素を、その閉路動作に伴う損傷から確実に防止し、運転の継続を可能とするという効果を奏し、かつ、実施の形態1、2の場合より装置が小型で安価となる利点がある。

[0100] なお、本発明は、その発明の範囲内において、各実施の形態を自由に組み合わせたり、各実施の形態を適宜、変形、省略することが可能である。

### 符号の説明

[0101] BP、BP1、BP2 バイパス要素、ES エネルギー蓄積要素、P、N 直流端子、Po、No セル出力端子、U、V、W 交流端子、10、10B、10C 変換器セル、21、22、22B、23、23B、24、31、32、33、34 半導体素子、21s、22s、23s、24s、31s、32s、33s、34s スイッチング素子、21d、22d、23d、24d、31d、32d、33d、34d ダイオード素子、30 故障検知器、40 ゲート駆動部、301P、301N、301、401 リアクトル、501、502、502A、502B、503、601、602、603 電流センサ。

## 請求の範囲

- [請求項1] 電力を変換する変換器セルが複数個、直列に接続されるとともに、前記各変換器セルが正常であるか否かを検知する検知部を備えた電力変換装置であって、
- 前記変換器セルは、複数の半導体素子と、電気エネルギー蓄積要素と、出力端子と、この出力端子に一端を接続されたバイパス要素と、を有し、
- 前記変換器セルの異常が検知された場合に、前記バイパス要素を閉じるとともに、前記バイパス要素を閉じると同時、あるいはそれ以前に、前記複数の半導体素子のうち、前記バイパス要素と並列に、このバイパス要素を含まない電流経路を形成するように選択した半導体素子をオン状態にすることを特徴とする電力変換装置。
- [請求項2] 電力を変換する変換器セルが複数個、直列に接続されるとともに、前記各変換器セルが正常であるか否かを検知する検知部を備えた電力変換装置であって、
- 前記変換器セルは、複数の半導体素子と、電気エネルギー蓄積要素と、出力端子と、この出力端子に一端を接続されたバイパス要素と、を備えるとともに、
- 前記複数の半導体素子のうち、一部の半導体素子のゲートを駆動させるゲート駆動部にのみ、当該一部の半導体素子を短絡電流による破損から保護するアーム短絡保護部を有することを特徴とする電力変換装置。
- [請求項3] 前記半導体素子のうち、異常検知時にオン状態に制御しない半導体素子のゲートを駆動させるゲート駆動部にのみ、当該半導体素子を短絡電流による破損から保護するアーム短絡保護部を有することを特徴とする請求項1に記載の電力変換装置。
- [請求項4] 前記アーム短絡保護部は、前記半導体素子の短絡電流を検知してから10 $\mu$ s以内に、前記半導体素子を遮断することを特徴とする請求

項2または請求項3に記載の電力変換装置。

[請求項5] 前記変換器セルに複数のバイパス要素を有する電力変換装置であって、前記変換器セルの異常を検知した場合に、前記複数のバイパス要素の全てを閉じることを特徴とする請求項1から4のいずれか1項に記載の電力変換装置。

[請求項6] 前記各変換器セルのうち何れかの変換器セルの異常を検知した場合に、異常を検知された変換器セルの前記バイパス要素を閉じて、電力変換の動作ができるように冗長設計されていることを特徴とする請求項1から5のいずれか1項に記載の電力変換装置。

[請求項7] 前記バイパス要素における、閉路指令から実際に閉路するまでの閉路応答時間が、前記半導体素子における、オン指令から実際にオンするまでのオン応答時間より長くなるようにしたことを特徴とする請求項1から請求項6のいずれか1項に記載の電力変換装置。

[請求項8] 前記バイパス要素は、閉指令を与えてから数十 $\mu$ s以上を要して閉となる特性を有し、前記半導体素子は、数 $\mu$ sでオン／オフのスイッチングを行う特性を有することを特徴とする請求項1から7のいずれか1項に記載の電力変換装置。

[請求項9] 前記各変換器セルの異常を検知する故障検知器を備え、この故障検知器が検知した異常が、前記半導体素子の短絡故障によるものであるか否かを峻別することを特徴とする請求項1に記載の電力変換装置。

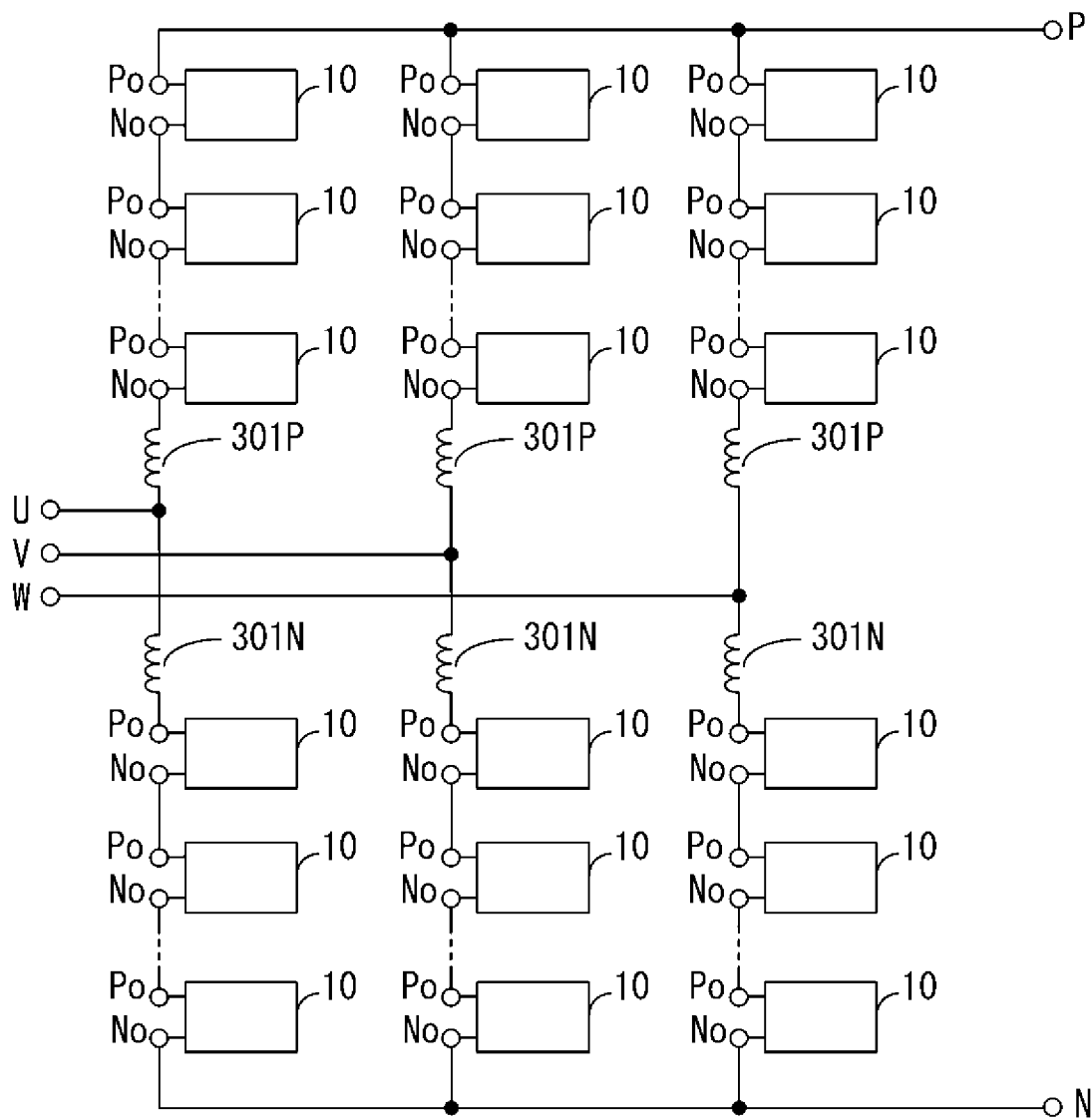
[請求項10] 前記故障検知器が検知した異常が前記半導体素子の短絡故障によるものであるときに、前記バイパス要素と並列に接続された半導体素子をオン状態にすることを特徴とする請求項9に記載の電力変換装置。

[請求項11] 前記各変換器セルの前記半導体素子は、上下2つのアームからなるレグを2つ備え合計4つのアームで構成し、前記4つのアームの全てが、スイッチング素子とこのスイッチング素子に逆並列接続されたダイオード素子とからなることを特徴とする請求項1または請求項10に記載の電力変換装置。

[請求項12] 前記各変換器セルの前記半導体素子は、上下2つのアームからなるレグを2つ備え合計4つのアームで構成し、前記4つのアームの内いずれか3つのアームは、スイッチング素子とこのスイッチング素子に逆並列接続されたダイオード素子とからなり、前記4つのアームの内残りの1つのアームは、前記ダイオード素子からなることを特徴とする請求項1または請求項10に記載の電力変換装置。

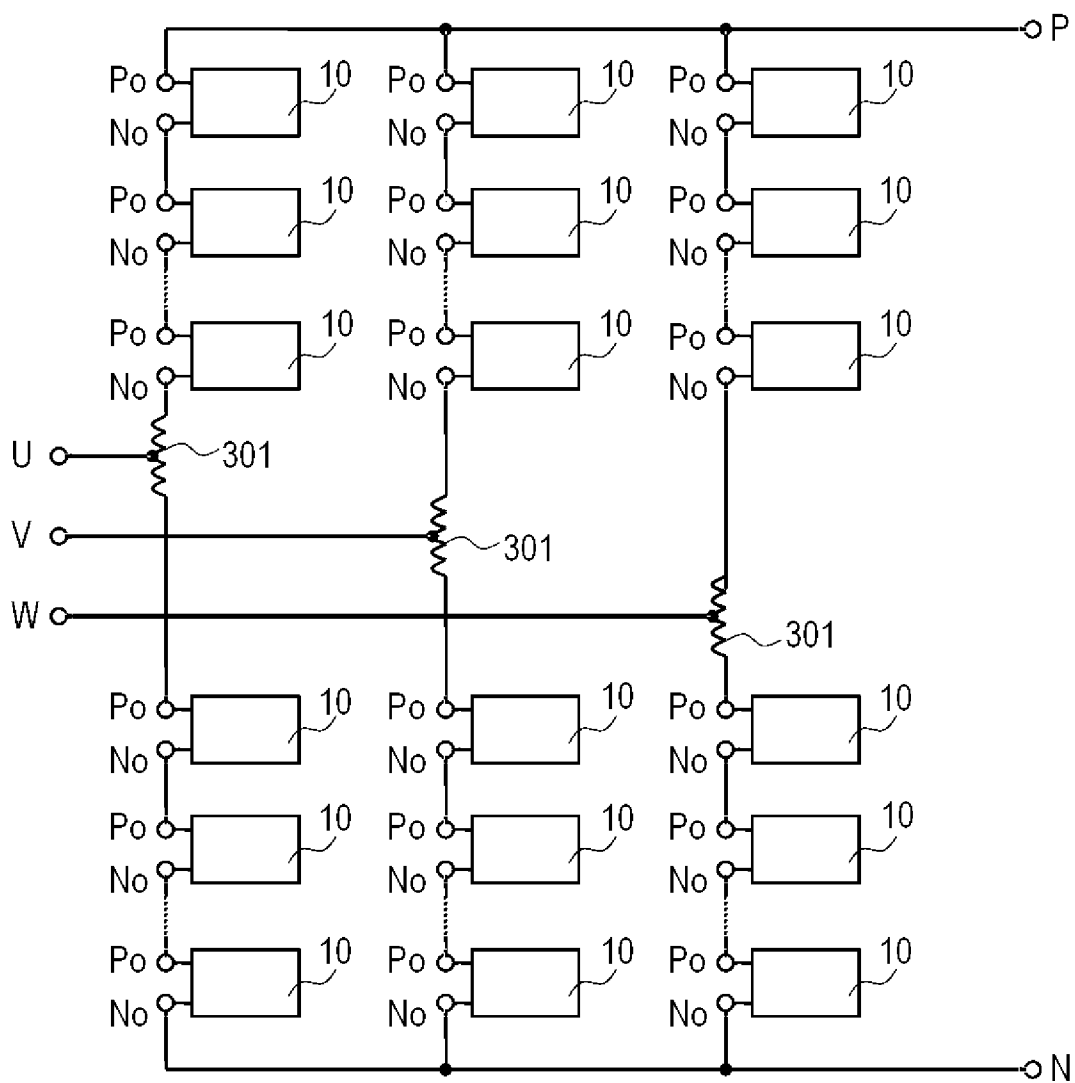
[図1]

図 1



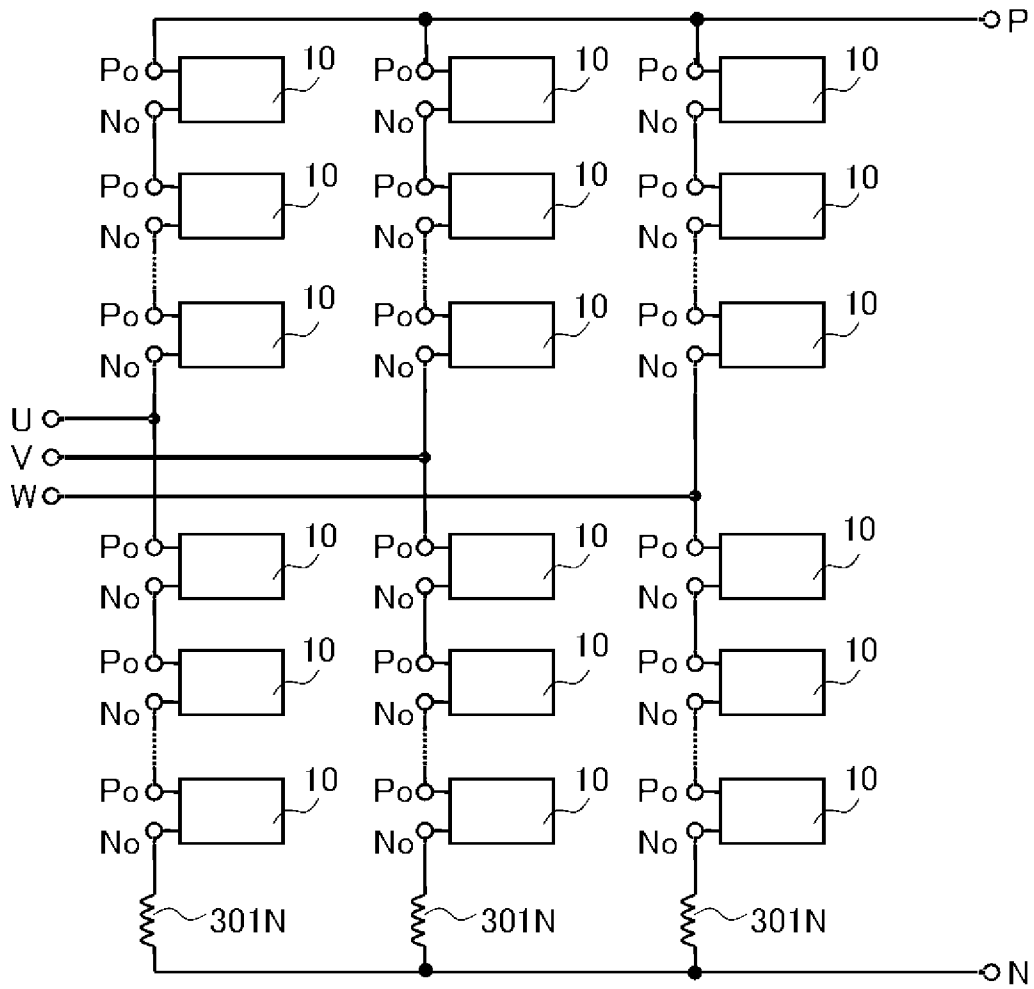
[図2]

図2



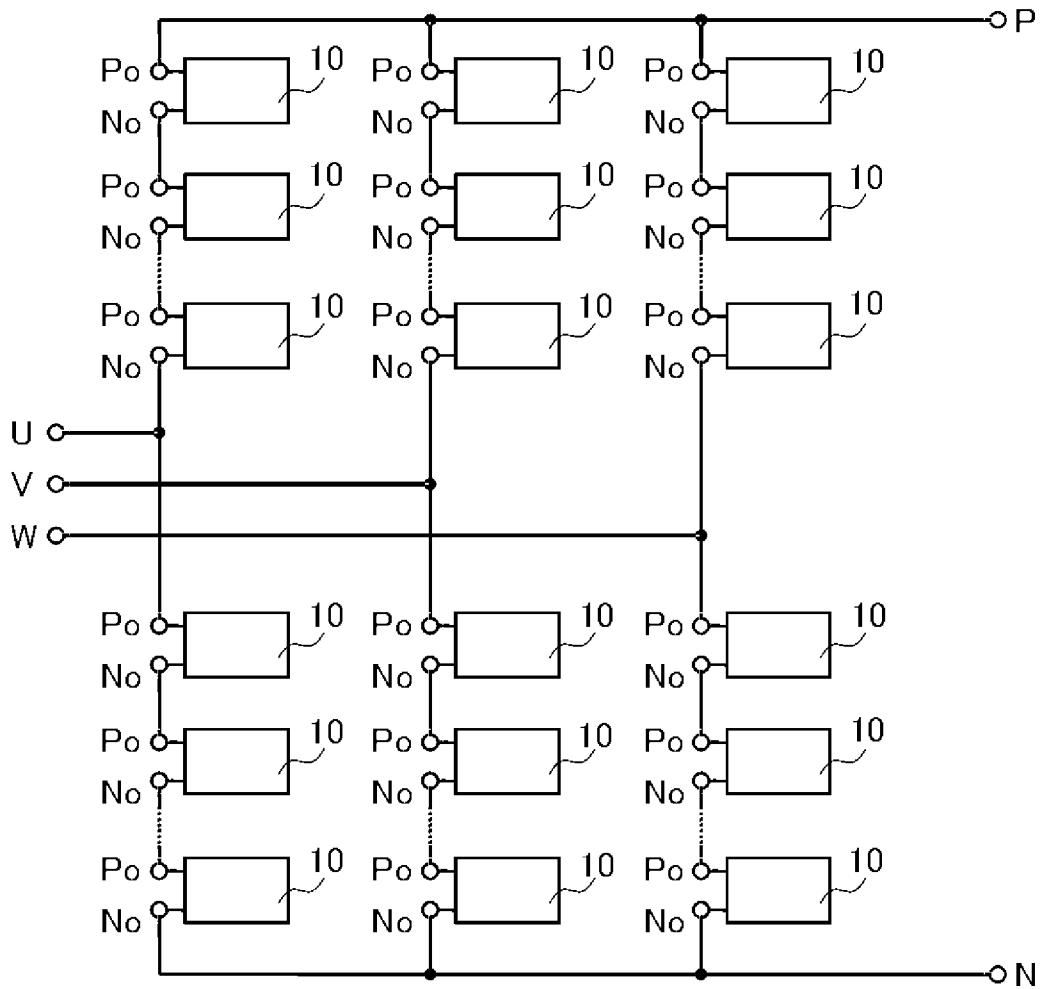
[図3]

図3



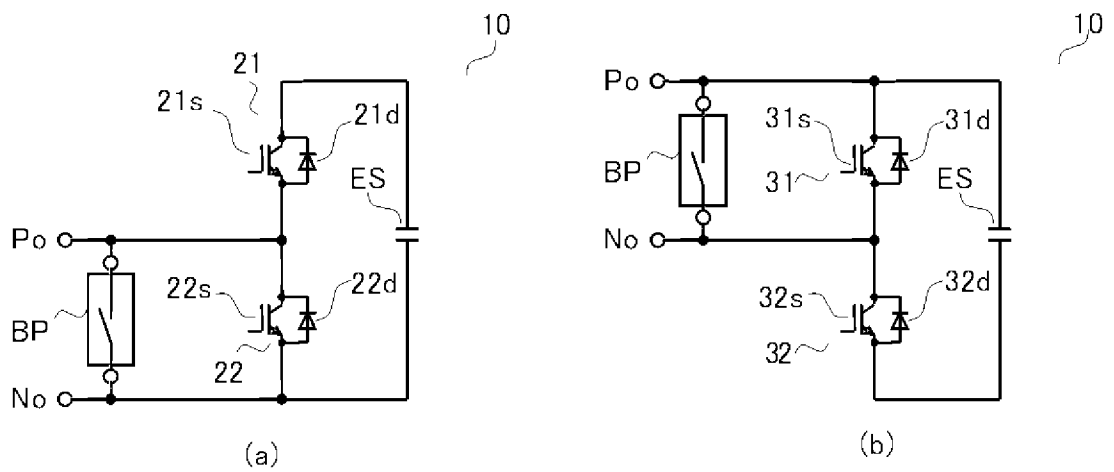
[図4]

図4



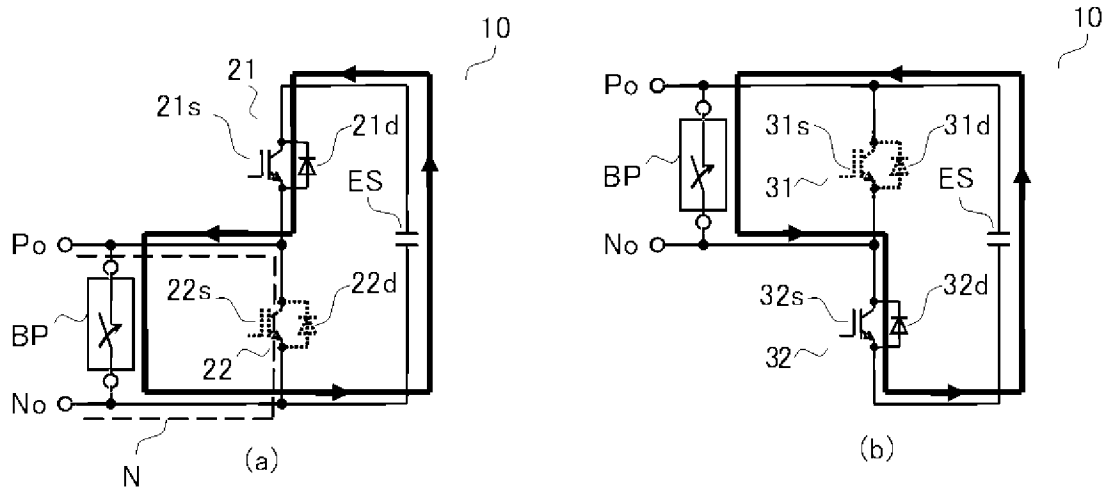
[図5]

図5



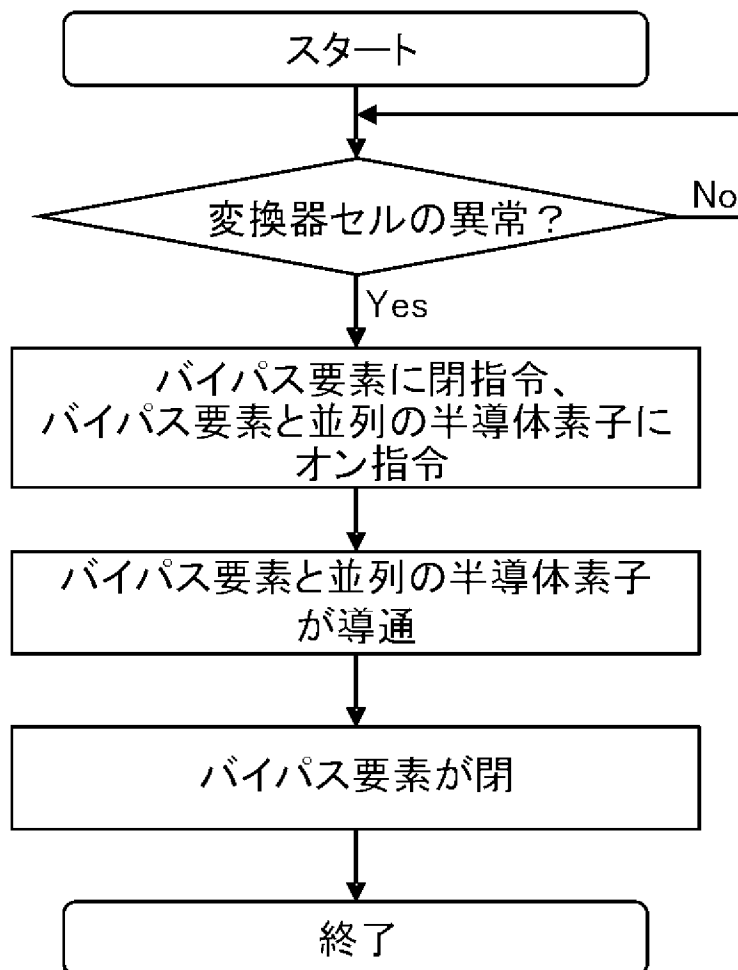
[図6]

図6



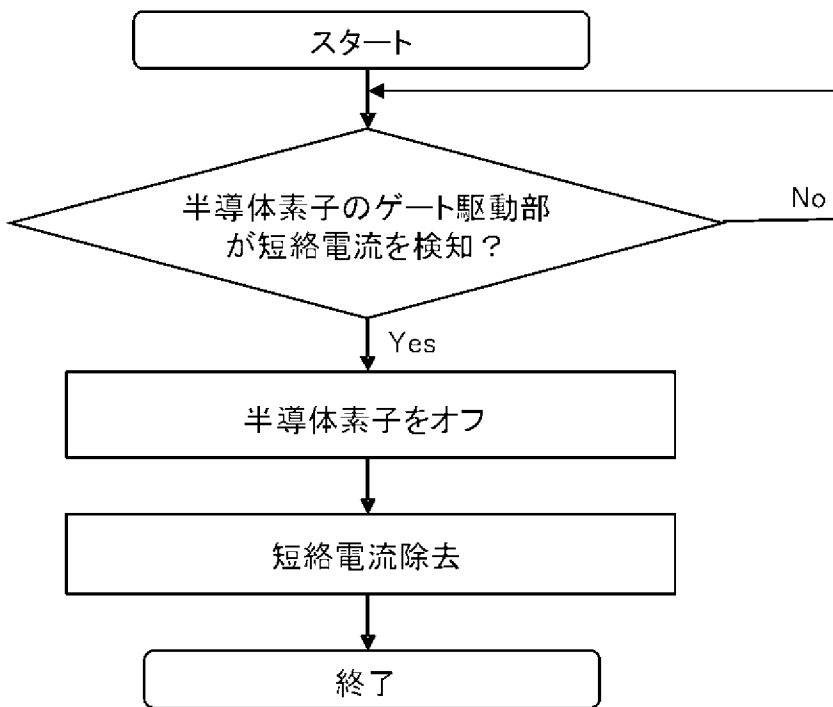
[図7]

図7



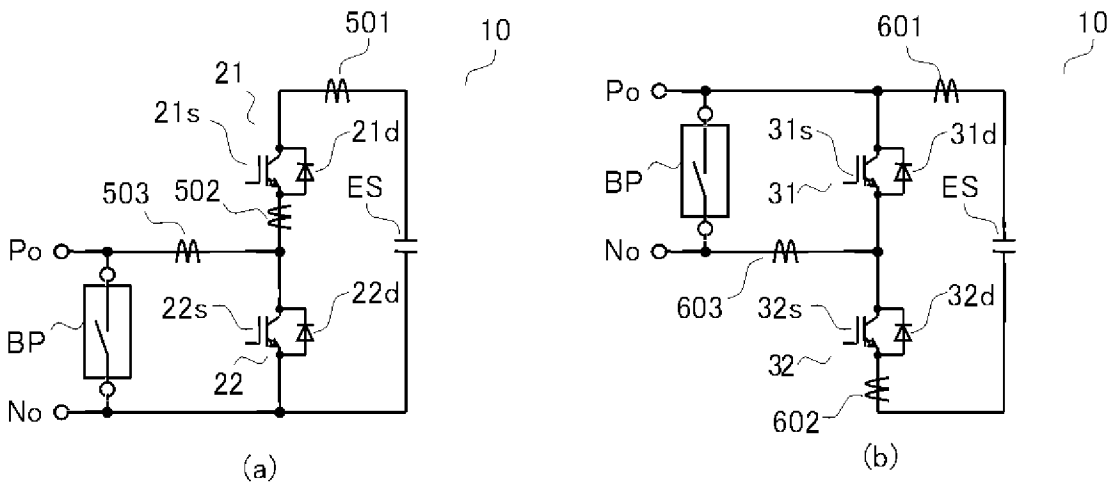
[図8]

図8



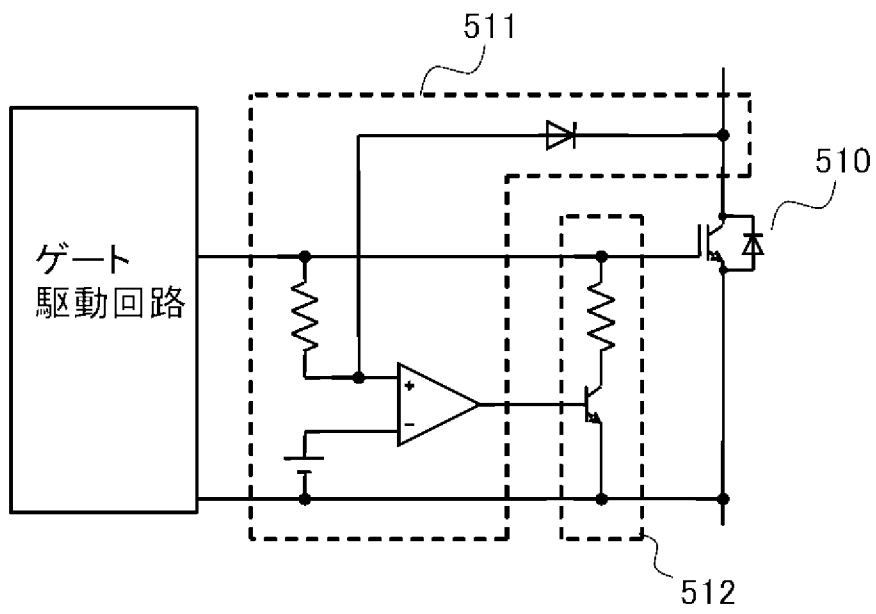
[図9]

図9



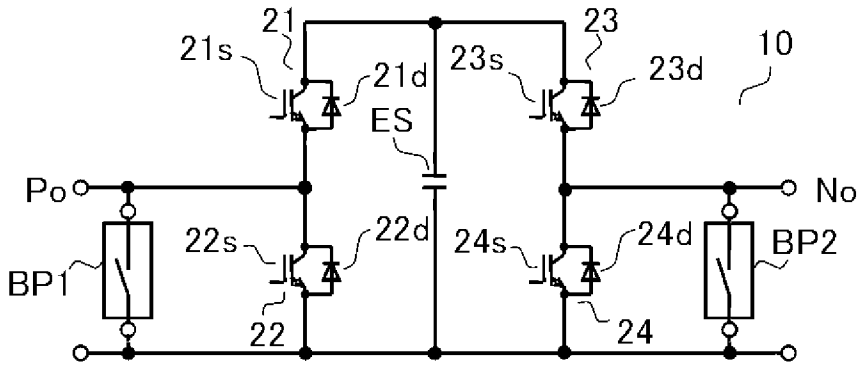
[図10]

図10

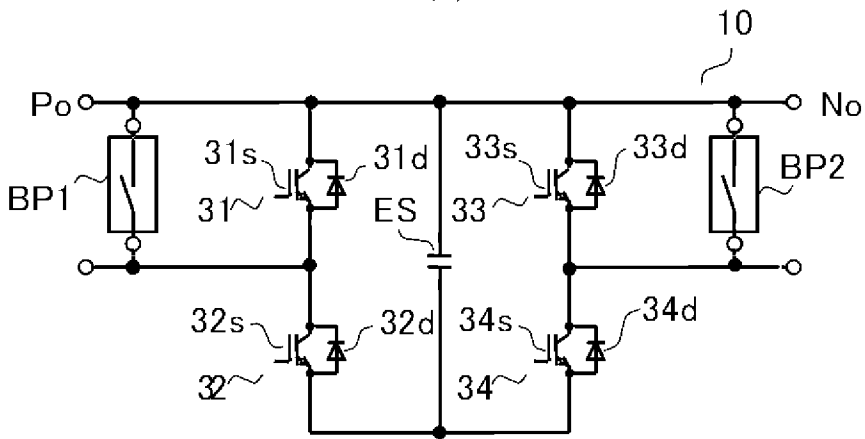


[図11]

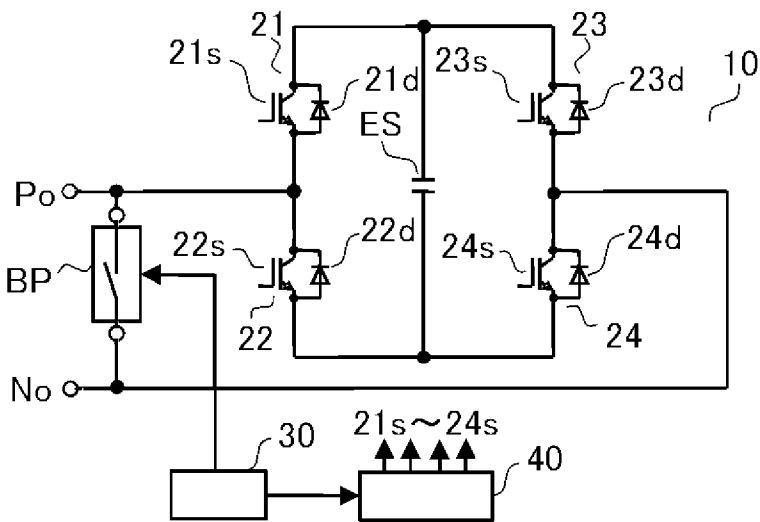
図11



(a)



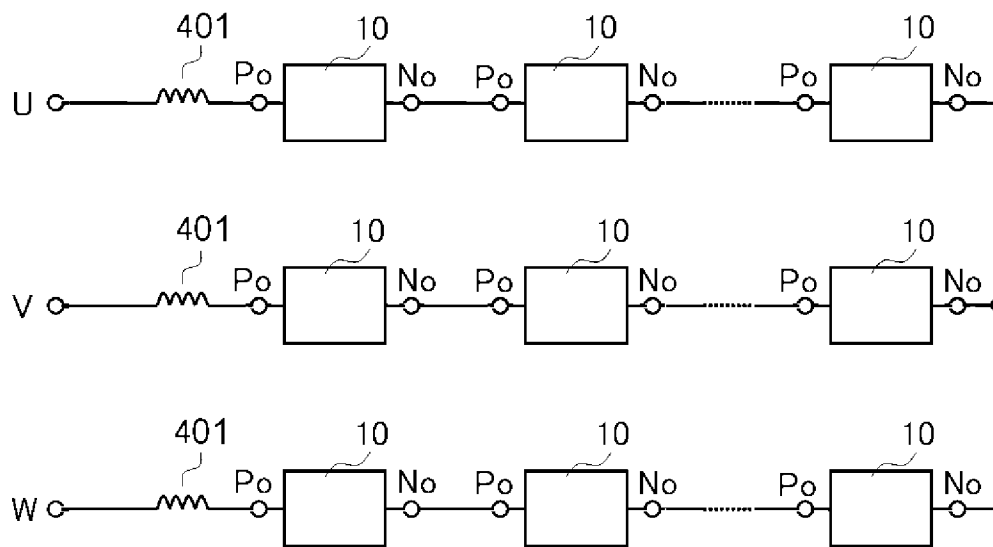
(b)



(c)

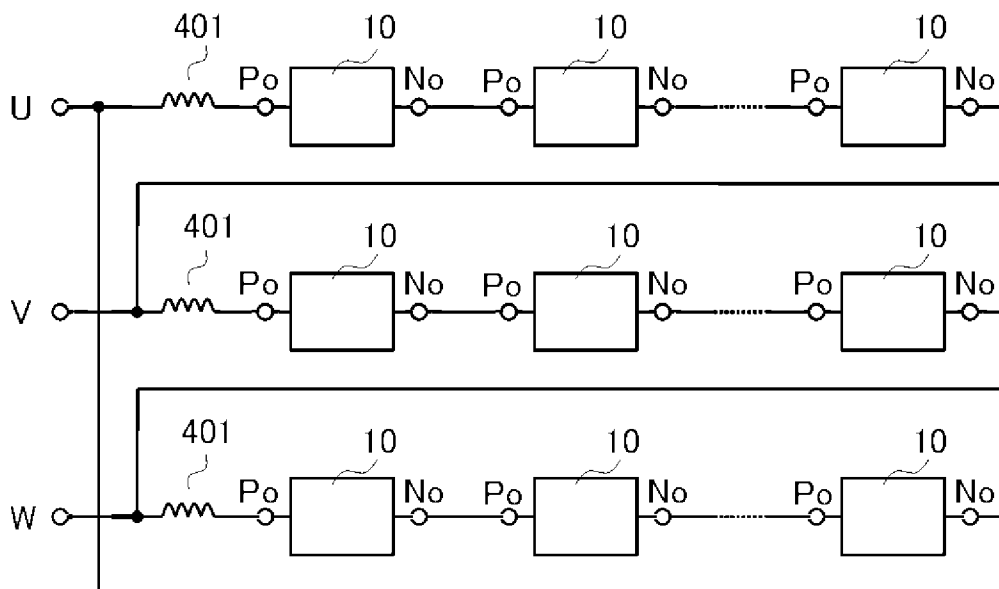
[圖12]

圖12



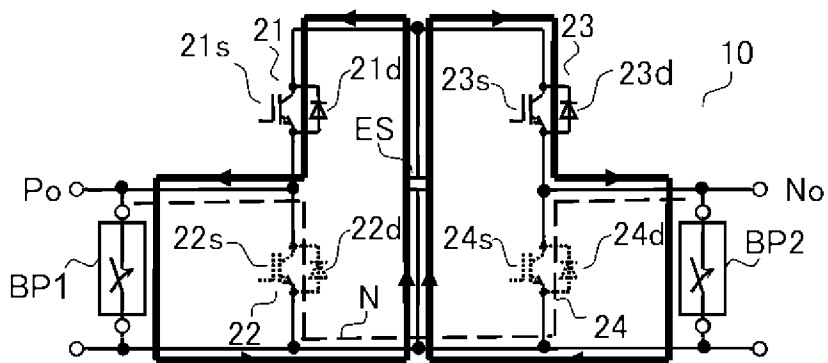
[圖13]

圖13

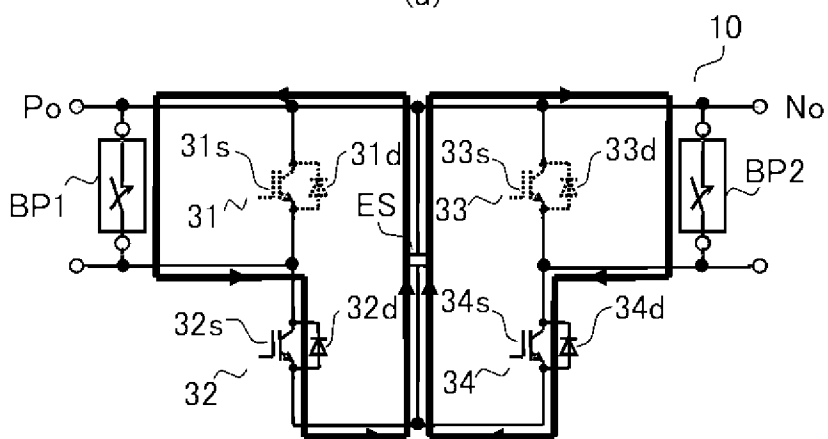


[図14]

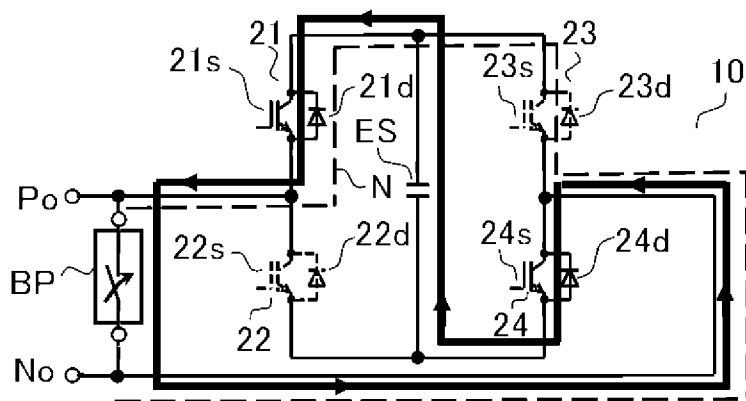
図14



(a)



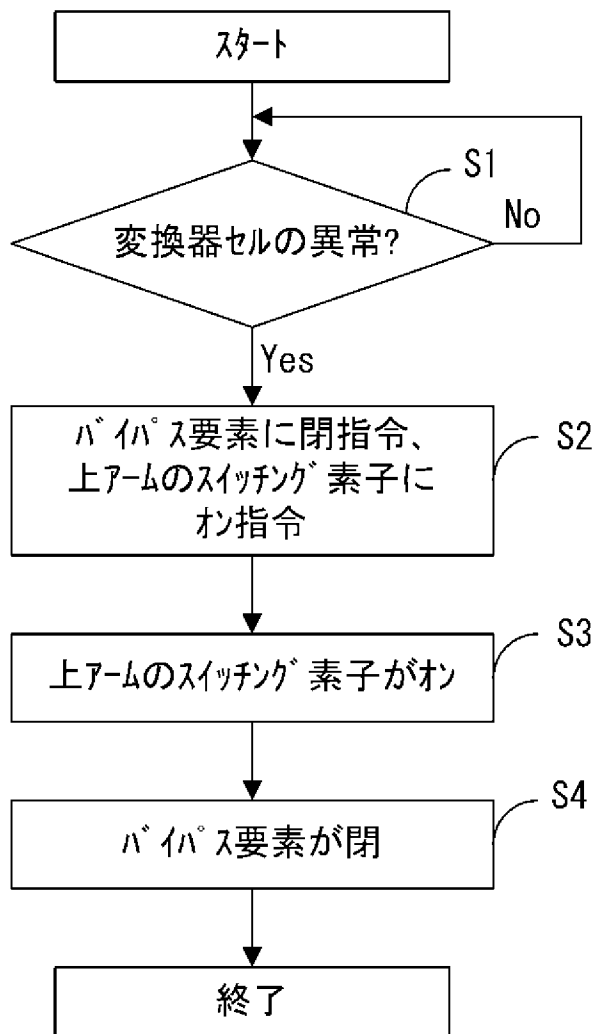
(b)



(c)

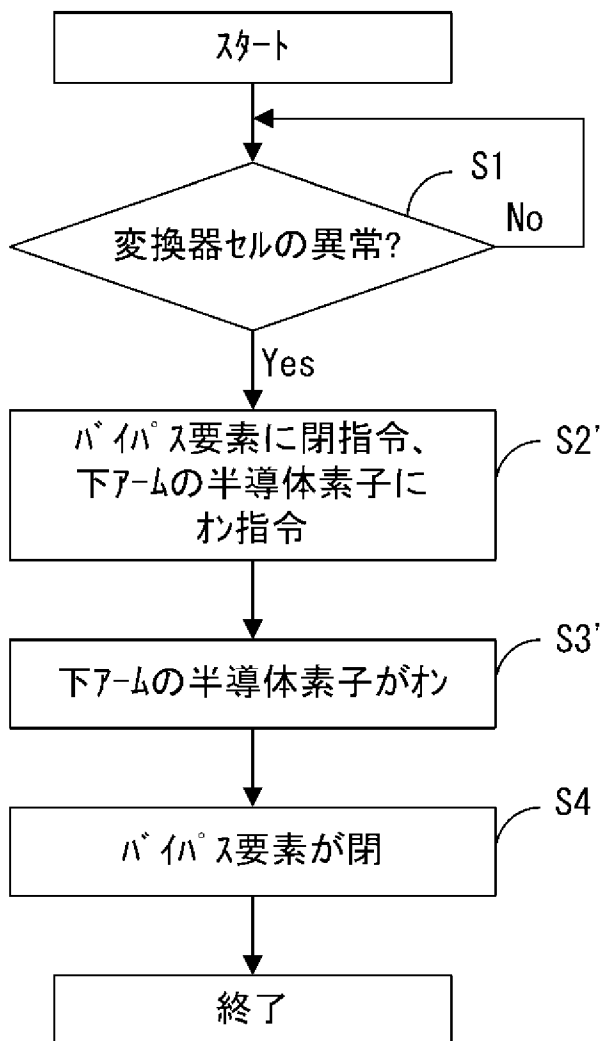
[図15]

図 15



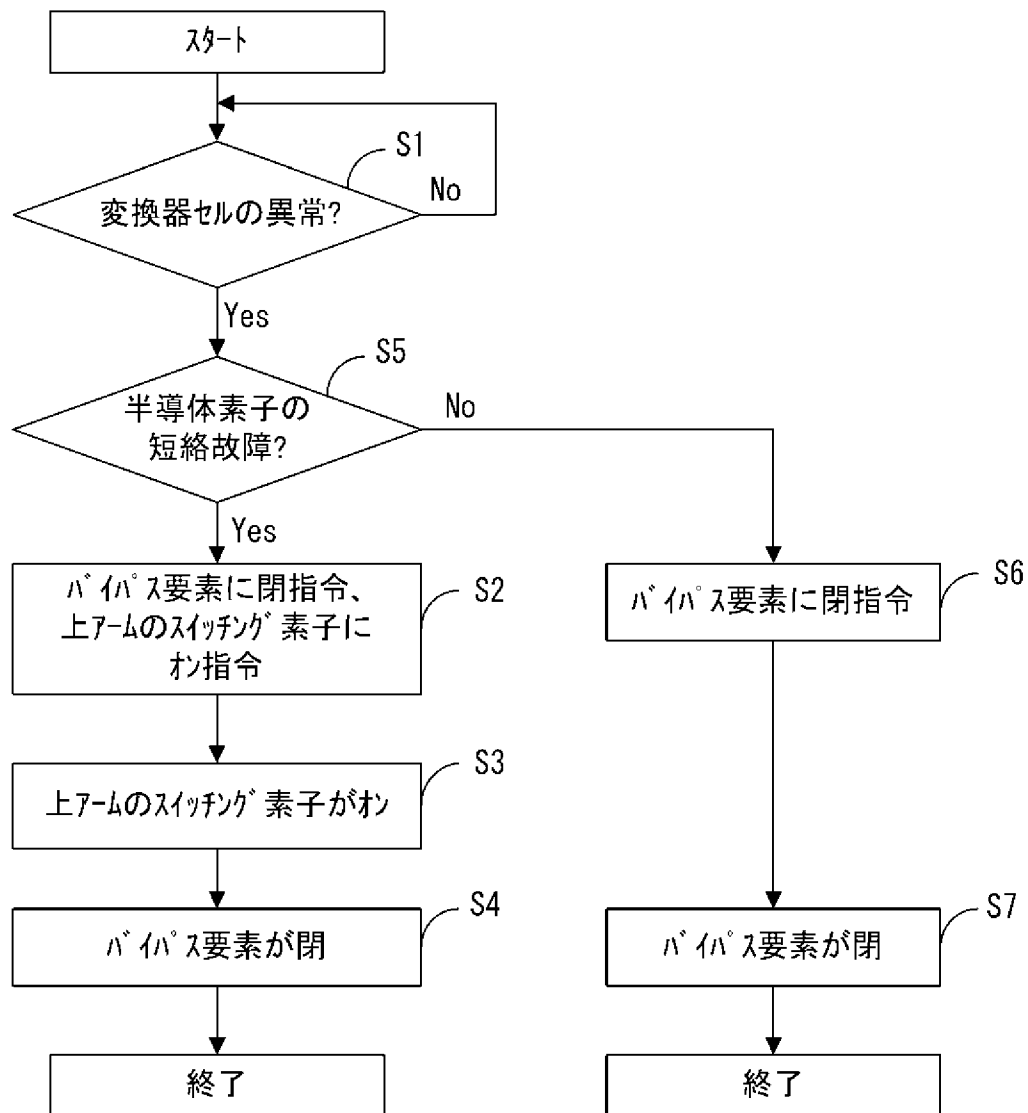
[図16]

図 1 6



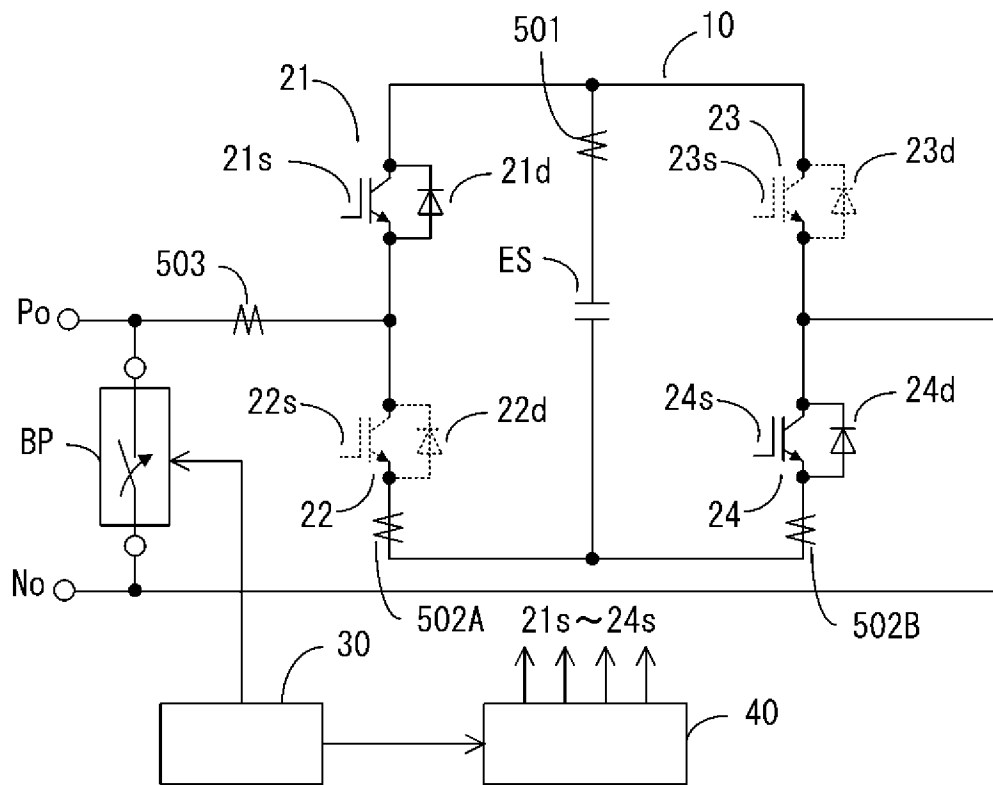
[図17]

図17



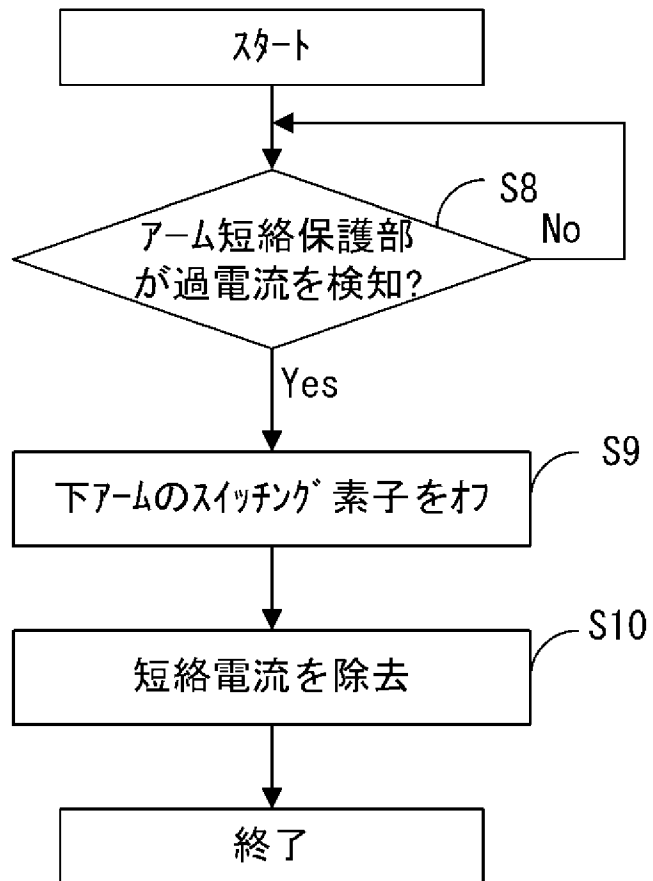
[図18]

図 18



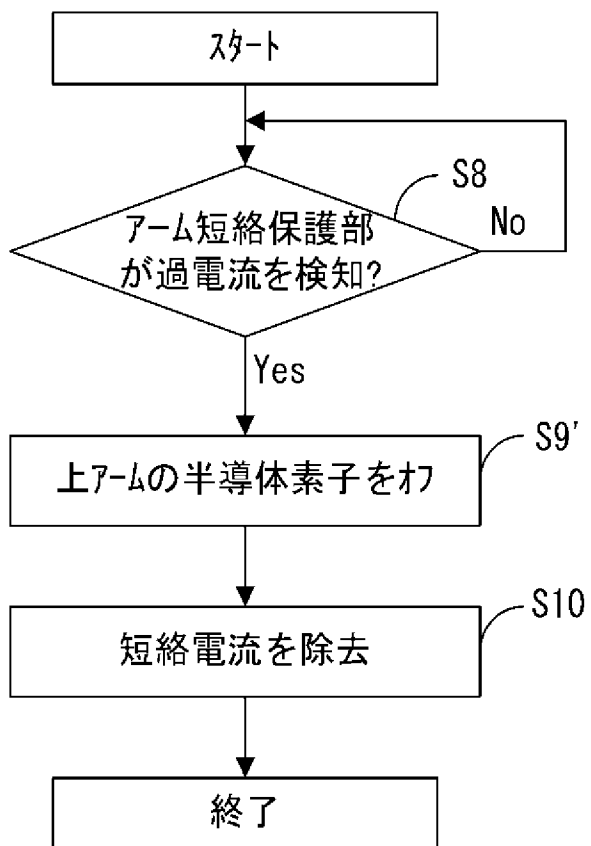
[図19]

図19



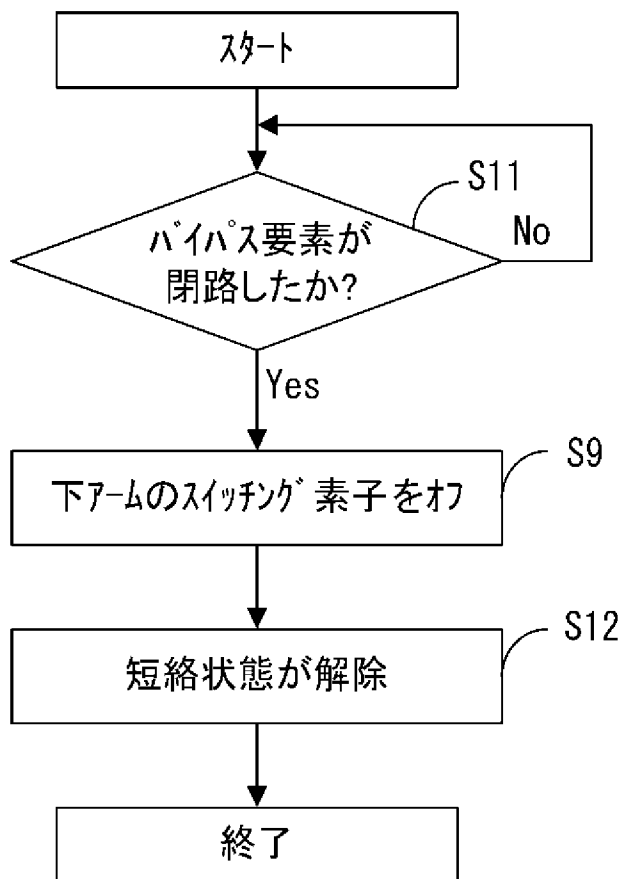
[図20]

図 20



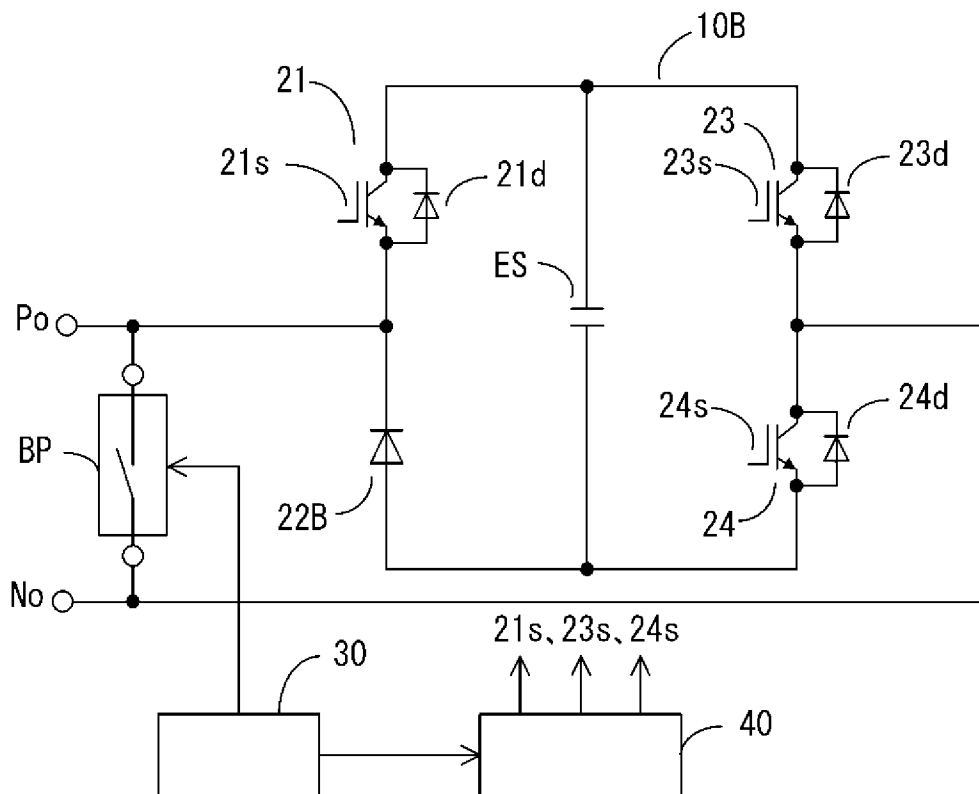
[図21]

図 2 1



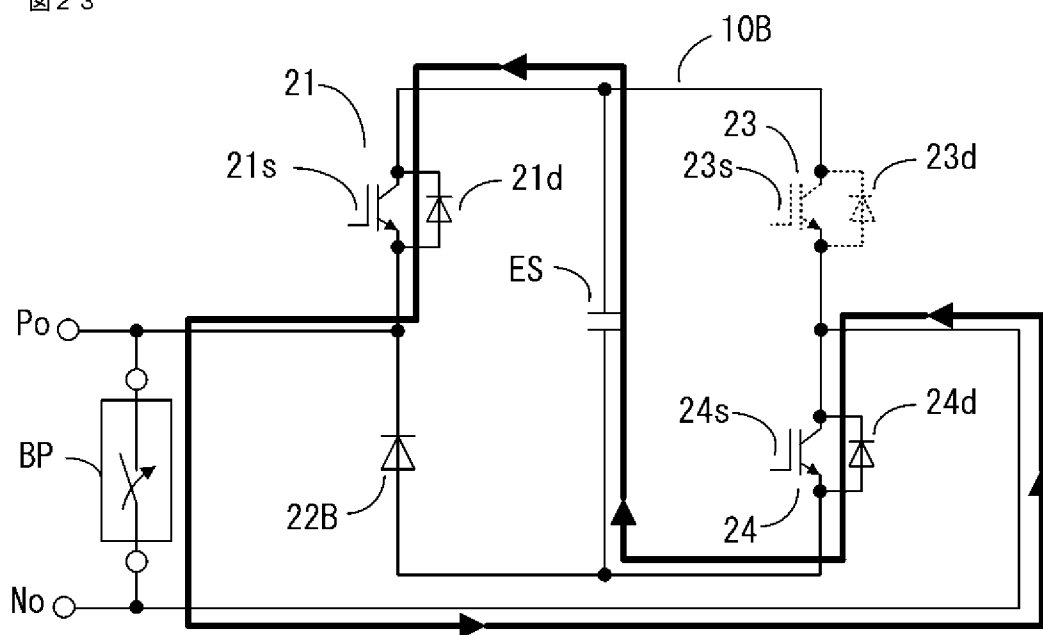
[図22]

図 2 2



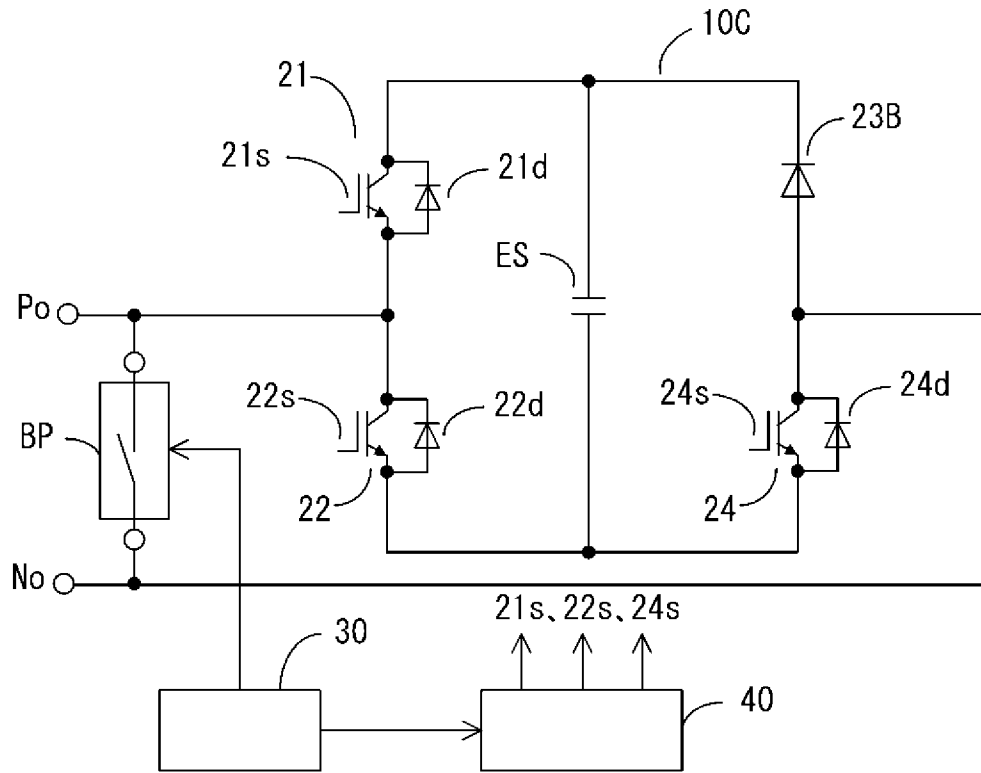
[図23]

図 2 3



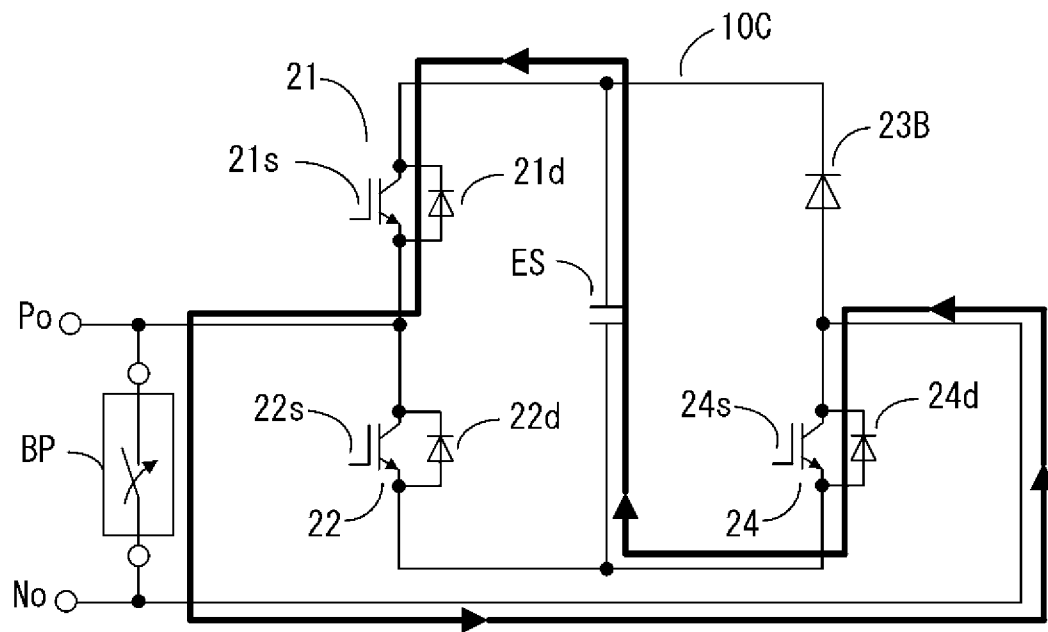
[図24]

図24



[図25]

図25



**INTERNATIONAL SEARCH REPORT**

International application No.  
PCT/JP2015/055655

**A. CLASSIFICATION OF SUBJECT MATTER**  
H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)  
H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2013-169088 A (Hitachi, Ltd.), 29 August 2013 (29.08.2013), paragraphs [0081] to [0085]; fig. 1, 12 to 13 (Family: none)	1, 11 2-6, 9-10, 12 7-8
Y	JP 9-191662 A (Fuji Electric Co., Ltd.), 22 July 1997 (22.07.1997), abstract; claim 1; fig. 1 to 3 & US 5737200 A	2-6, 9-10, 12
A	JP 2013-27260 A (Hitachi, Ltd.), 04 February 2013 (04.02.2013), abstract; fig. 1, 4 (Family: none)	1-12

Further documents are listed in the continuation of Box C.       See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 21 May 2015 (21.05.15)	Date of mailing of the international search report 02 June 2015 (02.06.15)
---	---

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer  Telephone No.
--	---

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2015/055655

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-49581 A (Hitachi, Ltd.), 18 February 2000 (18.02.2000), paragraphs [0031] to [0039]; fig. 10 (Family: none)	1-12
A	JP 2010-512135 A (Siemens AG.), 15 April 2010 (15.04.2010), paragraphs [0030] to [0036]; fig. 3 to 4 & US 2010/0066174 A1 & WO 2008/067786 A1 & CA 2671819 A1 & CN 101548461 A	1-12

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H02M7/48(2007.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H02M7/48		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	JP 2013-169088 A（株式会社日立製作所）2013.08.29, 段落 [0081] - [0085]、図 1,12-13（ファミリーなし）	1, 11 2-6, 9-10, 12 7-8
Y	JP 9-191662 A（富士電機株式会社）1997.07.22, 要約、請求項 1、 図 1-3 & US 5737200 A	2-6, 9-10, 12
A	JP 2013-27260 A（株式会社日立製作所）2013.02.04, 要約、図 1, 4 （ファミリーなし）	1-12
<input checked="" type="checkbox"/> C 欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的な技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 21.05.2015	国際調査報告の発送日 02.06.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 小林 紀和 電話番号 03-3581-1101 内線 3357	3V 4240

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2000-49581 A (株式会社日立製作所) 2000. 02. 18, 段落 [0031] - [0039]、図 10 (ファミリーなし)	1-12
A	JP 2010-512135 A (シーメンス アクチエンゲゼルシャフト) 2010. 04. 15, 段落 [0030] - [0036]、図 3-4 & US 2010/0066174 A1 & WO 2008/067786 A1 & CA 2671819 A1 & CN 101548461 A	1-12